

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.
G09G 3/36 (2006.01)

(11) 공개번호 10-2006-0065275
(43) 공개일자 2006년06월14일

(21) 출원번호 10-2004-0104087

(22) 출원일자 2004년12월10일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 최창휘
경기도 용인시 기흥읍 서천리 SK아파트 107동 202호

(74) 대리인 박영우

심사청구 : 있음

(54) 액정표시장치의 소스 구동회로 및 소스구동 방법

요약

샘플홀드 기술을 이용한 액정표시장치의 소스구동 회로 및 소스구동 방법이 개시되어 있다. 액정표시장치의 소스구동 회로는 쉬프트 레지스터, 데이터 래치 회로, D/A 컨버터, 및 샘플홀드 회로를 구비한다. 액정표시장치의 소스구동 회로는 유입되는 영상 데이터에 대응하는 아날로그 전압신호에 대해 소정의 회수만큼 샘플홀드를 수행하고 소스신호들을 출력하기 때문에, 한 번에 변환해야 할 데이터의 양이 적다. 따라서, 액정표시장치의 소스구동 회로는 회로가 간단하며 집적회로로 구현시 반도체 칩 사이즈를 적게 차지하고, 전력소모가 적다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스형 액정표시장치의 일례를 나타내는 블록도이다.

도 2는 종래의 액정표시장치를 구성하는 소스 구동부의 일례를 나타내는 블록도이다.

도 3은 도 2의 소스 구동부를 구성하는 하나의 소스구동 IC를 나타내는 블록도이다.

도 4는 본 발명의 하나의 실시예에 따른 액정표시장치의 소스 구동부를 나타내는 블록도이다.

도 5는 도 4의 소스 구동부를 구성하는 하나의 소스구동 IC를 나타내는 블록도이다.

도 6은 도 5의 소스구동 IC 내에 있는 샘플홀드 회로의 일례를 나타내는 회로도이다.

도 7은 도 5의 소스구동 IC 내에 있는 샘플홀드 회로의 다른 일례를 나타내는 회로도이다.

도 8은 도 5의 소스구동 IC 내에 있는 출력버퍼의 일례를 나타내는 회로도이다.

도 9a 및 도 9b는 도 4의 소스구동 IC의 동작 타이밍도이다.

도면의 주요부분에 대한 부호의 설명

100 : 제어부

200 : 게이트 구동부

300, 1300 : 소스 구동부

311, 1311 : 쉬프트 레지스터

313, 1313 : 데이터 래치 회로

315, 1315 : D/A 컨버터

1316 : 샘플홀드 회로

317, 1317 : 출력버퍼

400 : 액정 패널

500 : 계조전압 발생부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display device; 이하 LCD 장치라 함)에 관한 것으로, 특히 샘플홀드(sample and hold) 기술을 이용한 액정표시장치의 소스 구동회로 및 소스 구동방법에 관한 것이다.

LCD 장치는 음극선관(Cathode Ray Tube)에 비해 두께가 얇고 가벼우며 그 품질도 점차 개선되고 있기 때문에, 정보처리 기기로서 널리 사용되고 있다.

액티브 매트릭스형 LCD 장치는 매트릭스 내에 배열된 복수의 픽셀 전극 각각에 연결된 복수의 능동 소자를 가진다. 액티브 매트릭스형 LCD 장치는 단순 매트릭스형 LCD 장치에 비해 높은 콘트라스트 비(contrast ratio)를 가진다. 따라서, 액티브 매트릭스형 구동은 칼라 LCD 장치에 필수적으로 되고 있다. 액티브 매트릭스형 LCD 장치의 각 픽셀 전극에 연결되는 능동소자로는 박막 필름 트랜지스터(Thin Film Transistor; 이하 TFT라 함)가 널리 사용되고 있다.

도 1은 종래의 액티브 매트릭스형 LCD 장치를 나타내는 블록도로서, 한국공개특허 10-2004-0077016에 개시되어 있다. 도 1을 참조하면, LCD 장치는 제어부(100), 게이트 구동부(200), 소스 구동부(300), 액정 패널(400), 및 계조전압 발생부(500)를 구비한다.

액정 패널(400)은 매트릭스의 각 교차점에 있는 TFT를 가진다. TFT의 소스는 소스 신호("데이터 신호"라고도 함)를 수신하고, TFT의 게이트는 게이트 신호("주사 신호"라고도 함)를 수신한다. TFT의 드레인 단자와 공통전압(VCOM) 사이에

스토리지 커패시터(storage capacitor)(CST)와 액정 커패시터(CLC)가 연결되어 있다. 액정 패널(400)은 게이트 라인(G1 ~ Gn)을 통해 게이트 신호를 수신하고, 소스 라인(D1 ~ Dm)을 통해 소스 신호를 수신한다. 게이트 구동부(200)는 온 전압(Von)과 오프 전압(Voff)의 조합으로 이루어진 게이트 신호들을 게이트 라인들(G1 ~ Gn)에 인가한다.

계조전압 발생부(500)는 LCD 장치의 휘도와 관련된 정극성과 부극성의 계조전압들(GMA)을 발생시킨다.

소스 구동부(300)는 계조전압 발생부(500)의 출력인 계조전압들(GMA)을 이용하여 제어부(100)로부터 수신되는 데이터(DATA)를 D/A 변환하고 소스 라인들(D1 ~ Dm)에 인가한다.

제어부(100)는 RGB 영상신호(R, G, B), 및 수직동기 신호(Vsync), 수평동기 신호(Hsync), 메인 클럭신호(MCLK), 데이터 인에이블 신호(DE) 등의 제어신호들을 수신한다. 제어부(100)는 이들 제어신호들에 기초하여 소스 제어신호(CONT1) 및 게이트 제어신호(CONT2)를 발생시키고 영상신호들(R, G, B)을 액정 패널(400)의 동작조건에 맞게 적절히 처리한 후, 게이트 구동신호(CONT2)를 게이트 구동부(200)에 전송하고, 소스 구동신호(CONT1)와 영상신호(DATA(R, G, B))를 소스 구동부(300)에 전송한다.

게이트 구동부(200)와 소스 구동부(300)는 각각 복수의 게이트 드라이브 IC와 복수의 소스 드라이브 IC를 구비한다(미도시). 데이터(DATA)는 각 픽셀에 대한 계조 레벨(gray level)을 결정한다. 소스 구동부(300)는 소스 신호들을 액정 패널(liquid crystal panel)(400) 상에 배열되어 있는 소스 라인에 인가하고, 게이트 구동부(200)는 게이트 신호들을 액정 패널(400)상에 배열되어 있는 게이트 라인에 인가한다.

도 2는 LCD 장치를 구성하는 소스 구동부의 일례를 나타내는 블록도이다. 도 2에는 10 개의 소스구동 IC(Integrated Circuit)(310, 320, 330, 340, 350, 360, 370, 380, 390, 395)로 구성된 소스 구동부가 나타나 있다. 각각의 소스구동 IC는 영상 데이터(DATA), 계조전압(GMA), 및 제어신호들(DIO, CLK, TP)을 수신한다. 제어신호(DIO)는 소스구동 IC 내에서 데이터의 입출력 방향을 나타내는 입출력 제어신호이다. 즉, 입출력 제어신호(DIO)에 응답하여 데이터는 소스구동 IC의 왼쪽으로 입력되고 소스구동 IC의 오른쪽으로 출력되거나, 소스구동 IC의 오른쪽으로 입력되고 소스구동 IC의 왼쪽으로 출력된다. 제어신호(CLK)는 소스구동 IC의 내부에서 사용되는 클럭신호이다. 제어신호(TP)는 소스구동 IC의 데이터(DATA)를 출력할 것인지를 결정하는 로드신호이다.

도 3은 도 2의 소스 구동부를 구성하는 하나의 소스구동 IC(310 등)를 나타내는 블록도이다. 도 3을 참조하면, 소스구동 IC(310)는 쉬프트 레지스터(311), 데이터 래치 회로(313), D/A 컨버터(315), 및 출력버퍼(317)를 구비한다. 쉬프트 레지스터(311)는 소정의 주파수를 갖는 클럭신호(CLK)와 입출력 제어신호(DIO)를 수신하고, 일정 수의 클럭신호마다 펄스신호를 발생시킨다. 데이터 래치 회로(313)는 제어부(도 1의 100)로부터 데이터(DATA)와 로드신호(TP)를 수신한다. 데이터 래치 회로(313)는 쉬프트 레지스터(311)의 쉬프트 순서에 따라 데이터(DATA)를 래치하고, 로드신호(TP)가 인가되면 데이터(DATA)를 출력한다.

D/A 컨버터(315)는 계조전압 발생부(도 1의 500)로부터 계조전압(GMA)을 수신하고, 데이터 래치 회로(313)의 출력신호들(D1 ~ D414)에 응답하여 아날로그 전압신호들(S1 ~ S414)을 발생시킨다. 아날로그 전압신호인 D/A 컨버터(315)의 출력신호들(S1 ~ S414)은 출력버퍼(317)에 인가된다. 출력버퍼(317)의 출력신호들(Y1 ~ Y414)은 데이터 래치 회로(313)에 인가되는 데이터(DATA)의 순서에 따라서 각 소스라인들에 출력된다.

도 3은 414 개의 소스신호들(Y1 ~ Y414)을 출력하는 소스구동 IC(310)를 나타낸다. 쉬프트 레지스터(311)는 138 비트의 레지스터이고, 데이터 래치 회로(313)는 R, G, B에 대해서 414 개(138×3)의 채널을 갖는다.

그런데, 도 3에 도시된 바와 같은 구조를 갖는 종래의 소스구동 IC에서는 414 개의 소스신호를 출력하기 위해 138 비트의 쉬프트 레지스터(311)가 필요하고, 타이밍 제어부(도 1의 100)로부터 수신되는 로드신호(TP)에 의해 414 개의 데이터가 동시에 D/A 변환되어 출력된다. 그러므로, 도 3의 구조를 갖는 소스구동 IC를 포함하는 소스 구동부는 디지털 데이터를 아날로그 신호로 변환하기 위한 D/A 컨버터(315)의 회로 사이즈가 크고, 반도체 집적회로로 설계했을 때, 칩 내에서 차지하는 면적이 매우 크다. 또한, 도 3의 구조를 갖는 소스구동 IC를 포함하는 소스 구동부는 전력소모가 많다.

따라서, 회로 사이즈가 작고 전력소모가 적으면서도 종래 기술에 의한 LCD 장치의 소스신호(Y1 ~ Y414)를 발생시킬 수 있는 LCD 장치의 소스 구동회로가 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래의 문제점을 해결하고자 고안된 발명으로서, 본 발명의 목적은 샘플홀드 기술을 이용하여 칩 사이를 줄일 수 있는 액정표시장치의 소스구동 회로를 제공하는 것이다.

본 발명의 다른 목적은 전력소모를 줄일 수 있는 액정표시장치의 소스구동 회로를 제공하는 것이다.

본 발명의 또 다른 목적은 샘플홀드 기술을 이용하여 칩 사이를 줄일 수 있는 액정표시장치의 소스구동 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 액정표시장치의 소스구동 회로는 쉬프트 레지스터, 데이터 래치 회로, D/A 컨버터, 및 샘플홀드 회로를 구비한다.

쉬프트 레지스터는 클럭신호와 입출력 제어신호에 응답하여 n 비트의 제 1 신호를 발생시킨다. 데이터 래치 회로는 상기 제 1 신호를 사용하여 영상 데이터를 샘플링하여 래치하고, $3n$ 개의 디지털 신호를 발생시킨다. D/A 컨버터는 계조전압을 사용하여 상기 $3n$ 개의 디지털 신호에 대응하는 아날로그 전압신호들을 발생시킨다. 샘플홀드 회로는 스위칭 제어신호들의 제어하에 상기 아날로그 전압신호들에 응답하여 샘플홀드를 수행하고 $6n$ 개의 제 2 신호들을 발생시킨다.

본 발명의 하나의 실시형태에 따른 액정표시장치의 소스구동 방법은 클럭신호와 입출력 제어신호에 응답하여 n 비트의 제 1 신호를 발생시키는 단계; 상기 제 1 신호를 사용하여 영상 데이터를 샘플링하여 래치하고, $3n$ 개의 디지털 신호를 발생시키는 단계; 계조전압을 사용하여 상기 $3n$ 개의 디지털 신호에 대응하는 아날로그 전압신호들을 발생시키는 단계; 및 스위칭 제어신호들의 제어하에 상기 아날로그 전압신호들에 응답하여 샘플홀드를 수행하고 $6n$ 개의 제 2 신호들을 발생시키는 단계를 구비한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

도 4는 본 발명의 하나의 실시예에 따른 액정표시장치의 소스 구동부를 나타내는 블록도이다. 도 4를 참조하면, 소스 구동부(1300)는 소스구동 IC들(1310, 1320, 1330, 1340, 1350, 1360, 1370, 1380, 1390, 1395)을 구비한다. 도 4에는 10 개의 IC로 구성된 소스 구동부가 도시되어 있지만, 소스 구동부는 임의의 개수의 소스구동 IC를 포함할 수 있다. 도 4의 소스 구동부(1300)를 구성하는 각각의 소스구동 IC는 영상 데이터(DATA), 계조전압(GMA), 및 제어신호들(DIO, CLK, TP, DSS)을 수신한다. 제어신호(DIO)는 소스구동 IC 내에서 데이터의 입출력 방향을 나타내는 입출력 제어신호이다. 즉, 입출력 제어신호(DIO)에 응답하여 데이터는 소스구동 IC의 왼쪽으로 입력되고 소스구동 IC의 오른쪽으로 출력되거나, 소스구동 IC의 오른쪽으로 입력되고 소스구동 IC의 왼쪽으로 출력된다. 제어신호(CLK)는 소스구동 IC의 내부에서 사용되는 클럭신호이다. 제어신호(TP)는 소스구동 IC의 데이터(DATA)를 출력할 것인지를 결정하는 로드신호이다. 제어신호(DSS)는 샘플홀드 제어신호이다. 도 4에 도시되어 있는 소스구동 IC 각각은 144 개의 소스 라인을 구비한다.

도 5는 도 4의 소스 구동부를 구성하는 하나의 소스구동 IC를 나타내는 블록도이다. 도 5를 참조하면, 소스구동 IC(1310)는 쉬프트 레지스터(311), 데이터 래치 회로(1313), D/A 컨버터(1315), 샘플홀드 회로(1316), 출력버퍼(317), 및 샘플홀드 제어회로(1318)를 구비한다.

쉬프트 레지스터(311)는 소정의 주파수를 갖는 클럭신호(CLK)와 입출력 제어신호(DIO)를 수신하고, 일정 수의 클럭신호마다 펄스신호를 발생시킨다. 데이터 래치 회로(1313)는 데이터(DATA)와 로드신호(TP)를 수신한다. 데이터 래치 회로(1313)는 쉬프트 레지스터(311)의 쉬프트 순서에 따라 비디오 데이터(DATA)를 래치하고, 로드신호(TP)가 인가되면 데이터(DATA)를 출력한다.

D/A 컨버터(1315)는 계조전압(GMA)을 사용하여, 데이터 래치 회로(1313)의 출력신호들(D1 ~ D30)에 대응하는 아날로그 전압신호들(S1 ~ S30)을 발생시킨다. 아날로그 전압신호인 D/A 컨버터(1315)의 출력신호들(S1 ~ S30)은 샘플홀드 회로(1316)에 인가된다. 샘플홀드 회로(1316)는 스위칭 제어신호들(SWH1, SWH1B, SWL1, SWL1B)의 제어하에 D/A 컨버터(1315)의 출력신호들(S1 ~ S30)에 응답하여 샘플홀드 출력신호들(SH1 ~ SH60)을 발생시킨다. 샘플홀드 제어회로(1318)는 샘플홀드 제어신호(DSS)를 수신하고 샘플홀드 동작에 필요한 스위칭 신호들(SWH1, SWH1B, SWL1, SWL2)을 발생시킨다. 출력버퍼(1317)는 샘플홀드 출력신호들(SH1 ~ SH60)을 버퍼링하고 선택하여 출력신호들(Y1 ~ Y30)을 발생시킨다. 출력버퍼(1317)의 출력신호들(Y1 ~ Y30)은 데이터 래치 회로(1313)에 인가되는 데이터(DATA)의 순서에 따라서 각 소스라인들에 출력된다.

이하, 도 4와 도 5를 참조하여, 본 발명의 실시예에 따른 액정표시장치의 소스구동 회로의 동작에 대해 설명한다.

도 4를 참조하면, 소스구동부(1300)는 10 개의 소스구동 IC들(1310, 1320, 1330, 1340, 1350, 1360, 1370, 1380, 1390, 1395)을 구비한다. 소스 구동부(1300)를 구성하는 각각의 소스구동 IC는 영상 데이터(DATA), 게조전압(GMA), 및 제어신호들(DIO, CLK, TP, DSS)을 수신한다. 10 개의 소스구동 IC들(1310, 1320, 1330, 1340, 1350, 1360, 1370, 1380, 1390, 1395) 중 왼쪽 5 개의 소스구동 IC들(1310, 1320, 1330, 1340, 1350)과 오른쪽 5 개의 소스구동 IC들(1360, 1370, 1380, 1390, 1395)은 서로 독립적으로 동작한다. 즉, 소스구동 IC(1310)가 비디오 데이터(DATA)를 수신하여 신호처리를 하고 소스라인에 소스신호들을 공급할 때, 소스구동 IC(1360)도 동시에 비디오 데이터(DATA)를 수신하여 신호처리를 하고 소스라인에 소스신호들을 공급한다.

입출력 제어신호(DIO)에 응답하여, 데이터는 소스구동 IC의 왼쪽으로 입력되고 소스구동 IC의 오른쪽으로 출력되거나, 소스구동 IC의 오른쪽으로 입력되고 소스구동 IC의 왼쪽으로 출력된다. 도 4에 도시된 본 발명의 실시예에 따른 액정표시장치의 소스구동 회로에서는 비디오 데이터(DATA)가 소스구동 IC의 왼쪽으로 입력되고 소스구동 IC의 오른쪽으로 출력되는 구조를 예로서 설명하고 있다.

도 4를 참조하면, 비디오 데이터(DATA)는 소스구동 IC(1310)의 왼쪽으로 입력되고 IC(1310)의 오른쪽으로 출력된다. 소스구동 IC(1310)의 오른쪽으로 출력된 비디오 데이터(DATA)는 소스구동 IC(1320)의 왼쪽으로 입력되고 IC(1320)의 오른쪽으로 출력된다. 소스구동 IC(1320)의 오른쪽으로 출력된 비디오 데이터(DATA)는 소스구동 IC(1330)의 왼쪽으로 입력되고 IC(1330)의 오른쪽으로 출력된다. 소스구동 IC(1330)의 오른쪽으로 출력된 비디오 데이터(DATA)는 소스구동 IC(1340)의 왼쪽으로 입력되고 IC(1340)의 오른쪽으로 출력된다. 소스구동 IC(1340)의 오른쪽으로 출력된 비디오 데이터(DATA)는 소스구동 IC(1350)의 왼쪽으로 입력된다.

마찬가지로, 비디오 데이터(DATA)는 소스구동 IC(1360)의 왼쪽으로 입력되고 IC(1360)의 오른쪽으로 출력된다. 소스구동 IC(1360)의 오른쪽으로 출력된 비디오 데이터(DATA)는 소스구동 IC(1370)의 왼쪽으로 입력되고 IC(1370)의 오른쪽으로 출력된다. 소스구동 IC(1370)의 오른쪽으로 출력된 비디오 데이터(DATA)는 소스구동 IC(1380)의 왼쪽으로 입력되고 IC(1380)의 오른쪽으로 출력된다. 소스구동 IC(1380)의 오른쪽으로 출력된 비디오 데이터(DATA)는 소스구동 IC(1390)의 왼쪽으로 입력되고 IC(1390)의 오른쪽으로 출력된다. 소스구동 IC(1390)의 오른쪽으로 출력된 비디오 데이터(DATA)는 소스구동 IC(1395)의 왼쪽으로 입력된다.

본 발명의 실시예에 따른 액정표시장치의 소스구동 회로는 각 소스구동 IC에서 한번에 30 채널씩 14회에 걸쳐 신호처리를 수행하고 414 채널의 소스신호를 출력한다.

도 5를 참조하면, 쉬프트 레지스터(1311)는 10 비트의 펄스신호를 출력한다. 데이터 래치 회로(1313)는 R, G, B로 이루어진 비디오 데이터(DATA)를 래치하고, 로드신호(TP)의 제어하에 30 채널을 통해 디지털 신호(D1 ~ D30)를 출력한다.

도 6은 도 5의 소스구동 IC 내에 있는 샘플홀드 회로(1316)의 일례를 나타내는 회로도이다. 도 6을 참조하면, 샘플홀드 회로(1316)는 버퍼부(1316-1), 스위칭부(1316-2), 및 저장부(1316-3)를 구비한다.

버퍼부(1316-1)는 버퍼들(1 ~ 4)로 구성되어 있고, D/A 컨버터(도5의 1315)의 출력신호들(S1 ~ S30)을 버퍼링하여 전류구동 능력을 향상시키는 기능을 한다. 스위칭부(1316-2)는 스위치들(5 ~ 12)로 구성되어 있고, 스위칭 제어신호들(SWH1, SWH1B, SWL1, SWL1B)에 응답하여 버퍼부(1316-1)의 출력신호들을 저장부(1316-3)에 전송한다. 스위치들(5 ~ 12)은 PMOS 트랜지스터 또는 NMOS 트랜지스터로 구성될 수 있다. 저장부(1316-3)는 커패시터들(13 ~ 20)로 구성되어 있고, D/A 컨버터(도5의 1315)의 출력신호들(S1 ~ S30)에 대응하는 전하들을 저장하고 샘플홀드 출력신호들(SH1 ~ SH60)을 출력한다.

이하, 도 6의 샘플홀드 회로(1316)의 동작을 설명한다.

전술한 바와 같이, 도 5에 도시된 본 발명에 따른 액정표시장치의 소스구동 IC(1310)는 한번에 30 개씩 14회에 걸쳐 신호처리를 수행하고 414 개의 소스신호를 발생시킨다. 도 6을 참조하면, 30 개의 D/A 컨버터(도5의 1315)의 출력신호들(S1 ~ S30)은 버퍼부(1316-1)를 구성하는 버퍼들 중 하나를 통해 버퍼링된다. 버퍼부(1316-1)에서 버퍼링된 아날로그 신호들은 스위칭 제어신호들(SWH1, SWH1B, SWL1, SWL1B)에 응답하여 저장부(1316-3)에 출력된다.

예를 들어, SWH1이 로직 "로우"이고 SWH1B가 로직 "하이"이면, PMOS 트랜지스터들(5, 9)은 턴온되고 PMOS 트랜지스터들(6, 10)은 턴오프된다. 또한, 이 때 NMOS 트랜지스터들(7, 11)은 턴오프되고 NMOS 트랜지스터들(8, 12)은 턴온된다. 이 때, 커패시터들(13, 16, 17, 20)은 버퍼부(1316-1)의 출력신호들에 의해 충전된다.

다음, SWH1이 로직 "하이"이고 SWH1B가 로직 "로우"이면, PMOS 트랜지스터들(5, 9)은 턴오프되고 PMOS 트랜지스터들(6, 10)은 턴온된다. 또한, 이 때 NMOS 트랜지스터들(7, 11)은 턴온되고 NMOS 트랜지스터들(8, 12)은 턴오프된다. 이 때, 커패시터들(14, 15, 18, 19)은 버퍼부(1316-1)의 출력신호들에 의해 충전되고, 커패시터들(13, 16, 17, 20)은 이전 사이클에서 저장된 전압이 출력버퍼(도 5의 1317)를 구동한다.

도 7은 도 5의 소스구동 IC 내에 있는 샘플홀드 회로(1316)의 다른 일례를 나타내는 회로도이다. 도 7의 회로는 도 6의 회로와 유사하고, 스위칭부(1316-4)의 구조가 도 6의 스위칭부(1316-2)와 다르다. 도 7의 샘플홀드 회로(1316)는 버퍼부(1316-1), 스위칭부(1316-4), 및 저장부(1316-3)를 구비한다.

버퍼부(1316-1)는 버퍼들(1 ~ 4)로 구성되어 있고, D/A 컨버터(도 5의 1315)의 출력신호들(S1 ~ S30)을 버퍼링하여 전류구동 능력을 향상시키는 기능을 한다. 스위칭부(1316-2)는 (동일한 스위칭 제어신호에 동작하는 직렬 연결된) 스위치들(5 ~ 12) 각각에 직렬 연결된 MOS 커패시터들(21 ~ 28)로 구성되어 있다. 스위칭 제어신호들(SWH1, SWH1B, SWL1, SWL1B)에 응답하여 버퍼부(1316-1)의 출력신호들을 저장부(1316-3)에 전송한다. 저장부(1316-3)는 커패시터들(13 ~ 20)로 구성되어 있고, D/A 컨버터(도 5의 1315)의 출력신호들(S1 ~ S30)에 대응하는 전하들을 저장하고 샘플홀드 출력신호들(SH1 ~ SH60)을 출력한다.

도 7의 샘플홀드 회로(1316)는 스위칭부(1316-4)만 다르기 때문에, 여기서는 스위칭부(1316-4)의 동작을 중심으로 설명한다.

도 7에서 스위칭부(1316-4)는 스위칭 제어신호들(SWH1, SWH1B, SWL1, SWL1B)에 응답하여 스위칭하는 MOS 트랜지스터들(5 ~ 12)과 복수의 MOS 트랜지스터들(5 ~ 12)들 각각에 직렬 연결된 MOS 커패시터들(21 ~ 28)을 구비한다.

MOS 커패시터들(21 ~ 28)은 MOS 트랜지스터들(5 ~ 12)이 오프되었을 때, 이들 트랜지스터들(5 ~ 12)의 게이트와 드레인 사이 또는 게이트와 소스 사이에 생기는 기생 커패시터에 남아 있는 전하를 흡수해준다. 따라서, MOS 커패시터들(21 ~ 28)을 MOS 트랜지스터들(5 ~ 12)과 직렬 연결하면, 다음 MOS 트랜지스터들(5 ~ 12)이 온 될 때, 커패시터들(13 ~ 20)에 충전되는 데이터(전압)에 에러가 섞이지 않는다.

도 8은 도 5의 소스구동 IC 내에 있는 출력버퍼(1317)의 일례를 나타내는 회로도이다. 도 8을 참조하면, 출력버퍼(1317)는 버퍼부(1317-1), 및 선택부(1317-2)를 구비한다.

버퍼부(1317-1)는 버퍼들(31 ~ 38)로 구성되어 있고, 샘플홀드 회로(1316)의 출력신호들(SH1 ~ SH60)을 버퍼링하여 전류구동 능력을 향상시키는 기능을 한다. 선택부(1317-2)는 멀티플렉서들(41 ~ 44)로 구성되어 있고, 버퍼링된 샘플홀드 회로(1316)의 출력신호들(SH1 ~ SH60)을 수신하여 선택적으로 출력하는 기능을 한다.

이하, 도 8에 도시된 출력버퍼(1317)의 동작을 설명한다.

멀티플렉서(41)는 버퍼링된 샘플홀드 회로(1316)의 출력신호들(SH1, SH2) 중에서 하나를 선택하여 소스신호(Y1)로서 출력한다. 멀티플렉서(42)는 버퍼링된 샘플홀드 회로(1316)의 출력신호들(SH3, SH4) 중에서 하나를 선택하여 소스신호(Y2)로서 출력한다. 같은 식으로, 멀티플렉서(43)는 버퍼링된 샘플홀드 회로(1316)의 출력신호들(SH57, SH58) 중에서 하나를 선택하여 소스신호(Y29)로서 출력한다. 멀티플렉서(44)는 버퍼링된 샘플홀드 회로(1316)의 출력신호들(SH59, SH60) 중에서 하나를 선택하여 소스신호(Y30)로서 출력한다.

도 9a 및 도 9b는 도 4의 소스구동 IC의 동작 타이밍도이다.

도 4를 참조하여 전술한 바와 같이, 소스 구동부(1300)를 구성하는 소스구동 IC 들 중 왼쪽 5 개의 IC들(1310, 1320, 1330, 1340, 1350)과 오른쪽 5 개의 IC(1360, 1370, 1380, 1390, 1395)들은 서로 대칭적으로 동작한다. 따라서, 도 9a와 도 9b에 5 개의 IC들에 대한 동작 타이밍을 나타내었다.

도 9a를 참조하면, 입출력 제어신호(DIO)에 응답하여 소스구동 IC 들이 동작하기 시작한다. 입출력 제어신호(DIO)가 발생되면, 제 1 소스구동 IC부터 시작하여 제 5 소스구동 IC까지 영상 데이터를 수신한다. 1 개의 소스구동 IC가 영상 데이터를 수신하는 데는 10 사이클의 클럭이 소요된다. 따라서, 5 개의 소스구동 IC가 모두 데이터를 수신하는 데는 50 사이클의 클럭이 소요된다. 그리고, 처음 입출력 제어신호(DIO)가 발생한 후 제 1 소스구동 IC가 데이터의 수신을 시작할 때까지 2 사이클의 클럭이 소요된다. 따라서, 처음 입출력 제어신호(DIO)가 발생한 후 5 개의 소스구동 IC가 모두 데이터를 수신하는 데는 52 사이클의 클럭, 즉 1300 ns가 소요된다.

도 9b를 참조하면, 제 1 소스구동 IC에서 제 5 소스구동 IC까지 영상 데이터의 수신을 마친 후 샘플홀드 제어신호(DSS)가 발생된다. 샘플홀드 제어신호(DSS)가 발생되면, 소스구동 IC들 각각의 내부에서 D/A 변환된 신호들이 샘플링되고, 다시 제 1 소스구동 IC에서부터 영상 데이터를 수신하게 된다. 영상 데이터를 수신하는 데 소요되는 52 사이클의 클럭에 데이터 샘플링에 소요되는 28 사이클의 클럭(700 ns)이 더해지면, 영상 데이터를 수신하여 샘플링하는 데 소요되는 클럭 수는 모두 80 사이클이 된다. 즉 2us의 시간이 소요된다. 본 발명에 따른 액정표시장치의 소스구동 회로에 의하여, 414 개의 소스신호를 발생시키려면 한번에 30 개씩 14 번 데이터 수신과 샘플링 동작을 반복해야 한다. 따라서, 5 개의 소스구동 IC들이 영상 데이터를 수신하여 샘플링하는 데 소요되는 전체의 시간(t)은 $t = 1.3 \text{ us} * 14 + 700 \text{ ns} = 18.9 \text{ us}$ 가 된다. 그런데, 한 화면을 스캔하는 데 걸리는 시간은 20 us이므로, 본 발명에 따른 액정표시장치의 소스구동 회로에 의해 데이터의 소스신호를 발생시킬 수 있다. 본 발명의 소스구동 회로는 한 번에 30 개의 소스신호를 14 회에 걸쳐 발생시켜서 414 개의 소스신호를 발생시킨다. 따라서, 본 발명에 따른 액정표시장치의 소스구동 회로는 디코더들과 스트링 저항으로 구성된 D/A 컨버터가 종래의 그것에 비해 30 %의 크기를 갖는다. 그리고, 쉬프트 레지스터와 데이터 래치 회로의 사이즈도 종래에 비해 현저히 줄어들었다.

상기에서는 414개의 소스신호를 발생시키는 액정표시장치의 소스구동 회로를 예로 들어 설명하였지만, 이 기술 분야의 통상의 지식을 가진 자라면 임의의 개수의 소스신호를 발생시키는 액정표시장치의 소스구동회로에 대해서도 본 발명을 적용할 수 있다.

실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 소스구동 회로는 회로가 간단하기 때문에, 집적회로로 구현시 반도체 칩 사이즈를 적게 차지하고, 전력소모가 적다.

(57) 청구의 범위

청구항 1.

클럭신호와 입출력 제어신호에 응답하여 n 비트의 제 1 신호를 발생시키는 쉬프트 레지스터;

상기 제 1 신호를 사용하여 영상 데이터를 샘플링하여 래치하고, 3n 개의 디지털 신호를 발생시키는 데이터 래치 회로;

계조전압을 사용하여 상기 3n 개의 디지털 신호에 대응하는 아날로그 전압신호들을 발생시키는 D/A 컨버터; 및

스위칭 제어신호들의 제어하에 상기 아날로그 전압신호들에 응답하여 샘플홀드를 수행하고 6n 개의 제 2 신호들을 발생시키는 샘플홀드 회로를 구비하는 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 2.

제 1 항에 있어서, 상기 데이터 래치 회로는

로드신호에 응답하여 상기 3n 개의 디지털 신호를 출력하는 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 3.

제 1 항에 있어서, 상기 샘플홀드 회로는

상기 아날로그 전압신호들을 버퍼링하는 버퍼부;

상기 제어신호들에 응답하여 상기 버퍼부의 출력신호들을 출력하는 스위칭부; 및

상기 스위칭부의 출력신호들을 저장하는 저장부를 구비하는 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 4.

제 3 항에 있어서, 상기 버퍼부는

복수의 전압 폴로워(voltage follower)로 구성된 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 5.

제 3 항에 있어서, 상기 스위칭부는

상기 스위칭 제어신호들에 응답하여 스위칭하는 복수의 MOS 트랜지스터들로 구성된 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 6.

제 3 항에 있어서, 상기 스위칭부는

상기 스위칭 제어신호들에 응답하여 스위칭하는 복수의 MOS 트랜지스터들과 상기 복수의 MOS 트랜지스터들 각각에 직렬 연결된 MOS 커패시터들을 구비하는 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 7.

제 3 항에 있어서, 상기 저장부는

복수의 커패시터들로 구성된 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 8.

제 1 항에 있어서, 상기 액정표시장치의 소스구동 회로는

상기 제 2 신호들을 버퍼링하고, 상기 $6n$ 개의 제 2 신호들 중 $3n$ 개의 신호를 선택하여 소스신호들로서 출력하는 출력버퍼를 더 구비하는 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 9.

제 8 항에 있어서, 상기 출력버퍼는

상기 제 2 신호들을 버퍼링하는 버퍼부; 및

상기 버퍼부의 출력신호 들 중 절반을 선택하여 출력하는 선택부를 구비하는 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 10.

제 9 항에 있어서, 상기 선택부는

2 개의 신호를 수신하고 1 개의 신호를 선택하여 출력하는 멀티플렉서들을 구비하는 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 11.

제 1 항에 있어서, 상기 액정표시장치의 소스구동 회로는

샘플홀드 제어신호에 응답하여 상기 스위칭 제어신호들을 발생시키는 샘플홀드 제어회로를 더 구비하는 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 12.

제 1 항에 있어서, 상기 액정표시장치의 소스구동 회로는

상기 계조전압들을 발생시키는 계조전압 발생부를 더 구비하는 것을 특징으로 하는 액정표시장치의 소스구동 회로.

청구항 13.

게이트 제어신호, 클럭신호, 입출력 제어신호, 로드신호, 및 샘플홀드 제어신호를 발생시키는 제어부;

상기 게이트 제어신호에 응답하여 게이트 신호들을 발생시키고 액정 패널상에 배열되어 있는 게이트 라인들에 상기 게이트 신호들을 공급하는 게이트 구동부; 및

상기 클럭신호와 상기 입출력 제어신호에 응답하여 n 비트의 제 1 신호를 발생시키는 쉬프트 레지스터;

상기 제 1 신호를 사용하여 영상 데이터를 샘플링하여 래치하고, 3n 개의 디지털 신호를 발생시키는 데이터 래치 회로;

계조전압을 사용하여 상기 3n 개의 디지털 신호에 대응하는 아날로그 전압신호들을 발생시키는 D/A 컨버터; 및

상기 스위칭 제어신호들의 제어하에 상기 아날로그 전압신호들에 응답하여 샘플홀드를 수행하고 6n 개의 제 2 신호들을 발생시키는 샘플홀드 회로를 구비하는 소스구동부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 14.

제 13 항에 있어서, 상기 샘플홀드 회로는

상기 아날로그 전압신호들을 버퍼링하는 버퍼부;

상기 제어신호들에 응답하여 상기 버퍼부의 출력신호들을 출력하는 스위칭부; 및

상기 스위칭부의 출력신호들을 저장하는 저장부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 15.

제 13 항에 있어서, 상기 액정표시장치의 소스구동 회로는

상기 제 2 신호들을 버퍼링하고, 상기 $6n$ 개의 제 2 신호들 중 $3n$ 개의 신호를 선택하여 소스신호들로서 출력하는 출력버퍼를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 16.

제 13 항에 있어서, 상기 데이터 래치 회로는

상기 로드신호에 응답하여 상기 $3n$ 개의 디지털 신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 17.

제 13 항에 있어서, 상기 액정표시장치의 소스구동 회로는

샘플홀드 제어신호에 응답하여 상기 스위칭 제어신호들을 발생시키는 샘플홀드 제어회로를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 18.

제 13 항에 있어서, 상기 액정표시장치의 소스구동 회로는

상기 계조전압들을 발생시키는 계조전압 발생부를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 19.

클럭신호와 입출력 제어신호에 응답하여 n 비트의 제 1 신호를 발생시키는 단계;

상기 제 1 신호를 사용하여 영상 데이터를 샘플링하여 래치하고, $3n$ 개의 디지털 신호를 발생시키는 단계;

계조전압을 사용하여 상기 $3n$ 개의 디지털 신호에 대응하는 아날로그 전압신호들을 발생시키는 단계; 및

스위칭 제어신호들의 제어하에 상기 아날로그 전압신호들에 응답하여 샘플홀드를 수행하고 $6n$ 개의 제 2 신호들을 발생시키는 단계를 구비하는 것을 특징으로 하는 액정표시장치의 소스구동 방법.

청구항 20.

제 19 항에 있어서, 상기 아날로그 전압신호들에 응답하여 $6n$ 개의 제 2 신호들을 발생시키는 단계는

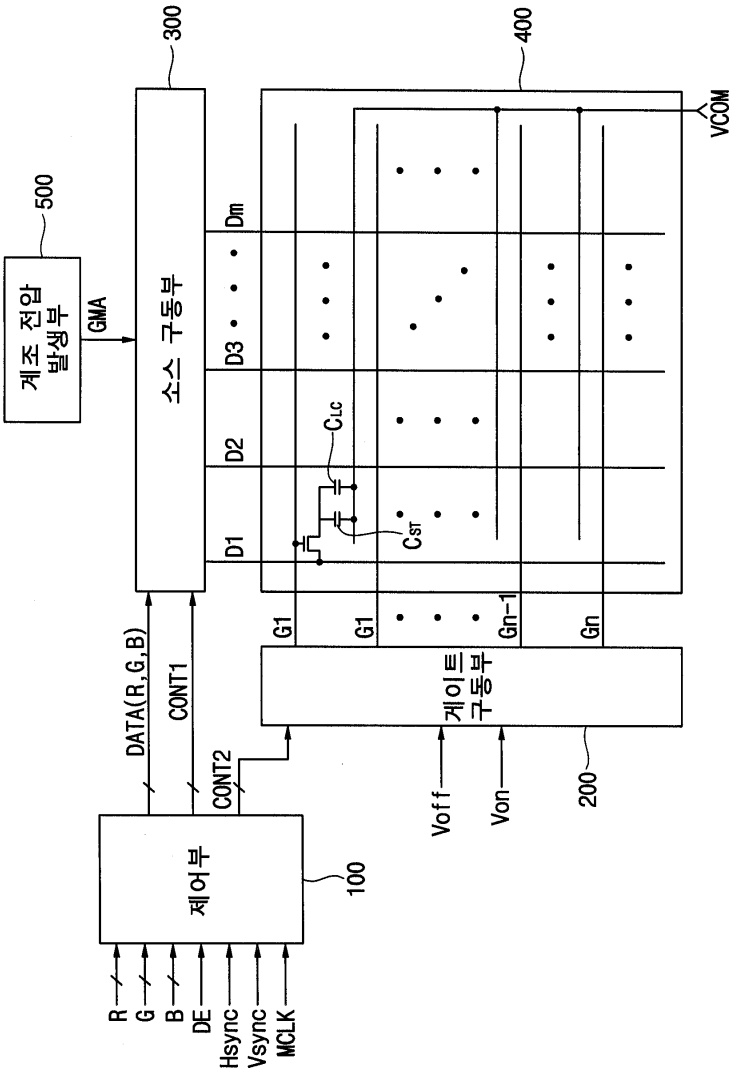
상기 아날로그 전압신호들을 버퍼링하는 단계;

상기 제어신호들에 응답하여 상기 버퍼링된 아날로그 전압신호들을 출력하는 단계; 및

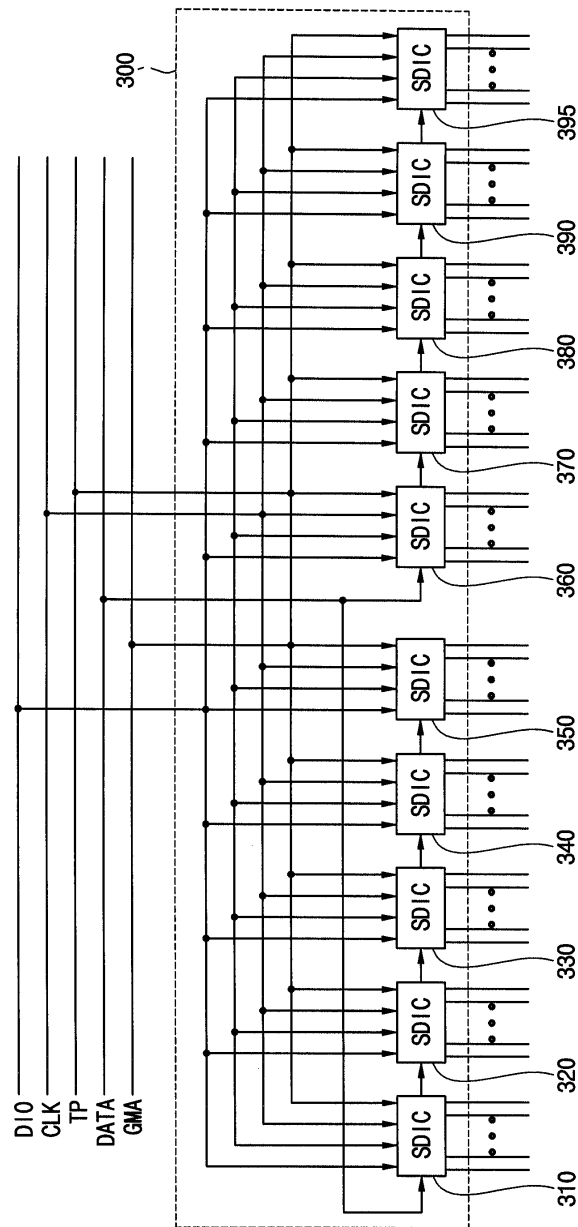
상기 출력된 전압신호들을 저장하는 단계를 구비하는 것을 특징으로 하는 액정표시장치의 소스구동 방법.

도면

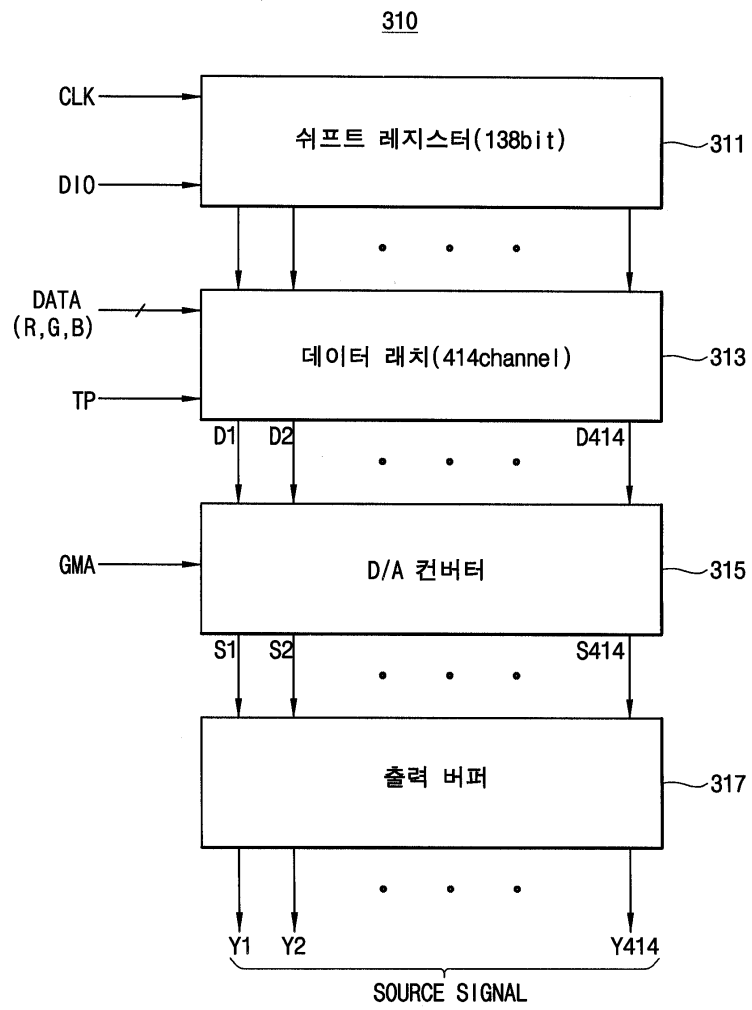
도면1



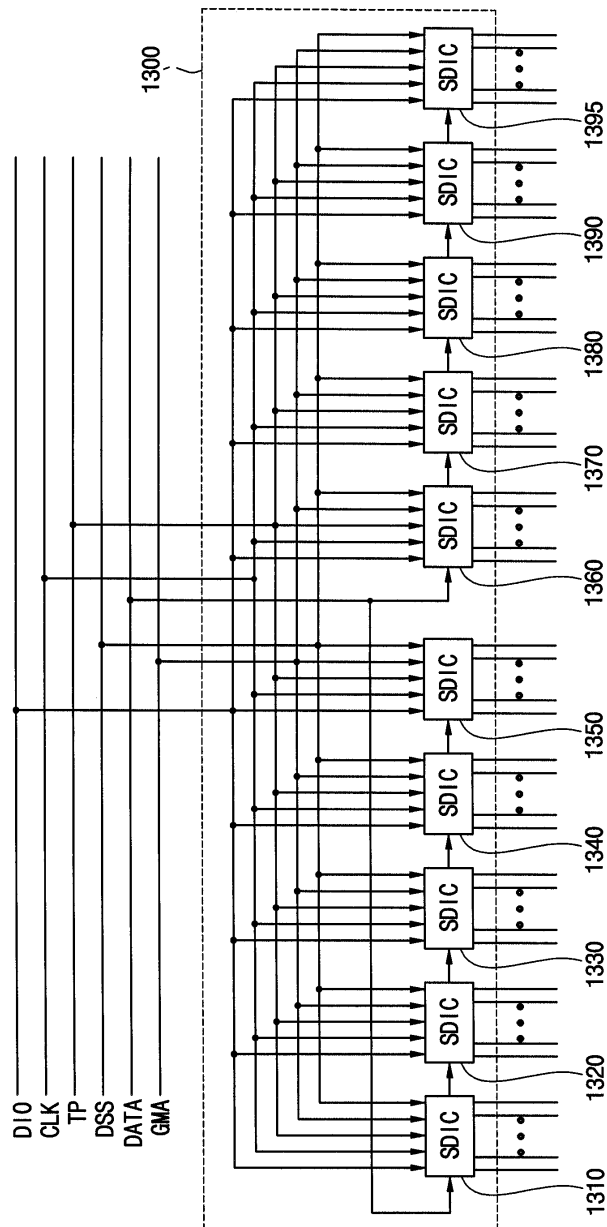
도면2



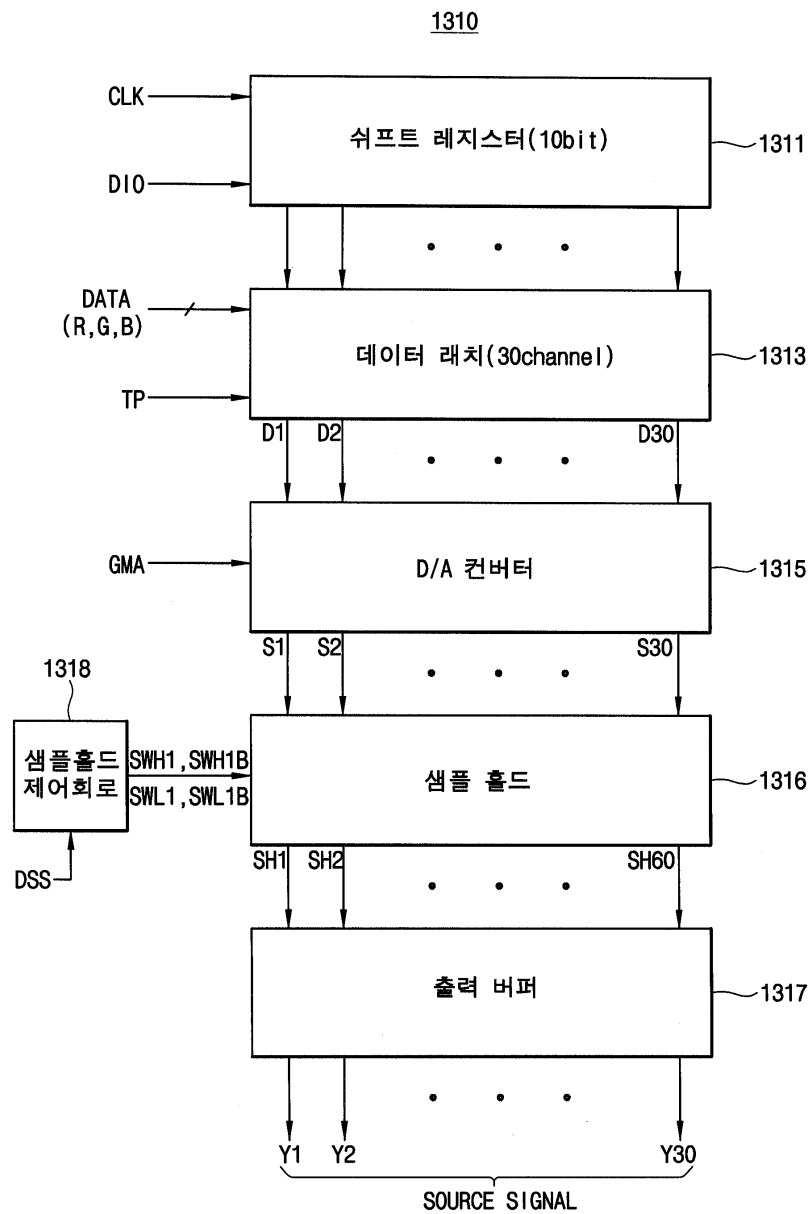
도면3



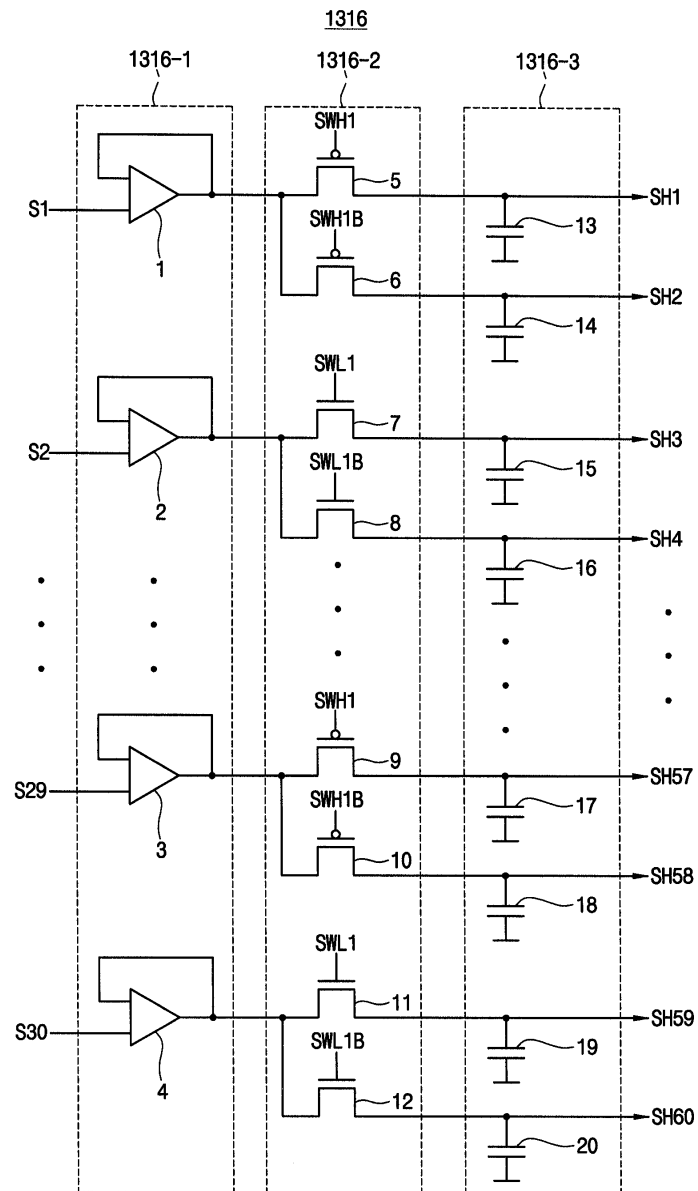
도면4



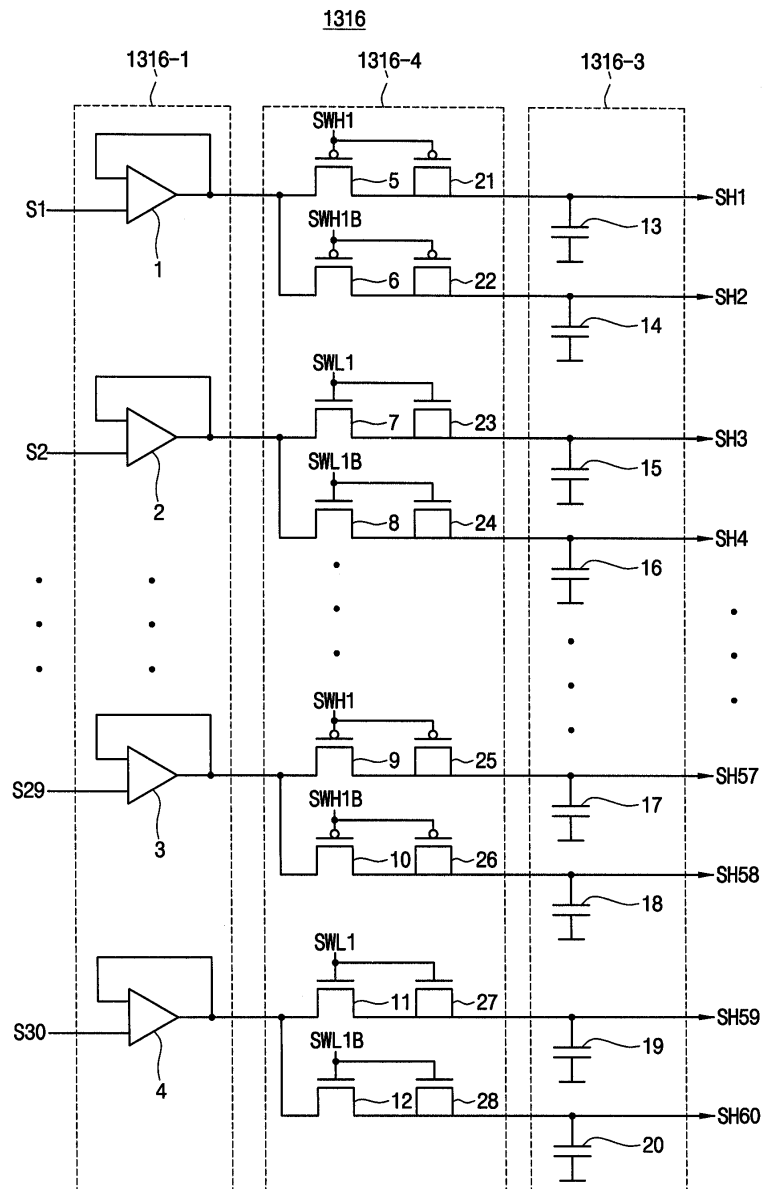
도면5



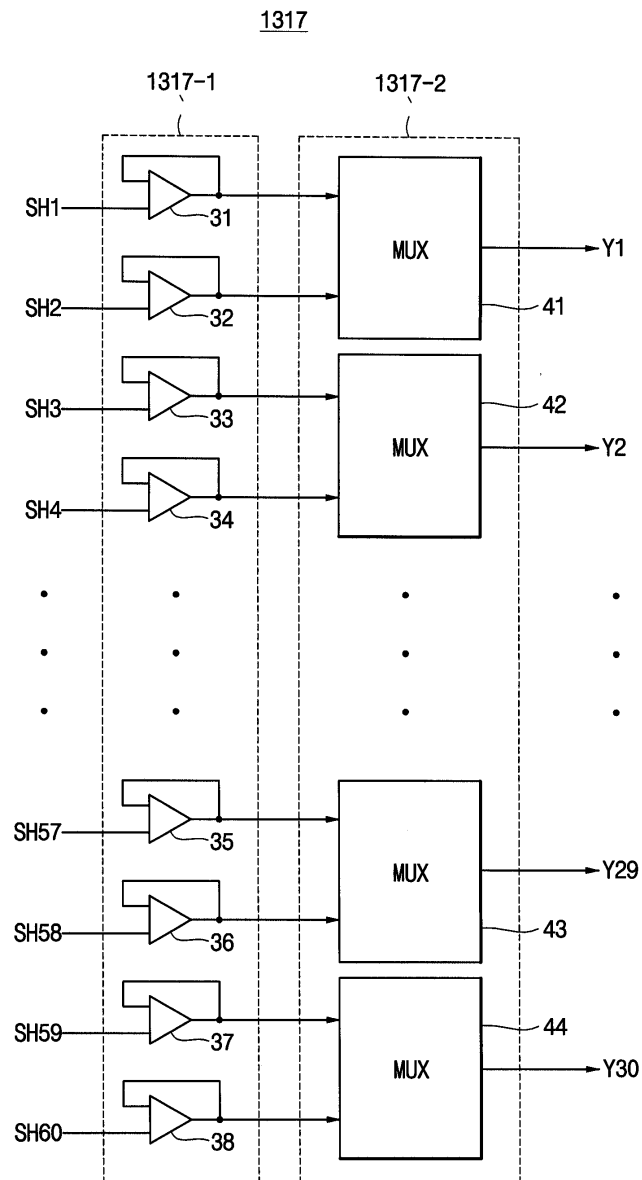
도면6



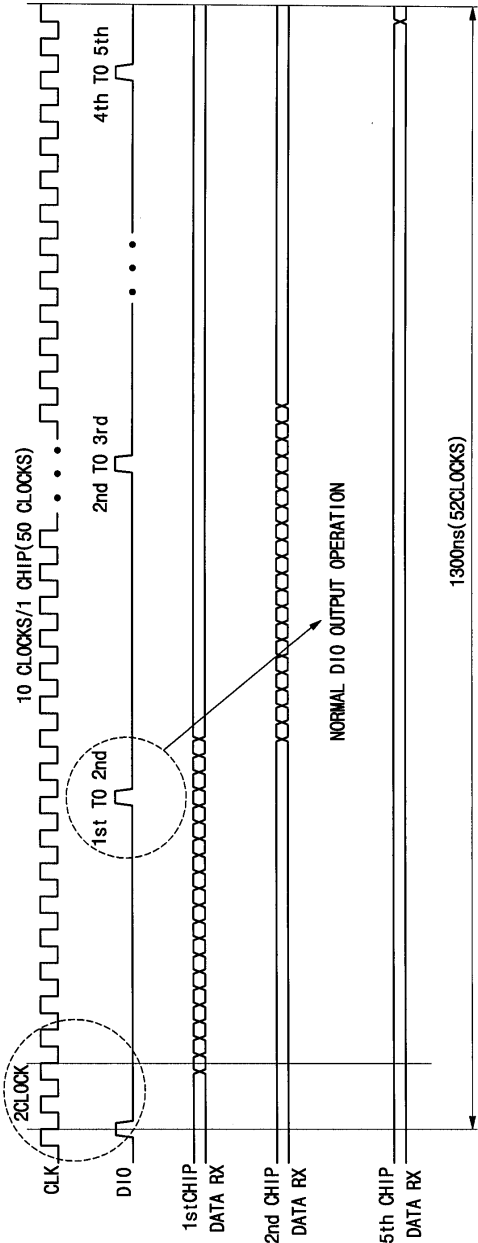
도면7



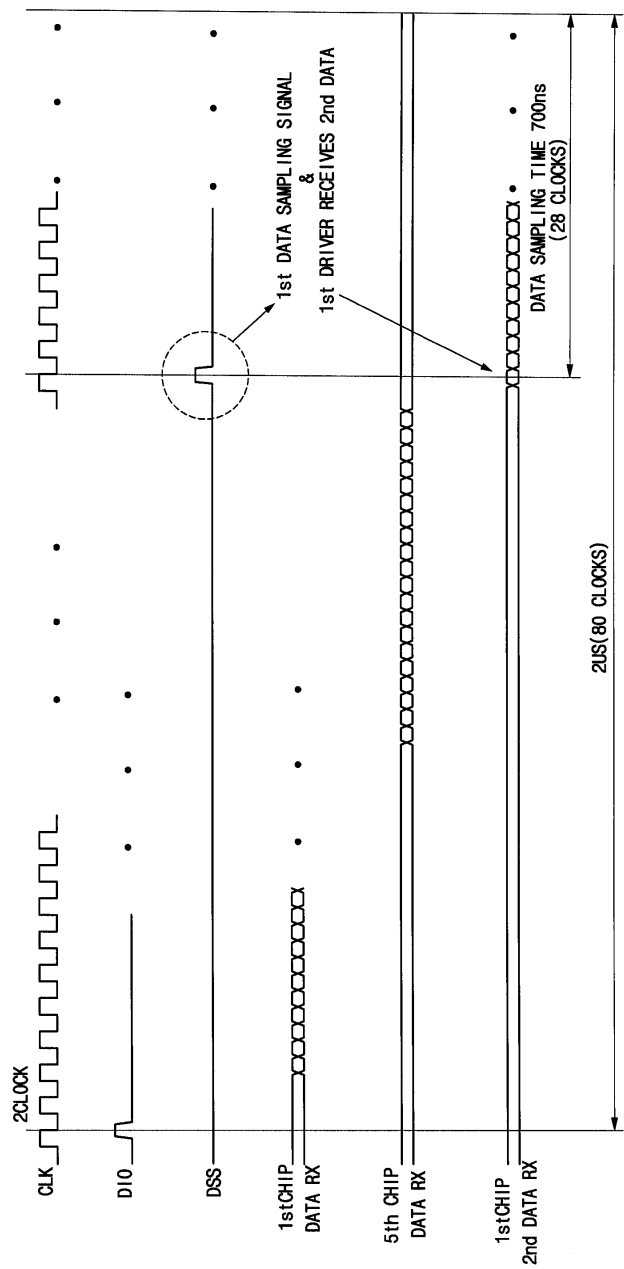
도면8



도면9a



도면9b



专利名称(译)	液晶显示器的源极驱动电路和源极驱动方法		
公开(公告)号	KR1020060065275A	公开(公告)日	2006-06-14
申请号	KR1020040104087	申请日	2004-12-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHOI CHANGHWE 최창휘		
发明人	최창휘		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G3/2011 G09G2310/027 G09G2310/0297		
代理人(译)	英西湖公园		
其他公开文献	KR100611509B1		
外部链接	Espacenet		

摘要(译)

公开了一种使用采样保持技术的液晶显示装置的源极驱动电路和源极驱动方法。液晶显示装置的源极驱动电路包括移位寄存器，数据锁存电路，D/A转换器和采样/保持电路。液晶显示装置的源极驱动电路对与输入图像数据对应的模拟电压信号进行预定次数的采样保持，并输出源信号，使得一次转换的数据量小。因此，液晶显示装置的源极驱动电路简单，并且当通过集成电路实现时，占用小的半导体芯片尺寸并且消耗更少的功率。 五

