

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0022510
G02F 1/133 (2006.01) (43) 공개일자 2006년03월10일

(21) 출원번호 10-2004-0071349

(22) 출원일자 2004년09월07일

(71) 출원인 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 김빈
 서울특별시 양천구 신정7동 신시가지11단지아파트 1107동 1307호
 문수환
 경북 칠곡군 북삼면 인평리 시티타운 301/302
 윤수영
 경기도 군포시 오금동 율곡아파트 349-1604

(74) 대리인 김용인
 심창섭

심사청구 : 없음

(54) 액정표시장치

요약

레이아웃 면적 증가를 줄이고, 리셋 신호 배선의 오버랩으로 인한 기생용량 발생 및 이에 따른 신호 왜곡 현상을 줄이기에 알맞은 액정표시장치를 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 게이트 드라이버를 구비한 액정표시장치에 있어서, 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 선택적으로 2개의 클럭 신호를 입력받고 Vss와 Vdd 신호를 입력받아서, 각 게이트라인에 순차적으로 각각 게이트 구동신호(Vg_out1, Vg_out2, ~, Vg_outn)를 출력하며 전전단 쉬프트 레지스터로 리셋 신호를 출력하는 제 1 내지 제 N 쉬프트 레지스터(50_1, 50_2, 50_3, 50_4, ~, 50_(N-1), 50_N)와; 상기 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 선택적으로 2개의 클럭 신호를 입력받고 상기 Vss와 Vdd 신호를 입력받아서, 전전단 쉬프트 레지스터인 상기 제 (N-1), 제 N 쉬프트 레지스터로 리셋 신호를 출력함과 동시에 자체 리셋 기능이 구비된 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)로 구성됨을 특징으로 한다.

대표도

도 5

색인어

리셋, 쉬프트 레지스터

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 등가회로를 도시한 도면

도 2는 종래 기술에 따른 게이트 드라이버의 구성 블록도

도 3은 일반적인 오버랩 구동에 따른 타이밍도

도 4는 일반적인 오버랩(overlap) 구동과 비오버랩(Non-overlap) 구동에 따른 픽셀 충전 시간의 변화를 비교한 도면

도 5는 본 발명의 실시예에 따른 액정표시장치의 게이트 드라이버의 구성 블록도

도 6은 도 5의 제 1 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터의 회로 구성도

도 7은 도 5의 제 2 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터의 회로 구성도

도 8은 도 5의 제 3 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터의 회로 구성도

도 9는 도 5의 제 4 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터의 회로 구성도

도 10은 제 1, 제 2 더미 쉬프트 레지스터의 각 노드에서의 타이밍도

* 도면의 주요 부분에 대한 부호의 설명 *

50_1 내지 50_N : 제 1 내지 제 N 쉬프트 레지스터

51_1, 51_2 : 제 1, 제 2 더미 쉬프트 레지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 대한 것으로, 특히 레이아웃 공간 손실을 줄이고, 리셋 신호선의 오버랩으로 기생 용량이 증가하여 신호 왜곡 현상이 발생하는 것을 방지하기 위해 알맞은 액정표시장치에 관한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)을 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이와 같은 액정표시장치는 크게 영상신호를 표시하는 액정표시패널과 외부에서 상기 액정표시패널에 구동신호를 인가하는 구동회로로 구분할 수 있다.

상기 액정표시패널은, 도 1에 도시된 바와 같이, 일정한 공간을 갖고 함착된 두 개의 투명 기판(유리 기판) 사이에 액정이 주입된 표시장치로서, 상기 두개의 투명 기판 중 하나에는 일정 간격으로 배열된 복수개의 게이트 라인(G1, G2, G3, ..., GM)과, 게이트 라인에 수직한 방향으로 일정한 간격을 갖고 배열되는 복수개의 데이터 라인(D1, D2, D3, ..., DN)과, 상기 각 게이트 라인과 데이터 라인에 의해 정의된 매트릭스 형태의 각 픽셀 영역에 형성된 복수개의 픽셀전극과, 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 픽셀전극에 인가하는 복수개의 박막트랜지스터(2)가 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성된다. 그리고 나머지 기판에는 칼라필터층, 공통전극(VCOM) 및 블랙 매트릭스층이 형성된다.

따라서, 게이트 라인에 순차적으로 턴 온 신호를 인가하면 그 때마다 해당 라인의 픽셀 전극에 데이터 신호가 인가되므로 영상이 표시된다.

상기 구성을 갖는 박막트랜지스터(Thin Film Transistor:TFT)용 LCD는 내부의 픽셀을 온/오프시키는 스위칭소자로서 TFT(2)를 이용하며, 이 TFT(2)가 온/오프됨에 따라 픽셀들이 온/오프된다.

즉, 일반적인 TFT 액정표시장치는 도 1 에 도시된 바와 같이, 화소를 구성하는 셀(1)들이 어레이 형태로 배열되어 있고, 각 셀(1)들은 스위칭 기능을 하는 TFT(2)와 액정 셀(3), 스토리지 커패시터(C_{STG})로 구성된다. 그리고, 각 TFT(2)의 소스(source)들이 컬럼(column) 방향으로 공통으로 연결되어 데이터라인(D1~DN)을 형성한 후 소스 드라이버(4)에 연결되어 있고, 각 TFT(2)의 게이트(gate)들이 로우(row) 방향으로 공통으로 연결되어 게이트 라인(G1~GM)을 형성한 후 게이트 드라이버(5)에 연결되어 N xM 해상도(예컨대, SVGA는 800x600, XGA는 1024x768, UXGA는 1600x1200)를 갖는 표시장치를 구현하고 있다.

여기서, 소스 드라이버(4)는 데이터 드라이버 혹은 컬럼 드라이버라고도 하고, 게이트 드라이버는 로우(ROW) 드라이버 혹은 스캔(SCAN) 드라이버라고도 한다.

도 1 을 참조하면, 액정 셀(3)은 TFT(2)의 드레인(drain)과 화소전극을 통해 연결되고, 다른 편은 공통전극으로 연결된다. 화소전극은 투명하고 전기 전도성을 갖는 ITO로 만들어지며 TFT 게이트에 온신호가 인가될 때 소스 드라이버(4)를 통해 인가되는 신호전압을 액정 셀(3)에 가해주고, 공통전극은 역시 ITO로 만들어져 액정 셀에 공통전압(VCOM)을 인가한다. 그리고, 스토리지 커패시터(C_{STG})는 화소전극(픽셀 ITO)에 인가된 신호전압을 일정 시간 유지시켜주는 역할을 하며, 충전 및 방전을 통해 액정 셀의 배열 상태를 변화시켜줌으로써 픽셀의 광투과율을 조절한다. 스토리지 커패시터(C_{STG})의 일측은 독립 전극이나 게이트 전극과 연결될 수 있는데, 게이트전극과 연결되는 구조를 스토리지 온 게이트(storage on gate) 방식이라 한다.

그리고, 상기 게이트 드라이버(5)는 쉬프트 레지스터와 레벨 쉬프터, 출력버퍼로 구성되는데, 쉬프트 레지스터는 수직 동기신호와 수직 클럭신호를 입력받아 스캔 펄스를 순차적으로 발생시키고, 레벨 쉬프터는 스캔 펄스를 약 30V 정도로 변환하고, 출력버퍼는 레벨 변환된 스캔 펄스를 각 게이트 라인(G1~GM)에 게이트 구동신호로서 제공한다.

가장 일반적으로 사용되는 게이트 구동방식은 순차적으로 주사하는 순차 주사 방식으로, 순차 주사방식은 1 라인타임(line time:1H) 동안에 1 게이트 라인(gate line; 게이트 라인)만 주사하기 때문에 각 게이트 구동신호가 1H 마다 차례로 게이트 라인(gate line)에 인가된다.

한편, LCD의 대면적화가 진행됨에 따라 데이터 라인(data line)의 저항 및 커패시턴스 부하가 증가하게 되어 데이터 구동 회로가 화소에 화상 신호를 전달(충전)할 시간이 부족하게 된다. 이로 인한 화소의 불충분한 충전은 화질 저하로 이어지기 때문에 반드시 해결해야 할 과제이다.

이하, 첨부 도면을 참조하여 종래의 액정표시장치에 대하여 설명하면 다음과 같다.

도 2는 종래 기술에 따른 게이트 드라이버의 구성 블록도이다.

도 2는 종래의 액정표시장치중 게이트 드라이버의 복수개의 쉬프트 레지스터를 도시한 것으로, 복수개의 쉬프트 레지스터(20_1, 20_2, ~, 20_N)는 제 1, 제 2 클럭신호(CKV, CKVB)와 VSS와 VDD와 스캔 개시 신호(STV)의 출력을 받아서 각 게이트라인에 순차적으로 각각 게이트 구동신호(GOUT1, GOUT2, ~, GOUTN)를 출력하는 것으로, 제 1, 제 2 클럭신호(CKV, CKVB)는 각 쉬프트 레지스터에 교번으로 인가되고, STV는 제 1 쉬프트 레지스터(20_1)에 인가된다.

또한, 상기 쉬프트 레지스터들은 다음단의 쉬프트 레지스터의 출력에 의해 리셋되는 것으로, 마지막 쉬프트 레지스터(20_N)를 리셋시키기 위해서 마지막 쉬프트 레지스터(20_N)의 뒤에 반드시 하나 이상의 더미 쉬프트 레지스터(21)를 구비하여야 한다.

상기와 같이 더미 쉬프트 레지스터(21)를 구비하여 마지막 쉬프트 레지스터(20_N)를 리셋시킬 경우, 상기 더미 쉬프트 레지스터(21)를 리셋시킬 수단이 필요한데, 종래에는 스캔 개시 신호(STV)를 더미 쉬프트 레지스터(21)의 리셋단(CT)까지 연결하여 리셋 동작을 수행하도록 구성되어 있다.

상술한 바에 의하면 종래 기술에 따른 액정표시장치는 다음과 같은 문제점이 있다.

첫째, 상기와 같이 스캔 개시 신호(STV)를 더미 쉬프트 레지스터(21)에 연결하여 리셋 동작을 수행할 경우, 스캔 개시 신호(STV)의 배선을 복수개의 쉬프트 레지스터 전체에 걸쳐 연장 형성해야 하므로 레이아웃 면적이 증가하게 되는 문제가 있다.

둘째, 스캔 개시 신호(STV)의 배선을 세로 방향으로 배열해야 하기 때문에 가로 방향으로 배열된 라인들(제 1, 제 2 클럭 신호(CKV,CKVB))과의 오버랩으로 인해 기생용량이 증가하고, 증가된 기생용량에 의해 신호 왜곡 현상이 발생할 가능성이 높다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로, 본 발명의 목적은 레이아웃 면적 증가를 줄이고, 리셋 신호 배선의 오버랩으로 인한 기생용량 발생 및 이에 따른 신호 왜곡 현상을 줄이기에 알맞은 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 게이트 드라이버를 구비한 액정표시장치에 있어서, 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 선택적으로 2개의 클럭 신호를 입력받고 Vss와 Vdd 신호를 입력받아서, 각 게이트라인에 순차적으로 각각 게이트 구동신호(Vg_out1, Vg_out2, ~, Vg_outn)를 출력하며 전전단 쉬프트 레지스터로 리셋 신호를 출력하는 제 1 내지 제 N 쉬프트 레지스터(50_1, 50_2, 50_3, 50_4, ~, 50_(N-1), 50_N)와; 상기 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 선택적으로 2개의 클럭 신호를 입력받고 상기 Vss와 Vdd 신호를 입력받아서, 전전단 쉬프트 레지스터인 상기 제 (N-1), 제 N 쉬프트 레지스터로 리셋 신호를 출력함과 동시에 자체 리셋 기능이 구비된 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)로 구성됨을 특징으로 한다.

상기 제 1 쉬프트 레지스터(50_1)는 스캔 개시 신호(Vst)를 받아 구동하도록 구성되고, 상기 제 2 쉬프트 레지스터 내지 제 2 더미 쉬프트 레지스터(50_2, ..., 50_(N-1), ..., 51_2)는 순차적으로 이전 쉬프트 레지스터의 출력 신호를 받아 구동하도록 구성됨을 특징으로 한다.

상기 제 1 더미 쉬프트 레지스터(51_1)는, 상기 제 N 쉬프트 레지스터의 게이트 출력 신호단(Vg_outn)으로 부터 신호를 입력받아서 턴온 여부가 결정되며 Vg_outn와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T11)와, 상기 Vg_outn을 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 2 트랜지스터(T12)와, 상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 3 트랜지스터(T13)로 구성된 풀업 구동부와; 상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 제 1 클럭 신호(C1) 입력단과 제 1 더미 게이트 출력 신호단(Vg_더미1) 사이에 연결된 제 4 트랜지스터(T14)로 구성된 풀업부와; 상기 제 3 클럭신호(C3)를 입력받아서 턴온 여부가 결정되며 상기 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T15)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 QB노드와 접지 전압단 사이에 연결된 제 6 트랜지스터(T16)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 Q노드와 접지 전압단 사이에 연결된 제 7 트랜지스터(Q17)로 구성된 풀다운 구동부와; 상기 QB노드 신호를 입력받아서 턴온 여부가 결정되며 상기 제 1 더미 게이트 출력 신호단(Vg_더미1)과 접지전압단 사이에 연결된 제 8 트랜지스터(T18)로 구성된 풀다운부를 포함하고, 상기 제 2 더미 쉬프트 레지스터(51_2)는, 상기 제 1 더미 게이트 출력 신호단(Vg_더미1)의 신호를 입력받아서 턴온 여부가 결정되며 상기 Vg_더미1와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T21)와, 상기 Vg_더미1의 신호를 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 2 트랜지스터(T22)와, 상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 일단이 접지전압단 사이에 연결된 제 3 트랜지스터(T23)로 구성된 풀업 구동부와; 상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 제 2 클럭 신호(C2)단과 제 2 더미 게이트 출력 신호단(Vg_더미2) 사이에 연결된 제 4 트랜지스터(T24)로 구성된 풀업부와; 상기 제 4 클럭신호(C4)를 입력받아서 턴온 여부가 결정되며 상기 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T25)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 QB 노드와 접지전압단 사이에 연결된 제 6 트랜지스터(T26)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 Q노드와 접지전압단 사이에 연결된 제 7 트랜지스터(Q27)로 구성된 풀다운 구동부와; 상기 QB노드 신호를 입력받아서 턴온 여부가 결정되며 상기 제 2 더미 게이트 출력 신호단(Vg_더미2)과 접지전압단 사이에 연결된 제 8 트랜지스터(T28)로 구성된 풀다운부를 포함함을 특징으로 한다.

상기 제 1 더미 쉬프트 레지스터(51_1)는, 상기 제 N 쉬프트 레지스터의 게이트 출력 신호단(Vg_outn)으로 부터 신호를 입력받아서 턴온 여부가 결정되며 Vg_outn와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T11)와, 상기 Vg_outn

압단 사이에 연결된 제 6 트랜지스터(T26)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 Q노드와 접지전압단 사이에 연결된 제 7 트랜지스터(Q27)로 구성된 풀다운 구동부와; 상기 QB노드 신호를 입력받아서 턴온 여부가 결정되며 상기 제 2 더미 게이트 출력 신호단(Vg_더미2)과 접지전압단 사이에 연결된 제 8 트랜지스터(T28)로 구성된 풀다운부를 더 포함함을 특징으로 한다.

일반적으로 액정표시장치의 게이트 구동방식은 순차적으로 주사하는 순차 주사 방식이 사용된다. 상기 순차 주사방식은 1라인타임(line time:1H) 동안에 1 게이트 라인(gate line; 게이트 라인)만 주사하기 때문에 각 게이트 구동신호가 1H 마다 차례로 게이트 라인(gate line)에 인가된다.

한편, LCD의 대면적화가 진행됨에 따라 게이트 라인(gate line)의 저항 및 커패시턴스 부하가 증가하게 되어 데이터 구동회로가 화소에 화상 신호를 전달(충전)할 시간이 부족하게 된다. 이로 인한 화소의 불충분한 충전은 화질 저하로 이어지기 때문에 반드시 해결해야 할 과제로 대두되고 있다.

이에 따라서 근래에는 게이트 구동방식으로 오버랩 구동 방식을 사용하고 있는데, 이하 첨부 도면을 참조하여 설명하면 다음과 같다.

도 3은 일반적인 오버랩 구동 방식에 따른 타이밍도이고, 도 4는 일반적인 오버랩(overlap) 구동과 비오버랩(Non-overlap) 구동 방식에 따른 픽셀 충전 시간의 변화를 비교한 도면이다.

액정표시장치의 게이트 구동방식중 오버랩 구동 방식의 경우, 도 3에 도시한 바와 같이, 1/2 구간 시간(duration time)이 겹치는 총 1.5H의 펄스 구간 시간(pulse duration time)을 갖는 순환하는 클럭신호들(C1, C2, C3, C4)을 받아 구동하며, 이에 따라서 1.5H의 펄스폭을 갖는 오버랩된 순차적인 게이트 구동 신호(VgOUT1, VgOUT2, VgOUT3, VgOUT4,...)를 발생시킨다.

따라서 비정질 실리콘 트랜지스터를 이용하여 게이트 드라이버를 구현하는 경우, 출력 파형의 늘어짐(라이징/폴링 타임의 증가) 현상이 발생하여도 픽셀의 유효 충전 시간을 확보할 수 있다.

상기와 같이 오버랩 구동 방식을 사용할 경우를 비오버랩(Non-Overlap) 구동 방식을 사용할 경우와 비교하면, 도 4에 도시한 바와 같이, 비정질 실리콘 트랜지스터를 이용하여 게이트 드라이버를 구현하는 경우, 출력 파형의 늘어짐 현상이 발생한다. 이러한 출력 파형의 늘어짐 현상은 해상도가 증가하면 게이트라인의 로드(load)가 증가하여 더욱 심해진다.

비오버랩 구동인 경우, 출력 파형의 늘어짐 현상에 의하여 게이트 출력 파형 초기에는 부분적으로 턴온되기 때문에 게이트 라인에 불충분한 출력 파형이 인가되어 픽셀 충전을 위한 유효 충전 시간이 감소된다(빗금친 부분).

이에 비해서, 오버랩 구동인 경우, 반주기 전에 미리 게이트라인이 온(On) 되기 시작하여 소오스 데이터가 바뀔 때에는 완전히 턴온(On) 상태에 이르게 되어 픽셀 충전을 위한 충분한 유효 충전 시간을 확보할 수 있다.

이러한 유효 충전 시간의 확보는 해상도 증가에 따라 충전 시간이 감소하는 경우 더욱 큰 효과를 나타낸다.

예를 들어 QVGA인 경우 1H=61 μ m이며, 따라서 게이트 출력 파형의 라이징/폴링 타임이 대략 10 μ m라고 하더라도 대략 40 μ m의 충전 시간을 갖는다. 그러나 XGA의 경우, 1픽셀 충전을 위한 시간은 대략 20 μ sec이며, 라이징/폴링 타임이 5 μ sec라고 하면 대략 10 μ sec의 충전시간을 갖는다.

일반적으로 비오버랩(Non-overlap) 구동의 경우는 종래 기술에서와 같이 다음 쉬프트 레지스터의 출력을 이용하여 현재 쉬프트 레지스터를 리셋시키는 것인데 비해, 상기와 같이 오버랩 구동의 경우는 클럭이 오버랩된 구간을 피하여 다음 다음 단 출력을 이용하여 현재단을 리셋시키게 된다.

이하, 오버랩 구동 방식에 의해 구동하는 본 발명의 바람직한 실시예에 따른 액정표시장치에 대하여 설명하기로 한다.

도 5는 본 발명의 실시예에 따른 액정표시장치의 게이트 드라이버의 쉬프트 레지스터의 구성 블록도이다.

도 5는 오버랩 구동시의 본 발명의 실시예에 따른 액정표시장치의 게이트 드라이버의 쉬프트 레지스터들의 구성에 대한 것으로, 제 1 내지 제 N 쉬프트 레지스터(50_1, 50_2, 50_3, 50_4, ..., 50_(N-1), 50_N)와, 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)로 구성되어 있다.

상기 제 1 내지 제 N 쉬프트 레지스터(50_1, 50_2, 50_3, 50_4, ~, 50_(N-1), 50_N)와, 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)는 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 선택적으로 2개를 입력받고, Vss와 Vdd 신호를 입력받아서, 각 게이트라인에 순차적으로 각각 게이트 구동신호(Vg_out1, Vg_out2, ~, Vg_outn)를 출력하며, 전전단 쉬프트 레지스터로 리셋 신호를 출력한다.

그리고 제 1 쉬프트 레지스터(50_1)는 스캔 개시 신호(Vst)를 받아서 동작하고, 이하 제 2 내지 제 2 더미 쉬프트 레지스터(50_2, ~, 51_2)는 순차적으로 이전 쉬프트 레지스터의 출력 신호를 받아 구동한다.

제 1 내지 제 4 클럭신호(C1~C4)의 각 쉬프트 레지스터로의 입력 관계를 설명하면 다음과 같다.

먼저, 제 1 쉬프트 레지스터(50_1)에는 제 1, 제 3 클럭 신호(C1, C3)가 인가되고, 제 2 쉬프트 레지스터(50_2)에는 제 2, 제 4 클럭 신호(C2, C4)가 인가되고, 제 3 쉬프트 레지스터(50_3)에는 제 3, 제 1 클럭 신호(C3, C1)가 인가되고, 제 4 쉬프트 레지스터(50_4)에는 제 4, 제 2 클럭 신호(C4, C2)가 인가된다. 그리고 이하 제 5 쉬프트 레지스터(50_5)에서부터 제 N 쉬프트 레지스터(50_N)에는 상기 순서대로 2개의 클럭신호들이 순차적으로 각 쉬프트 레지스터에 인가된다. 그리고 제 1 더미 쉬프트 레지스터(51_1)에는 제 1, 제 3 클럭 신호(C1, C3)가 인가되고, 제 2 더미 쉬프트 레지스터(51_2)에는 제 2, 제 4 클럭 신호(C2, C4)가 인가된다.

본 발명은 오버랩 구동시의 쉬프트 레지스터들을 나타낸 것으로, 각 쉬프트 레지스터를 리셋시키는 역할은 다음 다음단의 쉬프트 레지스터가 담당한다. 따라서 제 N 쉬프트 레지스터를 리셋시키려면 2개의 더미 쉬프트 레지스터가 필요하다.

상기의 이유에 의해 구성된 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)는 각각 제 (N-1), 제 N 쉬프트 레지스터(50_(N-1), 50_N)를 리셋시킨다.

상기와 같이 구성된 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)는 자체 QB노드에 의해서 리셋이 가능하도록 구성되어 있다.

이하, 자체 리셋(Reset) 기능을 구비한 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)의 회로 구성에 대하여 설명하기로 한다.

먼저, 본 발명의 제 1 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)의 구성에 대하여 설명한다.

도 6은 도 5의 제 1 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터의 회로 구성도이다.

도 6에 도시한 바와 같이, 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)는 각각 제 1 내지 제 8 트랜지스터(T11~T18, T21~T28)로 구성되어 있는데, 각각 풀업 구동부와 풀다운 구동부와 풀업부와 풀다운부로 구성되어 있다.

먼저, 본 발명의 제 1 실시예에 따른 제 1 더미 쉬프트 레지스터(51_1)의 좀 더 자세한 회로 구성에 대하여 설명한다.

도 6에 도시한 바와 같이, 풀업 구동부는 Vg_outn 신호를 입력받아서 턴온 여부가 결정되며 Vg_outn와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T11)와, Vg_outn을 입력받아서 턴온 여부가 결정되며 일단이 접지전압단 사이에 연결된 제 2 트랜지스터(T12)와, 상기 Q노드의 신호를 입력받아 턴온 여부가 결정되며 일단이 접지전압단 사이에 연결된 제 3 트랜지스터(T13)로 구성된다.

그리고 풀업부는 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 제 1 클럭 신호(C1) 입력단과 제 1 더미 게이트 출력 신호단(Vg_더미1) 사이에 연결된 제 4 트랜지스터(T14)로 구성된다.

그리고 풀다운 구동부는 제 3 클럭신호(C3)를 입력받아서 턴온 여부가 결정되며 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T15)와, QB노드의 신호를 입력받아서 턴온 여부가 결정되며 QB와 접지전압단 사이에 연결된 제 6 트랜지스터(T16)와, QB노드의 신호를 입력받아서 턴온 여부가 결정되며 Q노드와 접지전압단 사이에 연결된 제 7 트랜지스터(Q17)로 구성된다.

그리고 풀다운부는 QB노드 신호를 입력받아서 턴온 여부가 결정되며 제 1 더미 게이트 출력 신호단(Vg_더미1)과 접지전압단 사이에 연결된 제 8 트랜지스터(T18)로 구성된다.

다음에, 본 발명의 제 1 실시예에 따른 제 2 더미 쉬프트 레지스터(51_2)의 자세한 회로 구성에 대하여 설명한다.

도 6에 도시한 바와 같이, 제 2 더미 쉬프트 레지스터(51_2)의 풀업 구동부, 풀다운 구동부, 풀업부 및 풀다운부의 구성은, 제 1 더미 쉬프트 레지스터(51_1)의 V_{g_outn1} 이 $V_{g_더미1}$, 제 1 클럭신호(C1)가 제 2 클럭신호(C2), 제 3 클럭신호(C3)가 제 4 클럭신호(C4), 제 1 더미 게이트 출력 신호단($V_{g_더미1}$)이 제 2 더미 게이트 출력 신호단($V_{g_더미2}$)으로 변환된 것을 제외하고는 동일한 구성 및 연결 관계를 갖는다.

즉, 풀업 구동부는 제 1 더미 게이트 출력 신호단($V_{g_더미1}$)의 신호를 입력받아서 턴온 여부가 결정되며 $V_{g_더미1}$ 와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T21)와, $V_{g_더미1}$ 을 입력받아서 턴온 여부가 결정되며 일단이 접지전압단 사이에 연결된 제 2 트랜지스터(T22)와, 상기 Q노드의 신호를 입력받아 턴온 여부가 결정되며 일단이 접지전압단 사이에 연결된 제 3 트랜지스터(T23)로 구성된다.

그리고 풀업부는 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 제 2 클럭 신호(C2)단과 제 2 더미 게이트 출력 신호단($V_{g_더미2}$) 사이에 연결된 제 4 트랜지스터(T24)로 구성된다.

그리고 풀다운 구동부는 제 4 클럭신호(C4)를 입력받아서 턴온 여부가 결정되며 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T25)와, QB노드의 신호를 입력받아서 턴온 여부가 결정되며 QB와 접지전압단 사이에 연결된 제 6 트랜지스터(T26)와, QB노드의 신호를 입력받아서 턴온 여부가 결정되며 Q노드와 접지전압단 사이에 연결된 제 7 트랜지스터(Q27)로 구성된다.

그리고 풀다운부는 QB노드 신호를 입력받아서 턴온 여부가 결정되며 제 2 더미 게이트 출력 신호단($V_{g_더미2}$)과 접지전압단 사이에 연결된 제 8 트랜지스터(T28)로 구성된다.

상기에서 제 1 더미 게이트 출력 신호단($V_{g_더미1}$)은 제 (N-1) 쉬프트 레지스터(50_(N-1))의 리셋단에 연결되고, 제 2 더미 게이트 출력 신호단($V_{g_더미2}$)은 제 N 쉬프트 레지스터(50_N)의 리셋단에 연결된다.

상기와 같이 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)는, 전전단 쉬프트 레지스터의 리셋단에 연결되어 전전단 쉬프트 레지스터의 리셋 기능을 수행함과 동시에 QB노드가 제 7 트랜지스터에 인가됨에 의해서 자체적으로 리셋 기능을 수행하도록 구성되어 있다.

다음에, 첨부 도면을 참조하여 본 발명의 제 2 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)의 구성에 대하여 설명한다.

도 7은 도 5의 제 2 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터의 회로 구성도이다.

본 발명의 제 2 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)는, 도 7에 도시한 바와 같이, 각각 제 1, 제 2 더미 게이트 출력 신호단($V_{g_더미1}$, $V_{g_더미2}$)과 접지전압단 사이에 제 8 트랜지스터(T18, T28)가 형성되지 않은 것을 제외하고는 본 발명의 제 1 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)와 그 구성 및 연결 관계가 동일하므로 이하 생략하기로 한다. 이때 풀다운 구동부를 구성하는 트랜지스터들은 풀업부를 오프(OFF) 시키는 역할을 한다.

다음에, 첨부 도면을 참조하여 본 발명의 제 3 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)의 구성에 대하여 설명한다.

도 8은 도 5의 제 3 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터의 회로 구성도이다.

본 발명의 제 3 실시예에 따른 제 1 더미 쉬프트 레지스터(51_1)는, 도 8에 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 제 1 더미 쉬프트 레지스터(51_1)와 그 구성이 동일하고, 본 발명의 제 3 실시예에 따른 제 2 더미 쉬프트 레지스터(51_2)는, 본 발명의 제 2 실시예에 따른 제 2 더미 쉬프트 레지스터(51_2)와 그 구성이 동일하므로 이하, 생략하기로 한다.

다음에, 첨부 도면을 참조하여 본 발명의 제 4 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)의 구성에 대하여 설명한다.

도 9는 도 5의 제 4 실시예에 따른 제 1, 제 2 더미 쉬프트 레지스터의 회로 구성도이다.

본 발명의 제 4 실시예에 따른 제 1 더미 쉬프트 레지스터(51_1)는, 도 9에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 제 1 더미 쉬프트 레지스터(51_1)와 그 구성이 동일하고, 본 발명의 제 4 실시예에 따른 제 2 더미 쉬프트 레지스터(51_2)는 본 발명의 제 1 실시예에 따른 제 2 더미 쉬프트 레지스터(51_2)와 그 구성이 동일하므로 이하, 생략하기로 한다.

상기 구성을 갖는 액정표시장치에서 제 1, 제 2 더미 쉬프트 레지스터의 각 노드에서의 동작을 설명하면 다음과 같다.

도 10은 제 1, 제 2 더미 쉬프트 레지스터의 각 노드에서의 타이밍도이다.

스캔 개시 신호(Vst)가 인가되고, 제 1 내지 제 4 클럭 신호(C1~C4)가 순차적으로 "하이(High)" 펄스를 출력하면, 1프레임동안 제 1 내지 제 N 쉬프트 레지스터들은 순차적으로 게이트 출력단으로 게이트 신호를 출력시킨다.

상기에서 제 N 쉬프트 레지스터의 Vg_outn으로 "하이(High)" 신호가 출력되면, Vg_outn을 입력받은 제 1 더미 쉬프트 레지스터의 제 1 트랜지스터(T11)는 턴온되고 Q노드로 "하이(High)"신호를 출력하고, 제 3 트랜지스터(T13)도 턴온되어 QB 노드로 "로우(Low)"신호를 출력한다.

이후에 풀업부인 제 4 트랜지스터(T14)가 턴온되고, 제 1 클럭 신호(C1)가 인가되면 Q 노드는 풀업되고, 제 1 더미 게이트 출력 신호단(Vg_더미1)으로 "하이" 레벨의 신호가 출력되고, 이 신호가 제 (N-1) 쉬프트 레지스터(50_(N-1))의 리셋 단으로 출력된다. 이때, 제 3 트랜지스터(T13)는 턴온된 상태이므로 QB 노드는 "로우" 상태를 유지한다.

다음에 제 2 클럭 신호(C2)가 들어오면 Q노드는 "로우" 신호를 출력하고 QB노드는 "하이"신호를 출력한다.

제 3 클럭신호(C3)가 들어올 때 QB노드는 "하이"가 되어 제 5, 6, 7 트랜지스터는 턴온되어서 자체적으로 풀다운 구동하여 제 1 더미 쉬프트 레지스터(51_1)는 자체적으로 리셋된다.

제 2 더미 쉬프트 레지스터(51_2)도 제 1 쉬프트 레지스터(51_1)의 더미 게이트 출력신호를 받고 제 2, 제 4 클럭신호(C2, C4)가 인가되어 상기과 같이 제 N 쉬프트 레지스터를 리셋시키기 위한 신호와 자체 리셋 동작을 수행한다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범위에 의하여 정해져야 한다.

발명의 효과

상기와 같은 본 발명에 따른 액정표시장치는 다음과 같은 효과가 있다.

첫째, 오버랩 구동시 제 1, 제 2 더미 쉬프트 레지스터는 자체의 QB 노드를 이용하여 리셋이 가능하도록 구성되어 있기 때문에 종래의 스캔 개시 신호를 연장 형성할 필요가 없으므로 레이아웃 면적을 줄일 수 있다.

둘째, 오버랩 구동시 제 1, 제 2 더미 쉬프트 레지스터는 자체의 QB 노드를 이용하여 리셋이 가능하도록 구성되어 있기 때문에 종래의 스캔 개시 신호가 다른 신호 라인과 오버랩되어 기생 용량이 증가하고 이에 따라 신호 왜곡 문제가 발생하는 것을 방지할 수 있다.

이에 따라서 쉬프트 레지스터의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

게이트 드라이버를 구비한 액정표시장치에 있어서,

제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 선택적으로 2개의 클럭 신호를 입력받고 Vss와 Vdd 신호를 입력받아서, 각 게이트라인에 순차적으로 각각 게이트 구동신호(Vg_out1, Vg_out2, ~, Vg_outn)를 출력하며 전전단 쉬프트 레지스터로 리셋 신호를 출력하는 제 1 내지 제 N 쉬프트 레지스터(50_1, 50_2, 50_3, 50_4, ~, 50_(N-1), 50_N)와;

제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 선택적으로 2개의 클럭 신호를 입력받고 Vss와 Vdd 신호를 입력받아서, 전전단 쉬프트 레지스터인 상기 제 (N-1), 제 N 쉬프트 레지스터로 리셋 신호를 출력함과 동시에 자체 리셋 기능이 구비된 제 1, 제 2 더미 쉬프트 레지스터(51_1, 51_2)로 구성됨을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 쉬프트 레지스터(50_1)는 스캔 개시 신호(Vst)를 받아 구동하도록 구성되고, 상기 제 2 쉬프트 레지스터 내지 제 2 더미 쉬프트 레지스터(50_2, ..., 50_(N-1), ..., 51_2)는 순차적으로 이전 쉬프트 레지스터의 출력 신호를 받아 구동하도록 구성됨을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 더미 쉬프트 레지스터(51_1)는,

상기 제 N 쉬프트 레지스터의 게이트 출력 신호단(Vg_outn)으로부터 신호를 입력받아서 턴온 여부가 결정되며 Vg_outn와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T11)와, 상기 Vg_outn을 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 2 트랜지스터(T12)와, 상기 Q노드의 신호를 입력받아 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 3 트랜지스터(T13)로 구성된 풀업 구동부와;

상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 제 1 클럭 신호(C1) 입력단과 제 1 더미 게이트 출력 신호단(Vg_더미1) 사이에 연결된 제 4 트랜지스터(T14)로 구성된 풀업부와;

상기 제 3 클럭신호(C3)를 입력받아서 턴온 여부가 결정되며 상기 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T15)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 QB노드와 접지 전압단 사이에 연결된 제 6 트랜지스터(T16)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 Q노드와 접지 전압단 사이에 연결된 제 7 트랜지스터(Q17)로 구성된 풀다운 구동부와;

상기 QB노드 신호를 입력받아서 턴온 여부가 결정되며 상기 제 1 더미 게이트 출력 신호단(Vg_더미1)과 접지전압단 사이에 연결된 제 8 트랜지스터(T18)로 구성된 풀다운부를 포함하고,

상기 제 2 더미 쉬프트 레지스터(51_2)는,

상기 제 1 더미 게이트 출력 신호단(Vg_더미1)의 신호를 입력받아서 턴온 여부가 결정되며 상기 Vg_더미1와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T21)와, 상기 Vg_더미1의 신호를 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 2 트랜지스터(T22)와, 상기 Q노드의 신호를 입력받아 턴온 여부가 결정되며 일단이 접지전압단 사이에 연결된 제 3 트랜지스터(T23)로 구성된 풀업 구동부와;

상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 제 2 클럭 신호(C2)단과 제 2 더미 게이트 출력 신호단(Vg_더미2) 사이에 연결된 제 4 트랜지스터(T24)로 구성된 풀업부와;

상기 제 4 클럭신호(C4)를 입력받아서 턴온 여부가 결정되며 상기 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T25)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 QB 노드와 접지전압단 사이에 연결된 제 6 트랜지스터(T26)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 Q노드와 접지전압단 사이에 연결된 제 7 트랜지스터(Q27)로 구성된 풀다운 구동부와;

상기 QB노드 신호를 입력받아서 턴온 여부가 결정되며 상기 제 2 더미 게이트 출력 신호단(Vg_더미2)과 접지전압단 사이에 연결된 제 8 트랜지스터(T28)로 구성된 풀다운부를 포함함을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 제 1 더미 쉬프트 레지스터(51_1)는,

상기 제 N 쉬프트 레지스터의 게이트 출력 신호단(Vg_outn)으로 부터 신호를 입력받아서 턴온 여부가 결정되며 Vg_outn와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T11)와, 상기 Vg_outn을 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 2 트랜지스터(T12)와, 상기 Q노드의 신호를 입력받아 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 3 트랜지스터(T13)로 구성된 풀업 구동부와;

상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 제 1 클럭 신호(C1) 입력단과 제 1 더미 게이트 출력 신호단(Vg_더미1) 사이에 연결된 제 4 트랜지스터(T14)로 구성된 풀업부와;

상기 제 3 클럭신호(C3)를 입력받아서 턴온 여부가 결정되며 상기 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T15)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 QB노드와 접지 전압단 사이에 연결된 제 6 트랜지스터(T16)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 Q노드와 접지 전압단 사이에 연결된 제 7 트랜지스터(Q17)로 구성된 풀다운 구동부를 포함하고,

상기 제 2 더미 쉬프트 레지스터(51_2)는,

상기 제 1 더미 게이트 출력 신호단(Vg_더미1)의 신호를 입력받아서 턴온 여부가 결정되며 상기 Vg_더미1와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T21)와, 상기 Vg_더미1의 신호를 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 2 트랜지스터(T22)와, 상기 Q노드의 신호를 입력받아 턴온 여부가 결정되며 일단이 접지전압단 사이에 연결된 제 3 트랜지스터(T23)로 구성된 풀업 구동부와;

상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 제 2 클럭 신호(C2)단과 제 2 더미 게이트 출력 신호단(Vg_더미2) 사이에 연결된 제 4 트랜지스터(T24)로 구성된 풀업부와;

상기 제 4 클럭신호(C4)를 입력받아서 턴온 여부가 결정되며 상기 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T25)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 QB 노드와 접지전압단 사이에 연결된 제 6 트랜지스터(T26)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 Q노드와 접지전압단 사이에 연결된 제 7 트랜지스터(Q27)로 구성된 풀다운 구동부를 더 포함함을 특징으로 하는 액정표시장치.

청구항 5.

제 1 항에 있어서,

상기 제 1 더미 쉬프트 레지스터(51_1)는,

상기 제 N 쉬프트 레지스터의 게이트 출력 신호단(Vg_outn)으로부터 신호를 입력받아서 턴온 여부가 결정되며 Vg_outn와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T11)와, 상기 Vg_outn을 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 2 트랜지스터(T12)와, 상기 Q노드의 신호를 입력받아 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 3 트랜지스터(T13)로 구성된 풀업 구동부와;

상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 제 1 클럭 신호(C1) 입력단과 제 1 더미 게이트 출력 신호단(Vg_더미1) 사이에 연결된 제 4 트랜지스터(T14)로 구성된 풀업부와;

상기 제 3 클럭신호(C3)를 입력받아서 턴온 여부가 결정되며 상기 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T15)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 QB노드와 접지 전압단 사이에 연결된 제 6 트랜지스터(T16)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 Q노드와 접지 전압단 사이에 연결된 제 7 트랜지스터(Q17)로 구성된 풀다운 구동부와;

상기 QB노드 신호를 입력받아서 턴온 여부가 결정되며 상기 제 1 더미 게이트 출력 신호단(Vg_더미1)과 접지전압단 사이에 연결된 제 8 트랜지스터(T18)로 구성된 풀다운부를 포함하고,

상기 제 2 더미 쉬프트 레지스터(51_2)는,

상기 제 1 더미 게이트 출력 신호단(Vg_더미1)의 신호를 입력받아서 턴온 여부가 결정되며 상기 Vg_더미1와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T21)와, 상기 Vg_더미1의 신호를 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 2 트랜지스터(T22)와, 상기 Q노드의 신호를 입력받아 턴온 여부가 결정되며 일단이 접지전압단 사이에 연결된 제 3 트랜지스터(T23)로 구성된 풀업 구동부와;

상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 제 2 클럭 신호(C2)단과 제 2 더미 게이트 출력 신호단(Vg_더미2) 사이에 연결된 제 4 트랜지스터(T24)로 구성된 풀업부와;

상기 제 4 클럭신호(C4)를 입력받아서 턴온 여부가 결정되며 상기 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T25)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 QB 노드와 접지전압단 사이에 연결된 제 6 트랜지스터(T26)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 Q노드와 접지전압단 사이에 연결된 제 7 트랜지스터(Q27)로 구성된 풀다운 구동부를 더 포함함을 특징으로 하는 액정표시장치.

청구항 6.

제 1 항에 있어서,

상기 제 1 더미 쉬프트 레지스터(51_1)는,

상기 제 N 쉬프트 레지스터의 게이트 출력 신호단(Vg_outn)으로부터 신호를 입력받아서 턴온 여부가 결정되며 Vg_outn와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T11)와, 상기 Vg_outn을 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 2 트랜지스터(T12)와, 상기 Q노드의 신호를 입력받아 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 3 트랜지스터(T13)로 구성된 풀업 구동부와;

상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 제 1 클럭 신호(C1) 입력단과 제 1 더미 게이트 출력 신호단(Vg_더미1) 사이에 연결된 제 4 트랜지스터(T14)로 구성된 풀업부와;

상기 제 3 클럭신호(C3)를 입력받아서 턴온 여부가 결정되며 상기 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T15)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 QB노드와 접지 전압단 사이에 연결된 제 6 트랜지스터(T16)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 Q노드와 접지 전압단 사이에 연결된 제 7 트랜지스터(Q17)로 구성된 풀다운 구동부를 포함하고,

상기 제 2 더미 쉬프트 레지스터(51_2)는,

상기 제 1 더미 게이트 출력 신호단(Vg_더미1)의 신호를 입력받아서 턴온 여부가 결정되며 상기 Vg_더미1와 Q노드 사이에 다이오드 커넥팅된 제 1 트랜지스터(T21)와, 상기 Vg_더미1의 신호를 입력받아서 턴온 여부가 결정되며 일단이 접지 전압단 사이에 연결된 제 2 트랜지스터(T22)와, 상기 Q노드의 신호를 입력받아 턴온 여부가 결정되며 일단이 접지전압단 사이에 연결된 제 3 트랜지스터(T23)로 구성된 풀업 구동부와;

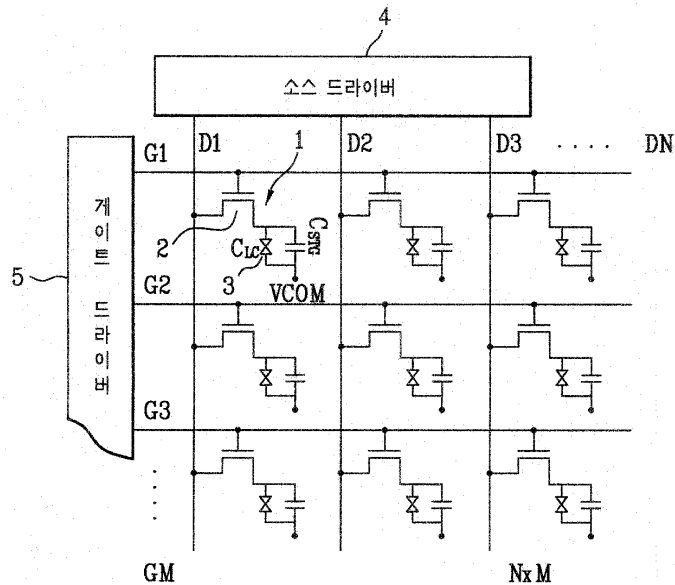
상기 Q노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 제 2 클럭 신호(C2)단과 제 2 더미 게이트 출력 신호단(Vg_더미2) 사이에 연결된 제 4 트랜지스터(T24)로 구성된 풀업부와;

상기 제 4 클럭신호(C4)를 입력받아서 턴온 여부가 결정되며 상기 Vdd와 QB노드 사이에 연결된 제 5 트랜지스터(T25)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 QB 노드와 접지전압단 사이에 연결된 제 6 트랜지스터(T26)와, 상기 QB노드의 신호를 입력받아서 턴온 여부가 결정되며 상기 Q노드와 접지전압단 사이에 연결된 제 7 트랜지스터(Q27)로 구성된 풀다운 구동부와;

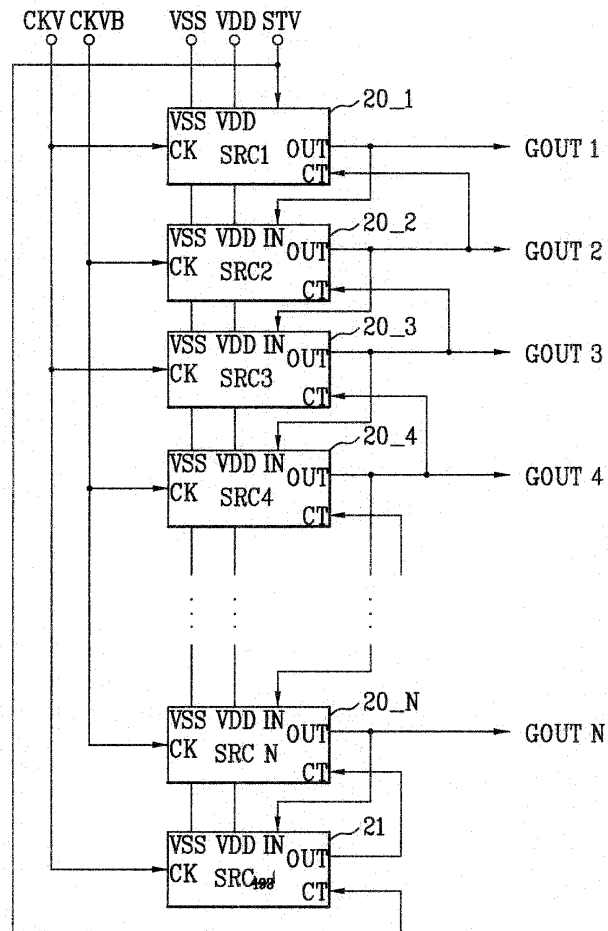
상기 QB노드 신호를 입력받아서 턴온 여부가 결정되며 상기 제 2 더미 게이트 출력 신호단(Vg_더미2)과 접지전압단 사이에 연결된 제 8 트랜지스터(T28)로 구성된 풀다운부를 더 포함함을 특징으로 하는 액정표시장치.

도면

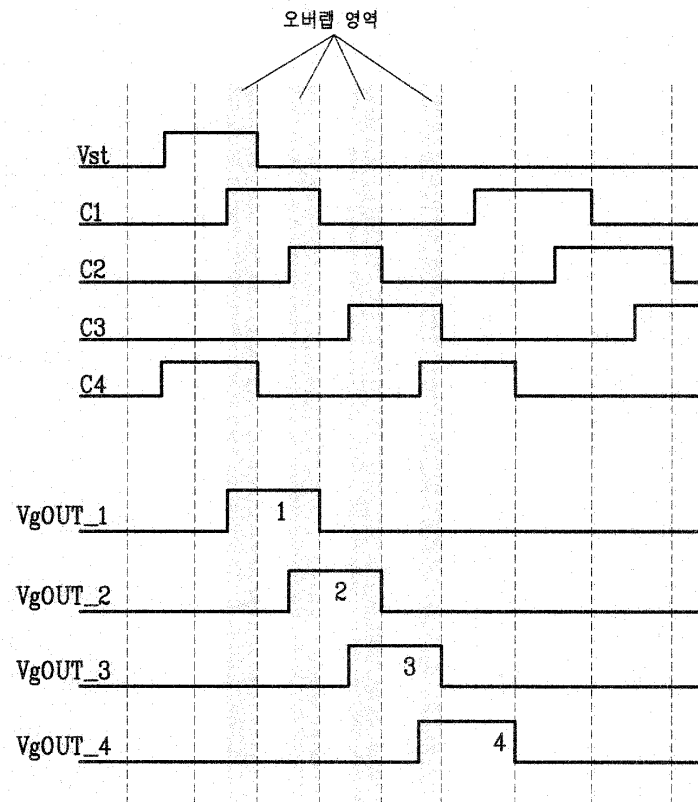
도면1



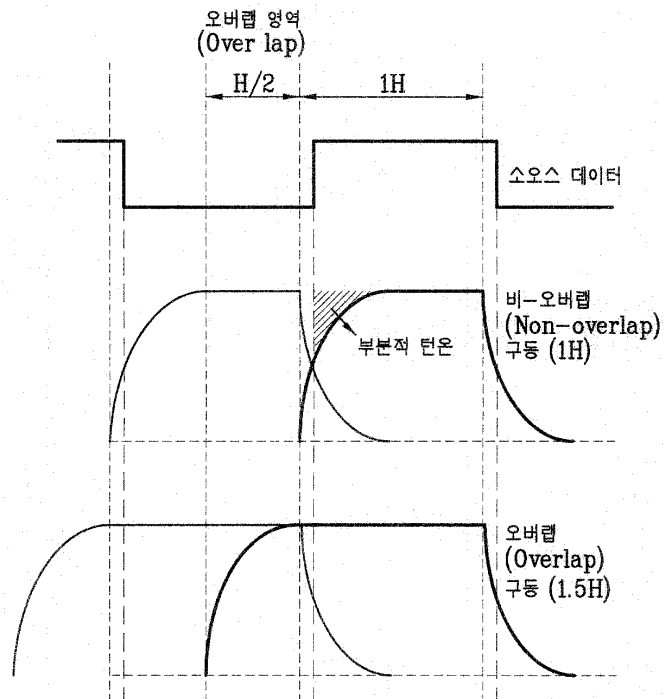
도면2



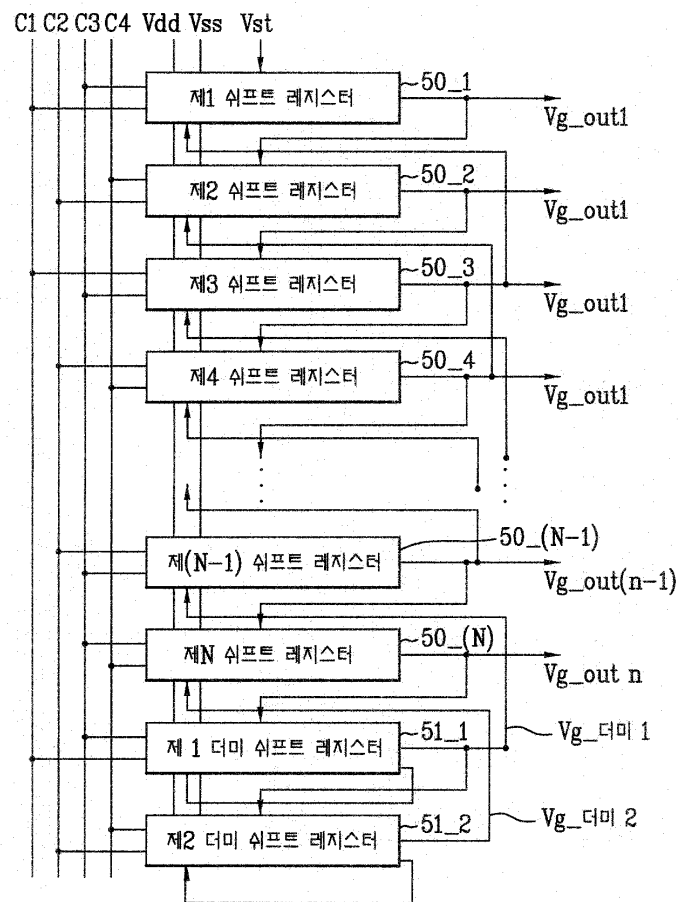
도면3



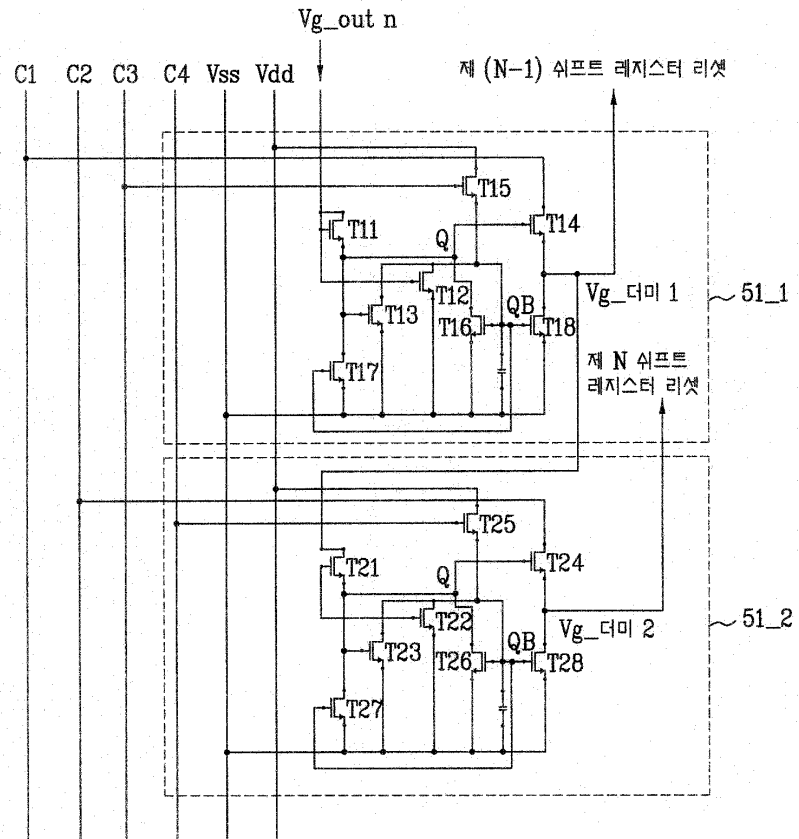
도면4



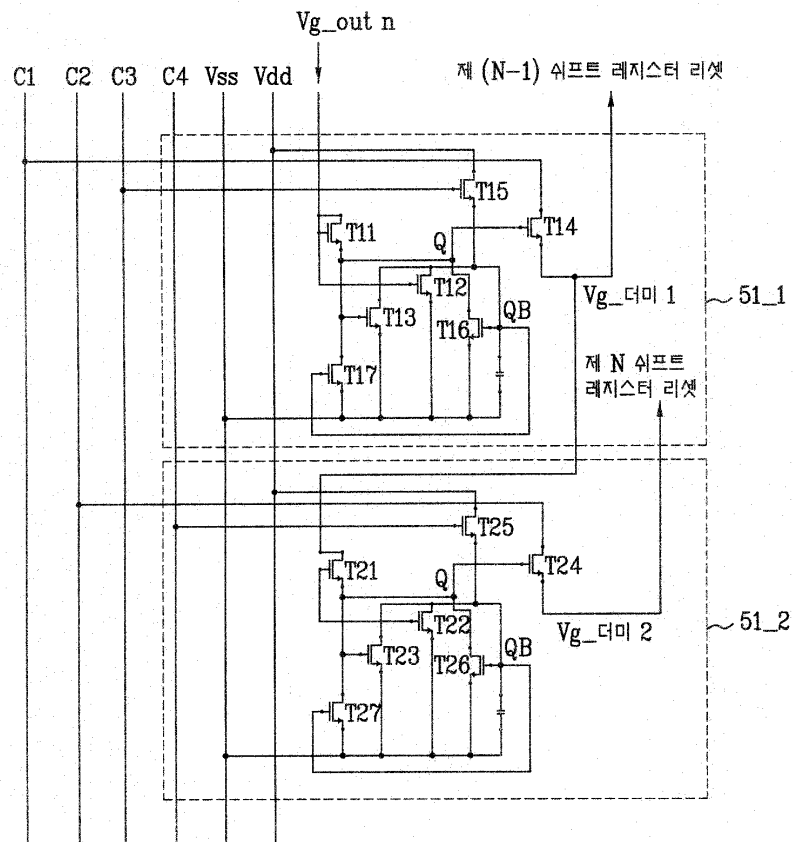
도면5



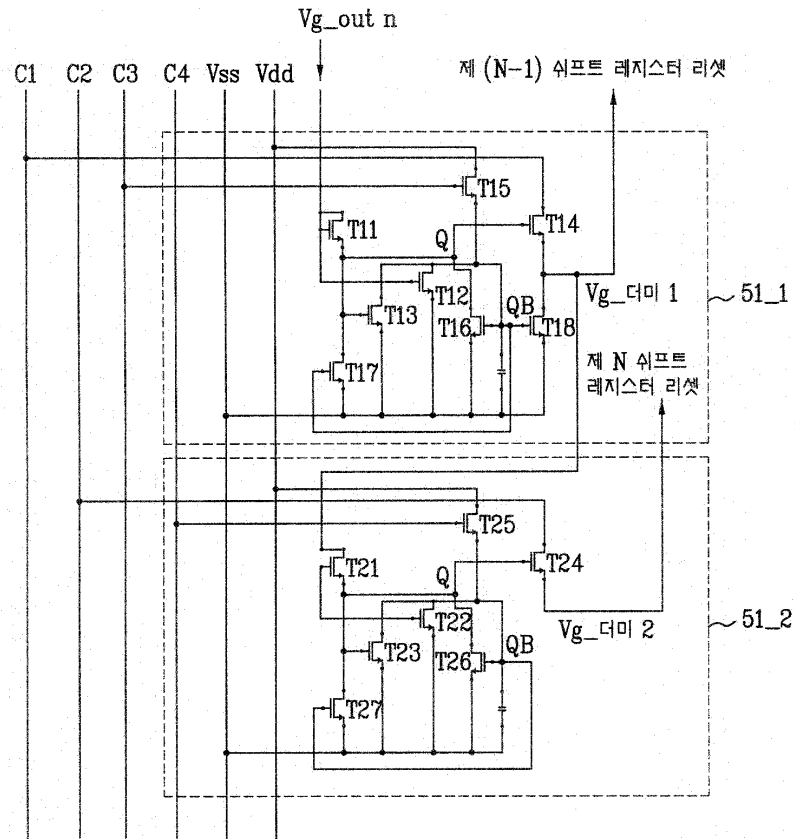
도면6



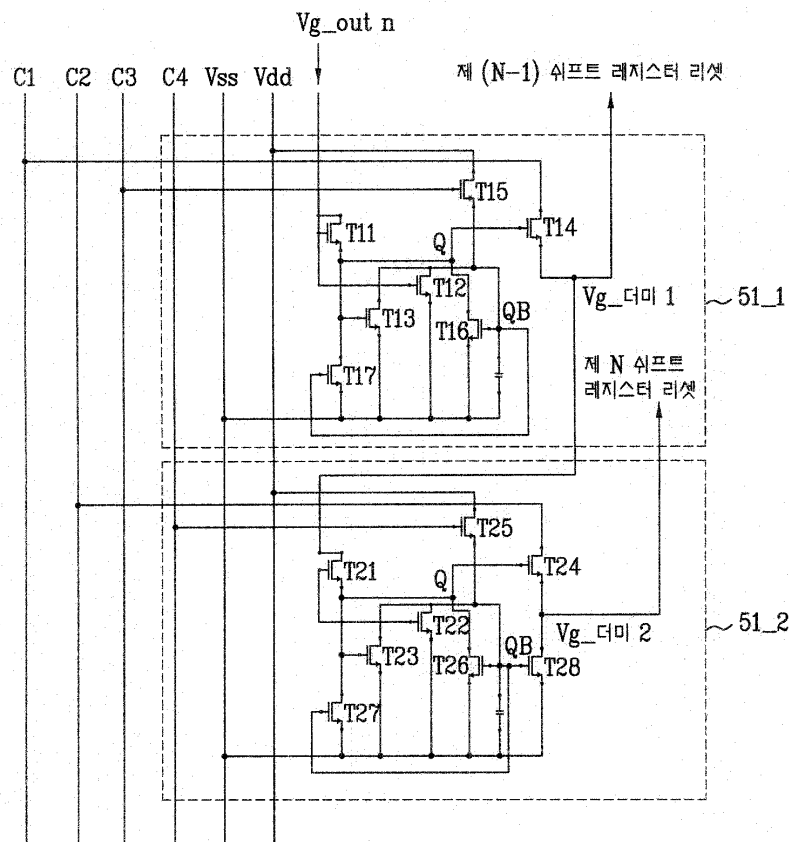
도면7



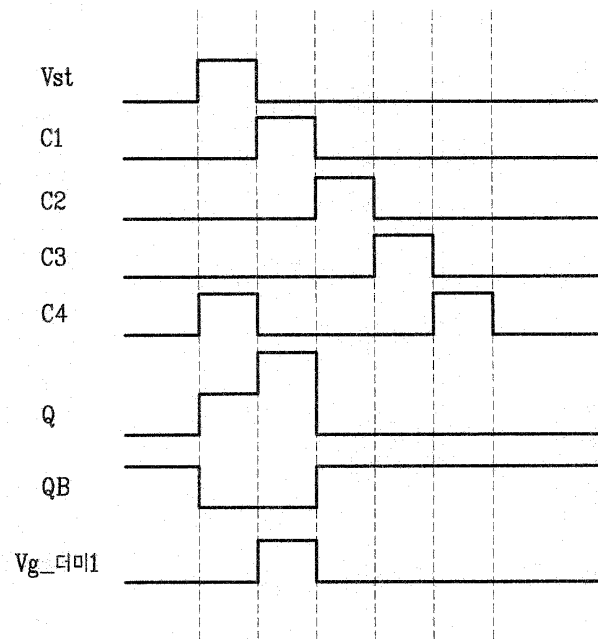
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR1020060022510A	公开(公告)日	2006-03-10
申请号	KR1020040071349	申请日	2004-09-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BINN 김빈 MOON SUHWAN 문수환 YOON SOOYOUNG 윤수영		
发明人	김빈 문수환 윤수영		
IPC分类号	G02F1/133		
CPC分类号	G02F1/13306 G09G3/3648 G09G3/3677 G11C19/184		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101002331B1		
外部链接	Espacenet		

摘要(译)

用途：提供一个LCD，以减少布局区域，复位信号线重叠引起的寄生电容和寄生电容引起的信号失真。

