(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/136

(11) 공개번호 10-2004-0082987
(43) 공개일자 2004년09월30일

(21) 출원번호 10-2004-0018753
(22) 출원일자 2004년03월19일

(30) 우선권주장 JP-P-2003-00078113 2003년03월20일 일본(JP)
JP-P-2004-00065613 2004년03월09일 일본(JP)

(71) 출원인 가부시키가이샤 에키쇼센탄 기쥬쓰 가이하쓰센타
일본국 가나가와켄 요코하마시 도쓰카구 요시다초 292반치

(72) 발명자 나카무라히로키
일본국가나가와켄요코하마시도쓰카구요시다초292반치가부시키가이샤에키쇼센탄기쥬쓰가이하쓰센타내

(74) 대리인 이재화

심사청구 : 없음

# (54) 배선, 표시 장치 및 그 제조 방법

요약

본 발명은 배선, 표시 장치 및 그 제조 방법을 제공한다. 제1금속 확산방지층은 기판 위 또는 기판 상에 형성된 회로 소자에 형성된다. 다음으로, 무전해 금속 도금법 또는 전해 금속 도금법에 의해 금속 배선층이 상기 제1금속 확산방지층 상에 선택적으로 형성된다. 또한, 제1금속 확산방지층의 불필요한 부분은 제거된다. 마지막으로, 무전해 금속 도금법에 의해 제2금속 확산방지층이 금속 배선층 또는 씨드층 및 금속 배선층 양자를 덮도록 선택적으로 형성된다.

대표도

도 1

색인어

LCD, ULSI, 배선, 저저항 재료, 구리 확산방지층, 구리 씨드(seed)층

## 명세서

### 도면의 간단한 설명

도 1은 본 발명의 제1실시예에 따른 배선의 구성을 나타낸 단면도.

도 2a, 2b, 2c 및 2d는 본 발명의 제1실시예에 따른 배선 형성 방법의 전반부를 나타낸 단면도.

도 3a, 3b, 3c 및 3d는 본 발명의 제1실시예에 따른 배선 형성 방법의 후반부를 나타낸 단면도.

도 4a, 4b, 4c 및 4d는 본 발명의 제2실시예에 따른 배선 형성 방법의 전반부를 나타낸 단면도.

도 5a, 5b 및 5c는 본 발명의 제2실시예에 따른 배선 형성 방법의 후반부를 나타낸 단면도.

도 6는 본 발명의 제3실시예에 따른 배선의 구성을 나타낸 단면도.

도 7a, 7b, 7c 및 7d는 본 발명의 제3실시예에 따른 배선 형성 방법의 전반부를 나타낸 단면도.

도 8a, 8b 및 8c는 본 발명의 제3실시예에 따른 배선 형성 방법의 후반부를 나타낸 단면도.

도 9는 본 발명의 배선 구조가 적용될 수 있는 액티브 매트릭스 LCD의 등가 회로도.

도 10a, 10b, 10c 및 10d는 본 발명의 배선 구조가 적용될 수 있는 제1적용예로 되는 MOS 구조 p형 TFT의 형성 방법의 전반부를 나타낸 단면도.

도 11a, 11b 및 11c는 본 발명의 배선이 적용될 수 있는 MOS 구조 p형 TFT의 형성 방법의 후반부를 나타낸 단면도.

도 12는 ITO 막이 형성된 배선의 구성을 나타낸 단면도.

도 13a, 13b 및 13c는 본 발명의 배선 형성 방법의 제1변형예를 나타낸 단면도.

도 14는 본 발명의 배선 형성 방법의 제2변형예에 따른 방법에 의해 형성된 배선의 구성을 나타낸 단면도.

도 15a 내지 15g는 본 발명의 배선 구조가 적용될 수 있는 적용예로 되는 MOS 구조 p형 TFT의 형성 방법을 나타낸 단면도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치로 대표되는 표시 장치나 ULSI 등의 반도체 장치 등에 사용되는 배선, 표시 장치 및 그 제조 방법에 관한 것이다.

일반적으로, LSI나 ULSI로 대표되는 반도체 장치에서는 알루미늄(Al)이나 그 합금으로 이루어진 배선과 전극이 주로 사용되고 있다. 그러나, 최근 집적도의 향상으로 인한 미세화의 진전과 동작 속도의 향상 등에 의해 알루미늄보다도 전기적 저항이 낮고 일렉트로마이그레이션(electromigration)과 스트레스 마이그레이션(stress migration)에 대해 내성이 높은 특성을 갖는 구리(Cu)를 차세대의 배선 및 전극의 재료로서 적용하는 것이 검토되고 있다.

또한, 액정 표시 장치 등으로 대표되는 표시 장치 분야에 있어서도 표시 면적의 확대로 인한 배선 길이의 증가와, 드라이버 회로 및 화소내 메모리와 같은 다양한 기능을 탑재하는 모노리식 소자의 발전에 의해, 반도체 분야와 마찬가지로 저저항의 배선에 대한 요구가 높아지고 있다.

미세한 구리의 배선 가공은 소위 포토리소그래피(photolithography)로 불리우는 사진 식각 공정(PEP : Photo Engraving Process)에 의한 마스킹 기술과 반응성 이온 에칭(RIE : Reactive Ion Etching)법과 같은 에칭 기술의 단순한 조합에 의해서는 그 실현이 곤란하였다. 구체적으로, 구리의 할로겐화물의 증기압은 알루미늄의 할로겐화물에 비해 매우 낮아서 구리의 할로겐화물은 증발이 어려우므로, RIE 등의 에칭 기술을 이용하는 경우에는 공정 온도로서 200 내지 300도 분위기 하에서의 에칭 처리가 필요하다는 등 많은 문제가 있다. 또한, 통상의 포토레지스트 마스크 대신에 $SiO_2$ 나 SiNx로 구성되는 마스크를 사용할 필요도 있다.

그래서, 예를 들어 일본특허공개 제2001-189295호와 제11-135504호에 기재되어 있는 소위, 다마신법(damascene process)을 이용하는 것이 가능하다. 상기 다마신법에서는 기판 상의 절연층에 대해 미리 원하는 배선 패턴의 배선 홈이 형성된다. 다음으로, 이 배선 홈을 매립하도록 스퍼터링 공정을 이용하는 PVD(Physical Vapor Deposition : 물리 기상 증착)법, 금속 도금법 및 유기금속 재료를 이용한 CVD(Chemical Vapor Deposition : 화학 기상 증착)법 등의 각종 방법을 이용하여 구리박층이 절연층 상의 전면에 형성된다. 그 다음, 구리박층의 아래에 위치한 절연층이 외부에 노출될 때까지 CMP(Chemical and Mechanical Polishing : 화학적 기계 연마법)법 등의 연마법이나 에치백(etc

h back) 공정 등이 상기 구리박층에 적용되어 배선 홈에 매립된 구리만으로 이루어진 배선 패턴을 형성한다.

그러나, 상기 일본공개특허 제2001-189295호 및 제11-135504호에 기재된 기술을 포함하는 종래 기술은 이하에 열거하는 바와 같은 심각한 문제를 야기한다.

구체적으로, 위에서 언급된 종래의 다마신법은 적어도 배선을 매립하기 위한 홈을 형성하는 홈 가공 공정, 배선 패턴이나 상하 전극 간을 접속하는 비어(via)(플러그)를 형성하기 위한 막 형성 공정, 포토리소그래피 공정, 에칭 공정, 연마 정지막의 막 형성 공정을 필요로 하여, 제조 공정이 복잡해지고 제조 비용이 높아진다.

또한, 배선 저항을 저감하기 위해서는 배선의 단면적을 크게 할 필요가 있지만, 집적화의 제약으로 인하여 애스펙트비(aspect ratio)가 높은 즉, 폭이나 직경은 작고 깊이가 큰 홈이나 비어 홀을 적용하면, 구리의 매립성이 저하한다. 또한, 구리박층을 기판 전면에 형성한 후에 상기 구리막의 불필요한 부분을 제거하기 위한 종래의 다마신 공정에 포함되는 CMP 공정은 처리 시간이 많이 걸려서 스루풋(throughput)가 나쁘다.

또한, 직경 12인치 이상의 대구경 반도체 웨이퍼 사이즈에 대응하는 대형의 CMP 장치가 개발되어 있지만, 상기 반도체 웨이퍼보다도 대면적이고 평탄성 등의 정밀도가 좋지 않은 유리 기판을 이용하는 표시 장치를 위한 제조 장치는 실용화되어 있지 않다.

또한, 표시 장치 예를 들어, 대형 액정 표시 장치에 탑재되는 대형 기판(표시 화면)의 경우에는 상기 CMP 공정을 이용한 전면 연마나 에칭에 의해 구리박층의 불필요한 부분을 제거하는 것이 가능하지만, 배선으로서 이용되는 구리박층의 면적은 유리 기판의 면적에 비해 매우 작다. 바꾸어 말하면, 홈 패턴을 포함하는 절연체막 상에 형성되는 구리박층의 대부분은 제거되고 연마된다. 이 결과, 재료로서 고가인 구리의 이용 효율은 매우 나빠지고 높은 비용이 드는 영향으로 제품 가격도 높아진다.

## 발명이 이루고자 하는 기술적 과제

그러므로, 본 발명은 대면적 기판 상에 저저항 재료로 이루어진 금속 배선의 형성을 실현하고, 배선 형성에 있어서 배선 재료의 낭비를 없애고 제조 공정 수의 저감에 의한 제조 비용의 삭감을 실현가능한 배선, 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

상기 목적을 달성하기 위한 본 발명의 제1특징에 따르면, 기판 상에 형성된 제1금속 확산방지층, 상기 제1금속 확산방지층 상에 형성된 금속 씨드층, 상기 금속 씨드층 상에 형성된 금속 배선층 및, 적층된 상기 금속 씨드층과 상기 금속 배선층의 측면을 포함하는 노출 표면을 덮는 제2금속 확산방지층을 포함하며, 상기 금속 씨드층과 상기 금속 배선층은 상기 제1금속 확산방지층과 상기 제2금속 확산 방지층에 의해 포위되어 있는 배선 및 전극이 제공된다.

본 발명의 제2특징에 따르면, 상기 정의된 배선 및 전극을 이용하는 표시 장치가 제공된다.

본 발명의 제3특징에 따르면, 기판 상에 제1금속 확산방지층을 형성하는 공정, 상기 제1금속 확산방지층 상에 금속 씨드층을 형성하는 공정, 상기 금속 씨드층 상에 미리 정해진 패턴의 금속 배선층을 형성하는 공정, 적어도 상기 금속 배선층과 접합되는 영역 바깥에 위치하는 상기 금속 씨드층의 영역을 에칭하는 공정, 상기 금속 씨드층과 접합되는 영역 바깥에 위치하는 상기 제1금속 확산방지층의 영역을 에칭하는 공정 및, 상기 금속 배선층, 상기 금속 씨드층 및 상기 제1금속 확산방지층의 측면을 포함하는 노출 표면을 덮도록 제2금속 확산방지층을 형성하는 공정을 포함하는 배선 및 전극의 형성 방법이 제공된다.

또한, 본 발명의 제4특징에 따르면, 상기 정의된 방법에 의해 형성되는 배선 및 전극을 이용한 표시 장치를 제조하는 방법이 제공된다.

상기 기판과 상기 제1금속 확산방지층 사이에는 다른 회로 소자 또는 다른 회로 소자의 일부가 그 사이에 위치하는 것도 가능하다.

이상과 같은 특수한 배선을 포함하는 배선 및 표시 장치는 금속 씨드층 상에 패턴을 형성하여 그 패턴을 따라 선택적으로 무전해 금속 도금법 또는 전해 금속 도금법을 이용하여 금속 배선층을 형성하고, 금속 배선층과 접합되는 영역 이외의 불필요한 금속 씨드층의 영역을 제거하여 제조된다. 이와 같이 제조된 배선 및 표시 장치에서는, 금속 확산방지층으로 포위된 후의 연속해서 이어지는 열처리 공정 에서 구리의 확산이 방지된다. 또한, CMP 공정을 이용하지 않고도 기판 위에 직접 또는 기판 상에 형성된 회로 소자 위에 상기 배선이 선택적으로 형성된다.

상기 기판은 제1금속 확산방지층이 형성되는 하부층으로 사용된다. 또한, 본 발명의 상기 표시 장치는 액정 표시 장치나 EL 표시 장치(Electroluminescence Display)와 같은 액티브 매트릭스형의 표시 장치를 포함한다. 또한, 상기 본 발명의 배선은 표시 영역에 형성되는 구동 소자의 전극, 신호선(data line) 및 주사선(scanning line)뿐만 아니라 주변 영역에 배치된 배선이나 동일 기판 상에 형성된 주변 구동 회로 내의 배선도 포함한다.

## 발명의 구성 및 작용

이하, 첨부 도면을 참조하여 본 발명의 실시예에 대해 상세하게 설명한다.

도 1은 본 발명의 제1실시예에 따른 배선 및 전극의 단면 구성을 나타낸다. 도 1에 도시된 예는 배선이 기판 상에 직접적으로 형성된 경우에 관한 것이다. 물론, 회로 소자 또는 그 일부는 기판 상에 미리 형성될 수 있으며, 이 경우에는 본 발명의 상기 배선이나 전극이 상기 회로 소자 위 또는 기판 상에 형성된 회로 소자의 일부에 형성되는 것이 가능하다.

도면에 도시된 바와 같이, 하부 절연층(3)이 유리 등으로 이루어진 기판(2) 상에 형성되며, 4층 구조의 배선(1)은 상기 하부 절연층(3) 상에 형성되어 있다. 상기 기판(2)과 하부 절연층(3)으로 이루어진 다층 구조는 절연 기판(10)으로 칭한다. 보다 구체적으로, 상기 하부 절연층(3)에는 배선 패턴을 따라 구리 확산을 방지하기 위한 제1구리 확산방지층(4)이 형성되며, 상기 제1구리 확산방지층(4)의 폭 보다 약간 좁은 구리 씨드층(5) 및 구리 배선층(6)이 순차적으로 적층되어 있다. 이들 구리 씨드층(5) 및 구리 배선층(6)의 표면을 덮도록 구리 확산을 방지하기 위한 제2구리 확산방지층(7)이 형성되어 있다. 이러한 4층 구조로 된 배선(1)에서 실질적으로 구리 배선을 구성하는 구리 씨드층(5)과 구리 배선층(6)은 제1구리 확산방지층(4)과 제2구리 확산방지층(7)으로 주변이 포위된 구조이다. 상기와 같은 구조의 배선이 회로에 조합되는 경우에는, TFT와 같은 인접하는 회로 소자가 구리의 확산으로 인해 영향을 받는 것이 가능하므로, 인접하는 회로 소자의 특성이 열화되는 것이 방지된다. 상기 실시예의 전극은 예를 들어, 비정질 실리콘 TFT나 다결정 실리콘 TFT에 포함되는 저 저항의 게이트 전극이나 소스/드레인 전극으로 적용될 수 있다.

상기 하부 절연층(3)의 막 두께는 400 nm이다. 상기 배선(1)에 포함되는 각층의 막 두께는 예를 들어, 제1구리 확산방지층(4)이 50 nm, 구리 씨드층(5)이 50 nm, 전해 금속 도금법으로 형성되는 구리 배선층(6)이 400 nm, 무전해 금속 도금법으로 형성되는 제2구리 확산방지층(7)은 50 nm이다. 또한, 본 발명의 배선에 포함되는 금속 씨드층 및 금속 배선층은 예를 들어, 구리 또는 구리를 함유하는 금속으로 이루어진다. 도 1에 도시된 예에서는 상기 금속 씨드층과 금속 배선층이 구리로 이루어진다. 그러나, 상기 금속 씨드층과 금속 배선층을 형성하기 위하여 은 또는 금 등의 다른 금속을 이용하는 것도 가능하다.

다음으로, 도 2a 내지 도 2d 및 도 3a 내지 도 3d를 참조하여 본 발명의 제1실시예에 따른 배선 및 전극의 형성 방법에 대해 구체적으로 설명한다. 여기서는 배선 형성에 대해 설명한다.

본 실시예의 형성 방법에서는, 감광성 수지 마스크 소위, '포토레지스트 마스크(photoresist mask)'를 이용하는 선택적인 무전해 금속 도금법에 의한 금속 배선층의 형성과, 습식 에칭(wet etching)이나 전해 에칭(electrolytic etching) 등에 의한 금속 씨드층의 에칭을 조합하여 전술한 배선(1)을 형성한다. 상기 배선(1)의 미리 정해진 패턴(배선 패턴)은 상기 포토레지스트 마스크 등에 의해 미리 정해진 것이며, 하부층이 마스크에 의해 노출되지 않은 부분에 의해 상기 패턴이 인화되어 있다. 상기 마스크 재료로서는 감광성 수지에 한정되지 않고, 제거 가능하며 하부 및 형성된 배선에 전기적 및 화학적으로 작용을 미치지 않는 재료라면 임의의 재료를 사용하는 것이 가능하다. 이하의 실시예에서도 마찬가지다.

우선, 예를 들어 두께 0.7 mm의 유리로 이루어진 기판(2)의 전면 상에서는 CVD법 예를 들어, PE(Plasma-Enhanced)-CVD법을 이용하여 질화실리콘층(SiN층)으로 이루어진 하부 절연층(3)을 예를 들어 400 nm의 두께로 적층시킨 후, 그 위 층에 제1구리 확산방지층(4)을 스퍼터링법(sputtering method)에 의해 예를 들어, 50 nm의 두께로 형성한다. 물론, 상기 하부 절연층(3)과 제1구리 확산방지층(4)을 형성하는 방법은 특별히 한정되지는 않으며, 기상 증착법(vapor deposition method) 등 다른 막 형성 방법을 이용하여도 된다.

또한, 제1구리 확산방지층(4)으로서는 Ta층, TaN층, TiN층, TaSiN층, WSiN층, Mo층, Co합금(예를 들어, Co-B 또는 Co-W-B)층, Ni 합금(예를 들어, Ni-B)층, Mo 합금층 등을 이용하는 것이 가능하다. 또한, 단층막이 아니라 Ta/TaN/Ta, TiN/Ti, Co-B/Co 또는 Ni-B/Ni와 같은 하부 절연층(3)과의 고밀착성, 저저항화, 구리 확산 방지 성능을 꾀한 다층막이어도 된다. 또한, 이하의 각 실시예에서도 구리 확산방지층으로서 다층막을 사용하여도 된다. 또한, 기판(2)을 형성하기 위하여 통상의 유리뿐만 아니라 석영 유리, 세라믹스, 수지부재를 사용할 수 있다. 물론, 본 발명의 기술적 개념은 반도체 웨이퍼에 적용하는 것도 가능하다.

다음으로, 도 2b에 도시된 바와 같이, 제1구리 확산방지층(4) 상에 구리로 이루어진 씨드층(5)을 예를 들어, 스퍼터링

법으로 예를 들어, 두께 50 nm로 형성한다. 구리 씨드층(5)은 구리 배선층(6)을 금속 도금법에 의해 형성하기 위한 것이다. 그 다음, 구리 씨드층(5) 상에 PEP를 이용하여 도 2c에 나타낸 바와 같은 포토레지스트층(감광성 수지층)(11)을 형성한다. 상기 포토레지스트층(11)에는 순방향 테이퍼(forward tapered) 형상의 구리 배선층을 형성하기 위하여 개구측보다 바닥측이 넓어지는 역방향 테이퍼 형상의 홈(12)을 형성한다.

보다 구체적으로, 이후의 공정에서 형성되는 구리 배선층의 단면 형상은 직사각형이어도 좋지만, 배선 형성 후에 적층되는 층간 절연막의 커버리지(coverage)와, 상층에 형성되는 배선과의 쇼트 불량 저감의 관점으로부터 순방향 테이퍼 형상으로 하는 것이 바람직하다. 이 때문에 홈(12)은 역방향 테이퍼 형상으로 형성하는 것이 바람직하다. 상기 홈의 역방향 테이퍼 형상은 레지스트 재료, 노광 조건 및 현상 조건을 적절하게 제어하는 것에 의해 실현된다.

다음으로, 도 2d에 도시된 바와 같이, 무전해 금속 도금법을 이용하여 포토레지스트층(11)의 홈(12) 내의 외부에 노출된 구리 씨드층(5) 위에 구리 배선층(6) 을 형성한다. 또한, 무전해 금속 도금법 대신에 전해 금속 도금법을 이용하여도 마찬가지로 구리 배선층(6)을 형성하는 것이 가능하다. 무전해 금속 도금법을 사용하는 경우에는, 구리 씨드층(5) 상에 구리 배선층(6)을 적층하기 위한 용매처리가 불필요함과 동시에, 대면적 기판에 금속 층을 형성할 때에 문제로 되는 막두께 분포의 불균일성도 억제하는 것이 가능하다.

다음으로, 도 3a에 도시된 바와 같이, 포토레지스트 박리액(remover) 등을 이용하여 포토레지스트층(11)을 제거한다. 상기 포토레지스트층(11)의 제거 시에는 드라이 공정(dry process)인 애싱 처리(ashing process)를 상기 박리액 공정과 함께 병용하여도 된다. 또한, 상기 애싱 처리를 행할 때에 구리 배선층(6)과 구리 씨드층(5)의 노출 표면이 산화될 가능성이 있으므로, 상기 애싱 처리 직후의 공정에서 상기 구리 산화막을 제거하는 공정을 추가하는 것이 바람직하다.

다음으로, 도 3b에 도시된 바와 같이, 제1구리 확산방지층(3) 상에 형성된 구리층(구리 씨드층(5) 및 구리 배선층(6)) 을 에칭하여 적어도 구리 씨드층(5)을 에칭 제거한다. 에칭 방법으로서는 습식 에칭 또는 전해 에칭 등을 이용하는 것이 바람직하다.

구리 씨드층의 습식 에칭 용액으로서는 예를 들어, 염화철계 에칭제, 염화구리-염산계 에칭제, 인산-초산-질산계 에칭제, 불산-과황산 암모늄(ammonium persulfate)-염산계 에칭제, 황산-과산화수소수(hydrogen peroxide)계 에칭제, 페로옥소황산염(peroxosulfate salt)-불산계 에칭제 등의 용액을 사용하는 것이 가능하다. 또한, 두꺼운 구리 배선층(6)을 레지스트 마스크를 이용하여 습식 에칭하는 경우에는 일반적으로 등방적인 에칭(isotropic etching)이기 때문에 패턴의 에지 부분에서 사이드 에칭이 문제로 되지만, 상기 씨드층(5)이 충분히 얇은 박막인 점과, 상기 씨드층(5)은 금속 배선층(6)과 동시에 에칭되기 때문에 상기 사이드 에칭은 거의 문제가 되지 않는다.

또한, 상기 구리 씨드층(5)의 에칭 시에는 구리 배선층(6)도 동시에 에칭되며, 이 때의 에칭되는 구리 배선층(6)의 두께를 고려하여 도 2d의 공정에서 미리 구리 배선층(6)을 두껍게 형성한다. 상기 실시예에서는 금속 씨드층으로서 구리 씨드층을 이용하였지만, 구리 씨드층 대신에 상기 구리 배선층(6)이 니켈 또는 코발트와 같은 제8a족 금속 씨드층과 직접 접촉하여 형성될 수 있으면 상기 제8a족의 금속 씨드층을 이용하여도 된다는 것은 말할 필요도 없이 당연하다. 또한, 니켈 씨드층을 이용한 경우에는 질산-황산-과산화수소수-염화암모늄계 에칭제 등을 이용하는 것에 의해 구리 배선층(6)을 거의 에칭시키지 않고 니켈 씨드층을 에칭하는 것이 가능하다는 이점이 있다. 또한, 니켈 층을 밀착층으로 하여 그 위에 구리 씨드층을 형성하여도 된다는 것은 말할 필요도 없다.

습식 에칭법뿐만 아니라 전해 에칭법을 이용하는 경우에는, 제1구리 확산방지막을 애노드(anode)로 하고 음극판(캐소드(cathode))과의 사이에 소정의 전압을 인가하여 제1구리 확산방지층 상에 형성된 구리층(구리 씨드층(5) 및 구리 배선층(6))을 에칭한다. 상기 전해 에칭은 구리 확산방지층(3), 구리 씨드층(5) 및 구리 배선층(6)과의 선택성의 제어가 용이하여 비교적 에칭 속도가 빠르다고 하는 특징이 있다. 이 때,전해 에칭을 수행하기 위해 인가하는 전압은 구리층에서 전해 에칭은 생기지만 제1구리 확산방지층(3)은 전해 에칭되지 않는 전압값 예를 들어 10V 정도로 설정하는 것이 바람직하다. 에칭을 위한 기본 용액으로는 황산, 인산, 염산 등의 산을 이용하여도 좋지만 이들에 한정되는 것은 아니며, 물론 구리 씨드층(5)과 구리 배선층(6)의 에칭 속도비와, 구리 배선층(6)의 테이퍼 형상을 제어하기 위한 첨가제를 이용하는 것이 가능하다. 또한, 상기 기본 용액의 온도와 인가 전류의 파형을 제어하여도 된다.

다음으로, 도 3c에 도시된 바와 같이, 구리 배선층(6) 및 구리 씨드층(5)의 전체 노출 표면을 덮도록 예를 들어, Co-W-B로 이루어진 제2구리 확산방지층(7)을 예를 들어, 무전해 금속 도금법을 이용하여 예를 들어 50 nm의 두께로 형성한다. 상기 제2구리 확산방지층(7)은 구리 배선층(6) 상에 무전해 금속 도금법에 의해 형성되므로, 상기 제2구리 확산방지층(7)을 형성하기 위하여 금속 도금에 적합한 재료가 선택된다. 예를 들어, 디메틸 아민 보란(DMAB : dimethyl amine borane)을 환원제로 이용하는 경우에는 Pd 용매처리가 불필요한 Co-W-B로 이루어진 제2구리 확산방지층(7)을 무전해 금속 도금법으로 형성하는 것이 바람직하지만, 구리층 표면만 선택적으로 무전해 금속 도금이 가능한 Co-B, Co-P, Co-W-B, Ni-B, Ni-P 또는 Ni-W-P로 이루어진 제2구리 확산방지층(7)이어도 된다.

다음으로, 도 3d에 도시된 바와 같이, 제2구리 확산방지층(7)에 의해 덮여진 구리 배선층 부분을 자기정합적인 마스크로서 사용하여 에칭 처리를 행함으로써, 구리 배선 하부에 위치하는 부분 이외의 제1구리 확산방지층(4)을 제거한다.

이상 설명한 바와 같이, 본 발명의 제1실시예에서는 구리 확산방지층의 형성 전에 전술한 종래의 다마신법에서 필요로 하는 CMP 공정용 연마정지막을 형성하는 공정과, 구리 배선을 매립하기 위한 홈을 형성하는 에칭 공정이 불필요하다. 또한, 다마신법의 CMP 공정에서는 연마제(슬러리(slurry))를 이용하고 있기 때문에 연마제나 피연마물(금속 이온을 포함)을 세정할 필요가 있지만, 이 세정 공정도 본 실시예에서는 불필요하다. 또한, CMP 공정에 포함되는 연마 단계에서 이물질 혼입의 원인을 억제하는 것이 가능하다.

본 발명의 제1실시예에서는 금속 확산방지층으로 포위된 고신뢰성의 금속 배선을 형성할 수 있고, 또한 다마신법에 비해 공정 수를 저감하는 것이 가능하여 제조 비용의 삭감이 실현될 수 있다. 더욱이, 본 발명의 제1실시예는 CMP 공정을 이용하는 것이 곤란한 대면적의 기판에 대해서도 적용이 용이하다. 전술한 본 실시예에서는 구리를 배선 재료의 일 예로 하여 설명하였지만, 물론 이에 한정되는 것이 아니며, 예를 들어 구리를 포함하는 합금이나 그 외의 금속 도금법에 의해 막으로 형성 가능한 금이나 은 등의 금속을 사용하는 것도 가능하다.

다음으로, 본 발명의 제2실시예에 따른 배선 및 전극에 대해 설명한다.

상기 제2실시예에 따른 배선 및 전극은 전술한 도 1에 도시한 배선 및 전극의 구조와 동일하게 씨드층을 포함하는 구조이며, 상기 씨드층을 형성하는 방법에 있어서 서로 상이하다. 본 실시예의 구성 부위나 제조 공정에서 전술한 제1실시예(도 1 내지 도 3d)의 구성 부위와 동등한 부위 또는 동등한 제조 공정에는 동일한 참조 부호를 부여하여 그 상세한 설명은 생략한다. 상기 배선을 구성하는 각 층의 두께는 제1실시예의 그것과 동일하다. 여기서는 배선을 예로 들어 기 판 상에 직접적으로 형성되는 구성에 대해 설명한다. 물론, 이들 배선이나 전극을 회로 소자 또는 상기 기판과 직접 접촉하여 형성된 회로 소자의 일부 위에 형성하는 것도 가능하다.

도 4a 내지 도 4d 및 도 5a 내지 도 5c에 나타낸 공정도를 참조하여 제2실시예에 따른 배선(전극)의 제1제조 방법에 대해 구체적으로 설명한다.

도 4a에 나타낸 공정은 도 2a의 공정과 동등하며, 우선 기판(2) 상에 질화 실리콘층(SiN층)으로 이루어진 하부 절연층(3)을 전면 상에 적층시킨 후, 그 위층에 제1구리 확산방지층(4)을 스퍼터링법에 의해 형성한다. 물론, 이러한 층(3, 4)을 형성하는 방법에 한정되는 것은 아니며, 기상 증착 방법(vapor deposition method) 등 이들 이외의 막 형성 방법을 사용하여도 된다. 또한, 제1구리 확산방지층(4)으로서는 Ta층, TaN층, WN층, TaSiN층, WSiN층, Co합금층, Ni합금층 등을 이용하는 것이 가능하다. 또한, 기판(2)과 하부 절연층(3)을 합하여 절연 기판(10)으로 칭한다.

도 4b에 나타낸 공정은 도 2c의 공정과 동등하며, 상기 절연 기판(10) 상에 포토레지스트층(11)을 형성한다. 도 4b에 도시된 바와 같이, 상기 포토레지스트층(11)에는 단면이 직사각 형상(수직 측벽)의 홈(12)이 형성된다. 물론, 전술한 바와 같이, 상기 홈(12)은 역방향 테이퍼 형상이어도 된다.

도 4c에 나타낸 공정에서는 홈(12) 하부에서 바깥으로 노출된 제1구리 확산방지층(4) 상의 표면의 자연 산화막과 같은 구리 산화막을 제거한 후, 무전해 금속 도금법을 이용하여 홈(12)의 제1구리 확산방지층(4) 상에 구리 씨드층(5)을 형성한 다.

도 4d에 나타낸 공정에서는 전해 금속 도금법을 이용하여 구리 씨드층(5)과 제1구리 확산방지층(4)을 전극으로 하여 홈(12)의 구리 씨드층(5) 상에만 구리 배선층(6)을 형성한다. 물론, 전해 금속 도금법으로 변경하지 않고 무전해 금속 도금법을 그대로 계속하여 사용하는 것도 가능하다.

도 5a에 나타낸 바와 같이, 박리액 등을 사용하여 포토레지스트층(11)을 제거한다. 상기 포토레지스트층(11)의 제거 시에는, 전술한 바와 같이 애싱 처리를 병용하여도 된다. 단, 이것을 병용한 경우에는 구리 산화막 제거 공정을 추가할 필요가 있다.

도 5b에 나타낸 공정은 도 3c의 공정과 동등하며, 구리 배선층(6) 및 구리 씨드층(5)의 노출되는 전체 표면 즉, 제1구리 확산방지층(4)과의 접합면 이외의 전체 주변을 덮도록 예를 들어, Co-W-B로 이루어진 제2구리 확산방지층(7)을 무전해 금속 도금법을 이용하여 형성한다. 도 5c에 나타낸 공정에서는 제2구리 확산방지층(7)에 의해 덮여진 구리 배선층 부분을 자기 정합적인 마스크로서 기능하도록 에칭 처리를 행하여, 구리 배선의 하부에 위치한 부분 이외의 제1구리 확산방지층(4)을 제거한다.

제2실시예에 따른 변형예가 되는 제2의 막 형성 방법에 대해 설명한다.

전술한 도 4c에 나타낸 공정에서는 무전해 금속 도금법을 이용하여 구리 씨드층을 형성하고, 다시 도 4d에서 상기 구리 씨드층 및 제1구리 확산방지층(4)을 전극으로 한 전해 금속 도금법을 이용하여 구리 배선층(6)을 형성하고 있다. 상기 무전해 금속 도금법 대신에 포토레지스트층의 홈(12)의 하부에서 바깥으로 노출되는 제1구리 확산방지층(4) 상의 표면의 산화막을 제거하는 용액 예를 들어, 구리 이온, 불산 및 불화 암모늄 또는 질산 등을 포함하는 용액을 이용한 치환 금속 도금법으로 제1구리 확산방지층(4) 상에 매우 얇은 구리 씨드층(5)을 형성하여도 된다. 또한, 구리 씨드층(5)은 다음의 공정에서 무전해 금속 도금법이 적용 가능한 정도의 구리 핵의 형성이어도 된다.

제2실시예에 따른 변형예로 되는 제3의 막 형성 방법에 대해 설명한다.

도 4c에 나타낸 공정에서는 치환 금속 도금법으로 구리 씨드층(5)을 형성하였지만, 다른 방법으로서 구리 씨드층(5)을 형성하기 위하여 유기 금속 재료를 이용한 CVD법을 이용하여도 된다. 본 발명에서 사용될 수 있는 구리(Cu)를 함유하는 유기 금속 원료로서는 예를 들어, 구리의 1가 착체 원료(monovalent complex compound)인 트리메틸비닐실란헥사플루오로아세토네이트구리(Cu(hfac)TMVS : copper(hexafluoroacetonate)trimethylvinylsilane)를 이용하여 예를 들어, 140 도 정도의 저온 하에서 구리 씨드층(5)을 형성하면, 막 형성 개시 초기에 구리 확산방지층과 같은 도전성 재료 위의 영역과, 포토레지스트나 산화막과 같은 절연성 재료 위의 영역 사이에서 막 형성의 선택성을 달성할 수 있다. 즉, 도전성 재료 위의 영역에서는 막 형성 두께가 막 형성 시간에 비례하지만, 한편, 절연성 재료 위의 영역에서는 막 형성 개시 초기에 막이 형성되지 않는 잠복기간(latent period)이 생기기 때문에 막 형성 두께가 막 형성 시간에 비례하지 않아서 막 형성의 선택성이 발생한다. 단, 절연성 재료 위에서 핵성장으로 인한 구리층이 형성된 후, 즉 잠복기간이 경과한 후 예를 들어, 2분 내지 60분 후에는 도전성 재료 위와 거의 동일한 막 형성 속도로 막의 형성이 행해진다. 이 때문에 핵성장의 진행 정도가 낮은 잠복기간 내에 선택적으로 구리 씨드층을 형성하는 것이 바람직하다.

상기 제2실시예에서도 전술한 제1실시예와 동등한 작용 효과를 얻는 것이 가능하다. 더구나, 본 발명의 제2실시예에서는 원하는 영역에 구리 씨드층과 구리 배선층을 선택적으로 형성하는 것이 가능하기 때문에 구리 씨드층에서의 에칭 처리 공정을 생략하는 것이 가능하여 제조 비용의 삭감에 유용하다.

다음으로, 본 발명의 제3실시예에 따른 배선 및 전극에 대해 설명한다.

도 6은 본 발명의 제3실시예에 따른 배선 및 전극의 단면 구성을 나타낸다. 상기 제3실시예에 의한 배선 및 전극은 전술한 제1실시예에서의 구리 씨드층을 형성하지 않는 것만 제외하고는 상기 제1실시예와 동일한 구조이다. 여기서는 배선을 예로 하여 배선(21)을 기판 상에 직접적으로 형성하는 구성에 대해 설명한다. 물론, 기판 상에 이미 회로 소자나 회로 소자의 일부가 형성되어 있고, 상기 배선 또는 전극을 기판 상에 형성된 상기 회로 소자 또는 그 일부의 위에 형성하는 것도 가능하다.

도 6에 도시된 상기 배선(21)에서는 유리 등으로 이루어진 기판(22) 상에 하부 절연층(23)을 형성한다. 상기 하부 절연층(23) 상에는 배선 패턴에 따라 제1구리 확산방지층(24)을 형성하고 그 상부 면에는 제1구리 확산방지층(24)의 폭보다 약간 좁은 구리 배선층(25)을 적층한다. 다음으로, 구리 배선층(25)의 전체 표면을 덮도록 제2구리 확산방지층(26)을 형성한다.

이러한 구성의 배선(21)은 구리 배선층(25)이 제1구리 확산방지층(24)과 제2구리 확산방지층(26)으로 주변이 포위된 3층 구조이기 때문에 상기 배선(21)이 회로에 조립될 시에는 구리의 확산으로 인해 다른 회로 소자 예를 들어, TFT의 특성을 열화시키는 바와 같은 영향을 방지하는 것이 가능하다. 본 실시예에 의한 전극은 예를 들어, 비정질 실리콘 TFT나 다결정 실리콘 TFT에 포함되는 저저항(low resistance)의 게이트 전극이나 소스/드레인 전극에 적용될 수 있다.

상기 배선(21)의 각 층의 막 두께는 예를 들어, 하부 절연층(23)이 400 nm, 제1구리 확산방지층(24)이 50 nm, 구리 배선층(25)이 400 nm, 제2구리 확산방지층(26)은 50 nm이다.

다음으로, 도 7a 내지 도 7d 및 도 8a 내지 도 8c에 나타낸 공정도를 참조하여 제3실시예에 따른 배선(21)의 형성 방법에 대해 구체적으로 설명한다.

본 발명의 제3실시예에서는 감광성 수지 또는 무기 절연층을 마스크로 하는 무전해 금속 도금법을 이용하여 제1구리 확산방지층 상에 선택적으로 금속 배선층을 형성하고, 또한, 상기 금속 배선층을 덮도록 제2구리 확산방지층을 형성한다.

우선, 도 7a에 나타낸 공정에서는 기판(22) 상에 PE(Plasma-Enhanced)-CVD법에 의해 질화 실리콘층(SiN층)으로 이루어진 하부 절연층(23)을 전체 표면 상에 적층시킨 후, 도 7b에 도시된 바와 같이, 제1구리 확산방지층(24)을 스퍼터링법 등에 의해 형성한다. 제1구리 확산방지층(24)으로서는 Ta층, TaN층, TiN층, TaSiN층, WSiN층, Co합금층 또는 Ni합금 등을 이용하는 것이 가능하다. 또한, 기판(22)과 하부 절연층(23)을 합하여 절연 기판(30)으로 칭한다.

도 7c에 나타낸 공정에서는 제1구리 확산방지층(24) 상에 PEP 법을 이용하여 포토레지스트층(31)을 형성한다. 상기 포토레지스트층(31)에는 역방향 테이퍼 형상의 홈(32)이 형성된다. 물론, 홈(32)은 수직 형상이어도 좋지만, 역방향 테이퍼 형상인 것이 바람직하다. 이것은 전술한 바와 같이 위층에 형성되는 층간 절연막의 커버리지나 위층 배선과의 쇼트 불량 저감의 관점으로부터 홈(32)에 형성된 금속 배선층은 순방향 테이퍼 형상이 바람직하기 때문이다.

도 7d의 공정에서는 무전해 금속 도금법을 이용하여 포토레지스트층(31)의 홈(32)의 하부에 구리 배선층(25)을 형성한다. 상기 무전해 금속 도금법에 의해 제1구리 확산방지층(24) 상에 금속 층을 직접 형성하는 경우, 통상, Pd 용매 처리를 행하고 있다. 그러나, 나중의 공정에서 행해지는 열처리 시에 구리 배선 내에 Pd가 확산하여 비저항값을 열화시키는 문제를 회피하는 것이 바람직하다. 이 때문에 Pd 용매 처리 대신에 제1구리 확산방지층 상의 표면의 산화막을 제거하는 처리를 행한 후, 무전해 금속 도금 공정을 행하는 것이 바람직하다. 상기 제1구리 확산방지층의 표면으로부터 상기 산화막의 제거하기 위해서는 불산을 포함하는 용액 등을 이용하면 좋다. 또한, 불산과 불화 암모늄 또는 질산 등을 포함하는 용액에 구리 이온을 함유시켜서 얇은 구리 씨드층 또는 구리핵을 형성시킨 후에 무전해 금속 도금법을 이용하여 구리 배선층(25)을 형성하여도 된다. 물론, 제1구리 확산방지층(24)으로서 Co합금(예를 들어 Co-B, Co-W-B, 또는 Co-B/Co), Ni합금(예를 들어, Ni-B 또는 Ni-B/Ni) 등을 이용하는 경우에는, 금속 도금법에 의해 제1구리 확산방지층(24) 상에 구리 배선층(25)을 직접 형성하는 것이 가능하다.

도 8a에 나타낸 공정에서는 박리액 등을 이용하여 포토레지스트층(31)을 제거한다. 상기 포토레지스트층(31)을 제거할 때에는 박리액을 이용한 공정과 함께 포토레지스트 애싱 처리를 병용하여도 된다.

도 8b에 나타낸 공정에서는 무전해 금속 도금법을 이용하여 구리 배선층(25)의 노출된 전체 표면을 덮도록 예를 들어, Co-W-B, Co-B 등으로 이루어진 제2구리 확산방지층(26)을 형성한다. 여기서는 Pd 용매 처리가 불필요한 Co-W-B, Co-B 등으로 이루어진 구리 확산방지층을 무전해 금속 도금법으로 형성하는 것이 바람직하지만, 제2구리 확산방지층을 형성하기 위하여 금속 도금법을 이용하여 구리 배선층을 선택적으로 형성할 수 있게 하는 재료를 사용하는 것이 바람직하다.

마지막으로, 도 8c에 나타낸 공정에서는 구리 배선층 부분을 덮는 제2구리 확산방지층(26)을 마스크로 한 에칭 처리를 행하여, 구리 배선층 하부 이외의 제1구리 확산방지층(24)의 노출되어 있는 영역을 에칭 제거하여 배선(21)을 형성한다. 제1구리 확산방지층(24)으로서 Co합금(예를 들어, Co-B, Co-W-B 또는 Co-B/Co), Ni합금(예를 들어, Ni-B 또는 Ni-B/Ni) 등을 이용하는 경우에는, 도 13c에 도시된 바와 같이 구리 배선층을 마스크로 하여 구리 배선층(25) 아래에 위치한 부분 이외의 제1구리 확산방지층(24)을 에칭한 후에 제2구리 확산방지층(26)을 형성하여도 된다.

전술한 구리 배선층(25)의 형성을 위한 무전해 금속 도금 욕으로서는 환원제로 포름알데히드(formaldehyde)를 이용하면 좋다. 그러나, 포르알데히드는 인체에 유해함과 동시에 금속 도금의 pH 조건이 12 내지 13에서 행해지기 때문에 pH 조정 제로 수산화나트륨을 이용하는 등, TFT 공정으로의 적용을 고려하면 나트륨 등의 알칼리 금속을 이용하지 않는 것이 바람직하다. 그래서, 유해물을 포함하지 않고 알칼리 금속을 사용하지 않는 금속 도금법으로서는 환원제로 글리옥살산(glyoxalic acid)을 이용하고 pH 조정제로 TMAH(Tetramethyl ammonium hydroxide)와 같은 유기 알칼리를 이용한 글리옥살산 욕이나 환원제로 코발트염이나 주석염을 이용한 코발트염 욕 또는 주석염 욕을 이용하는 것이 바람직하다.

그러나, 글리옥살산 욕의 pH 조정제로 사용되는 유기 알칼리(TMAH)는 포토레지스트 마스크를 용해하기 때문에 유기 알칼리에 내성이 있는 감광성 수지를 이용하거나, 혹은 산화 실리콘이나 산화 실리콘 등의 무기 절연막 마스크를 이용하도록 하는 것이 바람직하다. 환원제로서 코발트 염을 이용한 코발트염 욕은 금속 도금의 pH 조건이 6 내지 7의 중성 영역이므로, 포토레지스트 마스크의 데미지가 적어져서, TFT 공정에는 최적의 금속 도금 욕으로서 바람직하다. 이와 함께, 코발트염 욕이나 주석염 욕은 포름알데히드 욕이나 글리옥살산 욕과 같이 금속 도금 반응 과정에서 환원제가 분해하여 수소가 발생하는 일이 없이 표면성이 양호한 막형성이나 보이드의 발생 억제도 가능한 금속 도금 욕이다.

[표 1]

| | 포름알데히드욕 | 글리옥살산 욕 | 코발트염 욕 | 주석염 욕 |
|---|---|---|---|---|
| 구리 | 황산 구리 | 황산 구리 | 황산 구리 또는<br>질산 구리 | 황산 구리 |
| 환원제 | 포름알데히드 | 글리옥살산 | 황산 코발트<br>또는<br>질산 코발트 | 황산 주석 |

| | | | | |
|---|---|---|---|---|
| 착화제 | 주석산나트륨칼륨<br>테트라하이드레이트<br>또는 EDTA | EDTA | 에틸렌디아민 | 에틸렌디아민 |
| pH 조정제 | 수산화나트륨 | TMAH | 황산 또는 질산 | 황산 |
| pH 범위 | 12 내지 13 | 12 내지 13 | 6 내지 7 | 4 내지 5 |
| 첨가제 | 시안화합물<br>계면활성제 | 2,2'-비피리딜<br>계면활성제 | 2,2'-비피리딜<br>아스코르빈산<br>염산 | 구연산<br>아스코르빈산<br>염산 |
| 발생 가스 | 수소 | 수소 | 없음 | 없음 |

이상 설명한 제3실시예는 전술한 제1실시예와 마찬가지의 작용 효과를 얻는 것이 가능하여 CMP 법을 이용하지 않고 배선층 재료로서 구리를 이용한 배선을 형성하는 것이 가능하다. 이에 따라, 종래 기술에 비해 제조 공정수를 저감하는 것이 가능하고 제조 비용의 삭감을 실현하는 것이 가능하다.

또한, 제3실시예는 상기 기재 사항에 한정되는 것이 아니라 그 요지를 일탈하지 않는 범위에서 각종 변경이 가능한 것은 물론이다. 예를 들어, 배선의 재료로서 구리를 이용한 예로 설명하였지만, 구리를 포함하는 합금이나 그 외의 금속을 용이하게 적용하는 것이 가능하다.

전술한 제1 내지 제3실시예에서의 배선과 전극을 표시 장치 예를 들어, 액티브 매트릭스형의 액정 표시 장치(LCD)에 적용하는 것이 가능하다. 물론, 본 발명의 실시예에 따른 배선 및 전극은 상기 액정 표시 장치뿐만 아니라 무기 ELD, 유기 ELD에 있어서의 배선 등에 적용하는 것도 가능하다.

도 9는 일반적인 액티브 매트릭스 LCD의 등가 회로의 일 예를 나타내고 있다(보조 용량은 도시하지 않음). 본 발명의 배선은 어레이 기판 상에 형성되어 있는 복수의 신호선, 복수의 주사선 및 매트릭스 형상으로 다수 배치된 TFT에 있어서의 게이트 전극, 소스/드레인 전극 등에 적용하는 것이 가능하다.

여기서, 본 발명의 배선 구조를 다결정 실리콘 TFT에 적용한 제1적용예에 대해 설명한다. 도 10a 내지 도 10d 및 도 11a 내지 도 11c는 게이트 전극과 소스/드레인 전극에 본 발명의 금속(구리) 배선층을 이용한 MOS 구조 p형 TFT의 제조 방법에 대해 설명한다.

기판(40)에 하부 절연층(41)을 적층시킨 후, 그 위에 활성층으로 사용되는 비정질 실리콘층(42)을 적층한다. 이들을 적층시킨 후, 온도 500도의 분위기에서 어닐링 처리(annealing treatment)를 시행하여 비정질 실리콘층(42) 중의 수소를 이탈시킨다.

또한, ELA(Excimer Laser Annealing)법에 의해 비정질 실리콘층(42)을 다결정 실리콘층(42a)으로 결정화하고, PEP에 의해 레지스트 마스크를 형성한 후, CDE(Chemical Dry Etching)법을 이용하여 다결정 실리콘층(42a)을 섬(island) 형상으로 가공한다. 그 다음, PE-CVD법에 의해 전면 상에 게이트 절연층(43)을 적층시킨다. 게이트 절연층으로서는 산화 실리콘층 단층이어도 좋지만, 구리의 확산에 대해 확산저지 기능을 갖는 질화 실리콘층과 같은 절연층을 포함하는 다층 구조를 이용하는 것이 바람직하다.

도 10b에 나타낸 공정에서는 전술한 각 실시예에서의 제조 방법에 의해 제1구리 확산방지층(44)을 형성한 후, PEP에 의해 포토레지스트층(마스크)(45)을 상기 제1구리 확산방지층(44) 상에 형성한다. 상기 포토레지스트층(45)의 홈(46)에 무전해 금속 도금법 또는 전해 금속 도금법을 이용하여 구리 배선층(47)을 선택적으로 형성한다. 또한, 전해 금속 도금법을 이용하는 경우에는 전술한 제1 및 2실시예에서와 같이 씨드층을 미리 형성한다.

도 10c에 나타낸 공정에서는 포토레지스트층(45)을 제거한 후, 무전해 금속 도금법을 이용하여 구리 배선층(47)의 표면 전체를 덮도록 제2구리 확산방지층(48)을 형성한다.

도 10d에 나타낸 공정에서는 제2구리 확산방지층(48)을 에칭 마스크로 이용하여 제1구리 확산방지층의 불필요한 부분을 에칭함으로써 게이트 전극(49)을 형성한다.

도 11a에 나타낸 공정에서는 제2구리 확산방지층(48)에 포위된 구리 배선층(47)을 마스크로 하여 다결정 실리콘층(42a)으로 붕소(boron)를 이온 주입하여 불순물 영역(소스/드레인 영역)(42b)을 형성한다.

도 11b에 나타낸 공정에서는 PE-CVD법을 이용하여 층간 절연층(50)을 형성한다. 물론, 층간 절연층도 산화 실리콘층 단층으로도 좋지만, 구리의 확산에 대해 확산 저지 기능을 갖는 질화 실리콘층과 같은 절연층을 포함하는 다층 구성을 사용하는 것이 바람직하다. 또한, 상기 층간 절연층(50) 상에 PEP에 의한 포토레지스트층으로 이루어진 마스크(도시하지 않음)를 형성하고, 층간 절연층(50)을 에칭하여 소스/드레인 영역(42b)의 표면까지 개구하는 컨택 홀(contact hole)(51)을 형성한다.

도 11c에 나타낸 공정에서는 층간 절연층(50)의 컨택홀(51)의 형성 다음에 제3실시예와 마찬가지로 제3금속 확산방지층(52) 즉, 금속 확산을 방지하기 위한 층(52)을 형성하며, 또한 포토레지스트층을 이용하여 마스크를 형성하며, 포토레지스트층의 홈 부분에 무전해 금속 도금법을 이용하여 구리 배선층(53)을 선택적으로 형성한다. 또한, 무전해 금속 도금법을 사용하여 구리 배선층(53)을 포위하도록 제4구리 확산방지층(54)을 선택적으로 형성한 후, 제3금속 확산방지층(52)을 에칭함으로써 소스/드레인 전극을 형성한다.

이상과 같은 공정에 의해 본 발명의 구리 배선을 이용하여 형성된 게이트 전극(49)과 소스/드레인 전극(58)을 구비한 MOS 구조 p형 TFT를 형성하는 것이 가능하다. 또한, 상기 설명된 바와 같이, 상기 배선은 제3실시예에 따른 방법에 의해 형성되었지만, 위에서 설명된 예에 포함된 배선을 형성하기 위하여 본 발명의 제1 또는 제2실시예를 이용하여도 된다.

또한, 소스/드레인 전극의 형성 후에 예를 들어, 질화 실리콘 등의 층간 절연층(82)을 형성하고, 그 다음에 상기 층간 절연층(82)에 화소 전극과의 접속을 위한 컨택홀(83)을 형성하여 제2금속 확산방지층(84)의 표면을 노출시킨다. 다음으로, 예를 들어 스퍼터링법을 이용하여 ITO(인듐 주석 산화물)층, 주석산화물층 등의 투명 도전체층(투명 화소 전극)(86)을 형성하고 패터닝(patterning)함으로써 투과형 액정 표시 장치용 등에 사용되는 어레이 기판을 형성하는 것이 가능하다. 이 때, 도 12에 도시된 바와 같이, 표시 장치와 외부 접속 단자부의 제2금속 확산방지층(84)으로 덮여진 구리 배선층(85) 상에도 상기 투명 도전체층을 동시에 형성하여 상기 투명 도전체층이 구리 배선층(85) 및 제2금속 확산방지층(84)의 보호막으로서 기능하도록 하는 것이 바람직하다. 또한, 도 12에서는 구리 배선층의 단일층을 예로 들어 도시하고 있지만, 상기 구리 배선층(85)이 주사선과 신호선의 2층 구조로 되도록 해도 된다.

또한, ITO 막 등의 투명 막이 아니라 반사형 액정 표시 장치 등에 사용되고 있는 반사성 금속 예를 들어, 알루미늄(Al)이나 은(Ag)을 포함하는 금속으로 형성하도 된다.

또한, 본 발명의 배선 및 전극은 전술한 바와 같은 LCD 뿐만 아니라 유기 ELD 예를 들어 액티브 매트릭스형 유기 ELD의 기판 상에 형성되는 신호선, 전원선, 주사선 및 TFT 내의 전극 및 주변 배선이나 동일 기판 상에 형성되는 주변 구동 회로 내의 배선 등에 적용하는 것도 용이하게 가능하다.

본 발명의 배선 및 전극의 형성 방법에 의하면, 금속 확산방지층으로 포위된 고신뢰성의 저저항 재료로 이루어진 금속 배선의 형성이 실현될 수 있고, 또한 종래의 다마신법에서 요구되는 CMP(화학적 기계연마법)법을 이용하지 않고 기판 상에 금속 배선을 선택적으로 형성하는 것이 가능해지며, CMP법을 적용하기가 곤란한 대면적 기판에 대해서도 저저항 배선의 구리 등으로 이루어진 금속 배선의 형성을 실현할 수 있다. 또한, CMP법을 이용하지 않고 기판 상에 선택적으로 배선을 형성하는 것이 가능하고, 배선 재료의 제거 마모가 억제되어 배선 재료의 절약이 가능해진다.

또한, 전술한 각 실시예에서는 제1구리 확산방지층의 에칭 시에 위층에 형성 된 구리 배선층의 표면이 손상되는 것을 방지하기 때문에 제2구리 확산방지층을 마스크(보호층)로 하여 이용하고 있는 예에 대해 설명하고 있지만, 상기 제조 공정 순서에 한정되지는 않는다. 즉, 제1구리 확산방지층을 제거하는 에칭 처리시에 구리 배선층에 손상을 부여하지 않는 에칭(습식 에칭 또는 건식 에칭)을 적용한다면, 제2구리 확산방지층이 마스크로 사용될 필요가 없기 때문에 제1구리 확산방지층의 에칭을 한 후에 제2구리 확산방지층을 형성하는 제조 공정이 가능하다.

즉, 도 7d에 나타낸 공정에 이어서 도 13a에 나타낸 바와 같이 제1구리 확산방지층(24) 상에 구리 배선층(25)이 형성된 후, 도 13b에 도시된 바와 같이 구리 배선층(25)에 손상을 주지 않는 에칭을 행하여, 구리 배선층(25)에 접속하는 영역에 위치하지 않은 제1구리 확산방지층(24)의 영역을 제거한다. 그 다음, 제1구리 확산방지층(24) 및 구리 배선층(25)을 덮도록 도 13c에 나타낸 바와 같이 제2구리 확산방지층(26)을 형성한다. 또한, 구리 배선을 포토레지스트층의 마스크 개구부에 형성하는 것이 아니라, 구리 배선을 형성하여 의도하는 영역에만 포토레지스트층을 남겨서 에칭하는 제조 공정이어도 된다. 도 13c에 도시된 제1변형예는 씨드층을 이용하지 않는 예이지만, 도 14에 도시된 제2변형예에서는 제1구리 확산방지층(24)과 구리 배선층(25)의 사이에 씨드층(27)이 형성되어 있다.

전술한 도 2에서는 씨드층(27)으로 구리(Cu)를 이용하고 있지만, 씨드층(27)을 형성하기 위하여 코발트(Co) 또는 니켈(Ni)을 이용하여도 된다.

이상과 같은 제1 및 제2실시예에 의한 배선을 형성하는 기술은 전극이나 표시 장치에도 용이하게 적용하는 것이 가능하다.

이러한 금속 씨드층을 형성한 배선 구조를 표시 장치 예를 들어, 액티브 매트릭스형 액정 표시 장치(LCD)에 적용하는 것이 가능하다. 물론, 상기 배선 구조는 이외에도 무기 ELD, 유기 ELD의 배선 등에 적용하는 것도 가능하다. 상기 LCD의 일예로서는 전술한 도 9에 나타낸 등가 회로와 동등하여 여기서는 생략한다. 이러한 배선 구조는 어레이 기판 상에 형성되어 있는 복수의 신호선, 복수의 주사선 및, 매트릭스 형상으로 다수 배치된 TFT의 게이트 전극, 소스/드레인 전극 등에 적용하는 것이 가능하다.

여기서, 본 발명의 배선 구조를 다결정 실리콘 TFT에 적용한 제2적용예에 대해 설명한다. 도 15a 내지 도 15g는 소스/드레인 전극을 형성하기 위하여 본 발명의 금속(구리) 배선층이 사용된 MOS 구조 p형 TFT의 제조 방법을 나타낸 단면도이다.

도 15a에 나타낸 공정에서는 기판(91)에 하부 절연층(92)을 적층시킨 후, 그 위에 활성층을 구성하는 비정질 실리콘층(93')을 적층한다. 이들을 적층시킨 후, 온도 500도의 분위기에서 어닐링 처리를 시행하고 비정질 실리콘층(93') 중의 수소를 이탈시킨다.

또한, ELA(Excimer Laser Anneal)법에 의해 비정질 실리콘층(93')을 다결정 실리콘층(93)으로 결정화시키고, PEP에 의해 포토레지스트로 이루어진 마스크(도시하지 않음)를 형성하며, CDE(Chemical Dry Etching)법을 이용하여 다결정 실리콘층(93)을 아일랜드 형상으로 가공한다. 그 다음, PE-CVD법에 의해 전체 표면 상에 게이트 절연층(94)을 적층시킨다.

도 15b에 나타낸 공정에서는 게이트 절연층(94) 전면 상에 게이트 전극층(95)(예를 들어 MoW)을 형성하고, 그 위에 PEP에 의해 포토레지스트로 이루어진 마스크(도시하지 않음)를 형성한다. 그 다음, 마스크로부터 외부로 노출된 게이트 절연층(94)을 에칭하여 게이트 전극을 형성한다. 또한, 상기 게이트 전극(95)을 구리로 형성하여 구리 전극 아래에 구리 확산방지층(배리어층(barrier layer)) 및 구리 씨드층을 형성한 구성으로 하여도 된다.

도 15c에 나타낸 공정에서는 이온 주입법에 의해 게이트 전극(95)을 마스크로 하여 다결정 실리콘층(93)으로 붕소를 이온 주입하여 불순물영역(소스/드레인 영역)(93a)을 형성하고 주입된 붕소 불순물을 활성화시킨다.

도 15d에 나타낸 공정에서 PE-CVD법을 이용하여 전체 표면 위에 층간 절연층(96)을 형성한다. 또한, 상기 층간 절연층(96) 상에는 PEP에 의해 포토레지스트로 이루어진 마스크(도시하지 않음)를 형성하고, 층간 절연층(96)의 노출 부분을 에칭하여 소스 및 드레인 영역(93a)의 표면까지 개구하는 컨택홀(97)을 형성한다.

도 15e에 나타낸 공정에서는 제1구리 확산방지층(100)으로서 기능하는 Co층(98)(두께 20 nm) 및 Co-B층(99)(두께 50 nm)으로 이루어진 적층을 각각 스퍼터링법과 무전해 금속 도금법으로 형성한다.

도 15f에 나타낸 공정에서는 전체 표면 위에 구리 씨드층(102)(두께 50 nm)을 형성하고, PEP에 의해 포토레지스트로 이루어진 마스크(103)를 형성한다. 상기 마스크(103)가 개구하는 영역 위에는 무전해 금속 도금법 또는 전해 금속 도금법을 이용하여 구리 배선층(104)을 500 nm의 두께로 선택적으로 형성한다.

또한, 도 15g에 나타낸 공정에서는 마스크(103)를 제거한 후, 구리 배선층(104)을 마스크로 하여 구리 씨드층(102)과, Co층(98) 및 Co-B층(99)으로 이루어진 제1구리 확산방지층(100)을 에칭한다. 또한, 무전해 금속 도금법을 사용하여 구리 씨드층(102), 구리 배선층(47) 및 제1구리 확산방지층(100)의 측면을 포함하는 노출 표면 전체를 덮도록 Co-B, Co-W-B 등으로 이루어진 제2구리 확산방지층(105)을 형성함으로써, 소스/드레인 전극(106)을 형성한다. 그리고, 열처리 공정에 의해 코발트층(98)과 소스 및 드레인 영역(93a)과의 경계면에 코발트 실리사이드층(101)을 형성함으로써 소스/드레인 저항의 저 저항화와 확산방지 기능의 향상을 실현한다.

또한, 위에서 설명된 공정에서는 Co-B층(99) 상에 구리 씨드층(102)을 형성한 후에 포토레지스트로 이루어진 마스크를 이용하여 구리 씨드층(102) 상에 구리 배선층(104)을 형성하였지만, Co-B층(99) 위에 직접 포토레지스트로 이루어진 마스크를 이용하여 구리 배선층(104)을 형성하여도 된다. 그리고, 구리 배선층(104)을 마스크로 하여 제1구리 확산방지층(100)인 코발트층(98) 및 Co-B층(99)을 에칭한 후, 구리 배선층(47) 및 제1구리 확산방지층(100)의 측면을 포함하는 노출 표면 전체를 덮도록 Co-B 등으로 이루어진 제2구리 확산방지층(105)을 형성하여도 된다.

또한, 상기 실시예의 Co층(98) 및 Co-B층(99) 대신에 Ni층 및 Ni-B층을 사용하여도 되고, 또한 제2구리 확산방지층(105)을 형성하기 위하여 Ni-B 등으로 이루어진 Ni합금을 이용하여도 된다. 제1구리 확산방지층(100)의 일부에 대해 Ni층을 이용한 경우, 열처리 공정에 의해 Ni 실리사이드층이 형성된다. 또한, Co 실리사이드층 또는 Ni 실리사이드층 대신에 Ta 실리사이드층과 Ti실리사이드층을 이용하여도 된다. Ni 실리사이드층 대신에 Ta 실리사이드 층, Ti 실리사이드층 등이 형성될 수 있다.

또한, 소스/드레인 전극(106)의 형성 후에 예를 들어, 질화 실리콘, 벤조시크로부텐 수지(benzocyclobutene) 등으로

이루어진 층간 절연층을 형성하고, 그 다음에 화소 전극과의 접속을 위해 상기 층간 절연층에 컨택홀을 개구하여 제2 금속 확산방지층을 노출시킨다. 또한, 예를 들어 스퍼터링법을 이용하여 ITO(인듐주석산화물), 주석산화물 등의 투명 도전체층을 형성하고 패터닝함으로써 투과형 액정 표시 장치용 등의 어레이 기판을 형성하는 것이 가능하다.

## 발명의 효과

위에서 상세하게 설명한 바와 같이, 본 발명은 대면적 기판 상에 금속 확산방지층으로 포위된 고신뢰성의 저 저항재료로 이루어진 금속 배선이나 전극의 형성을 실현함과 동시에, 배선 형성시 배선 재료의 낭비를 줄이고, 제조 공정 수의 저감에 의해 제조 비용의 삭감을 실현 가능한 배선, 전극, 표시 장치 및 그 제조 방법을 제공할 수 있다.

## (57) 청구의 범위

### 청구항 1.

기판 상에 형성된 제1금속 확산방지층;

상기 제1금속 확산방지층 상에 형성된 금속 씨드층;

상기 금속 씨드층 상에 형성된 금속 배선층; 및

적층된 상기 금속 씨드층 및 금속 배선층의 측면을 포함하는 노출 표면을 덮는 제2금속 확산방지층을 포함하며,

상기 금속 씨드층 및 상기 금속 배선층은 상기 제1금속 확산방지층과 상기 제2금속 확산방지층에 의해 포위되어 있는 것을 특징으로 하는 배선.

### 청구항 2.

기판 상에 형성된 제1금속 확산방지층;

상기 제1금속 확산방지층 상에 형성된 금속 씨드층;

상기 금속 씨드층 상에 형성된 금속 배선층; 및

적층된 상기 금속 씨드층, 상기 금속 배선층 및 제1금속 확산방지층의 측면을 포함하는 노출 표면을 덮는 제2금속 확산방지층을 포함하며,

상기 금속 씨드층 및 상기 금속 배선층은 상기 제1금속 확산방지층과 상기 제2금속 확산방지층에 의해 포위되어 있는 것을 특징으로 하는 배선.

### 청구항 3.

기판 상에 형성된 제1금속 확산방지층;

상기 제1금속 확산방지층 상에 형성된 금속 배선층; 및

상기 금속 배선층 및 상기 제1금속 확산방지층의 측면을 포함하는 노출 표면을 덮는 제2금속 확산방지층을 포함하며,

상기 금속 배선층은 상기 제1금속 확산방지층과 상기 제2금속 확산방지층에 의해 포위되어 있는 것을 특징으로 하는 배선.

### 청구항 4.

매트릭스 형상으로 배치된 구동 소자의 전극, 상기 구동 소자에 접속된 주사선과 신호선 중 적어도 하나는 제1금속 확산방지층과 제2금속 확산방지층에 의해 포위되도록 형성되는 것을 특징으로 하는 배선을 갖는 표시 장치.

### 청구항 5.

제4항에 있어서,

상기 배선 상에는 상기 제2금속 확산방지층을 중간에 위치시킨 상태로 투명 도전체층 또는 금속층이 형성되어 있는

것을 특징으로 하는 배선을 갖는 표시 장치.

**청구항 6.**
기판 상에 제1금속 확산방지층을 형성하는 단계;

상기 제1금속 확산방지층 상에 미리 정해진 패턴을 갖는 금속 배선층을 형성하는 단계;

상기 금속 배선층과 평면적으로 중첩하지 않는 상기 제1금속 확산방지층의 영역을 에칭하는 단계; 및

적어도 상기 금속 배선층의 측면을 포함하는 노출 표면을 덮도록 제2금속 확 산방지층을 형성하는 단계를 포함하는 것을 특징으로 하는 배선의 형성 방법.

**청구항 7.**
제6항에 있어서,

상기 미리 정해진 패턴의 상기 금속 배선층의 형성 전에 제1금속 확산방지층 상에 금속 씨드층을 형성하는 단계; 및

상기 미리 정해진 패턴의 상기 금속 배선층의 형성 후에 상기 금속 배선층과 접합되는 영역 이외의 상기 금속 씨드층을 에칭하는 단계를 더 포함하는 것을 특징으로 하는 배선의 형성 방법.

**청구항 8.**
제6항에 있어서,

상기 미리 정해진 패턴의 상기 금속 배선층의 형성 전에 제1금속 확산방지층 상에 미리 정해진 패턴의 금속 씨드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 배선의 형성 방법.

**청구항 9.**
제6항에 있어서,

상기 제1금속 확산방지층은 상기 기판 상에 다른 회로 소자 또는 다른 회로 소자의 일부가 형성된 후에 형성되는 것을 특징으로 하는 배선의 형성 방법.

**청구항 10.**
제6항에 있어서,

상기 금속 배선층의 단면 형상을 규정하는 상기 패턴의 개구부 단면은 직사 각 형상 또는 역방향 테이퍼 형상인 것을 특징으로 하는 배선의 형성 방법.

**청구항 11.**
제6항에 있어서,

상기 금속 배선층은 환원제로서 코발트염, 주석염 또는 글리옥살산(glyoxalic acid)을 이용한 알칼리 금속을 포함하지 않는 무전해 금속 도금 욕에 의해 형성되는 것을 특징으로 하는 배선의 형성 방법.

**청구항 12.**
매트릭스 형상으로 배치된 화소용의 구동 소자의 전극, 상기 구동 소자에 접속된 주사선과 신호선을 갖는 표시 장치의 제조 방법에 있어서,

제1금속 확산방지층을 형성하는 단계;

상기 제1금속 확산방지층 상에 미리 정해진 패턴의 전극, 상기 주사선 및 상기 신호선의 어느 하나로 되는 금속 배선층을 형성하는 단계;

적어도 상기 금속 배선층과 접합되지 않는 상기 제1금속 확산방지층의 영역을 에칭에 의해 제거하는 단계; 및

적어도 상기 금속 배선층의 측면을 포함하는 노출 표면을 덮도록 제2금속 확산방지층을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

**청구항 13.**
제12항에 있어서,

미리 정해진 패턴의 상기 전극, 상기 주사선 및 상기 신호선의 어느 하나로 되는 상기 금속 배선층의 형성 전에, 상기 제1금속 확산방지층 상에 금속 씨드층을 형성하는 단계; 및

미리 정해진 패턴의 상기 금속 배선층의 형성 후에, 상기 금속 배선층과 접합되지 않는 상기 금속 씨드층의 영역을 에칭하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

**청구항 14.**
제12항에 있어서,

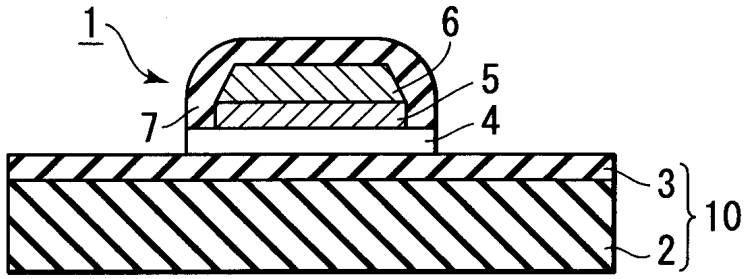
미리 정해진 패턴의 상기 금속 배선층의 형성 전에, 상기 제1금속 확산방지층 상에 미리 정해진 패턴의 금속 씨드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

**청구항 15.**
제12항에 있어서,

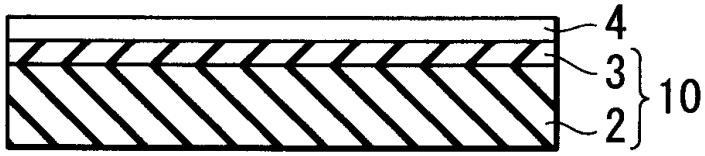
상기 제1금속 확산방지층의 적어도 일부를 실리사이드(silicide) 층으로 변환하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

도면

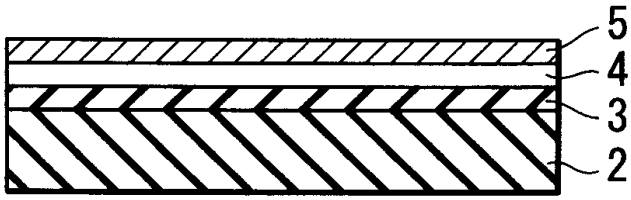
도면1



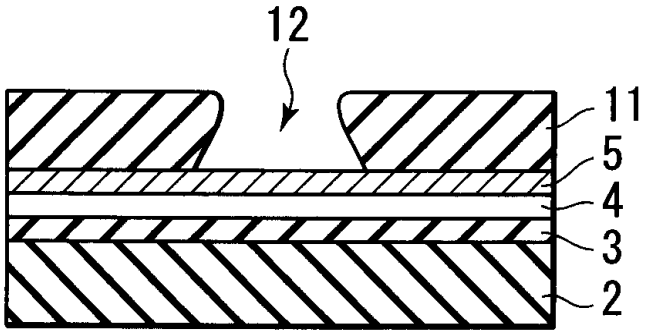

도면2a



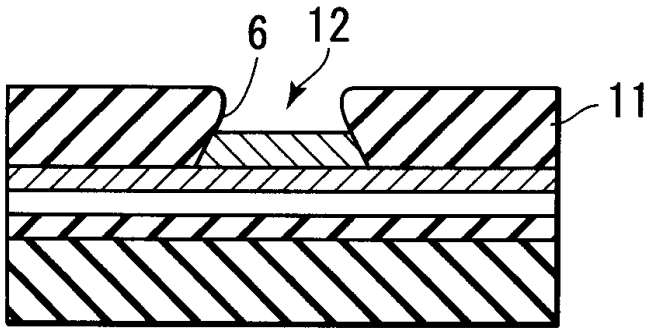

도면2b



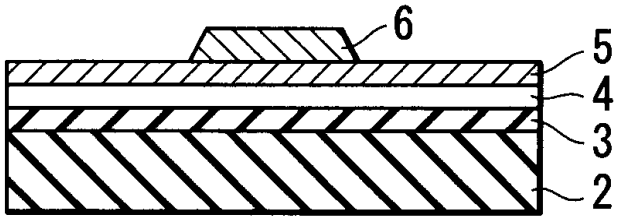
도면2c



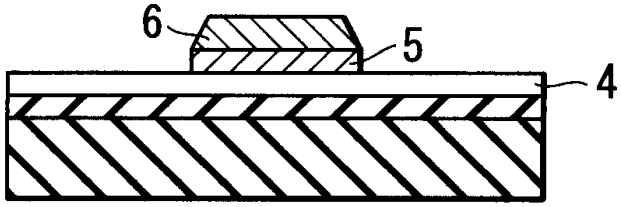

도면2d



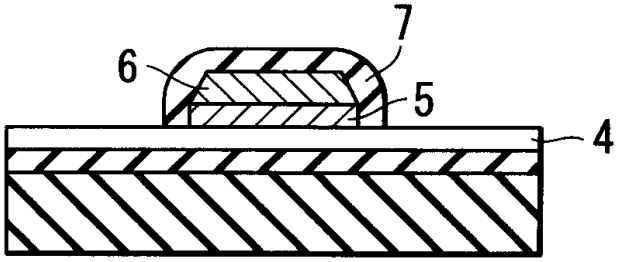

도면3a



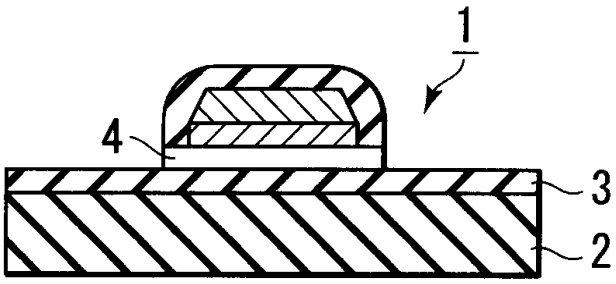

도면3b



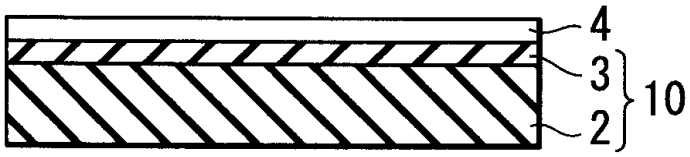

도면3c



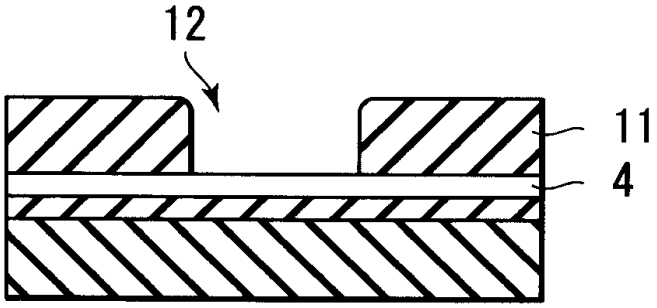
도면3d



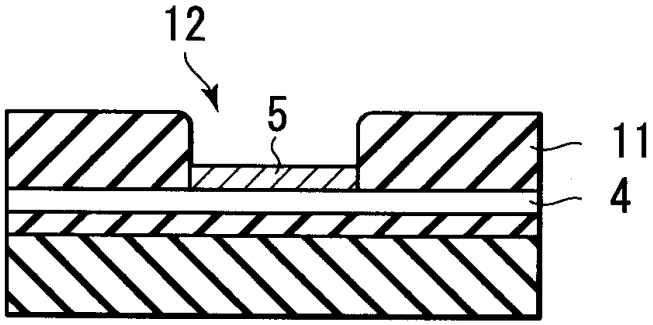

도면4a



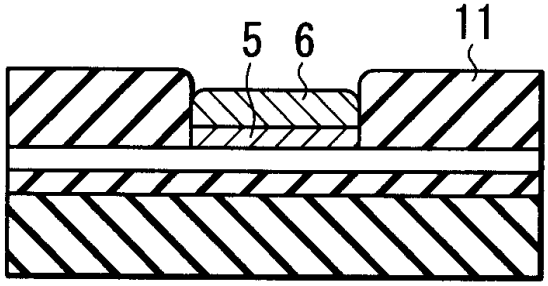

도면4b



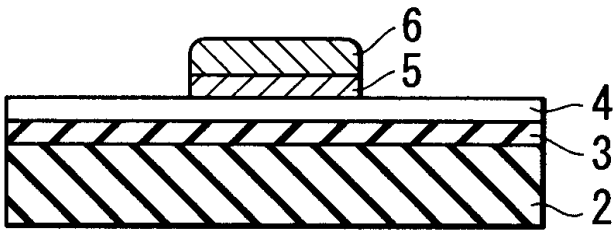

도면4c



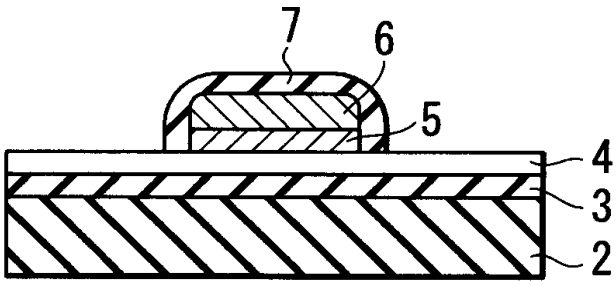

도면4d



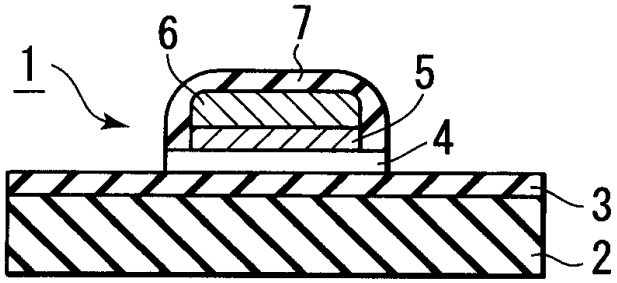
도면5a



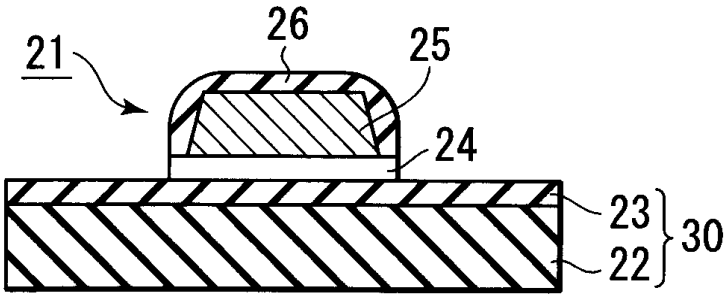

도면5b



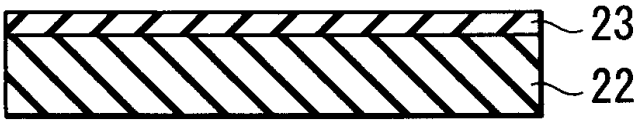

도면5c



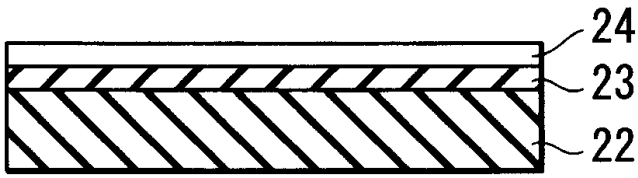

도면6



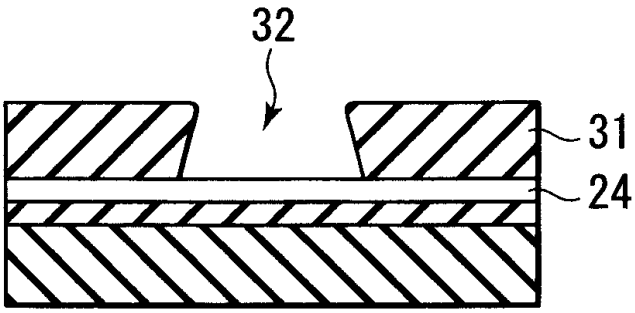

도면7a



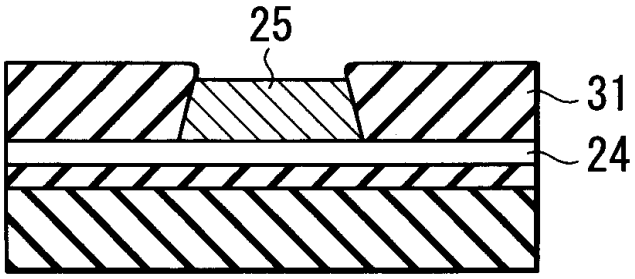
도면7b



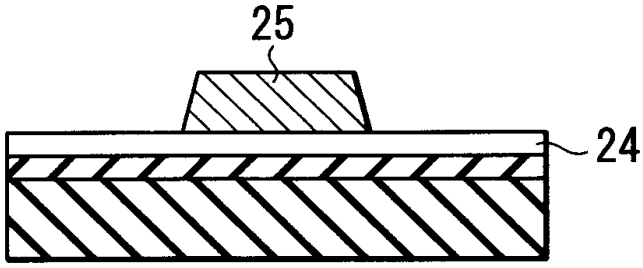

도면7c



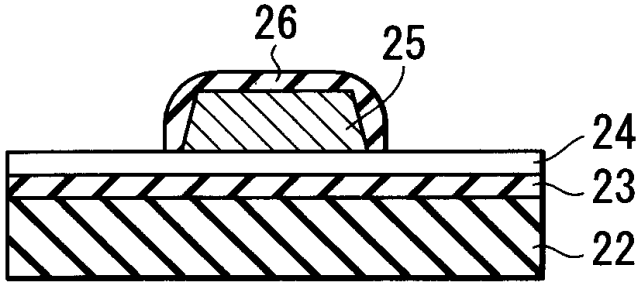

도면7d



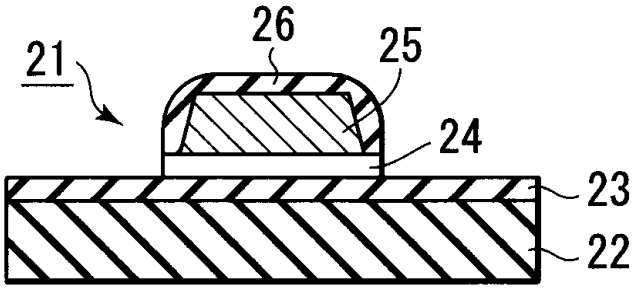

도면8a



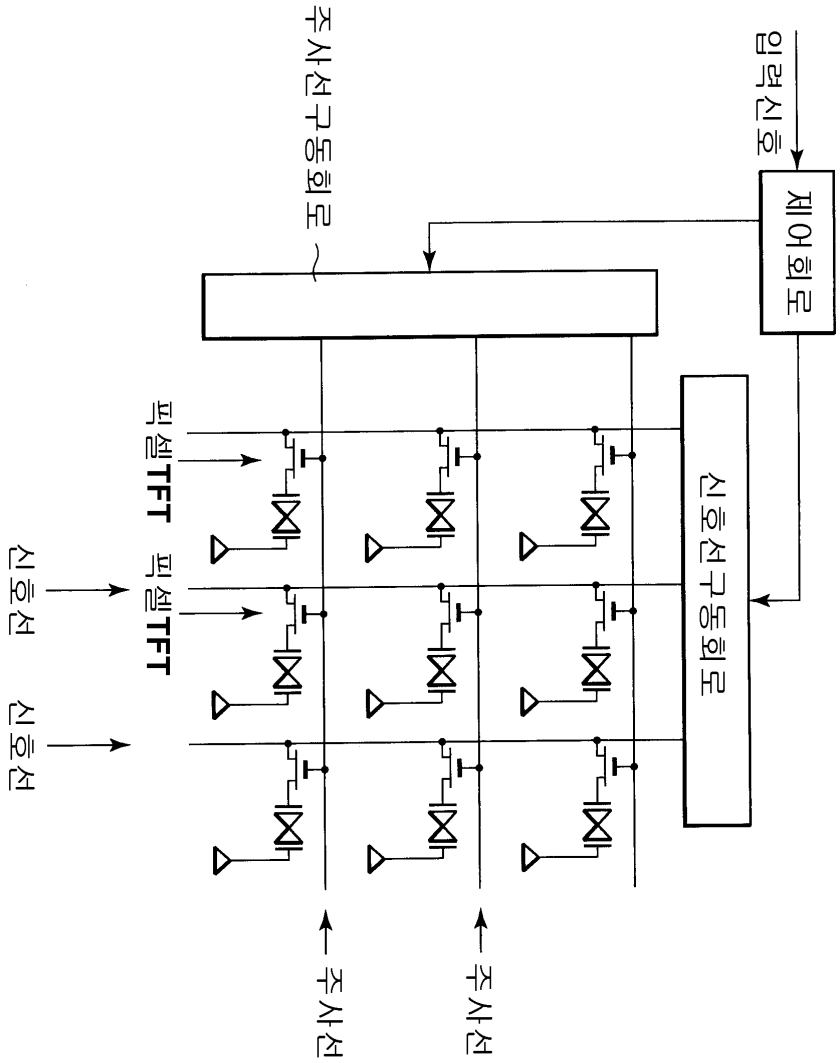

도면8b



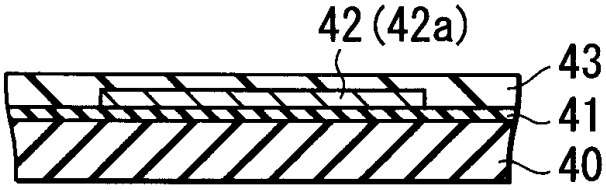
도면8c



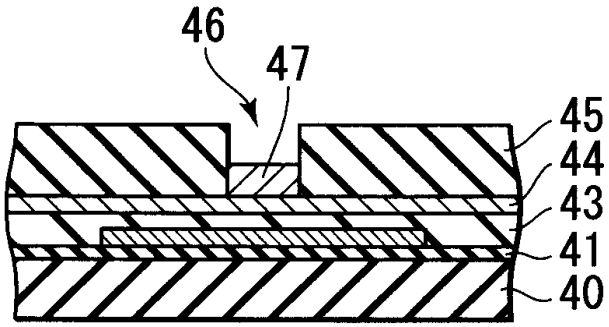

도면9



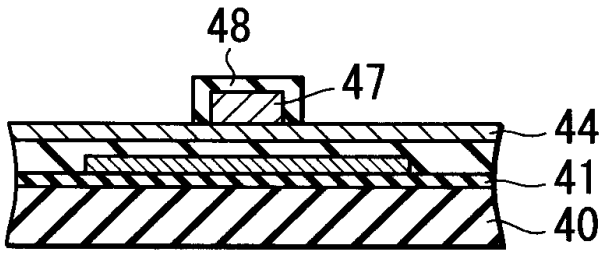

도면10a



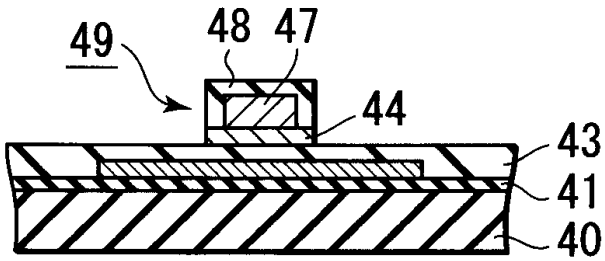
도면10b



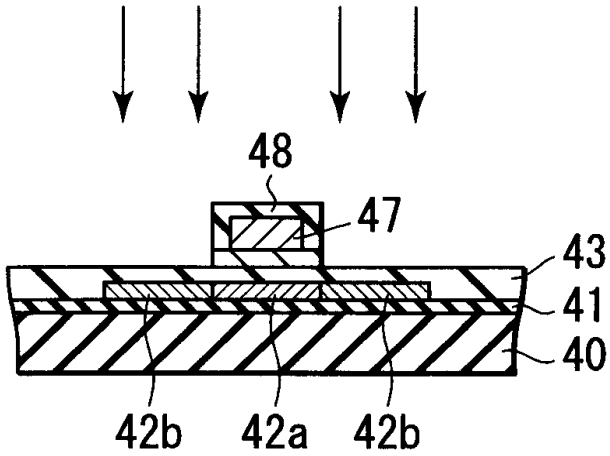

도면10c



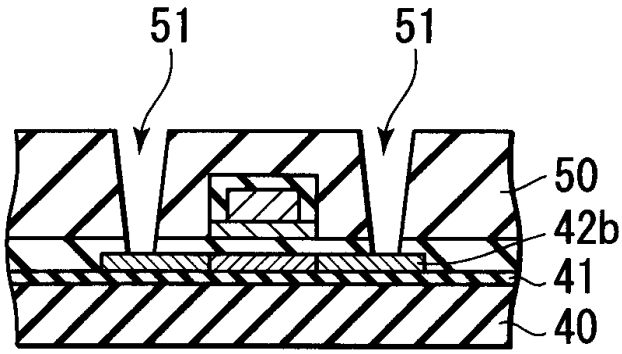

도면10d



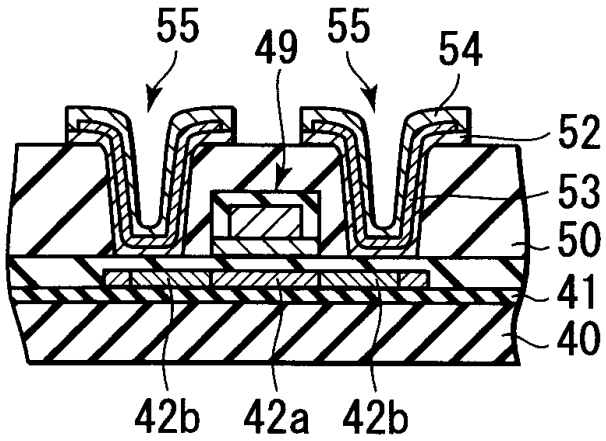

도면11a



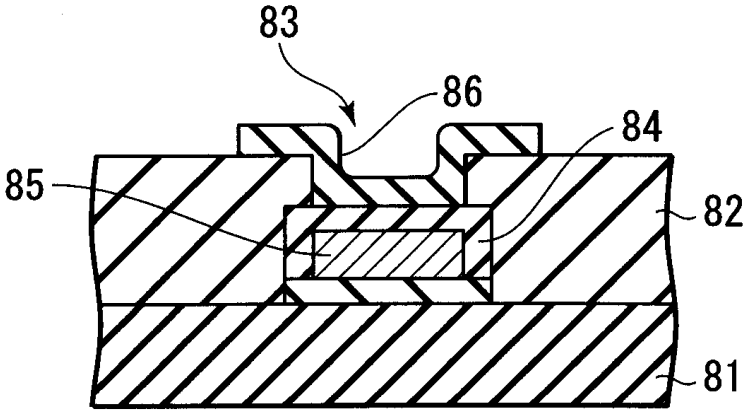
도면11b



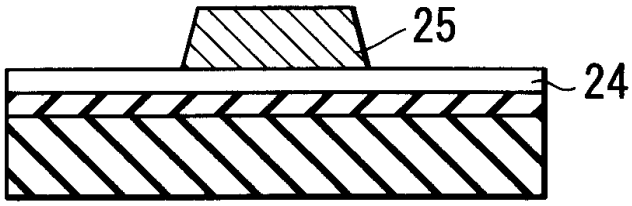

도면11c



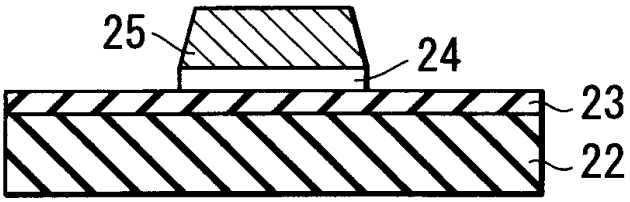

도면12



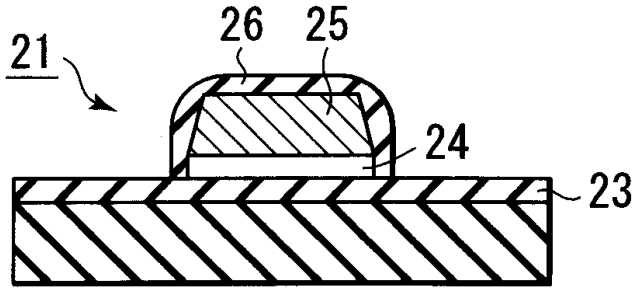

도면13a



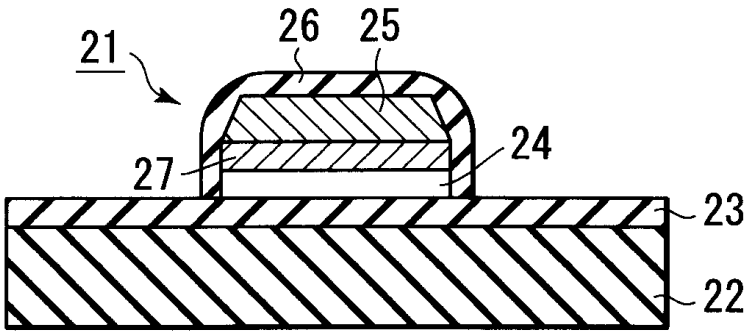

도면13b



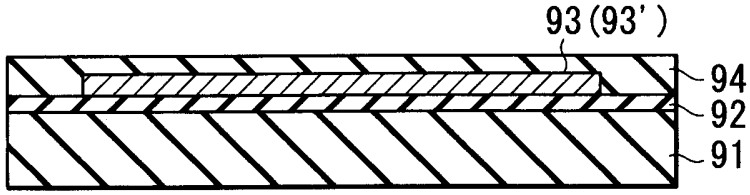
도면13c



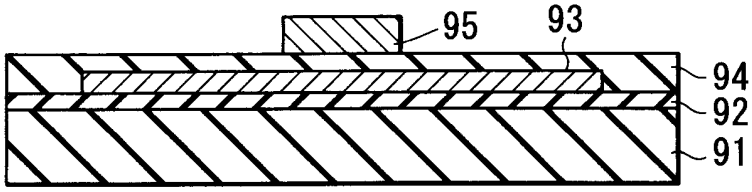

도면14



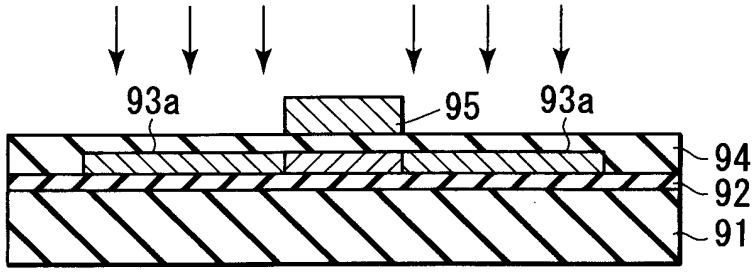

도면15a



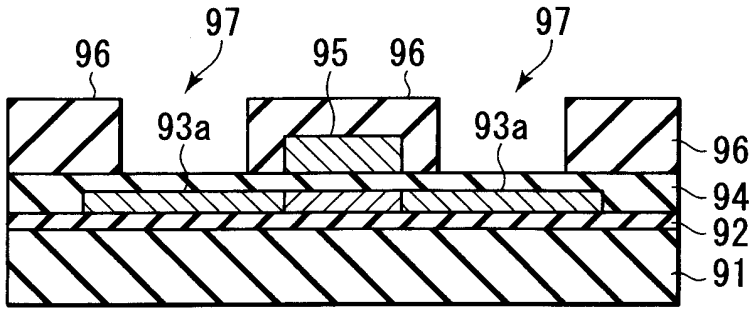

도면15b



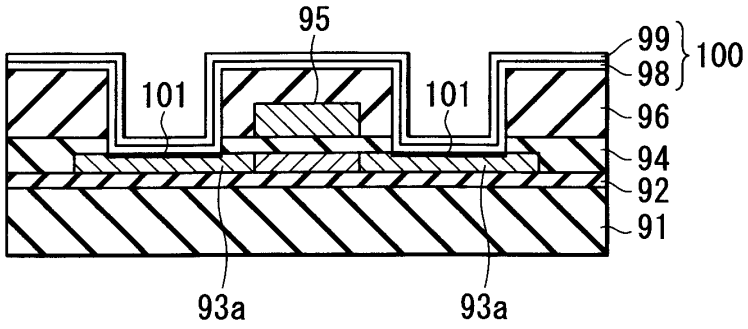

도면15c



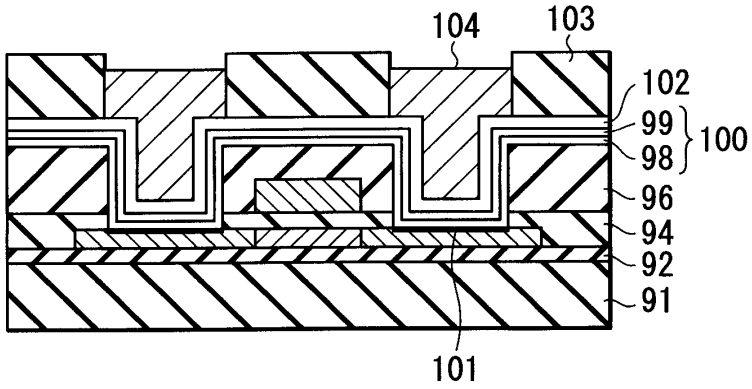
도면15d



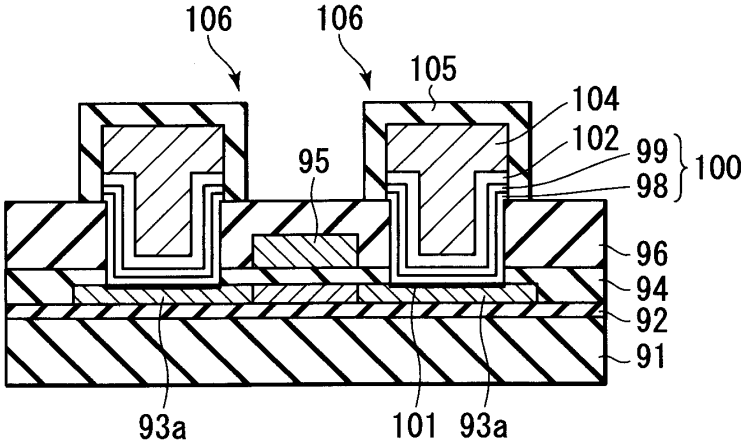

도면15e




도면15f




도면15g



| | | | |
|---|---|---|---|
| 专利名称(译) | 配线，显示装置及其制造方法 | | |
| 公开(公告)号 | KR1020040082987A | 公开(公告)日 | 2004-09-30 |
| 申请号 | KR1020040018753 | 申请日 | 2004-03-19 |
| [标]申请(专利权)人(译) | 液晶先端技术开发中心股份有限公司 | | |
| 申请(专利权)人(译) | 可否让这个莎的煤机用高秀饰品有以下用中心 | | |
| 当前申请(专利权)人(译) | 可否让这个莎的煤机用高秀饰品有以下用中心 | | |
| [标]发明人 | NAKAMURA HIROKI | | |
| 发明人 | NAKAMURA,HIROKI | | |
| IPC分类号 | G02F1/1345 G02F1/136 H01L21/3205 G09F9/00 H01L23/52 H01L29/786 H01L21/768 H01L21/288 H01L29/49 H01L21/336 H01L29/45 | | |
| CPC分类号 | H01L2221/1078 H01L21/76885 H05K2203/072 H01L21/76843 H01L21/76874 H01L29/4908 H05K2201/0347 H01L29/458 H05K3/108 H01L29/66757 H01L21/76852 H05K3/388 Y10T29/49117 | | |
| 代理人(译) | LEE，JAE HWA | | |
| 优先权 | 2003078113 2003-03-20 JP<br>2004065613 2004-03-09 JP | | |
| 外部链接 | Espacenet | | |


摘要(译)

本发明提供一种显示装置及其制造方法。第一金属扩散阻挡件可以形成在基板的上部或形成在基板上的电路器件上。接下来，报告为无电镀金属，并且由于在第一金属扩散阻挡层上的金属电镀方法而选择性地形成金属布线层。此外，去除第一金属扩散塞的不必要部分。最后，利用无电镀金属形成第二金属扩散阻挡层，以覆盖金属布线层或种子层和金属布线层两侧。 LCD，ULSI，布线，低电阻材料，铜扩散阻挡层，铜种子层。