(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36
G09G 3/20

(11) 공개번호 10-2004-0064289
(43) 공개일자 2004년07월16일

(21) 출원번호 10-2004-7008059
(22) 출원일자 2004년05월27일
번역문 제출일자 2004년05월27일
(86) 국제출원번호 PCT/IB2002/005051
(87) 국제공개번호 WO 2003/046880
(86) 국제출원출원일자 2002년11월29일
(87) 국제공개일자 2003년06월05일

(30) 우선권주장 JP-P-2001-00366231 2001년11월30일 일본(JP)
JP-P-2002-00105744 2002년04월08일 일본(JP)

(71) 출원인 코닌클리즈케 필립스 일렉트로닉스 엔.브이.
네덜란드 엔엘-5621 베에이 아인드호펜 그로네보드세베그 1

(72) 발명자 하지노슈지
네덜란드엔엘-5656에이에이아인드호펜홀스트란6

(74) 대리인 김창세
김원준

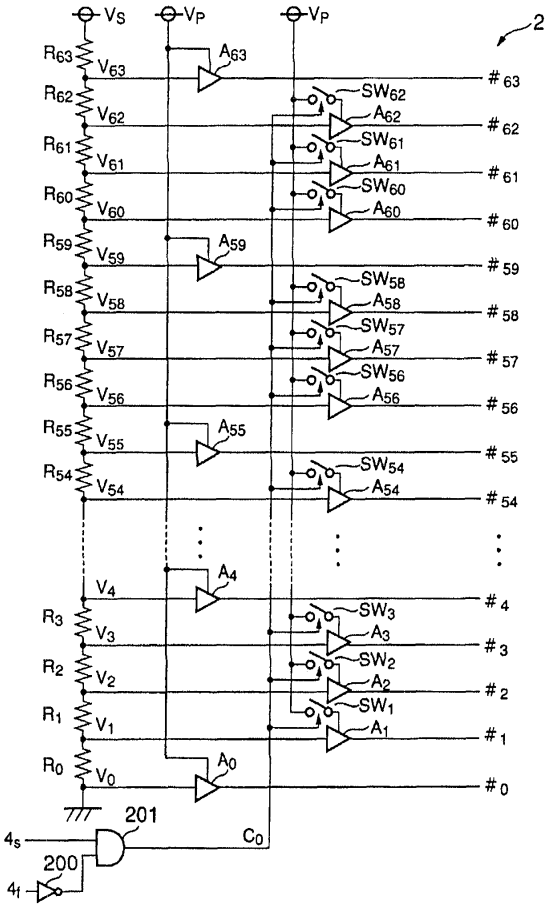
심사청구 : 없음

# (54) 열 전극 구동 회로 및 이를 포함하는 디스플레이 디바이스

요약

본 발명의 목적은 전력 소모량을 감소시키는 열 전극 구동 회로 및 이를 사용하는 디스플레이 디바이스를 제공하는 것이다. 그레이 스케일 디스플레이를 수행할 수 있는 디스플레이 디바이스를 위한 열 전극 구동 회로(a column electrode driving circuit)(50)는, 다수의 그레이 스케일 전압($V_0$ 내지 $V_{63}$)이 인가되는 입력부를 갖는 증폭기($A_0$ 내지 $A_{63}$)를 포함하는 그레이 스케일 전압 생성 수단(2) 및 픽셀 또는 디스플레이된 유닛을 위한 그레이 스케일 레벨을 표시하는 이미지 신호에 따라서 각 픽셀 또는 각 사전결정된 디스플레이된 유닛을 위해 증폭기($A_0$ 내지 $A_{63}$)의 출력 신호(#0 내지 #63) 중 임의의 신호를 선택 및 출력하는 선택 회로(30 내지 30x)를 포함한다. 상기 그레이 스케일 전압 생성 수단(2)은 사전결정된 모드 동안 증폭기들 중 임의의 증폭기($A_1$ - $A_3$, ..., $A_{56}$ - $A_{58}$, $A_{60}$ - $A_{62}$)(이 증폭기들은 사전결정된 개수의 사전결정된 그레이 스케일 레벨들에 대응함)의 전력 상태를 오프시키며 다른 증폭기($A_0$, $A_4$, ..., $A_{55}$, $A_{59}$, $A_{63}$)의 전력 상태를 온 상태로 되게 하며 선택 수단(30-30x)은 상기 사전결정된 모드 동안 상기 전력 온 상태로 된 증폭기들의 출력 신호들 중 임의의 것을 선택한다. 또한, 전위 분할 회로를 기반으로 하는 다른 구성이 개시된다.

대표도




명세서

## 기술분야

본 발명은 디스플레이 디바이스에 관한 것이며, 특히 다중 그레이 스케일 디스플레이 또는 다중 칼라 디스플레이를 수행할 수 있는 디스플레이 디바이스에서 사용되는 열 전극 구동 회로(a column electrode driving circuit)에 관한 것이다.

## 배경기술

액정 디스플레이 디바이스에서, 가령, 수 많은 픽셀들(픽셀 구역들)이 행렬로 또는 이에 등가하는 어레이로 전체 디스플레이 구역 상에 제공되며 행 전극 및 열 전극이 제공되어 픽셀 정보에 따라서 각각의 전계를 상기 픽셀들에 대응하는 액정 매체 부분에 인가한다. 행 전극은 디스플레이 구역에서 수평 방향으로 연장된 전기 도전성 패턴이며 열 전극은 디스플레이 구역에서 수직 방향으로 연장된 전기 도전성 패턴이다.

대부분의 액티브 매트릭스 액정 디스플레이 디바이스에는 가령 능동 소자로서 TFT(박막 트랜지스터)가 제공되어 각 픽셀에 대해 액정 매체 부분을 개별적으로 구동하며, 행 전극은 TFT의 게이트에 접속되고 열 전극은 TFT의 소스에 접속된다. 통상적으로, 이른바 주사 라인(scanning line)에 대응하는 행 전극 중 하나가 이미지 신호의 각 수평 주사 주기 동안 선택되며 게이트 전압이 선택된 행 전극에 제공되어 선택된 행 전극에 접속된 TFT 그룹을 동시에 활성화시킨다. 한편, 상기 주사 라인의 이미지에 따른 소스 전압(픽셀 정보 신호)이 상기 활성화된 TFT에 인가되어 그 라인의 이미지를 디스플레이한다. 상기 행 전극과 열 전극에 전압을 인가하는 구동 회로는 두 전극에 대해서 각기 제공된다.

디스플레이 디바이스에서 요구되는 상이한 그레이 스케일 레벨을 위해 필요한 다수의 그레이 스케일 전압을 생성하고 각 픽셀 정보 신호에 대한 픽셀 정보에 따라서 그레이 스케일 전압들 중 임의의 전압을 선택하여 이 선택된 그레이 스케일 전압을 해당 열 전극에 인가하는 열 전극 구동 회로 타입이 존재하다. 이 열 전극 구동 회로는 모든 그레이 스케일 전압들이 증폭기를 통해서 출력되도록 구성된다. 또한, 각기 열 전극들에 접속된 출력들을 갖는 증폭기들을 갖는 열 전극 구동 회로 타입이 존재한다.

전자의 구동 회로 타입은 증폭기 및 주변 회로가 거대한 전력 소모를 하게 한다. 또한, 후자의 구동 회로 타입은 디스플레이 이미지의 1 라인에 대한 도트의 개수에 대응하는 개수의 증폭기를 계속적으로 동작시켜서 거대한 전력 소모를 하며 또한 차세대의 해상도 증가를 생각하면 도트의 개수가 크게 증가하기 때문에 전력 소모량은 더욱 막대해진다.

예전에는 상상할 수 없이 그 품질이 개선된 디스플레이 기능을 갖는 셀룰러 전화와 같은 휴대용 디바이스가 출현함에 따라서, 한정된 배터리 용량으로 장시간 동작할 수 있으면서 높은 레벨의 디스플레이 성능을 갖는 전자 디바이스가 필요하다.

## 발명의 개요

본 발명의 목적은 감소된 전력 소모량을 갖는 열 전극 구동 회로를 제공하는 것이다. 본 발명은 독립항에서 규정된다. 종속항은 유리한 실시예들을 규정한다.

사전결정된 모드 동안 디스플레이되지 않는 그레이 스케일 레벨을 위한 그레이 스케일 전압을 출력할 증폭기들을 스위치 오프할 수 있다. 이로써, 구동 회로의 전력 소모량이 감소되며 이 구동 회로를 사용하면 휴대용 배터리를 사용하는 디바이스가 보다 장시간 동안 동작할 수 있다. 이러한 구동 회로는 강제 모드(forced mode)를 지원할 수 있으며 이로써 적극적인 전력 절감이 성취될 수 있다. 또한, 선택 수단이 비동작 증폭기 및 동작 중인 증폭기에 따라서 선택 동작을 수행할 수 있으며 이로써 적절한 그레이 스케일 전압을 선택할 수 있다. 본 명세서에서 '디스플레이 세그먼트'는 본 발명이 다수의 픽셀을 포함하는 세그먼트가 하나의 신호에 의해서 구동되는 디스플레이 디바이스용 구동 회로를 포함할 수 있음을 의미한다.

사전결정된 모드는 다수의 서브 모드(sub-mode)를 포함하며 전력 온 상태로 될 증폭기는 그레이 스케일 전압 생성 수단에서 각 서브 모드에 대해 결정된다. 본 실시예는 디스플레이될 다수의 그레이 스케일 레벨들이 존재하는 경우에 적합하 며 전력 절감을 위해서 정밀한 제어를 할 수 있다. 또한, 상기 구동 회로는 사전결정된 모드의 내용을 지정하는 제어 신호를 수신하는 수단을 포함하며 상기 그레이 스케일 전압 생성 수단은 상기 제어 신호에 따라서 증폭기들의 전원에 대해 전력 제어를 수행할 수 있다.

전력 온 상태로 될 증폭기에 인가되는 특정 그레이 스케일 전압 값은 최소 그레이 스케일 전압 값과 최대 그레이 스케일 전압 값 간의 전압 값 범위 내부에서 지정된 그레이 스케일 전압 값이며 이 값은 사전결정된 모드에 따라서 선택된다. 상기 특정 그레이 스케일 전압 값이 최대 그레이 스케일 전압 및/또는 최소 그레이 스케일 전압을 포함하는 것이 바람직하다. 따라서, 심지어 디스플레이 모드가 보다 작은 수의 그레이 스케일 레벨들을 갖는 모드로 변경된다하여도, 가용한 그레이 스케일 전압 범위를 효과적으로 사용할 수 있다. 특히 최대 그레이 스케일 전압 및 최소 그레이 스케일 전압이 특정 그레이 스케일 전압으로서 채용될 때에, 그 전체 범위를 사용할 수 있으며 보다 작은 개수의 그레이 스케일 레벨들을 디스플레이하는 모드 동안에도 디스플레이 품질 저하를 최소화한다.

어느 하나를 선택하는 것이 구조적으로 유리하다. 특정 그레이 스케일 전압이 그 전압 범위 내에서 실질적으로 동일한 인터벌(interval)들로 점진적으로 랭크(rank)되는 할당된 그레이 스케일 전압 값일 수 있더라도, 이 특정 그레이 스케일 전압은 또한 가령 보정 특성을 갖는 소정의 형태로 의도적으로 동일하지 않는 인터벌들로 랭크될 수 있다.

한편, 구동 회로는 일련의 비트 그룹을 포함하는 입력 비트 트레인(an input bit train)을 변환하는 데이터 처리 수단―상기 각 비트 그룹은 사전결정된 모드에 의해 지정된 사전결정된 그레이 스케일 값에 대응하는 비트 그룹만을 갖는 새로운 비트 트레인 내부로 입력된 이미지 신호의 이미지의 이미지 포인트(image point)의 그레이 레벨을 결정하며, 여기서 각 디스플레이 세그먼트에 대해서 대응하는 이미지 포인트가 존재함―과, 상기 새로운 비트 트레인이 되는 이미지 신호를 기반으로 하여 선택을 수행하는 선택 수단을 포함한다. 이러한 데이터 처리 및 이에 대응하는 구성을 채용함으로써 심지어 이미지 신호 데이터 비트의 수가 표현될 그레이 스케일 레벨들의 개수에 따라서 변경되어도 선택 수단의 선택 방식에 영향을 주지 않으면서 그레이 스케일 전압 생성 수단의 유효 출력을 적절하게 선택할 수 있다. 이후에 기술될 강제 모드가 지정된 경우에, 심지어 이미지 신호의 데이터 비트의 수가 이 경우와 일치하지 않더라도, 적절한 선택이 유사하게 수행될 수 있다.

여기서, 데이터 처리 수단은 그의 하위 비트에 대해 입력 이미지 신호의 비트 트레인의 적어도 하나의 상위 비트의 내용을 사용하여 규정된 개수의 비트의 비트 트레인을 형성하거나 데이터 처리 수단은 그의 하위 비트를 위해 적어도 하나의 비트의 고정된 값을 사용하여 규정된 개수의 비트의 비트 트레인을 형성한다. 보다 바람직하게는, 데이처 처리 수단은 비트 트레인이 최대 그레이 스케일 전압 및/또는 최소 그레이 스케일 전압을 지정할 수 있는 값을 갖도록 규정된 개수의 비트의 비트 트레인을 형성할 수 있다.

또한, 상술된 목적을 달성하기 위해서, 본 발명의 제 2 측면에 따른 구동 회로는 그레이 스케일 디스플레이를 구현할 수 있는 디스플레이 디바이스를 위한 열 전극 구동 회로이며, 이 회로는 각기 점진적으로 레벨-시프트되는 값들을 갖는 다수의 그레이 스케일 전압을 릴레이(relay)하는 증폭기들 및 상기 증폭기들의 출력부에 접속되어 그들의 출력 전

압을 분할하여 감소된 그레이 스케일 전압을 생성하는 전위 분할 회로를 포함하는 그레이 스케일 전압 생성 수단과, 디스플레이된 유닛 또는 픽셀을 위한 그레이 스케일 레벨을 나타내는 이미지 신호에 따라서 각 픽셀 또는 각 사전결정된 디스플레이된 유닛을 위해 상기 그레이 스케일 전압들 중 임의의 전압을 선택 및 출력하는 선택 수단을 포함하되, 상기 그레이 스케일 전압 생성 수단은 상기 해당 증폭기로부터 상기 해당 전위 분할 회로를 전기적으로 분리함으로써 또는 상기 해당 증폭기의 출력 전류가 그의 분할 동작에 의해서 가능하게 유발되는 흐름으로부터 차단하여 상기 출력 전류의 흐름이 실질적으로 불가능하게 함으로써 사전결정된 모드에서 사전결정된 그레이 스케일 레벨에 대응하는 사전결정된 개수의 그레이 스케일 전압들을 생성하는 임의의 전위 분할 회로를 출력-디스에이블링하며(output-disabling), 상기 선택 수단은 상기 사전결정된 모드 동안 임의의 유효 전압을 선택한다. 이로써, 사전결정된 모드에서 디스플레이하는 데 있어서 불필요한 그레이 스케일 레벨들에 대한 그레이 스케일 전압을 출력하는 전위 분할 회로의 전력 소모가 감소된다.

상기 전위 분할 회로는 보다 높은 전위를 갖는 제 1 접속 단부와 보다 낮은 전위를 갖는 제 2 접속 단부를 가지며 이로써 상기 제 1 접속 단부와 상기 제 2 접속 단부 간의 전위차를 분할하며, 상기 접속 단부들은 증폭기의 출력 라인들 간에서 접속되고, 상기 접속 단부들 중 적어도 하나는 상기 출력 라인들 간의 도전성 경로가 개방 또는 폐쇄되게 하는 스위칭 회로를 통해서 상기 출력 라인에 접속되고, 상기 스위칭 회로는 상기 전위 분할 회로의 출력이 디스에이블될 때에는 상기 도전성 경로를 개방한다. 그레이 스케일 전압 생성 수단이 상기 증폭기의 출력 전류 공급이 상기 전위 분할 효과에 의해서 유발된 흐름으로부터 차단시키는 경우에, 상기 전위 분할 회로는 보다 높은 전위를 갖는 제 1 접속 단부와 보다 낮은 전위를 갖는 제 2 접속 단부를 가지며 이로써 상기 제 1 접속 단부와 상기 제 2 접속 단부 간의 전위차를 분할하며, 상기 접속 단부들은 증폭기의 출력 라인들 간에서 접속되고, 상기 접속 단부들 중 오직 하나만이 상기 출력 라인들 간의 도전성 경로가 개방 또는 폐쇄되게 하는 스위칭 회로를 통해서 상기 출력 라인에 접속되고, 상기 스위칭 회로는 상기 전위 분할 회로의 출력이 디스에이블될 때에는 상기 도전성 경로를 개방한다. 이로써, 요구된 그레이 스케일 전압이 강제 모드 또는 이 강제 모드에서와 동일한 그레이 스케일 표현을 수행하는 디스플레이 모드 동안 상기 선택 수단의 선택 방식을 변경시키지 않으면서 적절하게 출력될 수 있다. 즉, 상기 전위 분할 회로의 출력이 디스에이블될 때에 이 회로 출력 단부는 이 분할 회로의 증폭기 출력에 접속된 채 남아 있는 하나의 접속 단부에 인가된 상기 보다 높은 전위 또는 보다 낮은 전위와 실질적으로 동일한 전위를 가지며, 이로써 상기 분할 회로 출력 단부에서 표현된 레벨이 상기 선택 수단에 의해서 선택되더라도, 상기 하나의 접속 단부의 전위에 대응하는 특정 (분할되지 않은) 그레이 스케일 전압이 선택될 것이다. 이로써, 상기 강제 모드 또는 이와 등가의 모드를 용이하게 구현할 수 있다.

상술된 특성들을 갖는 실시예에서처럼, 이러한 측면도 다음과 같은 특성들을 갖는다. 상기 사전결정된 모드는 다수의 서브 모드를 포함하며, 출력 인에이블(output-enable)될 상기 전위 분할 회로는 상기 그레이 스케일 전압 생성 수단에서 각 서브 모드에 대해서 결정된다. 또한, 상기 구동 회로는 상기 사전결정된 모드의 내용을 지정하는 제어 신호를 수신하는 수단을 포함하고, 상기 그레이 스케일 전압 생성 수단은 상기 제어 신호에 따라서 상기 전위 분할 회로에 대해서 출력 디스에이블/인에이블 제어를 수행한다. 또한, 출력 인에이블될 특정 그레이 스케일 전압은 최대 그레이 스케일 전압 값과 최소 그레이 스케일 전압 값 간의 전압 범위 내에 할당된 그레이 스케일 전압 값이며 이 전압 값은 사전결정된 모드에 따라서 선택된다. 그리고, 상기 특정 그레이 스케일 전압은 최대 그레이 스케일 전압 및/또는 최소 그레이 스케일 전압을 포함한다. 상기 특정 그레이 스케일 전압은 그 전압 범위 내에서 실질적으로 동일한 인터벌(interval)들로 점진적으로 랭크(rank)되는 할당된 그레이 스케일 전압 값이다. 상기 구동 회로는 사전결정된 모드에서 표현될 그레이 스케일 레벨을 나타낼 수 있는 규정된 수의 비트를 갖는 비트 트레인을 입력 이미지 신호의 비트 트레인을 기반으로 하여 형성하는 데이터 프로세스를 수행하는 데이터 처러 수단을 더 포함하고, 상기 그레이 스케일 레벨은 상기 사전결정된 모드에 의해서 지정되며, 상기 선택 수단은 상기 데이터 처리 수단에 의해서 획득된 새로운 비트 트레인을 기반으로 하는 입력 데이터에 따라서 선택 상태를 결정하고, 상기 그레이 스케일 전압 생성 수단은 상기 사전결정된 모드에서 상기 새로운 비트에 의해 지정될 수 있는 그레이 스케일 레벨에 대응하는 그레이 스케일 전압을 출력 인에이블될 그레이 스케일 전압으로서 지정한다. 데이터 처리 수단은 그의 하위 비트에 대해 입력 이미지 신호의 비트 트레인의 적어도 하나의 상위 비트의 내용을 사용하여 규정된 개수의 비트의 비트 트레인을 형성한다. 또한, 데이터 처리 수단은 그의 하위 비트를 위해 적어도 하나의 비트의 고정된 값을 사용하여 규정된 개수의 비트의 비트 트레인을 형성한다. 보다 바람직하게는, 데이처 처리 수단은 비트 트레인이 최대 그레이 스케일 전압 및/또는 최소 그레이 스케일 전압을 지정할 수 있는 값을 갖도록 규정된 개수의 비트의 비트 트레인을 형성할 수 있다.

따라서, 이러한 특성들에 대해서 특정된 장점들을 기대할 수 있다.

상술된 제 1 측면 및 제 2 측면에서, 사전결정된 모드는 상기 최대 개수의 그레이 스케일 레벨보다 작은 개수의 그레이 스케일 레벨을 나타내는 적어도 하나의 모드를 가지거나 상기 사전결정된 모드는 디스플레이 동작 동안 필요한 개수의 그레이 스케일 레벨을 나타내는 모드 및 강제로 지정된 그레이 스케일 레벨을 나타내는 모드를 포함한다. 그레이 스케일 전압 생성 수단의 출력은 다른 증폭기를 통하지 않고 선택 수단으로 인가되며 상기 선택 수단은 다른 증폭기를 통하지 않고 자신의 선택 출력을 생성하며 이로써 전력 소모 감소 효과가 더 개선된다.

또한 본 발명은 상술된 구동 회로를 포함하는 디스플레이 디바이스를 제공한다. 본 발명이 사용되는 디스플레이 디바이스가 셀룰러 전화와 같은 디바이스인 경우에, 상기 사전결정된 모드의 내용 또는 디스플레이될 그레이 스케일 레벨의 개수는 상기 디바이스가 통신 동작을 대기하는 모드에 있는지 아니면 전화 통화와 같 은 주요 동작 모드 중에 있는

지의 여부에 따라서 결정되거나 상기 대기 모드의 상태에 따라서 결정된다. 대기 모드 시에, 사용자는 통상적으로 디스플레이 디바이스의 디스플레이 성능을 중요시하지 않는다. 그러므로, 이러한 모드에서는, 디스플레이될 그레이 스케일 레벨의 개수를 감소시키는 것이 디스플레이 성능을 실질적으로 감소시키는 것을 의미하지 않는다. 그래서, 이러한 상황하에서, 상술된 바와 같은 구동 회로의 전력 소모량을 감소시키는 것은 매우 쉽다.

본 발명의 이들 측면 및 다른 측면이 이제 첨부 도면을 참조하여 분명하게 설명될 것이다.

본 발명의 실시예들이 이 첨부 도면을 참조하여 보다 상세하게 설명될 것이다.

## 도면의 간단한 설명

도 1은 본 발명과 함께 사용되는 매트릭스 어드레싱 회로의 일반적인 구성을 나타내는 블록도,

도 2는 본 발명에 따른 소스 구동기의 구성을 도시한 블록도,

도 3은 도 1의 소스 구동기 내의 데이터 변환 회로의 동작을 나타내는 시간 차트,

도 4는 도 1의 소스 구동기 내의 그레이 스케일 전압 생성 회로의 일 구조적 실례를 나타내는 도면,

도 5는 이미지 데이터 신호 내의 픽셀 데이터 블록의 구성 및 상기 블록의 값과 이에 대응하는 그레이 스케일 전압 간의 관계를 나타내는 도면,

도 6은 16 그레이 스케일 디스플레이 동작 동안 이미지 데이터 신호 내의 픽셀 데이터 블록의 구성의 일 실례 및 상기 블록의 값과 이에 대응하는 그레이 스케일 전압 간의 관계를 나타내는 도면,

도 7은 6 비트 이미지 데이터가 강제 모드로 입력될 때에 픽셀 데이터 블록의 구조적 실례를 도시한 도면,

도 8은 도 4의 구성의 수정을 도시한 도면,

도 9는 도 8의 구성에서 사용되며 16 그레이 스케일 디스플레이 동작 동안 이미지 데이터 신호 내의 픽셀 데이터 블록의 구성의 다른 실례 및 상기 블록의 값과 이에 대응하는 그레이 스케일 전압 간의 관계를 나타내는 도면,

도 10은 도 8의 구성에서 사용되며 6 비트 이미지 데이터가 강제 모드로 입력될 때에 픽셀 데이터 블록의 구조적 실례를 도시한 도면,

도 11은 이미지 데이터 블록의 일 구성 실례와 다른 구성 실례를 비교하기 위한, 그레이 스케일 전압 값과 이들의 랭킹(ranking) 간의 관계를 나타낸 그래프,

도 12는 도 8의 구성 대신에 사용되는 도 4의 구성의 수정을 도시한 도면,

도 13은 도 12의 구성에서 사용되며 16 그레이 스케일 디스플레이 동작 동안 이미지 데이터 신호 내의 픽셀 데이터 블록의 구성의 다른 실례 및 상기 블록의 값과 이에 대응하는 그레이 스케일 전압 간의 관계를 나타내는 도면,

도 14는 도 12의 구성에서 사용되며 6 비트 이미지 데이터가 강제 모드로 입력될 때에 픽셀 데이터 블록의 구조적 실례를 도시한 도면,

도 15는 픽셀 데이터 블록을 처리하는 방식의 일 실례를 도시한 블록도,

도 16은 픽셀 데이터 블록을 처리하는 방식의 다른 실례를 도시한 블록도,

도 17은 소스 구동기 내의 그레이 스케일 전압 생성 회로의 다른 구조적 실례를 도시한 도면,

도 18은 도 17의 구성의 수정을 도시한 도면,

도 19는 3 비트 디스플레이 모드 동안 픽셀 데이터 블록의 구성 및 상기 블록의 값과 이에 대응하는 그레이 스케일 전압 간의 관계를 나타낸 도면,

도 20은 2 비트 디스플레이 모드 동안 픽셀 데이터 블록의 구성 및 상기 블록의 값과 이에 대응하는 그레이 스케일 전압 간의 관계를 나타낸 도면,

도 21는 1 비트 디스플레이 모드 동안 픽셀 데이터 블록의 구성 및 상기 블록의 값과 이에 대응하는 그레이 스케일 전압 간의 관계를 나타낸 도면,

도 22는 본 발명에 따른 다중 스테이지 스위칭 타입 그레이 스케일 전압 생성 회로의 일 실례의 상부 부분의 구성을 도시한 블록도,

도 23은 본 발명에 따른 다중 스테이지 스위칭 타입 그레이 스케일 전압 생성 회로의 일 실례의 하부 부분의 구성을 도시한 블록도,

도 24는 도 22 및 도 23의 그레이 스케일 전압 생성 회로 내에서 사용되는 제어 신호의 규정된 내용을 설명하는 표,

도 25는 본 발명에 따른 다중 스테이지 스위칭 타입 그레이 스케일 전압 생성 회로의 다른 실례의 상부 부분의 구성을 도시한 블록도,

도 26은 본 발명에 따른 다중 스테이지 스위칭 타입 그레이 스케일 전압 생 성 회로의 다른 실례의 하부 부분의 구성을 도시한 블록도,

도 27은 본 발명에 따른 그레이 스케일 전압 생성 회로의 다른 실시예의 개략적 구성을 도시한 블록도,

도 28은 본 발명에 따른 그레이 스케일 전압 생성 회로의 또 다른 실시예의 개략적 구성을 도시한 블록도,

도 29는 본 발명에 따른 그레이 스케일 전압 생성 회로의 또 다른 실시예의 개략적 구성을 도시한 블록도.

## 발명의 상세한 설명

도 1은 본 발명의 실시예에 따른 액정 디스플레이 디바이스의 매트릭스 어드레싱 회로의 일반적인 구성을 도시한다.

도 1에서, 이 매트릭스 어드레싱 회로(10)는 액티브 매트릭스 LCD 디바이스의 디스플레이 패널(20)을 구동하며 상기 패널 상에는 가령 전계 효과 박막 트랜지스터(TFT)(21)가 능동 소자로서 픽셀을 일치하여 배치되어 있으며 사전결정된 디스플레이 구역 내의 픽셀을 구동시킨다.

디스플레이 패널(20) 상에서, TFT(21)는 Y 개의 행 및 X 개의 열로 구성된다. TFT(21)의 게이트 전극은 행으로 구성되며 디스플레이 구역를 가로질러 있는 게이트 버스 라인에 접속되며 각 행은 수평으로 존재하며 서로에 대해서는 평행하며, 한편 TFT(21)의 소스 전극은 열로 구성되며 디스플레이 구역를 가로질러 있는 소스 버스 라인에 접속되며 각 열은 수직으로 존재하며 서로에 대해서는 평행하다. TFT(21)의 드레인 전극은 각각의 픽셀 전극(23)에 접속되며 개별 픽셀 구역은 기본적으로 이 픽셀 전극(23)에 의해서 규정된다.

디스플레이 패널(20)에는 갭(gap)을 가지면서 픽셀 전극과 대향하여 배치된 공통 전극(25)이 제공된다. 이 갭은 액정 매체(도시되지 않음)로 충진되고 공통 전극(25)은 이 실례에서는 전체 디스플레이 구역에 걸쳐 연장되어 있다. TFT(21)는 게이트 버스 라인을 통해 제공된 게이트 제어 신호에 의해서 한 행 씩 선택적으로 턴 온된다. 턴 온된 TFT는 소스 버스 라인을 통해 제공된 픽셀 정보 신호에 따라서 구동 상태로 된다. 이 픽셀 전극(23)에는 드레인 전극에 의해서 상기 구동 상태에 따라서 전위가 제공된다. 액정 매체의 배향이 이 제공된 픽셀 전극 전위와 공통 전극(25)에 제공된 전압 레벨의 차에 의해 결정되는 전계에 의해서 각 픽셀 전극에 대해서 제어된다. 이로써, 액정 매체는 백라이트 시스템(도시되지 않음)으로부터 발생한 광을 변조하고 그 매체를 통해서 각 픽셀에 대한 픽셀 정보에 따라서 전방 측면으로 통과시킨다(또는 전방 광 시스템으로부터 입사된 광의 반사도 적용될 수 있음). LCD 패널의 이러한 구성 및 동작은 본 기술 분야에서 잘 알려져 있기 때문에 더 이상 설명되지 않을 것이다.

구동 회로(10)에 신호 제어부(30), 기준 전압 생성부(40), 열 구동 수단인 소스 구동기(50) 및 행 구동 수단인 게이트 구동기(60)가 제공된다.

신호 제어부(30)는 이미지 데이터의 적색(R) 성분, 녹색(G) 성분, 청색(B) 성분의 형태로 된 이미지 데이터 신호, 도트 클록 신호 CLK 및 수직 동기화 신호 및 수평 동기화 신호를 포함하는 동기화 신호 SYNC를 신호 공급 수단(도시되지 않 음)으로부터 수신한다. 이 신호 제어부(30)는 '데이터'로도 지칭되는 이미지 데이터 신호 R,G,B를 클록 신호 CLK 및 동기화 신호 SYNC의 타이밍에 따라서 소스 구동기(50)에 제공한다. 또한, 신호 제어부(30)는 클록 신호 CLK 및

동기화 신호 SYNC에 따라서 소스 구동기(50)를 제어하는 소스 제어 신호 St 및 게이트 구동기(60)를 제어하는 게이트 제어 신호 Gc를 생성한다.

전압 생성 수단(40)은 소스 구동기(50)를 위해 필요한 공급 전압 $V_s$ 및 $V_p$ 와 게이트 구동기(60)를 위해 필요한 공급 전압 $V_g$ 를 공급 전압 V를 기반으로 하여 전원 시스템(도시되지 않음)으로부터 생성한다. 이 전압 생성 수단(40)은 디스플레이 패널(20) 상의 공통 전극(25)으로 공급 전압 V을 기반으로 하여 전압 신호 Vcom을 생성 및 제공한다.

소스 구동기(50)에는 이미지 데이터 신호의 칼라 성분 R,G,B 각각을 위한 디지털 아날로그 변환기가 제공된다. 디스플레이 패널(20)의 수평 라인 내의 각 픽셀에 대해서 아날로그 신호가 생성된다. 이 아날로그 신호의 레벨은 이미지 데이터 신호에 따라서 그 픽셀에 의해 디스플레이될 그레이 레벨에 대응한다. 각 아날로그 신호의 전압 레벨은 다음의 수평 주사 주기가 시작할 때까지 현 수평 주사 주기의 시작시부터 일정하게 유지되면서 각각의 대응하는 소스 버스 라인에 제공된다. 소스 구동기(50)에 제공된 소스 제어 신호 St는 수평 주사 주기, 디지털 대 아날로그 변환의 타이밍, 소스 버스 라인으로 인가되는 전압 레벨을 결정하기 위한 기반을 형성한다.

게이트 구동기(60)는 게이트 제어 신호 Gc에 따라서 디스플레이 패널(20)의 게이트 버스 라인을 선택적으로 활성화시키는데 가령 상기 게이트 버스 라인들로 사전결정된 전압을 순차적으로 제공한다. 이 활성화된 게이트 버스 라인은 거기에 접속된 각각의 TFT를 턴 온시키며 이와 동시에 이 TFT 소스에는 상술된 바와 같은 아날로그 신호가 제공된다. 이로써, 각 TFT는 그 아날로그 신호의 레벨에 대응하는 전위를 그의 드레인 및 픽셀 전극을 통해서 액정 매체의 대응하는 부분에 제공하며 이로써 그 매체의 전계 및 분자 배향 상태를 조절한다. 따라서, 대응하는 라인 또는 행 상의 모든 픽셀들은 상술된 바와 같은 그 라인을 위한 아날로그 신호에 따라서 동시에 광학적으로 조절된다.

디스플레이(20)는 일반적으로 소스 구동기(50) 및 게이트 구동기(60)의 제어 및 공통 전압 신호 Vcom에 의해서 '교번적으로 구동되지만' 설명을 간략하게 하기 위해서 여기에서는 이에 대한 설명이 생략된다. 그러나, 이러한 교번 구동 모드는 본 발명의 범위 내에 포함된다.

도 2는 소스 구동기(50)의 개략적 구성을 도시하는 블록도이다. 공급 전압 $V_s$ 및 $V_p$ 가 전압 생성 수단(40)으로부터 그레이 스케일 전압 생성 회로(2)에 제공된다. 이 그레이 스케일 전압 생성 회로(2)는 디스플레이 패널에 의해 필요한 최대 64 개의 그레이 스케일 전압들(이후부터는 #0 내지 #63으로 지칭됨)을 생성하며 이에 대한 상세한 설명은 이후에 이루어진다. 이 그레이 스케일 전압 생성 회로(2)에는 또한 디스플레이 동안 표현될 그레이 스케일 레벨의 개수(즉, 현 디스 플레이 동작을 위해서 필요한 그레이 스케일 레벨의 개수)에 따라서 동작 모드 신호로서 동작 모드 제어 신호 $4_s$ 가 제공된다. 이 그레이 스케일 전압 생성 회로(2)에는 또한 현 디스플레이 동작과 상관없이 강제적으로 표현되어야 하는 그레이 스케일 레벨의 개수에 따라서 강제 모드 제어 신호 $4_f$ 가 제공된다.

이 그레이 스케일 전압 생성 회로(2)로부터 출력된 그레이 스케일 전압 #0, #1 ... #63은 데이터 디코딩 및 전압 선택 회로(이후부터는 디코딩 및 선택 회로로 지칭됨)의 각각의 입력 단자(30,31,...31x)에 제공되는데 여기서 x는 디스플레이 패널(20)의 열 전극들의 개수를 나타낸다. 이 디코딩 및 선택 회로의 입력 단자(30,31,...,31x)에는 또한 직렬-병렬 전환된 이미지 데이터 신호가 데이터 변환 회로(1)로부터 그들의 각각의 선택 제어 신호로서 제공된다. 이 디코딩 및 선택 회로는 각각 상기 선택 제어 신호에 따라서 그레이 스케일 전압들 중 임의의 하나를 선택하여 이 선택된 전압을 대응하는 열 전극에 제공한다.

데이터 변환 회로(S/P)(1)는 입력된 이미지 데이터 신호 '데이터'를 직렬로 수신하고 포획하여 이와 동시에 각 수평 주사 주기 동안 상기 데이터 신호를 병렬로 출력한다. 보다 구체적으로 말하자면, 도 3에 도시된 바와 같이, 입력 이미지 데이터 신호의 형태의 경우, 픽셀 데이터 블록 그룹 $D_0$ , $D_1$ , .... $D_x$ (여기서, x는 디스플레이 패널(20)의 열 전극의 개수 또는 한 라인에 대해 사전결정된 디스플레이된 유닛의 개수에 대응함)(상기 각 블록은 한 픽셀의 정보로서 6 비트로 구성됨)이 순차적으로 연속적으로 도달된다. 데이터 변환 회로(1)는 타이밍 신호 St 을 기반으로 하여 매 수평 주사 주기(H) 동안 상기 픽셀 데이터 블록 그룹을 보유하며 이와 동시에 상기 수평 주사 주기 동안 각 픽셀 데이터 블록을 출력한다. 이로써, 6 비트 픽셀 데이터 블록 $D_0$ , $D_1$ , .... $D_x$ 이 도 3의 S/P1의 출력부에서 도시된 바와 같이 디코딩 및 선택 회로(30,31,32,...,31x)로 동시에 또는 병렬로 출력된다.

각 디코딩 및 선택 회로는 6 비트 픽셀 데이터 블록의 병렬 출력에 따라서 대응하는 그레이 스케일 전압을 선택한다. 한 픽셀 데이터 블록은 64 종류의 정보 중 하나를 나타내며 이로써 각 디코딩 및 선택 회로는 이 정보를 디코딩하고 이 디코딩 결과에 대응하는 그레이 스케일 전압들 #0,#1...#63 중 임의의 하나를 선택한다. 이러한 디코딩 및 선택 방식은 이후에 설명될 것이다.

따라서, 이미지 데이터 신호 '데이터'에 따른 그레이 스케일 전압은 매 수평 주사 주기 동안 업데이트되며 라인 순서대로 열 전극에 인가된다.

도 4는 그레이 스케일 전압 생성 수단(2)의 내부 구성을 도시한다.

도 4에서, (선행하는) 전압 생성 수단(40)(도 1 참조)으로부터의 기본 그레이 스케일 전압 $V_s$ 는 전원 지점과 접지 지점 간에 형성된 저항 $R_0$ 내지 $R_{63}$ 으로 구성된 직렬 회로를 기반으로 하는 전위 분할 회로에 의해서 분할된다. 도시된 바와 같이, 이 전위 분할 회로는 공통 접속 지점 및 접지 지점에서 탭핑(tapping)되며 분할된 전압 $V_0$ 내지 $V_{63}$ 은 탭 출력으로부터 획득된다. 이 분할된 전압들은 각기 버퍼 증폭기 $A_0$ 내지 $A_{63}$ 의 입력이다. 이 증폭기는 공통 전극과의 임피던스 정압을 확립하면서 (본 실례에서는 1.0의 입력 대 출력 비율로) 입력 분할 전압들에 대해 사전결정된 증폭 동작을 수행하여 이 출력을 그레이 스케일 전압 #0,#1,...#63 으로서 열 전극으로 공급한다.

본 실시예에 따른 그레이 스케일 전압 생성 회로(2)의 경우 사전결정된 개수의 증폭기가 특정 증폭 동작을 수행하고 고정된 형태를 취하는데 이 증폭기들에는 전압 생성부(40)로부터 증폭기 공급 전압 $V_p$ 가 제공되며 그 나머지 증폭기들은 생략될 수 있는 사전결정된 그레이 스케일 레벨에 대응하느 차단형 증폭기인 특정화되지 않은 증폭기로서 기능하며 이 나머지 증폭기들에는 선택적으로 공급 전압 $V_p$ 가 제공된다. 도 4에 도시된 바와 같이, 특정된 증폭기 $A_0$, $A_4$,...,$A_{55}$, $A_{59}$, $A_{63}$ 이 고정된 방식으로 전력 라인에 접속되며 나머지 증폭기 $A_1$ 내지 $A_3$,..., $A_{56}$ 내지 $A_{58}$ 및 $A_{60}$ 내지 $A_{62}$ 가 스위칭 회로 $SW_1$ 내지 $SW_3$,..., $SW_{56}$ 내지 $SW_{58}$ 및 $SW_{60}$ 내지 $SW_{62}$ 를 통해서 전력 라인에 접속된다. 이어서, 이 스위칭 회로는 공통 제어 신호 $C_0$ 에 의해서 온/오프 상태가 되도록 제어된다. 이 제어 신호 $C_0$ 는 상술한 동작 모드 신호 $4_s$ 와 반전 게이트(200)를 통해 상술된 강제 모드 신호 $4_f$ 의 반전된 출력 간의 논리적 AND를 수행하는 AND 게이트(201)의 출력으로부터 획득된다.

이 실례에서, 고정된 전력 공급을 갖는 특정 증폭기의 개수는 16 개이며 이들은 전압 $V_0$ 내지 $V_{63}$ 의 범위에서 실질적으로 일정한 간격으로 랭크되어 분할된 전 압(특정 그레이 스케일 전압) $V_0$, $V_4$,...,$V_{55}$, $V_{59}$, $V_{63}$ 이 인가된 입력을 갖는 선택된 증폭기이다. 한편, 나머지 48 개의 비특정된 증폭기에는 전력이 선택적으로 인가되며 이들 증폭기는 상기 전압 범위에서 상기 특정된 그레이 스케일 전압들 간의 생략가능한 그레이 스케일 레벨에 대응하는 중간의 값을 나타내는 $V_1$ 내지 $V_3$,..., $V_{56}$ 내지 $V_{58}$ 및 $V_{60}$ 내지 $V_{62}$ 가 인가된 입력을 갖는 증폭기이다.

64 그레이 스케일 디스플레이 동작

이 그레이 스케일 전압 생성 회로(2)에서, 상기 강제 모드 신호 $4_f$ 가 강제 모드를 나타나지 않고 저레벨로 존재할 때에 디스플레이 동작 시에 특정된 그레이 스케일 레벨의 개수가 디스플레이 패널(20)의 그레이 스케일 레벨의 최대 개수인 64 개인 경우에, 제어 신호 $C_0$ 는 이 경우에 대응하는 상태(고레벨)를 나타내는 제어 신호 $4_s$ 에 의해서 활성 상태가 되며 선택성 전원 타입 증폭기에 부착된 스위칭 회로는 턴 온 상태가 된다. 이로써 그레이 스케일 전압 생성 회로의 모든 증폭기들은 동작 상태가 되며 이로써 모든 그레이 스케일 전압, 말하자면 그레이 스케일 전압 #0,#4,...,#55,#59,#63 뿐만 아니라 전압 $V_1$ 내지 $V_3$,..., $V_{56}$ 내지 $V_{58}$ 및 $V_{60}$ 내지 $V_{62}$ 을 기반으로 하는 그레이 스케일 전압 #1 내지 #3,...,#56 내지 #58 및 #60 내지 #62도 유효하게 출력된다.

16 그레이 스케일 디스플레이 동작

한편, 상기 강제 모드 신호 $4_f$ 가 강제 모드를 나타나지 않고 저레벨로 존재할 때에 디스플레이 동작 시에 특정된 그레이 스케일 레벨의 개수가 16인 경우에, 제어 신호 $C_0$ 는 이 경우에 대응하는 상태(저레벨)를 나타내는 제어 신호 $4_s$ 에 의해서 비활성 상태가 되며 선택성 전원 타입 증폭기에 부착된 스위칭 회로는 턴 오프 상태가 된다. 이로써, 증폭기들은 전기적으로 분리되며(즉, 그레이 스케일 전압 라인들이 실질적으로 개방되며), 이로써 오직 영구 전원 타입 증폭기 $A_0$, $A_4$,...,$A_{55}$, $A_{59}$, $A_{63}$ 만이 동작 상태가 된다. 이로써, 오직 16 개의 특정 그레이 스케일 전압 #0, #4,...,#55,#59,#63 만이 유효하게 출력된다.

강제 모드 신호 $4_f$ 가 강제 모드를 나타내고 고레벨로 존재할 때, 디스플레이 동작 동안 특정된 그레이 스케일 레벨의 개수와 상관없이 제어 신호 $C_0$ 는 비활성 상태가 되며 스위칭 회로는 턴 오프가 되며, 이로써 오직 16 개의 특정 그레이 스케일 전압만이 마찬가지로 유효하게 출력된다.

그레이 스케일 전압 생성 회로(2)가 이러한 구성을 가질 경우, 디코딩 및 선택 회로(30 내지 30x)와 함께 도 2에 도시된 소스 구동기(50)는 다음과 같은 고유한 동작을 수행한다.

정상적인 64 그레이 스케일 디스플레이의 경우에, 픽셀 데이터 신호 '데이터'가 픽셀 마다 모든 6 개의 비트가 인에이블된 상태로 되면서 도달한다. 이 때 에, 한 픽셀 데이터 블록 Dn의 포맷은 도 5에 도시된 바와 같다. 말하자면, 각각 임의의 이진값을 갖는 6 개의 비트 $Q_0$, $Q_1$, $Q_2$, $Q_3$, $Q_4$, $Q_5$ 가 LSB에서 MSB로 순차적으로 배열된다. 도 5에서 보다 상세하게 도시된 바와 같이, 이 비트들이 취할 수 있는 값과 그레이 스케일 전압 간의 관계가 규정된다. 이 실례에서, 비트 트레인으로 도시된 이진값들이 그레이 스케일 전압의 랭크 번호(ranking number)로 직접 사용되었다.

상술한 바와 같이, 64 그레이 스케일 디스플레이의 경우, 그레이 스케일 전압 생성 회로(2)의 모든 증폭기들이 동작되며 모든 그레이 스케일 전압들이 유효하게 출력되어 디코딩 및 선택 회로(30 내지 30x)에 제공된다. 이에 따라, 디코

딩 및 선택 회로(30 내지 30x)는 도 5에 도시된 관계에 근거하여 픽셀 데이터 블록 Dn을 디코딩하여 어느 것이 그 데이터의 내용에 대응하는가를 결정하고 거기에 공급된 그레이 스케일 전압 #0 내지 #63 중 임의의 것을 선택한다. 한 수평 주사 주기 동안 모든 픽셀 데이터 블록들이 모든 64 종류의 그레이 스케일 전압을 지정하기 때문에, 픽셀 마다 6 개의 비트의 포맷으로 된 이미지 데이터의 그레이 스케일 디스플레이 완전 음영(full shade)이 모든 그레이 스케일 전압이 유효하게 출력되면서 각 열 전극에 대해서 이 그레이 스케일 전압들 중 임의의 것을 선택함으로써 성취된다.

이와 달리, 정상적인 16 그레이 스케일 디스플레이의 경우에, 픽셀 데이터 신호 '데이터'가 픽셀 마다 4 개의 비트가 인에이블된 상태로 되면서 도달한다(도 6 참조). 이 때에, 한 픽셀 데이터 블록 Dn의 포맷은 도 6의 중간 행 상에 도시된 바와 같이 설정될 수 있다. 본 실례에서, 기본적으로 상술된 64 그레이 스케일 디스플레이 동작 동안 상기 블록 포맷을 파괴하지 않으면서, 각각이 임의의 이진값을 갖는 4 개의 비트 $Q_3$, $Q_2$, $Q_1$ 및 $Q_0$ 은 그 블록 내에서 MSB부터 순차적으로 배열되며 동시에 비트 트레인 중 보다 높은 차수의 비트 $Q_3$ 및 $Q_2$ 는 그 블록 내의 LSB 측 상의 두 개의 비트 자리에 반복적으로 위치한다(고차수 비트 재배치 포맷). 도 6의 세번째 행은 이 모드를 보다 상세하게 설명하고 있으며 이들 비트가 취할 수 있는 값과 그레이 스케일 전압 간의 관계가 규정된다.

한편, 강제적인 16 그레이 스케일 디스플레이의 경우에, 픽셀 데이터 신호 '데이터'가 픽셀 마다 모든 6 개의 비트가 인에이블된 상태로 되면서 도달한다(도 7의 상부 부분 참조). 이 때에, 한 픽셀 데이터 블록 Dn의 포맷은 도 7의 중간 행 상에 도시된 바와 같이 설정될 수 있다. 본 실례에서, 기본적으로 상술된 64 그레이 스케일 디스플레이 동작 동안 상기 블록 포맷을 파괴하지 않으면서, 각각이 임의의 이진값을 갖는 4 개의 비트 $Q_5$, $Q_4$, $Q_3$ 및 $Q_2$ 은 그 블록 내에서 MSB부터 순차적으로 배열되며 동시에 비트 트레인 중 보다 높은 차수의 비트 $Q_5$ 및 $Q_4$ 는 그 블록 내의 LSB 측 상의 두 개의 비트 자리에 반복적으로 위치한다(고차수 비트 재배치 포맷). 도 7의 세번째 행은 이 모드를 보다 상세하게 설명하고 있으며 이들 비트가 취할 수 있는 값과 그레이 스케일 전압 간의 관계가 규정된다.

이 강제된 16 그레이 스케일 디스플레이의 경우에, 픽셀 데이터 신호 '데이 터'가 도 6의 상부에서 도시된 바와 같이 픽셀 당 4 개의 비트가 인에이블 상태가 되어서 도달할 때에, 두 개의 보다 높은 차수의 비트 $Q_3$ 및 $Q_2$ 는 상술된 정상적인 16 비트 그레이 스케일 디스플레이의 경우에서처럼 보다 낮은 차수의 비트로 복사된다.

이로써, 6 비트 데이터 입력의 경우 및 4 비트 데이터 입력의 경우 모두에, 동일한 16 개의 그레이 스케일 전압들이 지정될 수 있다.

상술한 바와 같이, 정상적인/강제적인 16 그레이 스케일 디스플레이의 경우에, 그레이 스케일 전압 생성 회로(2)의 오직 몇 개의 증폭기 증폭기 $A_0$, $A_4$,...,$A_{55}$, $A_{59}$, $A_{63}$ 만이 동작 상태가 되며 오직 16 개의 특정 그레이 스케일 전압 #0,#4,...,#55,#59,#63 로만 한정된 그레이 스케일 전압만이 유효하게 출력되어 디코딩 및 선택 회로에 제공된다. 이에 따라, 디코딩 및 선택 회로(30 내지 30x)는 도 6 및 도 7에 도시된 관계에 따라서 픽셀 데이터 블록 Dn을 디코딩하며 어느 것이 그 데이터의 내용에 대응하는지를 결정하고 상기 16 개의 특정 그레이 스케일 전압 #0,#4,...,#55,#59,#63 중 임의의 것을 선택한다. 이들 16 개의 그레이 스케일 전압만이 한 수평 주사 주기 동안 모든 픽셀 데이터 블록에 대해서 지정될 수 있기 때문에, 각 열 전극에 대해서 이들 중 임의의 것을 선택함으로써 픽셀 당 4 비트의 포맷으로 된 이미지 데이터의 그레이 스케일 디스플레이가 적절하게 구현될 수 있다.

상술된 바와 같은 소스 구동기(50)에 따라, 보다 작은 수의 그레이 스케일 레벨을 갖는 디스플레이 모드의 경우에, 불필요한 그레이 스케일 전압을 출력하는 증폭기들을 전기적으로 분리시켜서 전력 소모량을 감소시킬 수 있다. 이러한 이점은 디스플레이될 중간 톤의 개수가 변하는 경우의 디스플레이 디바이스의 경우에 특히 주목할만하다. 가령, 셀룰러 전화와 같은 이른바 이동 또는 무선 디바이스의 경우에, 사용자가 디바이스를 동작시키는 경우가 그렇게 많지 않으며 이보다는 동작 대기 시간이 훨씬 길다. 이러한 디바이스는 종종 높은 디스플레이 품질을 요구하는 동작 모드에서부터 오직 2 톤 디스플레이만을 필요로 하는 동작 모드를 포함하는 다양한 기능을 가질 수 있다. 따라서, 이러한 동작 대기 시간 및 작은 개수의 중간 톤을 갖는 디스플레이 모드 시에 불필요한 전력을 절감하는 것은 실제 동작을 희생시키지 않으면서 매우 바람직하다.

도 6 및 도 7에 도시된 비트 트레인 및 그레이 스케일 전압 간의 관계로부터 알 수 있드시, 최소 그레이 스케일 전압 #0과 최대 그레이 스케일 전압 #63 은 64 그레이 스케일 디스플레이에서처럼 이 16 그레이 스케일 디스플레이 동작에 대해서도 사용된다. 그리고, 그레이 스케일 전압은 상기 최소 그레이 스케일 전압과 최대 그레이 스케일 전압 사이에서 실질적으로 동일한 인터벌으로 랭크될 수 있도록 선택된다. 이 실시예는 상술된 고차수 2 비트 재배치 포맷으로 상기 그레이 스케일 전압의 랭크화(ranking) 또는 선택 동작을 수행할 수 있다. 이러한 포맷을 채용함으로써 최소 및 최대 그레일 스케일 전압 모두를 사용할 수 있으며 이 그레이 스케일 전압 범위의 전체의 폭을 효과적으로 사용할 수 있어서 이 전체 범위에서 실질적으로 동일한 인터벌으로 랭크된 그레이 스케일 전압을 간단하게 선택할 수 있다.

이 실시예는 고차수 2 비트 재배치 포맷으로 16 그레이 스케일 디스플레이 동작을 수행하는 동안 그레이 스케일 전압을 선택하는데 사용되지만 다른 선택 방법이 또한 존재한다. 도 8은 이러한 수정된 선택 방법에 따른 그레이 스케일 전압 생성 회로(2')의 구성을 도시하며 여기서 도 4와 동일한 구성 요소에는 동일한 참조 부호가 부여된다.

도 8의 구성은 다음과 같은 점에서 도 4의 구성과 차이가 난다. 즉, 증폭기 $A_{63}$ 이 일정한 전력 상태 유지되는 증폭기로 선택되며 이로써 일정한 최대 전압 출력 $V_{63}$ 을 제공하며 일정한 전력 상태로 유지될 다른 증폭기가 증폭기 $A_{63}$ 를 기준으로 하여 매 4 번째의 전압 라인 마다 선택된다. 이러한 차이는 도 9 및 도 10에서 분명하게 나타난다.

도 6 및 도 7의 경우에서처럼, 도 9 및 도 10은 선택될 그레이 스케일 전압의 실례를 갖는 픽셀 데이터 블록 Dn의 포맷 및 디코딩 및 선택 회로의 디코딩 규칙을 도시한다. 도 9에서, 기본적으로 상술된 64 그레이 스케일 디스플레이 동작 동안 상술된 블록 포맷을 파괴하지 않으면서, 각각이 임의의 이진값을 갖는 4 개의 비트 $Q_3$, $Q_2$, $Q_1$ 및 $Q_0$ 은 그 블록 내에서 MSB부터 순차적으로 배열되며 동시에 고정된 이진값 '11'이 그 블록 내의 LSB 측 상의 두 개의 비트 자리에 위치한다(최대 베이스 저차수 비트 고정 포맷: maximum-base lower-order bit fixed format). 도 10은 강제된 16 그레이 스케일 디스플레이의 경우에 입력 픽셀 데이터 블록으로 서 6 개의 비트 $Q_5$, $Q_4$, $Q_3$, $Q_2$, $Q_1$ 및 $Q_0$ 은 제공될 때에 수행되는 데이터 처리를 도시한다. 이 처리 절차에서, 최초의 고차수 비트 트레인 $Q_5$, $Q_4$, $Q_3$, $Q_2$ 은 변경되지 않은 채 유지되며 고정된 값 '11'이 저차수 비트 트레인 $Q_1$ 및 $Q_0$ 대신에 저차수 비트 위치에 할당된다(최대 베이스 저차수 비트 고정 포맷).

이에 따라, 고차수 4 비트 트레인이 최대값을 표시할 때 6 비트 블록은 최대값을 나타내지만 고차수 4 비트 트레인이 최소값을 표시할 때에는 6 비트 블록은 최소값을 나타내지 않는다. 또한, 도 6 및 도 7의 경우에서처럼, 강제된 16 그레이 스케일 디스플레이 동작 동안, 그와 동일한 16 개의 그레이 스케일 전압들이 6 비트 데이터 입력 및 4 비트 데이터 입력에 대해서 결과적으로 지정될 수 있다.

이 실례들에서 분명한 바와 같이, 최대 그레이 스케일 전압 #63으로부터 정확하게 4 단계씩 아래로 감소하는 랭크를 갖는 그레이 스케일 전압들이 선택된다. 이 경우와 도 6 및 도 7의 경우를 비교하기 위해서, 도 11를 참조해보자. 도 11은 전체 그레이 스케일 전압 범위 내에서의 그레이 스케일 전압의 랭크를 도시한다(이 실례는 그레이 스케일 전압이 완전하게 선형으로 변하는 경우의 실례이다). 흑점은 도 6 및 도 7의 경우인 고차수 2 비트 재배치 포맷에 따른 그레이 스케일 전압들을 나타내며 백점은 도 9 및 도 10의 경우인 최대 베이스 저차수 비트 고정 포맷에 따른 그레이 스케일 전압들을 나타낸다. 그래프에서 분명하게 나타나드시, 전자의 경우는 소정의 그레이 스케일 전압을 위해서 그레이 스케일 전압 범위 내의 최대값과 최소값을 모두 채용하였고 그 범위 내에서 실질적으로 동일한 인터벌으로 위치한 그레이 스케일 전압을 다른 그레이 스케일 전압으로 선택하였다. 이와 대조하여, 후자의 경우는 소정 그레이 스케일 전압을 위해서 최대값을 채용하였고 이 최대 그레이 스케일 전압을 기준으로 하여 그 범위 내에서 완전하게 동일한 인터벌으로 위치한 그레이 스케일 전압을 다른 그레이 스케일 전압으로 선택하였다.

소정의 한정된 전압 범위가 효과적으로 사용되고 어떠한 그레이 스케일 디스플레이 범위도 희생되지 않는다(결과적으로 보다 포괄적인 중간의 톤 표현이 가능함)는 점에서 전자의 경우가 보다 유리하다. 그러나, 사용된 시스템에 따라서, 전자의 경우에서는 고차수 2 비트의 재배치 절차가 그 구성을 복잡하게 하는데 가령 이러한 처리 절차에 대해 특정된 메모리 기능을 요구할 수 있으며 따라서 후자의 경우가 데이터 처리 절차의 단순화라는 측면에서 보다 유리하다. 또한, 후자의 경우에서는, 그레이 스케일 전압 #0,#1,#2에 대응하는 중간의 톤 디스플레이 동작은 16 그레이 스케일 디스플레이 동작 동안에는 폐기되지만 최저 그레이 스케일 전압 #3은 무시할만하게 낮으며 64 그레이 스케일 디스플레이에서 16 그레이 스케일 디스플레이로 전환하는 것은 근원적으로 디스플레이될 중간의 톤이 보다 세밀하지 않음을 의미하며 따라서 이러한 폐기 절차는 수 많의 경우에는 문제가 되지 않는다.

또한, 도 8의 구성 대신에 다른 수정 실례로서, 증폭기 $A_0$ 가 일정한 전력 상태 유지되는 증폭기로 선택되며 이로써 특정 그레이 스케일 전압으로서 이 일정 한 최소 전압 출력 $V_0$ 을 제공하며 일정한 전력 상태로 유지되면서 다른 특정 그레이 스케일 전압을 제공할 다른 증폭기가 증폭기 $A_0$ 를 기준으로 하여 매 4 번째의 전압 라인 마다 선택된다.

도 12는 이러한 수정 실례에 따른 그레이 스케일 전압 생성 회로(2'')의 구성을 도시하며 여기서 도 4와 동일한 구성요소에는 동일한 참조 부호가 부여된다.

도 12에서, 증폭기 $A_0$ 이 증폭기 $A_{63}$ 대신에 일정한 전력 상태 유지되는 증폭기로 선택되며 이로써 최대 전압 $V_{63}$ 대신에 고정된 최소 출력 전압 $V_0$ 을 제공하며 이렇게 일정한 전력 상태로 유지될 다른 증폭기가 증폭기 $A_0$ 를 기준으로 하여 매 4 번째의 전압 라인 마다 선택된다. 이러한 차이는 도 13 및 도 14에서 분명하게 나타난다.

도 6 및 도 7 또는 도 9 및 도 10의 경우에서처럼, 도 13 및 도 14는 선택될 그레이 스케일 전압의 실례를 갖는 픽셀 데이터 블록 Dn의 포맷 및 디코딩 및 선택 회로의 디코딩 규칙을 도시한다. 도 13에서, 기본적으로 상술된 64 그레이 스케일 디스플레이 동작 동안 상술된 블록 포맷을 파괴하지 않으면서, 각각이 임의의 이진값을 갖는 4 개의 비트 $Q_3$, $Q_2$, $Q_1$ 및 $Q_0$ 은 그 블록 내에서 MSB부터 순차적으로 배열되며 동시에 고정된 이진값 '00'이 그 블록 내의 LSB 측 상의 두 개의 비트 자리에 위치한다(최소 베이스 저차수 비트 고정 포맷: minimum-base lower-order bit fixed format). 도 14는 강제된 16 그레이 스케일 디스플레이의 경우에 입력 픽 셀 데이터 블록으로서 6 개의 비트 $Q_5$, $Q_4$, $Q_3$, $Q_2$, $Q_1$ 및 $Q_0$ 은 제공될 때에 수행되는 데이터 처리를 도시한다. 이 처리 절차에서, 최초의 고차수 비트 트레인 $Q_5$, $Q_4$, $Q_3$, $Q_2$ 은 변경되지 않은 채 유지되며 고정된 값 '00'이 저차수 비트 트레인 $Q_1$ 및 $Q_0$

대신에 저차수 비트 위치에 할당된다(최소 베이스 저차수 비트 고정 포맷).

이에 따라, 고차수 4 비트 트레인이 최소값을 표시할 때 6 비트 블록은 최소값을 나타내지만 고차수 4 비트 트레인이 최대값을 표시할 때에는 6 비트 블록은 최대값을 나타내지 않는다. 또한, 전술한 실례에서처럼, 강제된 16 그레이 스케일 디스플레이 동작 동안, 그와 동일한 16 개의 그레이 스케일 전압들이 6 비트 데이터 입력 및 4 비트 데이터 입력에 대해서 결과적으로 지정될 수 있다.

이 실례에서 분명한 바와 같이, 최소 그레이 스케일 전압 #0으로부터 정확하게 4 단계씩 위로 증가하는 랭크를 갖는 그레이 스케일 전압들이 선택된다. 도 11를 참조하면, 도 8 내지 도 10의 경우의 모든 백점은 직선 상에서 원점을 향해서 4 단계 시프트된다.

따라서, 도 8 내지 도 10의 경우에서처럼 데이터 처리를 간단하게 할 수 있다. 또한, 그레이 스케일 전압 #63, #62, #61에 대응하는 중간 톤 디스플레이 동작은 16 그레이 스케일 디스플레이 동작 동안 폐기되지만 최고 그레이 스케일 전압 #60은 충분하게 높고 이 전압은 무시될 수 있어서 이 실례는 충분하게 실제적이다.

지금까지는 저차수 비트 고정 포맷에서 저차수 비트가 '11' 또는 '00'으로 고정된 실례들을 살펴보았지만 '01' 또는 '10'과 같은 다른 값들이 저차수 비트로 서 고정될 수 있다. 말하자면, '10' 또는 '01'의 저차수 비트의 경우에는, 상술된 최대 베이스 또는 최소 베이스 그 어떠한 것도 획득될 수 없지만 상기 최소값 또는 최대값에서 근소하게 편차가 발생한 값들이 기준이 되는 포맷이 가능하다. 이는 하나의 기준값을 결정함으로써 동일한 인터벌으로 특정 그레이 스케일 전압들이 선택될 수 있다는 공통된 특성을 가지며 이로써 상술된 실례들과 동일한 효과 및 이점이 획득된다.

상술된 고차수 비트 재배치 포맷 및 저차수 비트 고정 포맷에서의 데이터 처리 절차는 데이터 시퀀스 '데이터'의 공급 소스 측 상에 제공된 적합한 수단에 의해서 수행될 수 있다.

도 15는 상기 데이터 시퀀스 즉 '데이터'가 인가된 입력을 갖는 데이터 처리 회로(9)가 데이터 변환 회로(1) 앞에 제공된 실례를 도시한다. 이 데이터 처리 회로(9)는 기본적으로 제어 신호 $4_s$ 및 $4_f$ 를 수신하고 이어서 이들 제어 신호에 따라서 고차수 비트 재배치 포맷 또는 저차수 비트 고정 포맷으로 입력 데이터 트레인 '데이터'의 6 비트 트레인 또는 4 비트 트레인을 처리하여 언제나 6 비트 출력 데이터 트레인을 생성하여 이 데이터 트레인을 데이터 변환 회로(1)에 제공한다. 이는 데이터 변환 회로(1) 및 선택 회로(30 내지 30x)가 본 발명에 따라서 변경될 필요가 없다는 장점을 갖는다.

이와 달리, 선택 회로(30 내지 30x)의 디코딩 규칙 그 자체는 소정의 규칙이기 때문에, 가령 제어 신호 $4_s$ 에 응답하여 4 비트 데이터의 경우에 6 비트 선택 제 어 신호에 대해 2 개의 손실된 비트를 보상하기 위한 메카니즘으로 전환하기 위한 장치를 선택 회로 바로 앞에 제공할 수 있으며 이로써 등가의 데이터 처리를 구현할 수 있다.

도 16은 도 6 및 도 7의 고차수 비트 재배치 포맷으로 데이터 처리를 구현하는 시스템의 일부를 설명한 도면이다. 여기서, 이 시스템에는 선택 회로(91,92)가 제공되며 이 선택 회로는 데이터 변환 회로(1)의 출력 6 비트 중 LSB 측의 2 개의 비트를 그들의 입력으로서 각기 수신하고 MSB 측의 2 개의 비트를 그들의 다른 입력으로서 각기 수신하며 또한 상술된 제어 신호 $C_0$ 를 그들의 제어 입력으로서 수신한다. 또한, 데이터 변환 회로(1)의 고차수 4 비트 출력은 한편에서는 선택 회로의 선택 제어를 위해서 상기 고차수 4 비트 입력과 바로 결합되며 다른 편에서는 상기 선택 회로(91,92)의 출력은 각기 선택 회로의 선택 제어를 위해서 저차수 2 비트 입력에 제공된다. 이 선택 회로(91,92)는 상술된 제어 신호 $C_0$ 에 따라서 어느 한 입력을 선택 및 출력할 수 있으며 따라서 정상/강제 16 그레이 스케일 디스플레이 동안 데이터 변환 회로(1)의 출력 6 비트 중 MSB 측의 2 비트를 선택 및 출력할 수 있고 고차수 비트 재배치를 성취한다.

한편, 도 16은 하나의 선택 회로(제 1 선택 회로(30))의 구성을 도시하지만 동일한 구성이 다른 선택 회로들에도 적용될 수 있다. 또한, 저차수 비트 고정 포맷의 경우에, '11' 비트와 같은 사전결정된 고정 비트가 선택 회로(91,92)의 다른 입력으로서 사용될 수 있다.

디스플레이되는 그레이 스케일의 개수를 변경(가령, 데이터 변환 회로(1)에서의 데이터 처리)함으로써 그레이 스케일 전압 생성 회로(2)의 출력 방식을 변경하도록 선택 회로를 변경하는 다른 다수의 실시예들이 존재한다.

도 17은 본 발명에 따른 다른 실시예의 소스 구동기에서 사용되는 그레이 스케일 전압 생성 회로(2A)를 도시한다.

도 17에서, (선행하는) 전압 생성부(40)(도 1 참조)로부터의 기본 그레이 스케일 전압 $V_s$ 는 전원 지점과 접지 지점 간에 형성된 저항 $R_{63}$, $R_{62-59}$, $R_{58-55}$, ..., $R_{3-0}$ 으로 구성된 직렬 회로를 기반으로 하는 대략적 전위 분할 회로에 의해서 분할된다. 도 17에서 도시된 바와 같이, 이 전위 분할 저항들과 접지 지점의 공통 접속 지점은 탭들로서 외부로 이어지며 16 개의 대략적으로 분할된 전압들(기본 그레이 스케일 전압들) $V_0$, $V_4$, ...., $V_{55}$, $V_{59}$, $V_{63}$

은 이 탭 출력으로부터 획득된다. 이 대략적으로 분할된 전압들은 각기 16 개의 버퍼 증폭기 $A_0'$, $A_4'$, ...., $A_{55}'$, $A_{59}'$, $A_{63}'$ 으로 입력된다. 이 증폭기들은 상술된 바와 같이 대응하는 공통 전극과의 임피던스 정압을 확립하면서 입력 분할 전압들에 대해 사전결정된 증폭 동작을 수행하여 이 출력을 그레이 스케일 전압 #0,#4,...#55,#59,#63 으로서 제공한다.

4 또는 5 개의 저항으로 구성된 직렬 회로를 기반으로 하는 세밀 제어 전위 분할 회로 $D_{4-0}$,..., $D_{59-55}$, $D_{63-59}$ 은 하나의 버퍼 증폭기의 출력 라인과 다음의 버퍼 증폭기의 출력 라인 간에 형성된다. 또한, 이 세밀 전위 분할 회로의 양 단부는 스위칭 회로 $SW_0$, $SW_{4L}$, $SW_{4H}$,..., $SW_{55L}$, $SW_{55H}$ $SW_{59L}$, $SW_{59H}$, $SW_{63}$ 를 통해서 증폭기의 출력 라인에 접속된다. 이어서, 각 스위칭 회로는 전술한 실시예에서의 제어 신호와 등가인 제어 신호 $C_0$ 에 의해서 온/오프 상태로 제어된다.

각각의 스위칭 회로가 폐쇄될 때에, 그레이 스케일 전압 #4,...,#55,#59,#63 이 세밀 전위 분할 회로에 의해서 분할된다. 도 17에서 도시된 바와 같이, 이 세밀 분할 회로 내의 전위 분할 저항들의 공통 접속 지점들은 탭으로서 외부로 이어지며 각각이 상술된 대략적으로 분할된 전압들 간의 값을 갖는 세밀하게 분할된 전압들(중간의 그레이 스케일 전압들) #1 내지 #3 .... #56 내지 #58, #60 내지 #62는 각기 이 탭 출력으로부터 획득된다. 이 세밀하게 분할된 전압들은 상술된 대략적으로 분할된 전압들 $V_0$, $V_4$, ...., $V_{55}$, $V_{59}$, $V_{63}$ 의 출력 #4,...,#55,#59,#63 과 함께 공통 전극에 공급된다.

이 실시예는 16 그레이 스케일 전압들을 위해 상기 증폭기들의 출력을 열 전극들로 바로 제공하고, 다른 그레이 스케일 전압이 불필요할 때에 스위칭 회로를 사용하여 상기 세밀 전위 분할 회로를 상기 그레이 스케일 전압 생성 회로로부터 전기적으로 분리시키면서 상기 사전결정된 그레이 스케일 전압들을 보다 세밀하게 분할함으로써 다른 그레이 스케일 전압들을 획득하는 것에 관한 것이다.

이러한 구성에 있어서, 스위치 회로를 턴 오프시킴으로써 세밀 전위 분할 회로들은 16 그레이 스케일 디스플레이 동안 상기 증폭기에 대해 부하로 작용하지 않 게 되며 이로써 증폭기들은 상기 세밀 전위 분할 회로에 전류를 제공할 필요가 없다. 이로써, 전술한 경우에서처럼 전력 소모량이 감소된다.

이 실시예는 전술한 고차수 비트 재배치 포맷을 기반으로 한다. 말하자면, 이 증폭기들을 통해 출력된 특정 그레이 스케일 전압들은 도 6 및 도 7에서 도시된 랭킹 번호를 갖는 그레이 스케일 전압들이며 다른 그레이 스케일 전압들은 다른 랭킹 번호에 대응하는 세밀 전위 분할 회로의 분할된 출력들을 기반으로 한다.

이러한 실시예의 구성은 전술한 최대 베이스 저차수 비트 고정 포맷을 기반으로 하는 구성으로 수정될 수 있다. 도 18은 이러한 수정에 따른 그레이 스케일 전압 생성 회로(2A')를 도시한다. 이 도 18의 구성은 도 9 및 도 10에 도시된 최대 베이스 저차수 2 비트 고정 포맷을 따르지만 이 포맷 대신에 도 13 및 도 14에 도시된 최소 베이스 저차수 2 비트 고정 포맷 뿐만 아니라 이 저차수 비트 고정 포맷을 기반으로 하는 다른 포맷도 사용될 수 있다. 이러한 구성은 상술된 바로부터 본 기술 분야의 당업자에게 분명하다.

상술된 실시예에서, 동작 모드 신호인 제어 신호 $4_s$ 는 가령 이 신호 $4_s$ 를 제공하는 수단으로서 구동 회로를 위한 외부 입력 단자를 제공함으로써 수신될 수 있다. 이로써 디스플레이 디바이스 내에서 CPU로부터 획득되며 디스플레이될 다수의 그레이 스케일 레벨에 대응하는 상태를 나타내는 신호를 그 내부에 도입할 수 있다.

또한, 강제 모드 신호인 제어 신호 $4_f$ 도 동일한 방식으로 수신될 수 있으며 사용자는 이 신호 $4_f$ 의 상태를 결정하기 위해 가령 간단한 디스플레이 (전력 절약) 모드를 설정하는 입력 동작을 수행할 수 있다. 이와 달리, 디스플레이 디바이스 내의 CPU가 그의 배터리 전하의 양이 사전결정된 레벨보다 작거나 같다고 판정할 때에 이로써 제어 신호 $4_f$ 가 활성 상태가 되어 동작 모드를 강제된 단순 디스플레이 (전력 절약) 모드로 자동적으로 변경시킨다.

지금까지, 대표적인 실시예들 및 이들의 수정 실시예들이 기술되었지만 본 발명은 이들로만 한정되는 것이 아니며 말할 필요도 없이 다른 다양한 수정된 실시예들이 가능하다. 가령, 그레이 스케일 전압들은 도 11에 도시된 패턴을 따를 필요가 없으며 사전결정된 보상 특성을 갖는 값을 취할 수 있으며 본 발명은 64 그레이 스케일 전압 및 16 그레이 스케일 전압의 경우로만 한정되는 것이 아니라 다른 개수의 그레이 스케일 전압들이 생성되는 경우에도 사용될 수 있다.

본 발명은 상기 2 타입의 디스플레이 모드로만 한정되는 것이 아니며 가령 64 개의 그레이 스케일 레벨, 32 개의 그레이 스케일 레벨, 16 개의 그레이 스케일 레벨 등의 각각의 디스플레이 모드의 경우 유사하게 적합한 그레이 스케일 전압들을 위한 츨력 회로들을 전기적으로 분리시키는 것이다. 이 경우에, 전기적 분리는 계층적으로 수행된다.

도 19는 고차수 비트 재배치 포맷에 따른 3 비트 픽셀 데이터의 디스플레이 시에 데이터 블록 Dn의 배열을 도시하는데 즉 8 그레이 스케일 디스플레이 및 특정 그레이 스케일 전압들에 대해 생성된 랭크 번호를 도시한다. 이 실례에서, 모든 3 개의 입력 비트는 디스플레이 디바이스에서 최대 개수의 그레이 스케일 레벨들을 디스플레이하는 6 개의 비트

에서 손실된 3 개의 비트에 할당된다. 도 20은 또한 고차수 비트 재배치 포맷에 따른 2 비트 픽셀 데이터의 디스플레이 시에 데이터 블록 Dn의 배열을 도시하는데 즉 4 그레이 스케일 디스플레이 및 특정 그레이 스케일 전압들에 대해 생성된 랭크 번호를 도시한다. 이 실례에서, 2 개의 입력 비트는 손실된 4 개의 비트에 대해서 두번 반복하여 할당된다. 도 21은 고차수 비트 재배치 포맷에 따른 1 비트 픽셀 데이터의 디스플레이 시에 데이터 블록 Dn의 배열을 도시하는데 즉 2 그레이 스케일 디스플레이 및 특정 그레이 스케일 전압들에 대해 생성된 랭크 번호를 도시한다. 이 실례에서, 1 개의 입력 비트는 손실된 모든 5 개의 비트에 할당된다. 이렇게 고차수 비트 재배치 포맷 뿐만 아니라 저차수 비트 고정 포맷도 또한 각 디스플레이 모드에 대해 적용될 수 있다.

도 22 및 도 23은 다중 단계형 디스플레이를 지원하는 그레이 스케일 전압 생성 회로의 특정 실례를 도시한다.

이 구성은 6 비트 픽셀 데이터, 4 비트 픽셀 데이터, 3 비트 픽셀 데이터 및 1 비트 픽셀 데이터의 경우 상이한 개수의 단계들 간의 전환 및 강제 전력 절약 디스플레이 모드를 지원한다. 이 구성은 또한 도 4의 구성이 확장된 구성이며 고차수 비트 재배치 포맷을 채용한다.

이 그레이 스케일 전압 생성 회로(2m)는 각기 6 비트 픽셀 데이터, 4 비트 픽셀 데이터, 3 비트 픽셀 데이터 및 1 비트 픽셀 데이터의 디스플레이 방식에서 활성 상태가 되는 제어 신호 $C_6$,$C_4$,$C_3$,$C_1$ 및 강제 디스플레이 모드에서 활성 상태가 되는 제어 신호 $C_x$ 를 사용한다. 이러한 제어 신호들은 도 24에 도시된 표에서 규정된다. 이 표는 다음과 같은 사항을 표현한다. 제어 신호 $C_6$,$C_4$,$C_3$,$C_1$ 중 임의의 신호가 정상적인 디스플레이 모드(즉, 제어 신호 $C_x$ 가 비활성 상태에 있는 모드) 시에 표현될 그레이 스케일 레벨의 개수와 일치하여 활성 상태(고레벨)가 된다. 또한, 제어 신호 $C_x$ 는 강제 디스플레이 모드에서 활성 상태(고레벨)이 되며 여기서는 표현될 그레이 스케일 레벨의 개수가 다른 제어 신호들의 상태와 상관없이 2 로 설정되어야 한다.

도 22 및 도 23은 디스플레이 모드에서 필요한 증폭기만이 이들 제어 신호에 따라서 동작하는 경우를 도시한다. 도 6 및 도 19 도 도 21을 확인하면 도움이 될 것이다. 한편, 강제 모드에서 선택 회로(30 내지 30x)를 위한 적절한 제어 신호를 획득하기 위해서 픽셀 데이터가 처리된다. 이는 상술된 내용으로부터 자명하다.

따라서, 심지어 표현될 그레이 스케일 레벨들이 3 개 또는 4 개의 스테이지로 분할되는 경우에도, 각 스테이지에 따라서 세밀한 전력 절감이 가능하다.

도 22 및 도 23의 구성은 도 25 및 도 26에 도시된 구성으로 대체될 수 있다.

이 구성은 6 비트 픽셀 데이터, 4 비트 픽셀 데이터, 3 비트 픽셀 데이터 및 1 비트 픽셀 데이터의 경우 그레이 스케일 레벨의 개수의 다중 단계형 전환 및 강제 전력 절약 디스플레이 모드를 지원한다. 이 구성은 또한 도 17의 구성이 확장된 구성이며 고차수 비트 재배치 포맷을 채용한다.

이 그레이 스케일 전압 생성 회로(2mA)는 유사한 제어 신호 $C_6$,$C_4$,$C_3$,$C_1$ 를 사용하고 오직 업스트림 측 상의 증폭기의 출력만을 특정된 디스플레이 모드를 위해 필요한 전위 분할 회로에 제공한다. 이 실례는 도 6, 도 19, 도 21 및 도 24를 참조하여 이해되어야 한다.

이 실시예들에서, 가령 전체 비트 개수를 갖는 픽셀 데이터가 강제 모드로 입력되는 경우에, 도 7 및 도 10 및 도 14에 도시된 처리 절차(보다 큰 개수의 비트들로 구성된 트레인에 의해 표시되는 값들을 디시메이트(decimate)하는 처리임)가 수행되어 선택될 그레이 스케일 레벨들의 개수를 감소시키며 그레이 스케일 전압 생성 회로는 선택될 그레이 스케일 전압이 아닌 그레이 스케일 전압을 생성하는 회로 요소들을 전기적으로 분리시킨다. 그러나, 적절한 전력 절감을 위한 강제 모드는 심지어 이러한 디시메이트 처리를 수행하지 않고서도 성취될 수 있다.

도 27은 이러한 강제 모드를 실현하는 구성을 도시한다. 이 그레이 스케일 전압 생성 회로(2B)의 이점은 도 17의 구성을 수정함으로써 달성된다. 이 구성에 따라서, 정상 디스플레이 모드를 지정하는 제어 신호 $4_s$ 는 OR 게이트(202) 및 AND 게이트(203)를 위한 하나의 입력이며, 강제 디스플레이 모드를 지정하는 제어 신호 $4_f$ 는 OR 게이트(202)를 위한 다른 입력이며 반전 게이트(204)를 통해서 AND 게이트(203)의 다른 입력부에 제공된다. OR 게이트(202)의 출력은 업스트림 스위칭 회로 $SW_{4L}$,..., $SW_{55L}$, $SW_{59L}$, $SW_{63}$ 의 제어 입력부에 공급되며 이들 스위칭 회로들에게는 각각의 세밀한 전위 분할 회로들의 보다 높은 전위가 인가된다. AND 게이트(203)의 출력은 다운스트림 스위칭 회로 $SW_0$, $SW_{4H}$,..., $SW_{55H}$, $SW_{59H}$ 의 제어 입력부에 제공되며 이들 스위칭 회로들에게는 각각의 세밀한 전위 분할 회로들의 보다 낮은 전위가 인가된다.

이러한 구성에서, 게이트(202)의 출력은 제어 신호 $4_f$ 가 활성 상태(고레벨)에 있고 다운스트림 스위칭 회로가 턴 온 상태에 있을 때에 활성 상태(고레벨)가 되며 게이트(203)의 출력은 비활성 상태(저레벨)에 있고 다운스트림 스위칭 회로는 턴 오프 상태에 있다. 이러한 상태에서, 각 전위 분할 회로는 더 이상 최초의 전위 분할 회로로서 기능하지 못하며 심지어 업스트림 스위칭 회로가 증폭기 출력들 간의 가능한 도전성 경로를 폐쇄한다해도, 다운스트림 스위칭 회

로가 그 경로를 개방시키며 이로써 증폭기들의 출력들 간의 세밀한 전위 분할 회로를 통한 전류 흐름(전위 분할 효과로 인해 발생함)이 차단된다. 동시에, 각각의 세밀한 전위 분할 회로의 모든 전위 분할 출력 단부는 업스트림 측 상의 공급 전압과 거의 동일한 전압을 나타낼 것이다. 이는 일반적으로 상기 분할 전위 출력 단부들이 선택 회로(30 내지 30x)를 통해서 디스플레이 디바이스의 열 전극에 접속되며 한편 캐패시턴스 성분이 열 전극들을 포함하는 신호 경로 상의 부하의 주요 부분을 구성하고 상기 세밀한 전위 분할 회로의 분할 저항 성분은 무시할만하기 때문이다.

가령, 입력 픽셀 데이터의 비트 트레인이 강제 모드에서 '000001'인 경우를 생각해보자. 이 경우에, 대응하는 선택 회로는 전압 #1을 선택하고 그 비트 트레인의 값에 대응하는 전위 분할 회로 $D_{4-0}$ 내에서 다운스트림 스위치 $SW_0$ 는 개방되고 업스트림 스위치 $SW_{4L}$ 은 폐쇄되며 이로써 증폭기 $A_4$' 의 출력부로부터 저항 $R_3$, $R_2$, $R_1$ 을 통해서 전달 전압 #1의 출력이 출력된다. 이와 대조하여, 상기 대응하는 선택 회로가 디시메이트 처리를 수행하지 않고 데이터 '000001'를 선택하고 이로써 통상적으로 전압 #1의 출력을 선택한다. 그러나, 이 출력 #1이 상기 선택 회로를 통해서 디스플레이 구역 내에서 매우 길게 연장되어 있는 열 전극과 접속되며 이로써 상술된 상태의 부하가 유발되고 이로써 저항 $R_3$, $R_2$, $R_1$ 은 전위 분할 회로를 실질적으로 형성하지 못하며 전압 #1은 증폭기 $A_4$'의 출력 전압과 거의 동일한 값을 갖는 전압이 될 것이다. 도 27에서 화살표 (i)로 표시된 부분적 도면은 이를 나타낸다. 이와 마찬가지로, 전압 #2, 전압 #3이 선택될 때에도 증폭기 $A_4$'의 출력 전압과 거의 동일한 값을 갖는 전압이 출력된다.

따라서, 이 선택 회로는 데이터 '000100'(#4에 대응함)를 위한 특정 그레이 스케일 전압을 출력할 뿐만 아니라 데이터 '000001'(#1에 대응함), 데이터 '000010'(#2에 대응함) 및 데이터 '000011'(#3에 대응함)에 대해서도 마찬가지이다. 다른 보다 세밀한 전위 분할 회로의 경우, 업스트림 측 상의 특정 그레이 스케일 전압은 마찬가지로 분할된 출력 전압으로서 출력된다. 이로써, 전술한 디시 메이트 처리를 수행하지 않고도 적절한 강제 디스플레이 모드가 성취될 수 있다.

한편, 동일한 스위칭 제어가 수행될 수 있으며 디시메이트 처리는 강제 모드에서 뿐만 아니라 정상적인 4 비트 디스플레이 모드에서도 생략될 수 있다. 이러한 수정된 실례가 도 28 및 도 29에서 도시되어 있다.

도 28은 오직 업스트림 스위칭 회로만이 제공된 그레이 스케일 전압 생성 회로(2C)의 제 1 실례를 도시하며 도 29는 오직 다운스트림 스위칭 회로만이 제공된 그레이 스케일 전압 생성 회로(2D)의 제 2 실례를 도시한다. 제 1 실례에서, 상기 업스트림 측 스위칭 회로는 강제 모드 및 정상적 4 비트 디스플레이 모드 모두에서 개방되고 이 전위 분할 회로에 제공된 낮은 전위가 그들의 각각의 전위 분할 출력 단부에서 거의 동일한 레벨로 된다. 제 2 실례에서, 상기 다운스트림 측 스위칭 회로는 강제 모드 및 정상적 4 비트 디스플레이 모드 모두에서 개방되고 이 전위 분할 회로에 제공된 높은 전위가 그들의 각각의 전위 분할 출력 단부에서 거의 동일한 레벨로 된다. 또한, 이 두 실례 중 어느 것도 디시메이트 처리를 필요로 하지 않는다.

말할 것도 없이, 전위 분할 회로 출력 단부를 업스트림 측 또는 다운 스트림 측 특정 그레이 스케일 전압으로 설정하는 특성은 도 18 및 도 25 및 도 26의 구성에서도 적용될 수 있다.

또한, 상술한 실시예들은 그레이 스케일 전압들이 동일한 인터벌로 랭크되는 효과에 대해서 기술되었지만, 본 발명은 여기에만 한정되는 것은 아니다. '실질적으로 동일한 인터벌'은 보다 광범위하게 해석될 수 있다.

또한, 전술한 실시예들은 픽셀 신호들이 각 행에 대해 즉 라인 시퀀스로 다수의 열 전극으로 갱신 및 출력되는 경우만을 실례로서 들었지만, 본 발명은 여기에만 한정되는 것이 아니라 픽셀 신호들이 각 픽셀 또는 각 사전결정된 디스플레이된 유닛에 대해서 말하자면 도트 시퀀스로 갱신 및 출력될 수 있다. 가령, LTPS(저온도 폴리실리콘) 기반 TFT가 형성되어 있는 디스플레이 패널에서 소스 구동기 부분 또는 이에 접속된 보조 회로에서, 도 3의 'S/P1의 입력부'에서 도시된 픽셀 정보 단위들의 시퀀스가 제공된 형태를 갖는 직렬 입력에 응답할 시에 또는 상기 직렬 입력과 동기화할 시에, 직렬 출력이 동일한 형태를 갖는 픽셀 정보 단위들의 시퀀스로 수행되며 이로써 열 시퀀스로 열 전극들을 구동시킬 수 있다는 것은 분명하다. 이 경우에, 데이터 변환 회로(1)는 필요없게 된다.

또한, 두 개의 타입을 갖는, 즉 증폭기의 동작/비동작을 기반으로 하는 타입과 전위 분할 회로의 출력 인에이블/디스에이블을 기반으로 하는 타입을 갖는 그레이 스케일 전압 생성 회로의 구성이 기술되었지만, 이들 두 개의 타입은 또한 적절하게 결합될 수 있다.

또한, 전술한 실시예들에서는 증폭기가 그레이 스케일 전압 #0의 라인 내에 개재되었지만 이 증폭기는 생략될 수 있다. 따라서, 본 발명은 이러한 경우를 배제하지 않는다.

또한, 본 발명의 임의의 수정 사항들이 본 발명의 청구 범위 내에서 가능하다.

전술한 실시예들은 본 발명을 한정하기보다는 예시적으로 설명하기 위한 것 이며 본 기술 분야의 당업자는 첨부된 청구 범위 내에서 수 많은 다른 실시예들을 설계할 수 있다. 청구 범위에서 괄호 안의 임의의 참조 부호는 그 청구 범위

를 한정하기 위한 것이 아니다. 용어 '포함한다'는 그 청구 범위 내에 리스트된 단계 또는 요소 이외의 단계 또는 요소의 존재를 배재하지 않는다. 본 발명은 몇 개의 개별 요소를 포함하는 하드웨어에 의해서 또는 적절하게 프로그램된 컴퓨터에 의해서 구현될 수 있다. 몇 개의 수단을 열거하는 디바이스 청구항에서, 이 몇 개의 수단들은 하나로서 구현되며 하드웨어 그 자체로 구현될 수 있다. 소정의 방법들이 서로 상이한 종속항에서 인용된다는 사실이 이들 방법들의 결합이 유리하게 사용될 수 없음을 나타내는 것은 아니다.

## (57) 청구의 범위

### 청구항 1.

그레이 스케일 디스플레이를 수행할 수 있는 적어도 하나의 픽셀을 포함하는 디스플레이 세그먼트의 행과 열로 구성된 매트릭스를 갖는 디스플레이 디바이스용 열 전극 구동 회로(a column electrode driving circuit)에 있어서,

각각이 다수의 점진적으로 증가하는 그레이 스케일 전압 값들의 범위 내에서 하나의 값을 수신하는 제 1 입력부와 상기 입력부에서 수신된 전압 값에 비례하여 출력 신호를 제공하는 출력부를 갖는 증폭기들을 포함하는 그레이 스케일 전압 생성 수단과,

상기 증폭기들의 출력부에 접속된 입력부를 가지면서 각 디스플레이 세그먼트에 의해 생성될 그레이 스케일 레벨을 나타내는 이미지 신호에 따라 어드레스되고 있는 행 내에서 상기 디스플레이 세그먼트를 위해 상기 증폭기들의 출력 신호들 중 임의의 신호를 선택 및 출력하는 선택 수단을 포함하되,

상기 그레이 스케일 전압 생성 수단은, 상기 범위 내의 사전결정된 그레이 스케일 값들의 개수와 일치하는 사전결정된 개수의 증폭기들은 전력 온 상태가 되고 나머지 증폭기들은 전력 오프 상태가 되는 사전결정된 모드를 가지며,

상기 선택 수단은 전력 온 상태로 존재하는 증폭기들의 출력 신호를 선택하는

열 전극 구동 회로.

### 청구항 2.

제 1 항에 있어서,

상기 사전결정된 모드는 다수의 서브 모드(sub-mode)를 포함하며,

전력 온 상태가 될 증폭기들은 각 서브 모드에 대해 상기 그레이 스케일 전압 생성 수단에 의해 결정되는

열 전극 구동 회로.

### 청구항 3.

제 1 항에 있어서,

상기 사전결정된 모드의 내용을 지정하는 제어 신호를 수신하는 수단을 더 포함하며,

상기 그레이 스케일 전압 생성 수단은 상기 제어 신호에 따라서 상기 증폭기의 전원에 대한 전력 제어를 수행하는

열 전극 구동 회로.

### 청구항 4.

제 1 항에 있어서,

전력 온 상태가 될 증폭기들에 인가된 특정 그레이 스케일 전압 값들은 최소 그레이 스케일 전압 값과 최대 그레이 스케일 전압 값 간의 전압 값 범위 내에 할당되며 상기 사전결정된 모드에 따라 선택된 그레이 스케일 전압 값들인

열 전극 구동 회로.

### 청구항 5.

제 4 항에 있어서,

상기 특정 그레이 스케일 전압 값들은 상기 최대 그레이 스케일 전압 값 및/또는 상기 최소 그레이 스케일 전압 값을 포함하는

열 전극 구동 회로.

**청구항 6.**
제 4 항에 있어서,

상기 특정 그레이 스케일 전압 값들은 상기 전압 값 범위의 서브세트(subset)인 할당된 그레이 스케일 전압 값들이고, 상기 서브세트에서 2 개의 연속하는 값들 간의 차는 실질적으로 동일한

열 전극 구동 회로.

**청구항 7.**
제 1 항에 있어서,

입력 이미지 신호의 비트 그룹들의 시퀀스—상기 각 비트 그룹은 이미지의 이미지 포인트(image point)의 그레이 레벨을 결정하며, 각 디스플레이 세그먼트에 대해서 대응하는 이미지 포인트가 존재함—를 포함하는 입력 비트 트레인(an input bit train)을 상기 사전결정된 모드에 의해 지정된 상기 사전결정된 그레이 스케일 값들에 대응하는 비트 그룹들만을 갖는 새로운 비트 트레인으로 변환하는 데이터 처리 수단을 더 포함하며,

상기 선택 수단은 상기 새로운 비트 트레인이 된 상기 이미지 신호를 기반으로 하여 선택을 수행하는

열 전극 구동 회로.

**청구항 8.**
제 7 항에 있어서,

상기 데이터 처리 수단은 자신의 저차수 비트(its lower-order bit)를 위해 상기 입력 비트 트레인의 적어도 하나의 고차수 비트의 내용을 사용하여 상기 새로운 비트 트레인을 형성하는

열 전극 구동 회로.

**청구항 9.**
제 7 항에 있어서,

상기 데이터 처리 수단은 자신의 저차수 비트를 위해 적어도 하나의 고정된 비트 값을 사용하여 상기 새로운 비트 트레인을 형성하는

열 전극 구동 회로.

**청구항 10.**
제 8 항에 있어서,

상기 새로운 비트 트레인이 최대 그레이 스케일 전압 및/또는 최소 그레이 스케일 전압을 지정할 수 있는 값을 가질 수 있도록 상기 데이터 처리 수단이 상기 새로운 비트 트레인을 형성하는

열 전극 구동 회로.

**청구항 11.**
그레이 스케일 디스플레이 동작을 수행할 수 있는 디스플레이 디바이스용 열 전극 구동 회로에 있어서,

각기 점진적으로 레벨-시프트되는 값들을 갖는 다수의 그레이 스케일 전압을 릴레이(relay)하는 증폭기들 및 상기 증폭기들의 출력부에 접속되어 그들의 출력 전압을 분할하여 감소된 그레이 스케일 전압들(diminished gray-scale voltages)을 생성하는 전위 분할 회로를 포함하는 그레이 스케일 전압 생성 수단과,

각 픽셀 또는 각 사전결정된 디스플레이된 유닛에 대해 상기 픽셀 또는 상기 디스플레이된 유닛을 위한 그레이 스케

일 레벨을 나타내는 이미지 신호에 따라서 상기 그레이 스케일 전압들 중 임의의 전압을 선택 및 출력하는 선택 수단을 포함하되,

상기 그레이 스케일 전압 생성 수단은, 대응하는 증폭기로부터 해당 전위 분할 회로를 전기적으로 분리함으로써 또는 상기 대응하는 증폭기의 출력 전류를 상 기 분할 회로의 분할 동작에 의해서 유발될 수 있는 전류 흐름으로부터 차단하여 상기 출력 전류의 흐름이 실질적으로 불가능하게 함으로써, 사전결정된 모드에서 사전결정된 그레이 스케일 레벨들에 대응하는 사전결정된 개수의 그레이 스케일 전압들을 생성하는 임의의 전위 분할 회로를 출력-디스에이블링하며(output-disabling),

상기 선택 수단은 상기 사전결정된 모드 동안 임의의 유효 전압을 선택하는

열 전극 구동 회로.

**청구항 12.**
제 11 항에 있어서,

상기 사전결정된 모드는 다수의 서브 모드를 포함하며,

출력-인에이블(output-enable)될 상기 전위 분할 회로는 상기 그레이 스케일 전압 생성 수단 내에서 각 서브 모드에 대해서 결정되는

열 전극 구동 방법.

**청구항 13.**
제 11 항에 있어서,

상기 구동 회로는 상기 사전결정된 모드의 내용을 지정하는 제어 신호를 수신하는 수단을 포함하고,

상기 그레이 스케일 전압 생성 수단은 상기 제어 신호에 따라서 상기 전위 분할 회로에 대해서 출력-디스에이블/인에이블 제어를 수행하는

열 전극 구동 방법.

**청구항 14.**
제 11 항에 있어서,

상기 전위 분할 회로는 보다 높은 전위를 갖는 제 1 접속 단부와 보다 낮은 전위를 갖는 제 2 접속 단부를 가져서 상기 제 1 접속 단부와 상기 제 2 접속 단부 간의 전위차를 분할하고,

상기 접속 단부들은 상기 증폭기들의 출력 라인들 간에서 접속되며,

상기 접속 단부들 중 적어도 하나는 상기 출력 라인들 간의 도전성 경로가 개방 또는 폐쇄되게 하는 스위칭 회로를 통해서 상기 출력 라인에 접속되고,

상기 스위칭 회로는 상기 전위 분할 회로의 출력이 디스에이블될 때에 상기 도전성 경로를 개방하는

열 전극 구동 회로.

**청구항 15.**
제 11 항에 있어서,

상기 전위 분할 회로는 보다 높은 전위를 갖는 제 1 접속 단부와 보다 낮은 전위를 갖는 제 2 접속 단부를 가져서 상기 제 1 접속 단부와 상기 제 2 접속 단부 간의 전위차를 분할하며,

상기 접속 단부들은 상기 증폭기들의 출력 라인들 간에서 접속되고,

상기 접속 단부들 중 오직 하나만이 상기 출력 라인들 간의 도전성 경로가 개방 또는 폐쇄되게 하는 스위칭 회로를 통

해서 상기 출력 라인에 접속되고,

상기 스위칭 회로는 상기 전위 분할 회로의 출력이 디스에이블될 때에 상기 도전성 경로를 개방하는

열 전극 구동 회로.

**청구항 16.**
제 1 항에 있어서,

상기 사전결정된 모드는 그레이 스케일 레벨들의 최대 개수보다 적은 개수의 그레이 스케일 레벨들을 나타내는 적어도 하나의 모드를 갖는

열 전극 구동 회로.

**청구항 17.**
제 16 항에 있어서,

상기 사전결정된 모드는 디스플레이 동작 동안 필요한 개수의 그레이 스케일 레벨들을 나타내는 모드 및 강제로 지정된 그레이 스케일 레벨들을 나타내는 모드를 포함하는

열 전극 구동 회로.

**청구항 18.**
제 1 항에 있어서,

상기 그레이 스케일 전압 생성 수단의 출력들은 다른 증폭기들을 통하지 않고 상기 선택 수단으로 제공되며,

상기 선택 수단은 다른 증폭기들을 통하지 않고 상기 출력들을 선택하는

열 전극 구동 회로.

**청구항 19.**
제 1 항에 따른 열 전극 구동 회로 및 디스플레이 패널을 포함하는 디스플레이 디바이스.

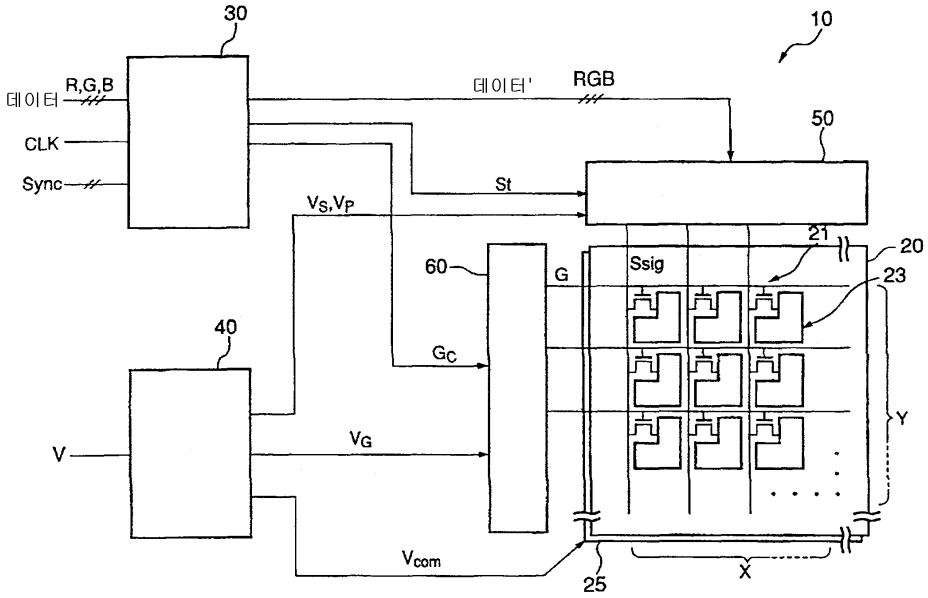
**청구항 20.**
제 19 항에 있어서,

상기 사전결정된 모드의 내용은 디바이스의 대기 상태에 따라서 규정되는

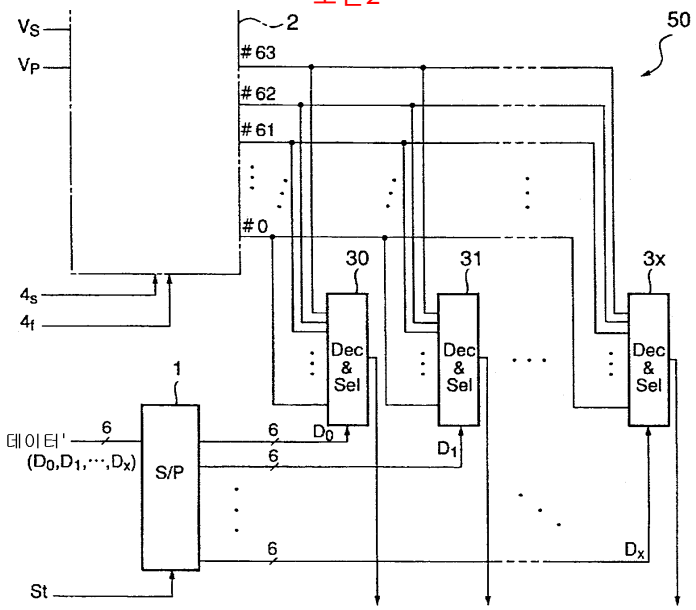
디스플레이 디바이스.

도면

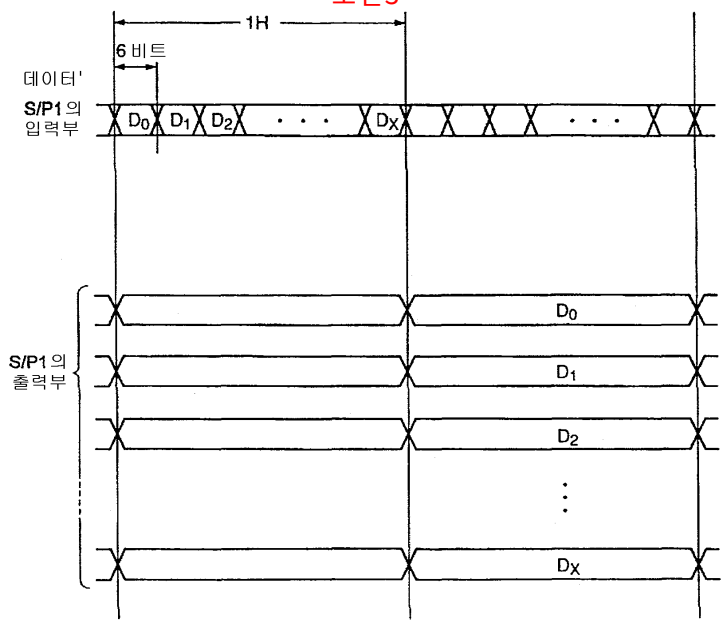
도면1


30
10
데이터
R,G,B
데이터'
RGB
CLK
Sync
50
St
VS,VP
21
20
60
G
Ssig
23
40
GC
Y
V
VG
Vcom
25
X

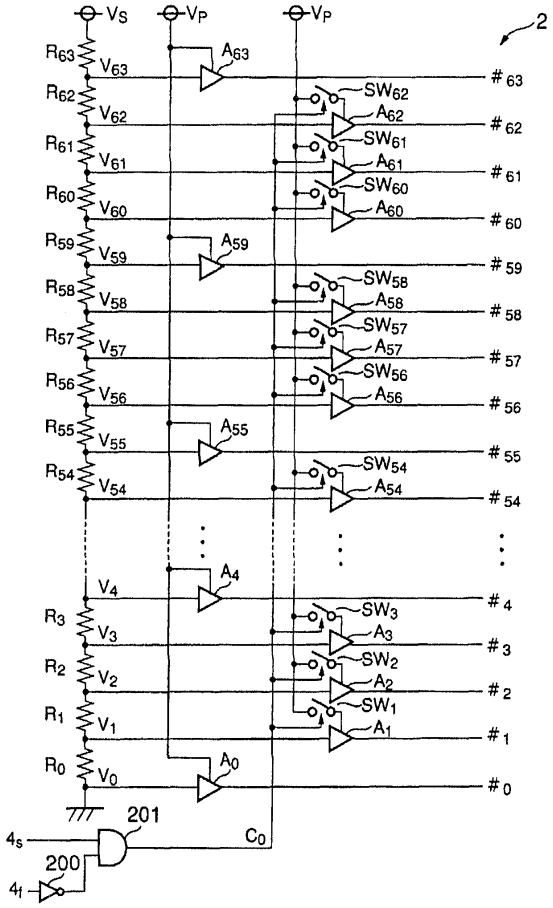
도면2


VS
VP
2
50
#63
#62
#61
#0
30
31
3x
4s
4f
Dec & Sel
1
데이터'
(D0,D1,···,Dx)
6
S/P
D0
D1
Dx
St

도면3


1H
6 비트
데이터'
S/P1의 입력부
D0
D1
D2
Dx
S/P1의 출력부

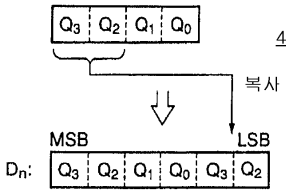
도면4




도면5

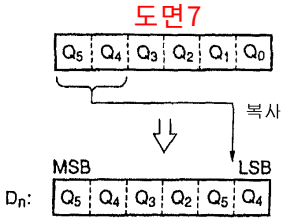
| Dn: MSB | | | | | LSB | |
|---|---|---|---|---|---|---|
| Q5 | Q4 | Q3 | Q2 | Q1 | Q0 | |
| 0 | 0 | 0 | 0 | 0 | 0 | #0 |
| 0 | 0 | 0 | 0 | 0 | 1 | #1 |
| 0 | 0 | 0 | 0 | 1 | 0 | #2 |
| 0 | 0 | 0 | 0 | 1 | 1 | #3 |
| | | | . | | | . |
| | | | . | | | . |
| | | | . | | | . |
| 1 | 1 | 1 | 1 | 0 | 1 | #61 |
| 1 | 1 | 1 | 1 | 1 | 0 | #62 |
| 1 | 1 | 1 | 1 | 1 | 1 | #63 |

도면6



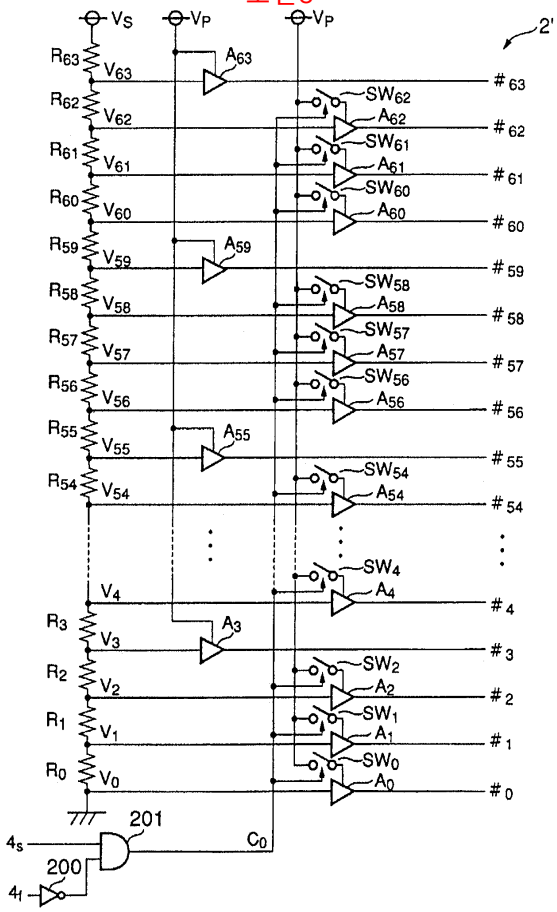

| | | | | | | |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | #0 |
| 0 | 0 | 0 | 1 | 0 | 0 | #4 |
| 0 | 0 | 1 | 0 | 0 | 0 | #8 |
| 0 | 0 | 1 | 1 | 0 | 0 | #12 |
| 0 | 1 | 0 | 0 | 0 | 1 | #17 |
| 0 | 1 | 0 | 1 | 0 | 1 | #21 |
| 0 | 1 | 1 | 0 | 0 | 1 | #25 |
| 0 | 1 | 1 | 1 | 0 | 1 | #29 |
| 1 | 0 | 0 | 0 | 1 | 0 | #34 |
| 1 | 0 | 0 | 1 | 1 | 0 | #38 |
| 1 | 0 | 1 | 0 | 1 | 0 | #42 |
| 1 | 0 | 1 | 1 | 1 | 0 | #46 |
| 1 | 1 | 0 | 0 | 1 | 1 | #51 |
| 1 | 1 | 0 | 1 | 1 | 1 | #55 |
| 1 | 1 | 1 | 0 | 1 | 1 | #59 |
| 1 | 1 | 1 | 1 | 1 | 1 | #63 |

도면7

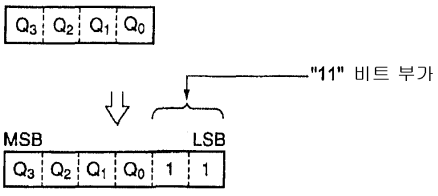



| | | | | | | |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | #0 |
| 0 | 0 | 0 | 1 | 0 | 0 | #4 |
| 0 | 0 | 1 | 0 | 0 | 0 | #8 |
| 0 | 0 | 1 | 1 | 0 | 0 | #12 |
| 0 | 1 | 0 | 0 | 0 | 1 | #17 |
| 0 | 1 | 0 | 1 | 0 | 1 | #21 |
| 0 | 1 | 1 | 0 | 0 | 1 | #25 |
| 0 | 1 | 1 | 1 | 0 | 1 | #29 |
| 1 | 0 | 0 | 0 | 1 | 0 | #34 |
| 1 | 0 | 0 | 1 | 1 | 0 | #38 |
| 1 | 0 | 1 | 0 | 1 | 0 | #42 |
| 1 | 0 | 1 | 1 | 1 | 0 | #46 |
| 1 | 1 | 0 | 0 | 1 | 1 | #51 |
| 1 | 1 | 0 | 1 | 1 | 1 | #55 |
| 1 | 1 | 1 | 0 | 1 | 1 | #59 |
| 1 | 1 | 1 | 1 | 1 | 1 | #63 |

도면8

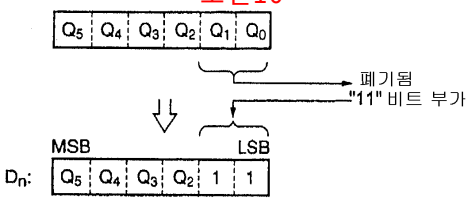



도면9



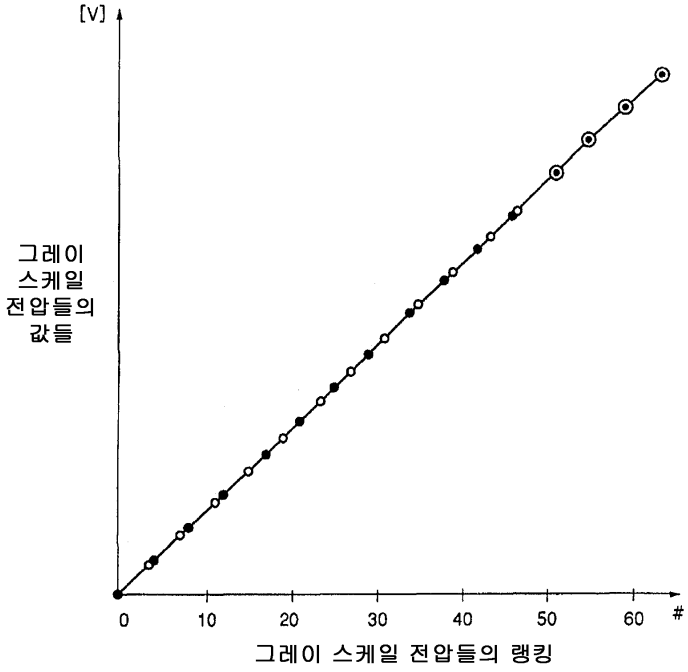

| | | | | | | |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 1 | #3 |
| 0 | 0 | 0 | 1 | 1 | 1 | #7 |
| 0 | 0 | 1 | 0 | 1 | 1 | #11 |
| 0 | 0 | 1 | 1 | 1 | 1 | #15 |
| 0 | 1 | 0 | 0 | 1 | 1 | #19 |
| 0 | 1 | 0 | 1 | 1 | 1 | #23 |
| 0 | 1 | 1 | 0 | 1 | 1 | #27 |
| 0 | 1 | 1 | 1 | 1 | 1 | #31 |
| 1 | 0 | 0 | 0 | 1 | 1 | #35 |
| 1 | 0 | 0 | 1 | 1 | 1 | #39 |
| 1 | 0 | 1 | 0 | 1 | 1 | #43 |
| 1 | 0 | 1 | 1 | 1 | 1 | #47 |
| 1 | 1 | 0 | 0 | 1 | 1 | #51 |
| 1 | 1 | 0 | 1 | 1 | 1 | #55 |
| 1 | 1 | 1 | 0 | 1 | 1 | #59 |
| 1 | 1 | 1 | 1 | 1 | 1 | #63 |

도면10



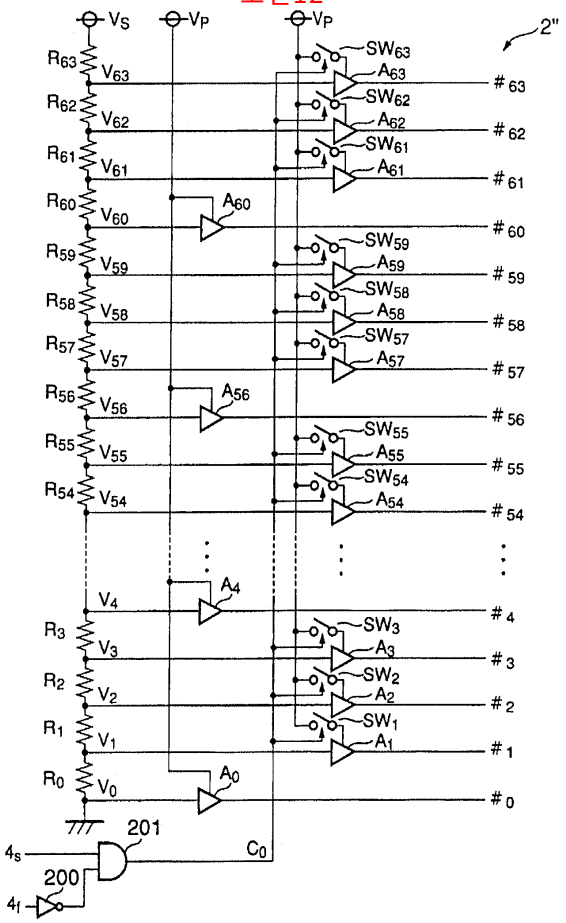

| | | | | | | |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 1 | #3 |
| 0 | 0 | 0 | 1 | 1 | 1 | #7 |
| 0 | 0 | 1 | 0 | 1 | 1 | #11 |
| 0 | 0 | 1 | 1 | 1 | 1 | #15 |
| 0 | 1 | 0 | 0 | 1 | 1 | #19 |
| 0 | 1 | 0 | 1 | 1 | 1 | #23 |
| 0 | 1 | 1 | 0 | 1 | 1 | #27 |
| 0 | 1 | 1 | 1 | 1 | 1 | #31 |
| 1 | 0 | 0 | 0 | 1 | 1 | #35 |
| 1 | 0 | 0 | 1 | 1 | 1 | #39 |
| 1 | 0 | 1 | 0 | 1 | 1 | #43 |
| 1 | 0 | 1 | 1 | 1 | 1 | #47 |
| 1 | 1 | 0 | 0 | 1 | 1 | #51 |
| 1 | 1 | 0 | 1 | 1 | 1 | #55 |
| 1 | 1 | 1 | 0 | 1 | 1 | #59 |
| 1 | 1 | 1 | 1 | 1 | 1 | #63 |

도면11

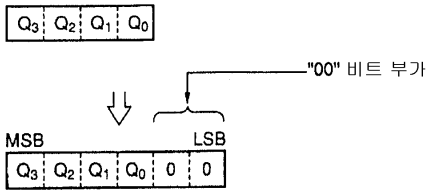



그레이 스케일 전압들의 랭킹

도면12

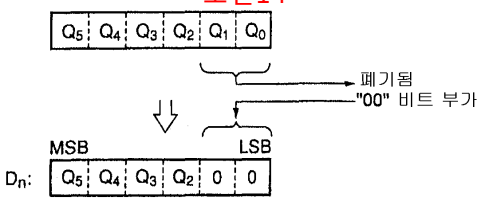



도면13



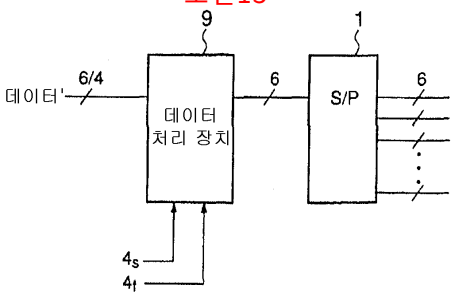

| | | | | | | |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | #0 |
| 0 | 0 | 0 | 1 | 0 | 0 | #4 |
| 0 | 0 | 1 | 0 | 0 | 0 | #8 |
| 0 | 0 | 1 | 1 | 0 | 0 | #12 |
| 0 | 1 | 0 | 0 | 0 | 0 | #16 |
| 0 | 1 | 0 | 1 | 0 | 0 | #20 |
| 0 | 1 | 1 | 0 | 0 | 0 | #24 |
| 0 | 1 | 1 | 1 | 0 | 0 | #28 |
| 1 | 0 | 0 | 0 | 0 | 0 | #32 |
| 1 | 0 | 0 | 1 | 0 | 0 | #36 |
| 1 | 0 | 1 | 0 | 0 | 0 | #40 |
| 1 | 0 | 1 | 1 | 0 | 0 | #44 |
| 1 | 1 | 0 | 0 | 0 | 0 | #48 |
| 1 | 1 | 0 | 1 | 0 | 0 | #52 |
| 1 | 1 | 1 | 0 | 0 | 0 | #56 |
| 1 | 1 | 1 | 1 | 0 | 0 | #60 |

도면14

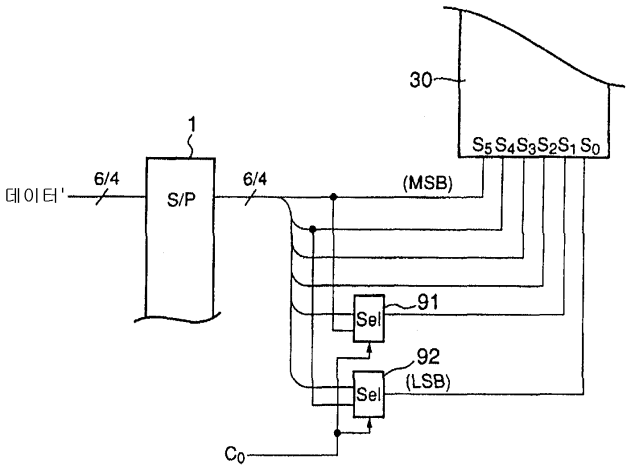



| | | | | | | |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | #0 |
| 0 | 0 | 0 | 1 | 0 | 0 | #4 |
| 0 | 0 | 1 | 0 | 0 | 0 | #8 |
| 0 | 0 | 1 | 1 | 0 | 0 | #12 |
| 0 | 1 | 0 | 0 | 0 | 0 | #16 |
| 0 | 1 | 0 | 1 | 0 | 0 | #20 |
| 0 | 1 | 1 | 0 | 0 | 0 | #24 |
| 0 | 1 | 1 | 1 | 0 | 0 | #28 |
| 1 | 0 | 0 | 0 | 0 | 0 | #32 |
| 1 | 0 | 0 | 1 | 0 | 0 | #36 |
| 1 | 0 | 1 | 0 | 0 | 0 | #40 |
| 1 | 0 | 1 | 1 | 0 | 0 | #44 |
| 1 | 1 | 0 | 0 | 0 | 0 | #48 |
| 1 | 1 | 0 | 1 | 0 | 0 | #52 |
| 1 | 1 | 1 | 0 | 0 | 0 | #56 |
| 1 | 1 | 1 | 1 | 0 | 0 | #60 |

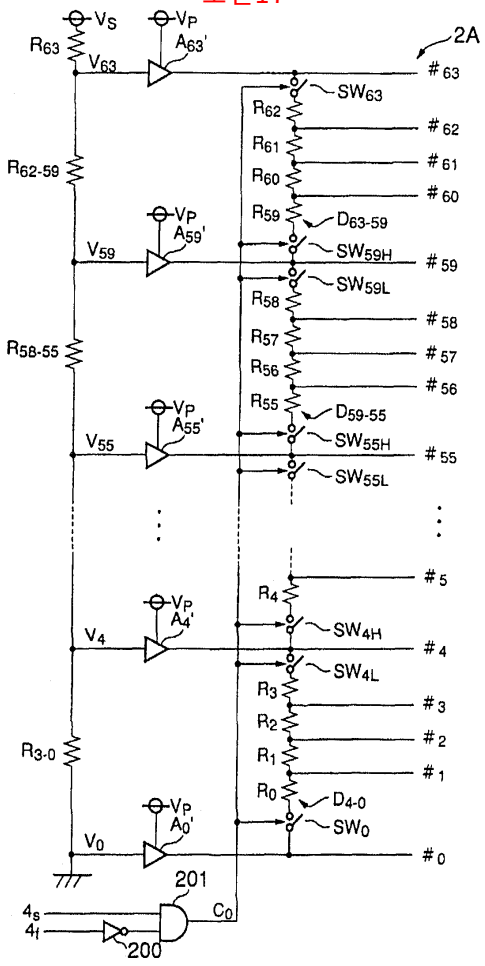
도면15



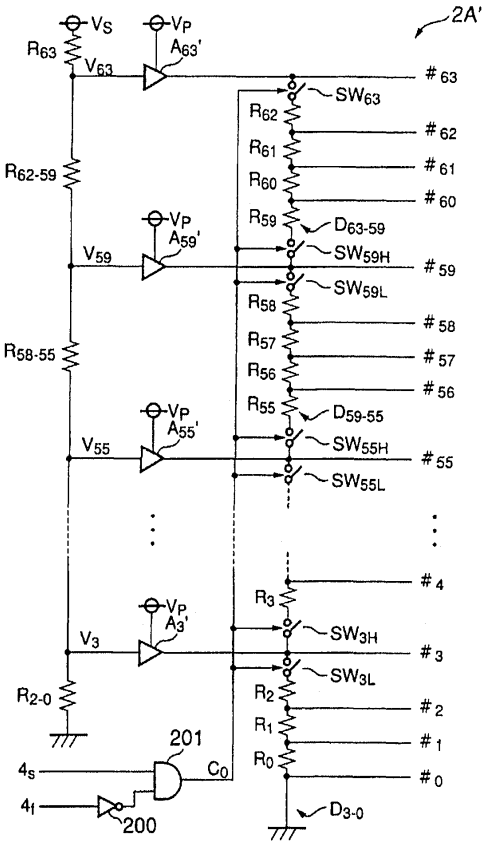

도면16



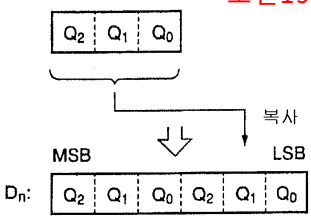
도면17


2A
VS
VP
R63
V63
A63'
#63
SW63
R62
#62
R61
#61
R60
#60
R62-59
R59
D63-59
VP
A59'
V59
SW59H
#59
SW59L
R58
#58
R58-55
R57
#57
R56
#56
R55
D59-55
VP
A55'
V55
SW55H
#55
SW55L
#5
R4
VP
A4'
V4
SW4H
#4
SW4L
R3
#3
R2
#2
R3-0
R1
#1
R0
D4-0
VP
A0'
V0
SW0
#0
201
C0
4S
4I
200

도면18


2A'
VS
VP
R63
V63
A63'
#63
SW63
R62
#62
R61
#61
R60
#60
R62-59
R59
D63-59
VP
A59'
V59
SW59H
#59
SW59L
R58
#58
R58-55
R57
#57
R56
#56
R55
D59-55
VP
A55'
V55
SW55H
#55
SW55L
#4
R3
VP
A3'
V3
SW3H
#3
SW3L
R2
#2
R2-0
R1
#1
R0
#0
201
C0
4S
4I
200
D3-0

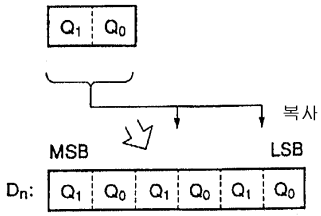
도면19




3 비트 디스플레이 동작

| | | | | | | |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | #0 |
| 0 | 0 | 1 | 0 | 0 | 1 | #9 |
| 0 | 1 | 0 | 0 | 1 | 0 | #18 |
| 0 | 1 | 1 | 0 | 1 | 1 | #27 |
| 1 | 0 | 0 | 1 | 0 | 0 | #36 |
| 1 | 0 | 1 | 1 | 0 | 1 | #45 |
| 1 | 1 | 0 | 1 | 1 | 0 | #54 |
| 1 | 1 | 1 | 1 | 1 | 1 | #63 |

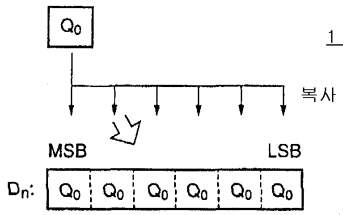
도면20




2 비트 디스플레이 동작

| | | | | | | |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | #0 |
| 0 | 1 | 0 | 1 | 0 | 1 | #21 |
| 1 | 0 | 1 | 0 | 1 | 0 | #42 |
| 1 | 1 | 1 | 1 | 1 | 1 | #63 |

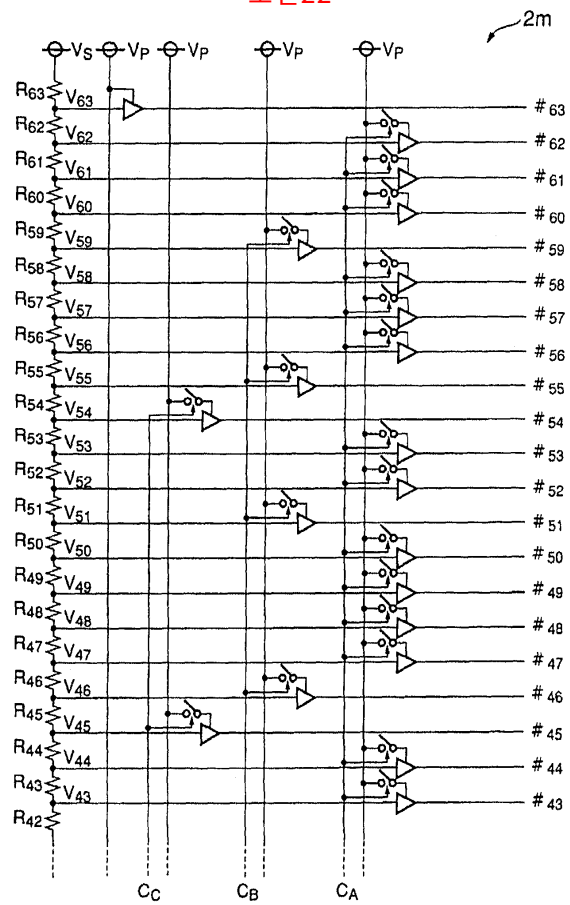
도면21



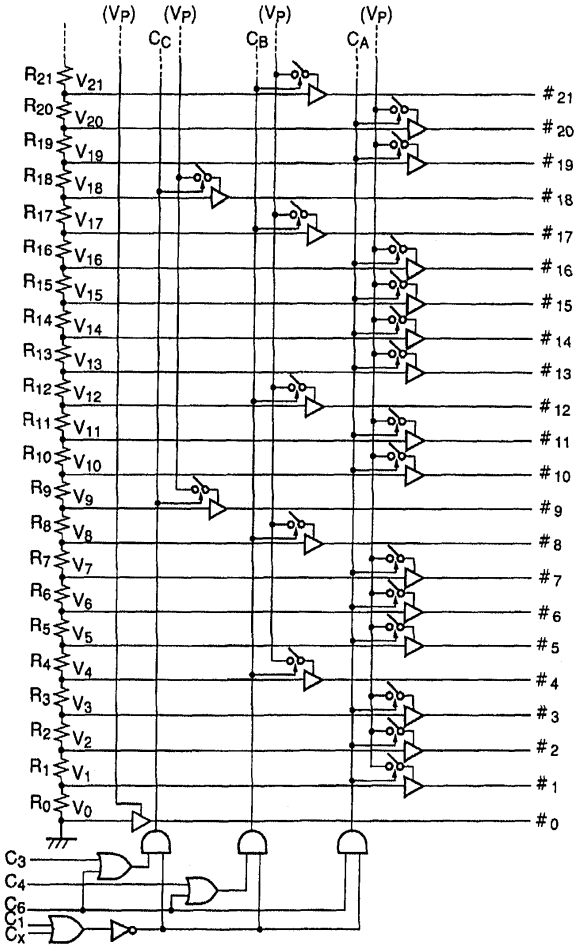

1 비트 디스플레이 동작

| | | | | | | |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | #0 |
| 1 | 1 | 1 | 1 | 1 | 1 | #63 |

도면22


2m
VS
VP
VP
VP
VP
R63
V63
R62
V62
R61
V61
R60
V60
R59
V59
R58
V58
R57
V57
R56
V56
R55
V55
R54
V54
R53
V53
R52
V52
R51
V51
R50
V50
R49
V49
R48
V48
R47
V47
R46
V46
R45
V45
R44
V44
R43
V43
R42
#63
#62
#61
#60
#59
#58
#57
#56
#55
#54
#53
#52
#51
#50
#49
#48
#47
#46
#45
#44
#43
CC
CB
CA

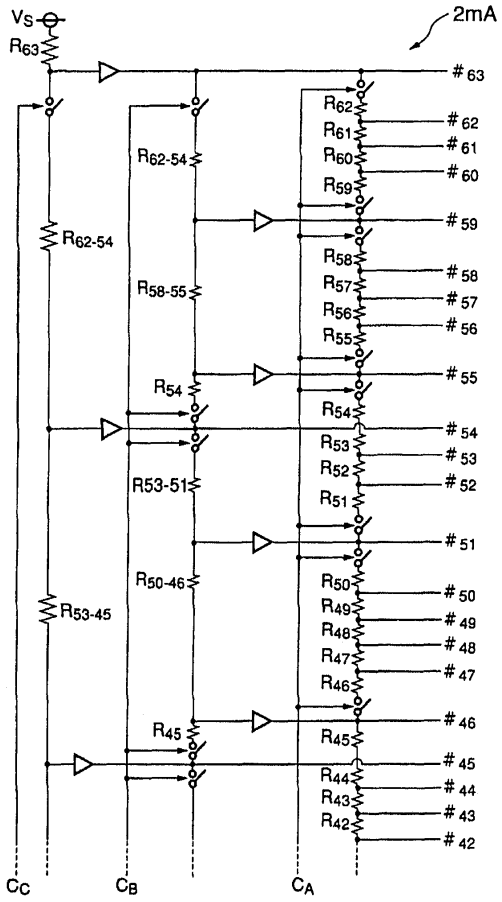
도면23


(VP)
(VP)
(VP)
(VP)
CC
CB
CA
R21
V21
R20
V20
R19
V19
R18
V18
R17
V17
R16
V16
R15
V15
R14
V14
R13
V13
R12
V12
R11
V11
R10
V10
R9
V9
R8
V8
R7
V7
R6
V6
R5
V5
R4
V4
R3
V3
R2
V2
R1
V1
R0
V0
#21
#20
#19
#18
#17
#16
#15
#14
#13
#12
#11
#10
#9
#8
#7
#6
#5
#4
#3
#2
#1
#0
C3
C4
C6
C1
Cx

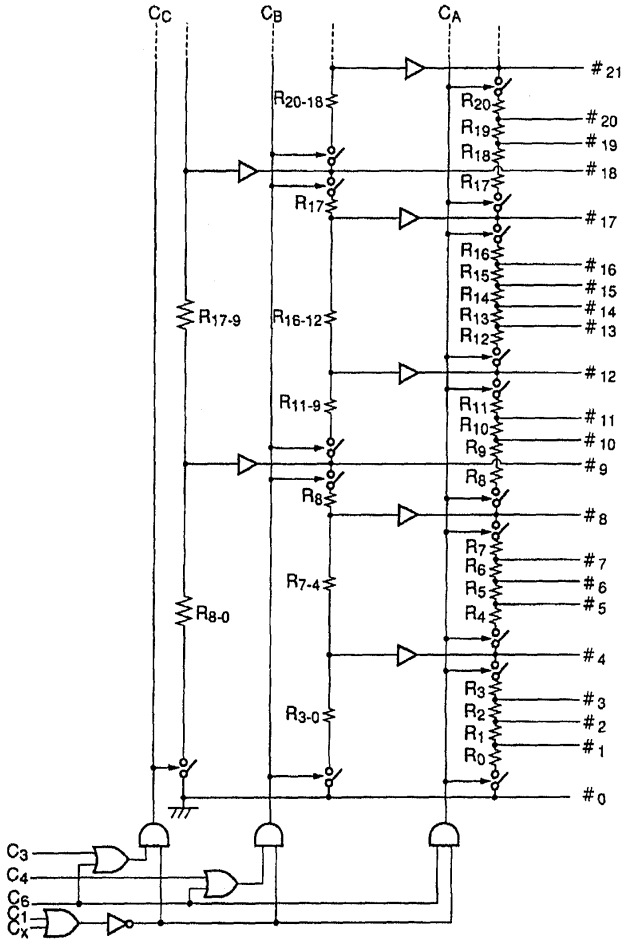
도면24

| 모드 \ 제어 신호 | | $C_6$ | $C_4$ | $C_3$ | $C_1$ | $C_x$ | 표현된 그레이 스케일 레벨의 개수 |
|---|---|---|---|---|---|---|---|
| 정상 모드 | 6 비트 디스플레이 | H | L | L | L | L | 64 |
| | 4 비트 디스플레이 | L | H | L | L | L | 16 |
| | 3 비트 디스플레이 | L | L | H | L | L | 8 |
| | 1 비트 디스플레이 | L | L | L | H | L | 2 |
| 강제 모드 | | X | X | X | X | H | 2 |

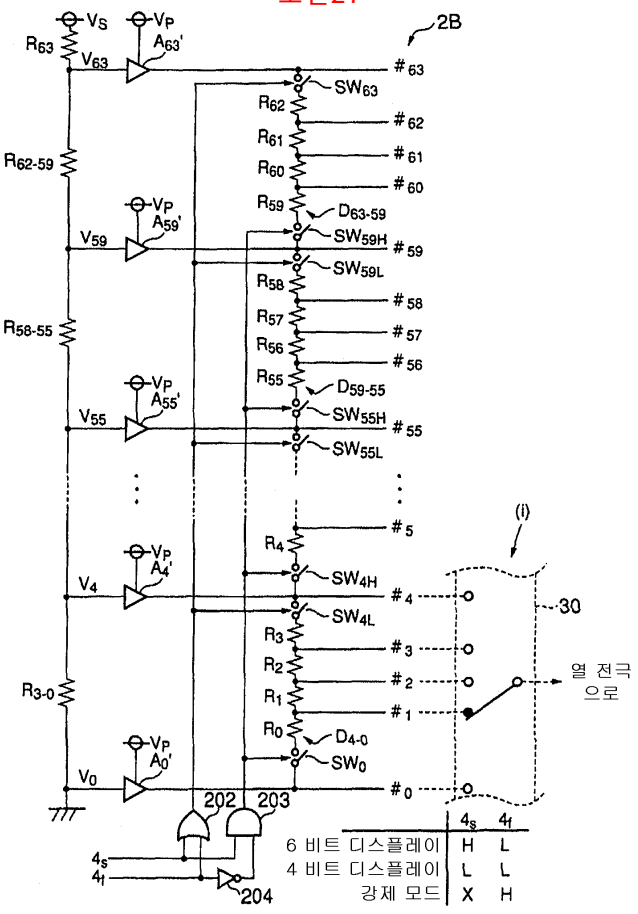
도면25



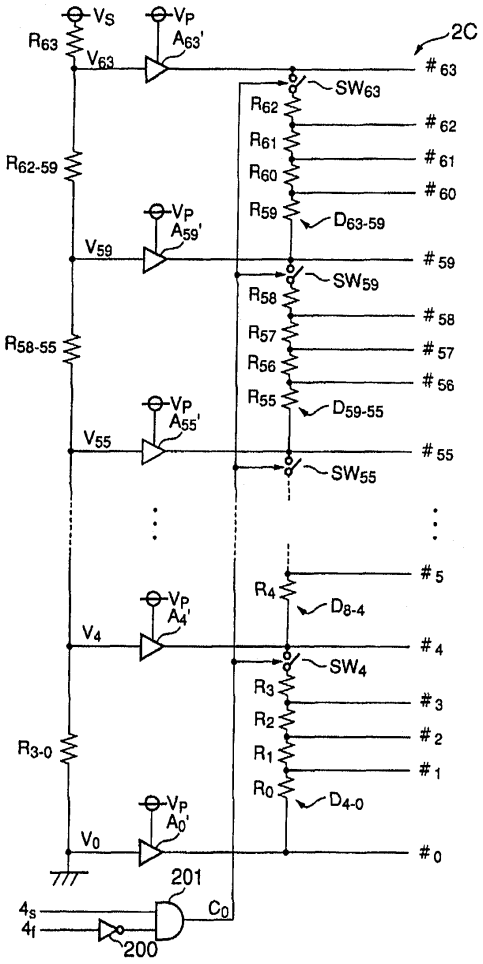
도면26


CC
CB
CA
R20-18
R17
R17-9
R16-12
R11-9
R8
R7-4
R8-0
R3-0
R20
R19
R18
R17
R16
R15
R14
R13
R12
R11
R10
R9
R8
R7
R6
R5
R4
R3
R2
R1
R0
#21
#20
#19
#18
#17
#16
#15
#14
#13
#12
#11
#10
#9
#8
#7
#6
#5
#4
#3
#2
#1
#0
C3
C4
C6
C1
Cx

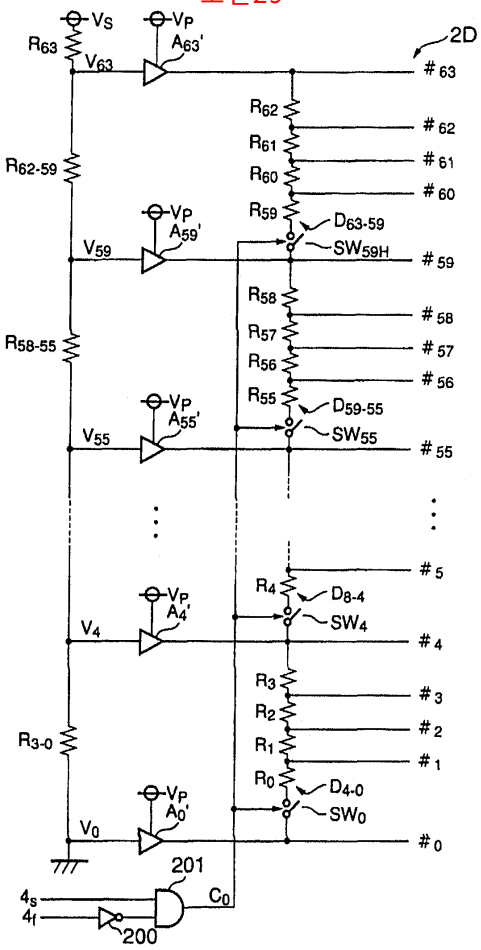
도면27


2B
VS
VP
R63
V63
A63'
#63
SW63
R62
#62
R61
#61
R60
#60
R62-59
R59
D63-59
VP
A59'
V59
SW59H
#59
SW59L
R58
#58
R58-55
R57
#57
R56
#56
R55
D59-55
VP
A55'
V55
SW55H
#55
SW55L
#5
R4
VP
A4'
V4
SW4H
#4
SW4L
R3
#3
R2
#2
R1
#1
R3-0
R0
D4-0
VP
A0'
V0
SW0
#0
(i)
30
열 전극으로
202
203
204
4S
4I
6 비트 디스플레이
4 비트 디스플레이
강제 모드
H
L
L
L
X
H

도면28


VS
VP
R63
V63
A63'
2C
#63
SW63
R62
#62
R61
#61
R60
#60
R59
D63-59
R62-59
VP
A59'
V59
#59
SW59
R58
#58
R58-55
R57
#57
R56
#56
R55
D59-55
VP
A55'
V55
#55
SW55
#5
R4
D8-4
VP
A4'
V4
#4
SW4
R3
#3
R2
#2
R3-0
R1
#1
R0
D4-0
VP
A0'
V0
#0
201
C0
4S
4I
200

도면29


VS
VP
R63
A63'
V63
2D
#63
R62
#62
R61
#61
R60
#60
R62-59
R59
D63-59
VP
A59'
SW59H
V59
#59
R58
#58
R57
#57
R58-55
R56
#56
R55
D59-55
VP
A55'
SW55
V55
#55
#5
R4
D8-4
VP
A4'
SW4
V4
#4
R3
#3
R2
#2
R3-0
R1
#1
R0
D4-0
VP
A0'
SW0
V0
#0
201
C0
4S
4I
200

| | | | |
|---|---|---|---|
| 专利名称(译) | 列电极驱动电路和包括其的显示装置 | | |
| 公开(公告)号 | KR1020040064289A | 公开(公告)日 | 2004-07-16 |
| 申请号 | KR1020047008059 | 申请日 | 2002-11-29 |
| [标]申请(专利权)人(译) | 统宝香港控股有限公司 | | |
| 申请(专利权)人(译) | 血来香港控股的品牌 | | |
| 当前申请(专利权)人(译) | 血来香港控股的品牌 | | |
| [标]发明人 | HAGINO SHUJI | | |
| 发明人 | HAGINO,SHUJI | | |
| IPC分类号 | G09G3/20 G02F1/133 G09G3/36 | | |
| CPC分类号 | G09G2330/021 G09G3/2011 G09G3/3696 | | |
| 代理人(译) | KIM, CHANG SE<br>KIM，WON JOON | | |
| 优先权 | 2001366231 2001-11-30 JP<br>2002105744 2002-04-08 JP | | |
| 外部链接 | Espacenet | | |


摘要(译)

本发明的一个目的是提供一种用于降低功耗的列电极驱动电路和使用该电极的显示装置。用于能够执行灰度级显示的显示装置的列电极驱动电路50包括放大器A 0，其具有施加有多个灰度级电压V 0至V 63的输入，根据表示像素或显示单元的灰度级的图像信号，每个像素或每个预定显示单元的A至A 63。并且选择电路30至30x用于选择和输出输入的输出信号＃0至＃63中的任何一个/灰度级电压发生装置2包括用于通过预定数量的放大器（A 1 -A 3，...，A 56 -A 58，A 60 -A 62）产生灰度级电压的装置。打开其他放大器的电源状态（A 0，A 4，...，A 55，A 59，A 63）并打开放大器的电源状态（对应放大器的预定灰度级） 30-30x）在预定模式期间选择处于通电状态的放大器的任何输出信号。此外，公开了基于电位分割电路的另一种配置。