(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/1343

(11) 공개번호 특2003-0023710
(43) 공개일자 2003년03월19일

(21) 출원번호 10-2003-7000863
(22) 출원일자 2003년01월20일
번역문 제출일자 2003년01월20일
(86) 국제출원번호 PCT/IB2002/01778
(86) 국제출원출원일자 2002년05월21일
(87) 국제공개번호 WO 2002/95492
(87) 국제공개일자 2002년11월28일

(81) 지정국 국내특허 : 중국, 일본, 대한민국,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스,

(30) 우선권주장 0112561.6 2001년05월23일 영국(GB)

(71) 출원인 코닌클리케 필립스 일렉트로닉스 엔.브이.
네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자 데아네,스테벤,체.
네덜란드,아아아인드호펜5656프로프.홀스트란6

(74) 대리인 문경진

심사청구 : 없음

(54) 능동 매트릭스 디스플레이 기판

요약

능동 매트릭스 액정 디스플레이의 저장 커패시터는 제 2 전극(10) 위로 확장하는 복수의 핑거(50)를 구비한 제 2 전극(28)을 갖도록 형성된다. 저장 커패시터의 제 2 전극(28)과 드레인 전극(30)은 단일 금속화 층으로부터 형성될 수 있다. 드레인 전극(30)과 제 2 전극(10)의 핑거(50)의 폭은 제조 공정의 임의의 공정 변화의 결과로서 함께 변하는 경향이 있을 것이다. 폭이 함께 변하는 특징은 킥 백 전압의 변화를 상쇄하는 경향이 있다.

대표도

도 3e

명세서

기술분야

본 출원은 저장 커패시터를 포함하는 능동 플레이트와 상기 능동 플레이트를 제조하는 방법에 관한 것으로서, 특히 저장 커패시터, 픽셀 구조와, 예컨대 능동 매트릭스 액정 디스플레이에서 사용되는 것과 같은 능동 플레이트의 제조 방법에 관한 것이다.

배경기술

능동 매트릭스 액정 디스플레이(AMLCD)는, 예를 들면, 랩탑 개인용 컴퓨터와 같은 많은 어플리케이션에서 고 품질의 디스플레이를 제공하기 위해 광범위하게 사용되고 있다. 그러한 능동 매트릭스 액정 디스플레이에서 개별 픽셀 전극에 대응하는 트랜지스터는 액정 디스플레이를 구동하기 위해 사용된다. 일반적으로 트랜지스터는 박막 트랜지스터(TFT)이다.

종래의 능동 매트릭스 액정 디스플레이는 능동 픽셀 전극과 대응 TFT 구동 트랜지스터를 수용하는 능동 플레이트와 카운터 전극을 지지하는 대향 수동 플레이트를 포함하며, 능동 플레이트와 수동 플레이트 사이에는 액정이 채워진다.

AMLCD의 종래 능동 플레이트가 도 1에는 평면도로 도 2에는 A-A의 단면도로 도시되어 있다. 능동 플레이트는 실질적으로 평평한 기판(1)에 형성된다. 행 전극(2)과 열 전극(4)이 실질적으로 수직한 방향으로 능동 플레이트를 가로질러 확장한다. 게이트 전극(6)은 행 전극(2)으로부터 확장하여 각 픽셀 요소의 바닥 게이트를 형성한다. 절연 영역(8)이 행 전극과 열 전극을 분리한다. 유사하게 커패시터 전극(10)이 행 전극과 평행하게 능동 매트릭스를 가로질러 확장한다.

절연 층(16)이 게이트 전극 위에 형성되어 게이트 절연 층을 형성하고, 커패시터 전극 위에 형성되어 커패시터 유전체를 형성한다. 반도체 영역(12)은 절연 층(16) 위에 형성된다. 반도체 영역은 소스 영역(34)에서부터 드레인 영역(36)으로 게이트 절연 층(16) 위에서 확장하는 하부의 도핑되지 않은 비결정(amorphous) 실리콘 층(14)과 소스 및 드레인 영역(34,36)의 많이 도핑된 접촉 영역(18)을 포함한다. 소스 접점(32)은 소스 영역(34)과 연결되고, 드레인 접점(30)은 드레인 영역(36)에 연결된다. 스퍼(24)는 열 전극(4)으로부터 확장하여 소스 접점(32)에 연결된다.

반도체 영역(12), 게이트 전극(6), 절연 층(16)과 소스 및 드레인 접점(18)은 박막 트랜지스터(TFT) 구조를 형성한다.

TFT 구조는 절연 층(20)에 의해 덮인다. 바이어 홀(via hole)(22)은 상기 절연 층을 통해 드레인 접점(30)에 연결된다. 일반적으로 ITO(indium tin oxide)로 형성되는 투명 픽셀 전극(26)은 바이어 홀(22)을 통해 드레인 접점(30)에 연결된다.

픽셀 전극(26)과 커패시턴스 라인(10) 사이에 저장 커패시터가 형성된다. 이러한 목적을 위해서, 상부 커패시터 전극(28)이 저장 커패시터 전극(10) 위의 절연 층(16) 위로 각 픽셀에 형성된다. 픽셀 전극(26)은 바이어 홀(22)을 통해 상부 커패시터 전극(28)에 연결된다.

위에서 기술한 단일 픽셀 전극 및 TFT 구조는 기판(1)을 가로질러 반복되어 픽셀 매트릭스를 한정한다.

능동 플레이트를 형성하는 픽셀 전극의 어레이를 제조하는 전형적인 공정은 그 구조를 이루는데 사용되는 다양한 층을 패턴닝하기 위해 포토리소그라피와 에칭을 사용한다. 단지 4 개의 마스크 층을 사용하는 일부 공정이 제안되었지만, 많은 공정은 5 개의 마스크 층을 사용한다. 물질 층을 증착하고, 각 층 위에 포토레지스트를 한정하고(define), 그리고 나서 각 물질 층의 95% 정도를 현상해야 하는 필요성이 가능한 비용 절감을 제한한다. 게다가 포토리소그라피는 고 자본 비용을 가지지만 제한된 수율(throughput)을 갖는 도구를 사용하고 많은 양의 값비싼 포토레지스트와 현상액을 소비하는 고 비용의 공정이다.

따라서, 능동 매트리스 플레이트를 제조하기 위해 저비용 저해상도의 패턴닝 공정을 사용할 것이 제안되었다. 예를 들면, 프린팅 공정이 제안되었다. 불행히도 프린팅 공정은 종래의 포토리소그라피와 비교해서 열악한 해상도와 정렬 정밀도를 갖는다. 게다가 그라비어 오프셋(gravure offset) 같이 프린팅 공정은 특징부의 트래일링 에지(trailing edge)로부터 뻗은 물질 상에 헤어(hair)나 테일(tail)을 남기는 경향이 있다. 이러한 헤어나 테일은 단락을 유발할 수 있다. 따라서, 프린팅 기술을 사용하여 능동 플레이트를 제조하기가 매우 어렵다.

따라서, 저 해상도 공정을 사용하여 능동 플레이트를 제조하는 방법과 그에 해당하는 능동 플레이트 설계에 대한 필요성이 존재한다.

발명의 상세한 설명

본 발명에 따라서, 기판과, 게이트 전극 및 기판을 가로질러 세로로 확장하는 제 1 저장 커패시터 전극을 한정하는 제 1 금속화 층과, 소스 및 드레인 전극과 제 2 저장 커패시터 전극을 한정하는 제 2 금속화 층과, 상기 소스 및 드레인 전극 사이에서 박막 트랜지스터를 바디를 형성하는 반도체 바디 층과, 제 1 및 제 2 저장 커패시터 전극 사이의 절연 층을 포함하는, 능동 플레이트가 제공되는데, 여기서, 상기 제 2 전극은 상기 제 1 전극을 가로질러 확장하는 복수의 핑거로부터 형성된다

능동 매트릭스 액정 디스플레이 성능의 중요한 인자는 킥백 전압이다. 이것은 스위칭 TFT의 기생 게이트 픽셀 커패시턴스를 전체 픽셀 커패시턴스로 나눈 것에 비례한다. 약간의 공정 변화는 TFT 기생 커패시턴스를 변하도록 하여 킥백 전압을 또한 변하도록 할 수 있다. 모든 능동 매트릭스 액정 디스플레이에서 어느 정도 적용된다고 하더라도, 이것은 프린팅과 같은 저 선명도 패턴닝 공정을 사용하는 배열의 특별한 문제이다.

전압의 이러한 변화는 AMLCD에서 뿐만 아니라, TFT와 저장 커패시터를 구비한 능동 플레이트를 사용하는 다른 구조에서도 일어난다. 그러한 구조의 하나의 예는 어드레스되는 소자와 저장 커패시터의 어레이를 구비한 유형의 X-레이 검출기이다.

본 발명에 따른 능동 플레이트에서 드레인 전극의 폭의 증가는 핑거의 폭의 증가에 의해 매칭되는 경향이 있는데, 이는 두 가지 모두 제 2 금속화 층에 형성되고 동일한 공정을 사용하여 패턴닝되기 때문이다. 능동 매트릭스 구조에 사용될 때, 그러한 두 가지 양의 비에 의존하는 킥백 전압은, 따라서, 드레인 전극과 핑거 커패시터 전극을 한정하는데 사용되는 패턴닝 공정의 변동성에 훨씬 덜 의존적이다.

복수의 핑거는, 각 핑거를 각 바이어를 통해 픽셀 전극에 개별적으로 연결함으로써, 또는 다른 식으로, 제 2 금속화 층에 형성된 적어도 하나의 세로 요소에 의해 함께 전기적으로 연결될 수 있다.

핑거의 폭은 효과적인 상쇄를 위해서 드레인 전극의 폭의 1/2에서 2 배, 바람직하게는 0.8배 내지 1.2배 일 수 있다.

능동 플레이트는 하나 이상의 층이 저 선명도 패턴닝 공정으로부터 형성되는 것을 허용하기 위한 특징부을 병합할 수 있다. 예를 들면, 반도체 바디가 게이트 전극 위에서 세로로 확장하여, 반도체 바디로부터 확장하는 임의의 헤어나 테일이 구조에 심각한 영향을 미치지 않고 게이트 전극 위에 남겨질 수 있다.

드레인 전극은 반도체 바디와 게이트 전극의 전체 폭을 가로질러 확장할 수 있다. 이러한 단순한 배열은 반도체 바디와 게이트 전극이 저 해상도 공정으로 형성되는 것을 더 쉽게 한다. 게다가 제 1 전극의 에지를 덮는 제 2 전극과 결합될 때, 킥백 전압은 TFT의 게이트 전극과 제 1 저장 커패시터 전극을 형성하는 금속화 층의 폭의 변화에 덜 민감할 수 있다.

복수의 핑거와 위를 덮는 전극을 결합하기 위해 본 발명의 실시예는 제 1 전극의 전체 폭을 가로질러 측면으로 확장하는 복수의 핑거로부터 제 2 전극을 형성한다.

게이트 전극은 실질적으로 일정한 폭으로 기판을 가로질러 세로로 확장한다.

능동 플레이트는 능동 및 수동 플레이트 사이에 액정을 갖는 액정 디스플레이 디바이스에 병합될 수 있다.

본 발명은 또한 저 선명도 패턴닝 공정을 사용하여 기판을 가로질러 세로로 확장하는 제 1 저장 커패시터 전극과 게이트 전극을 한정하는 제 1 금속화 층을 기판 위에 증착하고 패턴닝하는 단계와, 절연 층을 증착하는 단계와, 저 선명도 패턴닝 공정을 사용하여 박막 트랜지스터 바디를 형성하는 반도체 바디 층을 증착하고 패턴닝하는 단계와, 고 선명도 공정을 사용하여 소스 및 드레인 전극과 제 2 저장 커패시터 전극을 한정하는 제 2 금속화 층을 증착하고 패턴닝하는 단계를 포함하는, 능동 플레이트의 제조 방법에 관련되며, 여기서 상기 제 2 저장 커패시터 전극은 상기 기판을 가로질러 확장하는 복수의 개별적인 핑거를 갖도록 패턴닝된다.

위를 덮는 제 2 저장 커패시터 전극은 일부 층, 특히 제 1 금속화 층을 패턴닝하는데 사용되는 저 선명도 공정의 사용으로 생기는 불리한 영향를 감소시킨다. 특히, 이렇게 제조된 디바이스는 그렇지 않은 경우보다 킥 백 전압의 변화가 더 작다.

실시예에서 고 선명도 공정은 포토리소그라피일 수 있고, 저 선명도 공정은 프린팅일 수 있다.

드레인 전극은 게이트 전극의 폭을 가로질러 확장할 수 있다.

본 발명의 특정 실시예가 첨부 도면을 참조하여 전적으로 예시로서 기술될 것이다.

도면의 간단한 설명

도 1은 종래의 능동 매트릭스 액정 디스플레이의 평면도.

도 2는 도 1의 배열에 있는 박막 트랜지스터를 통한 단면도.

도 3a 내지 도 3e는 본 발명의 실시예에 따른 능동 플레이트를 제조하는 제조 단계의 평면도를 도시하는 도면.

도 4는 도 3e에 도시된 실시예의 능동 플레이트의 B-B를 따른 측단면도.

도 5a 내지 도 5d는 본 발명에 따르는, 비교 예의 커패시터 전극의 형태의 상세도.

도 6은 본 발명에 따른 액정 디바이스의 도식적인 측면도.

실시예

도 3은 본 발명에 따른 박막 디바이스를 제조하는 예시적인 방법의 단계를 도식적인 평면도로 나타내는 도면이고, 도 4는 그렇게 제조된 박막 디바이스의 도 3의 B-B에 따른 단면도를 나타내는 도면이다. 이 예에서 디바이스는 능동 매트릭스 액정 디스플레이의 능동 플레이트이다.

본 예시적인 실시예에 따라 능동 플레이트를 제조하는 방법은 기판(1)으로 시작한다. 기판은 도시된 것처럼 실질적으로 평평한 상부 표면(40)을 갖는 유리 같은 투명 물질로 제조된다.

제 1 금속화 층(2,10)이 기판(1)의 표면(40)에 프린트된다. 금속화 층(2,10)은 기판을 가로질러 확장하는 복수의 행 전극(2)과 행 전극(2)에 평행하게 기판을 가로질러 유사하게 확장하는 복수의 저장 커패시터 라인(10)을 한정한다. 명확하게 하기 위하여 하나의 행 전극(2)과 하나의 저장 커패시터 라인(10)만이 도 3에 도시되었지만, 어레이를 형성하도록 많은 행 전극(2)과 저장 커패시터 라인(10)이 제공될 수 있음을 이해할 수 있을 것이다.

제 1 금속화 층(2,10)은 행 전극(2)에 평행하게 행 방향(42)으로 기판을 가로질러 프린트하는 단일 오프셋 프린팅 동작으로 프린트된다. 디스플레이를 위해 사용되는 어레이 영역에서 행 전극(2)과 커패시턴스 전극(10)은 실질적으로 일정한 폭을 갖는다. 행 전극(2)과 커패시턴스 전극(10)의 말단에서 발생하는 임의의 테일(44)은 디스플레이 영역의 바깥쪽에 생기며, 따라서 거의 영향을 미치지 않는다.

그리고 나서 질화 실리콘(silicon nitride) 게이트 유전체 층(16)이 전체 기판(1) 위에 형성된다.

다음으로 반도체 아일랜드(island)(12)가 형성된다. 이러한 아일랜드는 진성 비결정 실리콘(14)(i a-Si:H) 층을 증착하고, 그리고 나서 도핑된 비결정 실리콘(18)(n+ a-Si:H) 층을 증착하여 형성된다. 각 층은 동일한 형태의 마스크를 사용하여 프린트된다. 반도체 아일랜드(12)는 행 전극 위에서 세로로 배열되며, 형태는 직사각형이고, 직사각형(12)의 긴 면은 행 전극(2)에 평행하다. 즉 행 방향(42)을 따른다. 프린팅은 행 방향(42)으로 수행된다. 반도체 아일랜드(12) 아래의 행 전극(2)의 영역(6)은 게이트 전극의 역할을 한다.

다음 단계는 제 2 금속화 층(4,28,30,46)을 제공하는 것이다. 이것은 전체 기판 위로 증착되며, 이 후에 종래의 포토리소그라피를 이용하여 패턴닝된다. 금속화 층은 행 전극(2)에 수직한 방향으로 기판을 가로질러 확장하는 열 전극(4)을 형성하고 그 열 전극의 일부는 소스 접점(32)을 구성한다. 핑거(finger)(46)는 드레인 전극 둘레에서 행 전극으로부터 확장하여 추가 소스 접점(32)을 형성한다. 제 2 금속화 층은 또한 드레인 전극(30)을 형성한다. 열 전극(4), 핑거(46) 및 드레인 전극(30)은 행 방향(42)에 수직하게 반도체 아일랜드(12)를 가로질러 확장한다.

제 2 금속화 층(4,28,30,46)은 또한 저장 커패시터(48)의 상부 전극(28)을 형성하는데 사용된다. 상부 전극의 형태는 상부 전극(28)을 함께 연결하기 위한 복수의 세로 요소(longitudinal element)(52)에 의해 함께 결합되는 게이트 전극의 폭을 가로질러 확장하는 복수의 핑거(finger)(50)이다. 제 1 전극 위에서 확장하는 핑거(50)의 폭은 게이트 전극(2)과 반도체 아일랜드(12) 위에서 확장하는 드레인 전극(30)의 폭과 실질적으로 동일하다.

제 2 저장 전극(28)의 핑거(50)의 일부 또는 전부는 또한 다른 방향, 즉 제 1 저장 커패시터 전극(10)을 측면으로 가로지르는 것이 아닌, 예를 들면 행 방향(42)에서 세로로 또는 경사지게 확장할 수 있다.

저장 커패시터를 가로지르는 제 2 금속화 층(4,28,30,46)의 핑거(50)가 세로 요소(52)에 의해 함께 연결되는 것이 본질적인 것은 아니다. 임의의 적당한 전기적 연결이 사용될 수 있다. 예를 들면, 각 핑거에 해당하는 별도의 바이어(22)를 통해 연결이 이루어질 수 있다. 바이어(22)는 다른 층에 있는 전도체, 편리하게는 픽셀 전극(26)에 연결될 수 있다.

절연 층(16)은 상부 전극(28)과 저장 커패시터 라인(10) 사이에서 커패시터 유전체의 역할을 한다.

그리고 나서, 제 2 금속화 층(4,30,46)은, 제 2 금속화 층(4,30,46)의 아래를 제외하고 도핑된 비결정 실리콘 층(18)을 에칭하는 백-채널 에칭 단계(back-channel etching step)를 수행하기 위해 에치 마스크(etch mask)로서 사용된다. 이것은 진성 비결정 실리콘 층(14)을 행 전극(2) 위에 남겨 박막 트랜지스터의 채널을 형성한다. 반도체 아일랜드 아래의 행 전극(2)의 영역(6)은 박막 트랜지스터의 게이트를 형성한다. 이러한 식으로 박막 트랜지스터의 채널 길이는 프린팅이라는 저 선명도 방법 대신에 포토리소그라피라는 고 선명도 패턴닝 방법에 의해 한정된다. 층의 배열, 및 특히 반도체 아일랜드와 행 전극의 단순한 형태는 반도체 아일랜드와 행 전극의 선명도의 부정확성이 종래의 어레이 구조에

서 보다 덜 중요하다는 것을 의미한다.

그 후 패시베이션 층(passivation layer)(20)이, 예를 들면, 프린팅과 같은 저 선명도 공정에 의해 전체 기판 위로 형성된다. 그 후 접점 홀 마스크가 커패시터 및 드레인(30)의 상부 전극(28) 위로 바이어(22)를 에칭하기 위해 프린트되어 사용된다. 패시베이션 층(20)은 질화 실리콘이다. 폴리머 물질 같은 다른 물질이 사용될 수 있다. 그 후 접점 홀 마스크는 알려진 것처럼 제거된다.

그리고 나서 예를 들면 ITO의 픽셀 전극(26)이 능동 플레이트를 완성하기 위해서 패시베이션 층(20) 위로 프린팅된다. 프린트 방향은 향 방향(42)에 수직이다. 픽셀 전극(26)과 인접 행 전극(2) 사이의 갭은 픽셀 전극으로부터의 끌리는(trailing) 헤어(44)가 인접 행 전극(2)을 덮지 않을 정도로 충분하다.

킥-백 전압(kick-back voltage)은 어드레싱 펄스의 끝의 게이트 전압의 변화와, 게이트-드레인 커패시턴스 대 총 픽셀 커패시턴스의 비, 즉 저장 커패시턴스와 (능동 및 수동 플레이트 사이의) 액정 커패시턴스와 게이트-드레인 커패시턴스의 합의 비의 곱에 비례한다.

드레인 전극(30) 폭의 약간의 증가나 감소를 야기하는 임의의 공정 변화는 핑거(50)의 폭에서의 해당하는 약간의 증가나 감소를 야기하는데, 이는 두 특징부가 제 2 금속화 층의 일부이고 함께 패턴닝되기 때문이다. " 폭" 은 각 경우에 기판에 평행하고 전극이 확장하는 방향에 실질적으로 수직한 평면에서의 전극의 크기를 의미한다. 제 2 커패시터 전극(28) 또는 드레인 전극(30)이 각각 제 1 커패시터 전극(10) 또는 게이트 전극(2)의 폭을 가로질러 측면으로 확장한다면, 폭은 행 방향(42)에서 측정될 것이다.

그러므로, 게이트-드레인 커패시턴스의 증가 또는 감소는 저장 커패시턴스의 대응하는 증가 또는 감소와 매칭될 것이다. 따라서, 제안된 구조는 제 2 금속화 층에 형성된 특징부의 폭의 변화에 의해 야기되는 킥 백 전압의 공정 변화를 감소시키는 경향이 있다.

게다가 상부 전극(28)은 하부 저장 커패시터 전극(10)의 단부를 덮는다. 이러한 식으로 행 전극(2)과 커패시터 전극(10)의 폭이 공칭 설계된 값보다 조금 크거나 작다면, 저장 커패시터의 커패시턴스는 증가하고, TFT의 게이트-드레인 커패시턴스 역시 그럴 것이다. 다시 킥-백 전압은 공정 변화, 이 경우에는 제 1 금속화 층의 폭의 변화에 따라 그리 많이 변화하지 않는 경향을 보일 것이다.

기술된 접근법은 참조로서 본 명세서에 병합되는 필립스의 공동 계류 중인 특허 출원(GB0105145.7)(관리번호 PHGB010030)에 기술된 접근법이 진전된 것이다. 공동 계류 중인 출원의 접근에서 5개 층의 패턴닝 공정이 능동 플레이트의 층을 한정하기 위해 이용된다. 층의 설계는 종래 이용되는 설계와는 다른데, 이는 포토리소크라피와 같은 고 정밀도 공정을 사용하여 소스 및 드레인 금속화에 사용되는 하나의 층을 패턴닝하는 것이 필요할 뿐이기 때문이다. 다른 층은 예를 들면 프린팅과 같은 저 선명도 공정을 사용하여 패턴닝될 수 있다.

킥-백 전압의 변화 가능성의 감소는 게이트 전극(6)의 특정 형태와 무관하다는 것을 주목해야 한다. 예를 들면, 본 발명은 게이트 전극(6)이 행 전극(2)으로부터 측면으로 확장하는 스퍼(spur)의 형태의 배열에서 사용될 수 있다.

그럼에도 불구하고, 그 위에 반도체 바디(12)를 갖는 게이트 전극(6)으로서 행 전극(2)의 사용은 게다가 그 구조가 저 선명도 패턴닝 공정을 사용하여 보다 쉽게 제조되는 것을 허용한다.

도 5는 저장 커패시터의 제 2 전극(28)의 다수의 가능한 모양을 도시한다. 기술된 실시예에서 드레인 전극(30)을 한정하고 복수의 핑거(50)를 갖는 제 2 저장 커패시터 전극(28)을 제공하기 위해 패턴닝되는 제 2 금속화 층(4,28,30,46)이 제 1 금속화 층(2,10) 위에 제공된다. 그러나, 본 발명은 제 2 금속화 층(4,28,30,46)이 제 1 금속화 층(2,10) 아래 제공되는 배열에도 적용 가능하다.

도 5a는 이전에 언급한 공동 계류 중인 출원에 기술된 배열을 도시하며, 여기서 제 2 전극(28)은 제 1 저장 커패시터 전극(10) 영역의 전체적으로 위에 그리고 그 영역 내에 있다.

대조적으로 도 5b의 비교 예에서, 제 2 커패시터 전극(28)은 하부 커패시터 전극(10)의 단부를 덮는다. 이러한 식으로 상부 저장 커패시터 전극(28)이 공정 변화의 결과 공칭보다 더 넓을 때 게이트 전극의 폭은 그와 같이 더 넓은 경향이 있다. 따라서, 저장 커패시터(48)의 커패시턴스와 TFT의 기생 게이트 드레인 커패시턴스는 함께 변화하여, 킥백 전압의 임의의 변화가 감소된다. 계산에 따르면 이러한 커패시터를 사용하는 설계는, 도 5a에 도시된 것과 비교할 때 게이트 전극(2)과 하부 커패시터 전극(10)의 금속화 층 폭의 변화에 대해 단지 40%의 민감도(sensitivity)를 갖는다.

본 발명에 따른 도 5c에 도시된 설계는 열 전극(4), 드레인 전극(30) 및 저장 커패시터(48)의 제 2 전극(28)을 형성하는 제 2 금속화 층(4,28,30,46)의 폭의 변화에 대해 덜한 민감도를 갖는다. 드레인 전극(30)의 폭의 변화는 게이트 커패시터의 제 2 저장 전극(28)에서 매칭되어, 게이트-드레인 및 저장 커패시턴스가 함께 변화하는 경향이 있다. 이러한 배열은 제 2 금속화 층(4,28,30,46)에 있는 특징부의 폭의 변화에 대한 킥백 전압의 민감도를 매우 실질적으로 감소시킬 수 있음을 모델링이 제안한다.

도 5d는 도 5b와 도 5c의 장점 모두를 결합한 본 발명에 따른 배열을 도시한다. 이 경우에, 저장 커패시터(48) 설계는 제 1 금속화 층(2,10)과 제 2 금속화 층(4,28,30,46) 모두의 폭의 변화의 영향을 감소시킨다.

도 6은 능동 플레이트(62), 수동 플레이트(64) 및 능동 플레이트와 수동 플레이트 사이의 액정(66)을 구비한 액정 디스플레이의 도식적인 단면도를 나타낸다. 당업자는 이러한 식으로 능동 플레이트로부터 액정 디스플레이 디바이스의 제조에 익숙할 것이다.

본 발명은 도시된 배열에 한정되지 않는다. 특히, 본 발명이 박막 트랜지스터와 커패시터의 특별한 형태에 관해 기술되었지만, 본 발명은 저장 커패시터와 박막 트랜지스터를 구비한 능동 플레이트의 다른 형태에 적용될 수 있다. 본 발명의 접근법이 적합한 하나의 예시적인 응용은, 예를 들면, 저장 커패시터와 통합된 TFT를 구비할 수 있는 산업용 X-레이 검출기와 같은 대형 이미지 센서의 제조이다.

기술한 실시예의 세부 사항에 다른 변경이 이루어질 수 있다. 예를 들면, 기판이 불투명할 수 있으며, 플레이트가 반사광으로 동작할 수 있다. 이 경우에 픽셀 전극은 투명할 필요가 없다.

추가적인 변경에서, 일부 또는 모든 층은, 기판을 층의 물질로 덮고, 레지스트 패턴(resist pattern)을 물질 위에 프린팅하고, 층을 패턴닝하는데 불필요한 물질을 에칭하여 형성될 수 있다. 프린팅된 레지스트의 사용은 포토리소그라피 기술로 포토레지스트를 처리할 필요성을 제거한다. 이러한 식으로 사용되는 층을 직접 프린트할 필요 없이 패턴닝을 위해 더 낮은 비용의 프린팅 기술이 사용될 수 있다.

본 발명은 위에서 기술한 것처럼 바닥-게이트 구조(bottom-gated structure)의 제조에 제한되지 않으며, 상부-게이트 구조(top-gated structure)의 제조에도 적용될 수 있다. 당업자가 이해할 수 있는 바와 같이, 층의 순서는 제조 단계의 순서를 결정한다. 예를 들면, 바닥 게이트 구조에 대해 게이트를 형성하는 행 전극은 증착되고 패턴닝되고나서, 게이트 절연 층이 후속하고, 그 다음에 반도체 층이 후속하고, 그리고 나서 소스 및 드레인 금속화가 후속한다. 반대로 상부-게이트 구조를 형성하기 위해 게이트를 한정하는 행 전극이 소스 및 드레인 금속화와 반도체 층 및 게이트 절연체가 증착된 후에 한정될 수 있다.

기술한 실시예는 고 해상도 공정으로서 포토리소그라피를 사용하고 저 해상도 공정으로 프린팅을 사용한다. 그러나, 본

발명은 또한 다른 세트의 공정에 적용 가능하다. 예를 들면, 대부분의 층에 사용되는 저 해상도 공정은 예컨대 접촉 정렬기(contact aligner)를 사용하는 저 해상도 포토리소그라피 공정일 수 있고, 고 해상도 공정에 대해서는 투사 정렬기(projection aligner)가 사용될 수 있다. 대안적으로 접촉 정렬기는 고 해상도 공정으로서 사용될 수 있고, 프린팅이 저 해상도 공정으로서 사용될 수 있다.

게다가 공정의 수를 2로 제한하는 것은 불필요하다. 예를 들면, 하나의 층은 하나의 저 선명도 공정을 사용하여 패턴닝하고 다른 층은 그와 다른 저 선명도 공정을 사용하여 패턴닝할 수 있다.

본 발명은 또한 다양한 반도체 기술로 적용될 수 있다. 기술된 비결정 실리콘 층이 임의의 수의 반도체 타입으로 대체될 수 있다. 폴리실리콘, 유기 반도체, CdTe와 같은 II-VI 반도체, GaAs와 같은 III-V 반도체, 및 다른 것들이 예에 포함된다.

금속화 층은 알루미늄, 구리 또는 반드시 금속일 필요가 없는 다른 편리한 전도체일 수 있다.

본 개시를 읽음으로서, 다른 변화와 변경이 당업자에게 명백할 것이다. 그러한 변화와 변경은 박막 회로, 반도체 디바이스와 그 구성 부분을 포함하는 전자 디바이스의 설계, 제조 및 사용에 이미 알려지고, 본 명세서에서 이미 기술한 특징 대신 또는 그에 추가해서 사용될 수 있는, 동등하거나 다른 특징을 포함할 수 있다.

비록 청구항이 본 출원서에서 특정 특징의 조합으로 형성되었지만, 본 발명의 개시의 범위는, 임의의 청구항에 현재 청구된 것과 동일한 발명에 관련되는 지에 관계없이, 그리고 본 발명과 동일한 기술적 문제의 일부 또는 전부를 완화하는가에 관계없이, 본 명세서에서 묵시적으로 또는 명시적으로 개시한 임의의 신규한 특징 또는 임의의 신규한 특징의 조합 및 그 일반화한 것을 또한 포함한다. 별개 실시예의 문맥에서 기술된 특징은 단일 실시예의 조합에 또한 제공될 수 있다. 반대로, 단일 실시예의 문맥에서 간단히 기술된 다양한 특징은 별도로 또는 임의의 적합한 부조합으로 또한 제공될 수 있다. 그러므로, 본 출원인은 새로운 청구항이 본 출원 또는 그로부터 유도되는 임의의 다른 출원의 절차의 진행 과정동안 그러한 특징 및/또는 그러한 특징의 조합으로 형성될 수 있음을 주목한다.

산업상 이용 가능성

본 발명은 능동 매트릭스 액정 디스플레이에서 사용되는 것과 같은 능동 플레이트의 제조 방법 등에 이용 가능하다.

(57) 청구의 범위

청구항 1.

능동 플레이트로서,

기판과,

상기 기판을 가로질러 세로로 확장하는 제 1 저장 커패시터 전극을 한정하고, 게이트 전극을 추가로 한정하는, 제 1 금속화 층과,

소스 및 드레인 전극과 제 2 저장 커패시터 전극을 한정하는 제 2 금속화 층과,

상기 소스 및 드레인 전극 사이에서 박막 트랜지스터를 바디를 형성하는 반도체 바디 층과,

상기 제 1 및 제 2 저장 커패시터 전극 사이의 절연 층을 포함하고,

여기서, 상기 제 2 저장 커패시터 전극은 상기 제 1 저장 커패시터 전극을 가로질러 확장하는 복수의 핑거로부터 형성되는,

능동 플레이트.

청구항 2.

제 1항에 있어서, 상기 제 2 저장 커패시터 전극의 상기 복수의 핑거는 상기 제 1 저장 커패시터 전극의 폭을 가로질러 측면으로(laterally) 확장하는, 능동 플레이트.

청구항 3.

제 1항 또는 제 2항에 있어서, 상기 핑거의 폭은 상기 드레인 전극의 폭의 1/2 내지 2 배의 범위에 있는, 능동 플레이트.

청구항 4.

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 제 2 금속화 층은 상기 제 2 저장 커패시터 전극의 핑거를 함께 전기적으로 연결하는 적어도 하나의 요소를 한정하는, 능동 플레이트.

청구항 5.

제 1항 내지 제 4항 중 어느 한 항에 있어서, 상기 반도체 바디는 상기 게이트 전극 위에서 세로로(longitudinally) 확장하는, 능동 플레이트.

청구항 6.

제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 게이트 전극은 상기 기판을 가로질러 실질적으로 일정한 폭을 가지고 세로로 확장하는, 능동 플레이트.

청구항 7.

제 1항 내지 제 6항 중 어느 한 항에 기재된 능동 플레이트와, 수동 플레이트 및 상기 능동 플레이트와 상기 수동 플레이트 사이의 액정을 포함하는, 액정 디스플레이.

청구항 8.

능동 플레이트를 제조하는 방법으로서,

저 선명도 패턴닝 공정을 사용하여 기판을 가로질러 세로로 확장하는 제 1 저장 커패시터 전극과 게이트 전극을 한정하는 제 1 금속화 층을 상기 기판 위에 증착하고 패턴닝하는 단계와,

절연 층을 증착하는 단계와,

저 선명도 패턴닝 공정을 사용하여 박막 트랜지스터 바디를 형성하는 반도체 바디 층을 증착하고 패턴닝하는 단계와,

고 선명도 공정을 사용하여 소스 및 드레인 전극과 제 2 저장 커패시터 전극을 한정하는 제 2 금속화 층을 증착하고 패턴닝하는 단계를 포함하고,

여기서, 상기 제 2 저장 커패시터 전극은 상기 제 1 저장 커패시터 전극을 가로질러 확장하는 복수의 개별적인 핑거를 갖도록 패턴닝되는,

능동 플레이트를 제조하는 방법.

청구항 9.

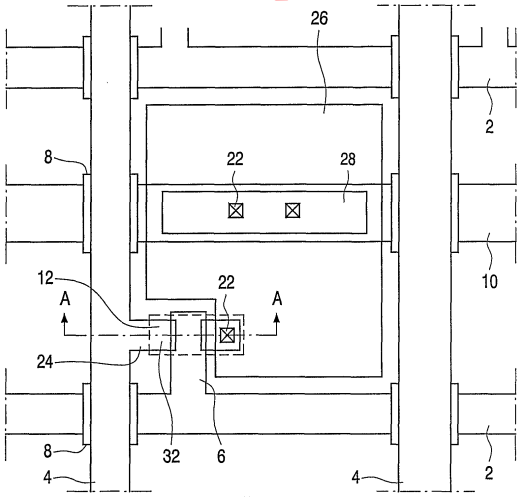
제 8항에 있어서, 상기 드레인 전극은 상기 게이트 전극의 폭을 가로질러 확장하도록 패턴닝되는, 능동 플레이트를 제조하는 방법.

청구항 10.

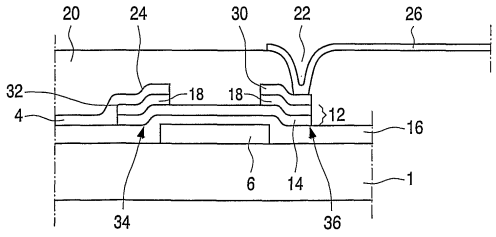
제 8항 또는 제 9항에 있어서, 상기 고 선명도 공정은 포토리소그라피이고, 상기 저 선명도 공정은 프린팅인, 능동 플레이트를 제조하는 방법.

도면

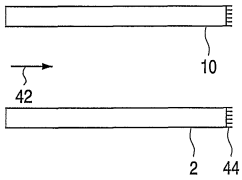
도면 1



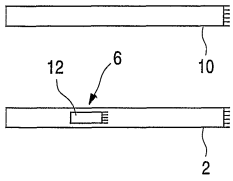
도면 2



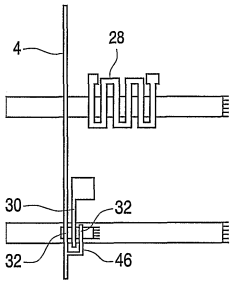
도면 3a



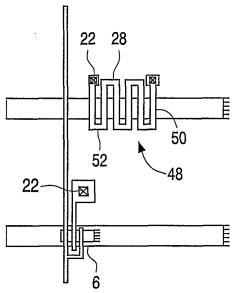
도면 3b



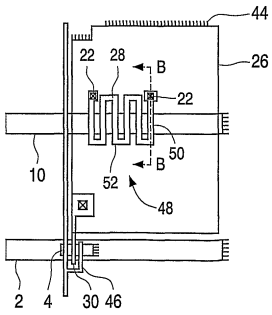
도면 3c



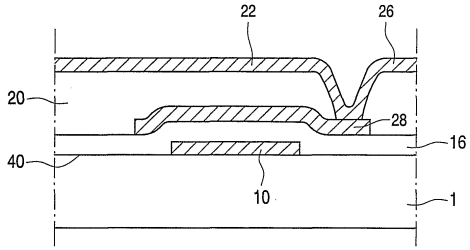
도면 3d



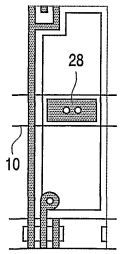
도면 3e



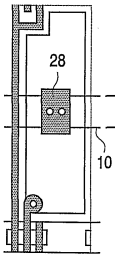
도면 4



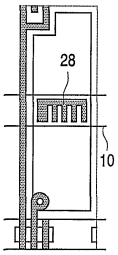
도면 5a



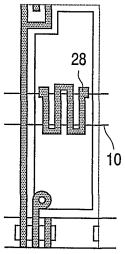
도면 5b



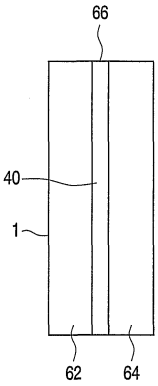
도면 5c



도면 5d



도면 6



专利名称(译)	有源矩阵显示器基板		
公开(公告)号	KR1020030023710A	公开(公告)日	2003-03-19
申请号	KR1020037000863	申请日	2002-05-21
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	DEANE STEVEN C		
发明人	DEANE,STEVEN,C.		
IPC分类号	G02F1/1343 G02F1/1362 H01L21/336 H01L29/786 G02F1/1368		
CPC分类号	G02F1/136213 G02F2201/122		
代理人(译)	MOON，KYOUNG金		
优先权	2001012561 2001-05-23 GB		
外部链接	Espacenet		

摘要(译)

为了使第二电极（28）具有多个指状物（50），其中有源矩阵液晶显示器的存储电容器与第二电极（10）一起向上扩展，从而形成第二电极（28）。存储电容器的第二电极（28）和漏电极（30）可以由单个金属化层形成。由于制造工艺的任意工艺变化，漏电极（30）和第二电极（10）的指状物（50）的宽度一起趋于变化。宽度一起变化的特性倾向于抵消反冲电压的变化。