(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/136

(11) 공개번호 특2001-0088415
(43) 공개일자 2001년09월26일

(21) 출원번호 10-2001-0011597
(22) 출원일자 2001년03월07일

(30) 우선권주장 2000-66610 2000년03월10일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 카네코토시키
일본국치바켄치바시미도리쿠아스미가오카4-39-9-303
후지이카즈미
일본국이바라키켄히타치시스와쵸6-18-6
테라카도마사토모
일본국치바켄츄오쿠미야코쵸1쵸메26반13고

(74) 대리인 이종일
조희연

심사청구 : 있음

(54) 액정표시장치

요약

본 발명은 액정표시장치에 관한 것으로, 적층배선 또는 전극의 상부에 형성하는 박막의 스텝커버리지가 충분하고, 또한 기판과의 접착성을 만족시키며, 상층배선의 절단이나 하층배선과의 단락발생을 방지하여 신뢰성을 향상시킨다.

절연성 기판(100) 위에 제 1 금속층으로 이루어지는 제 1 층(200)과, 제 1 금속층(200)과는 다른 제 2 금속층으로 이루어지는 제 2 층(300)을 적층하여 이루어지는 적층구조 배선을 구비하고, 제 1 층(200)의 측단면이 순(順)테이퍼 형상을 가지고, 제 2 층(300)의 측단면이 기판면에 수직한 형상, 또는 역테이퍼형상의 어느 한 형상으로 형성한다.

대표도
도 3

명세서

도면의 간단한 설명

도 1 은 몰리브덴에 첨가한 각종 원소의 첨가량에 대응하는 비저항의 설명도이다.

도 2 는 몰리브덴에 첨가하는 원소에 의한 건식각율의 설명도이다.

도 3 은 상층과 하층의 부식전위에 차를 주었을 때의 전지반응에 의한 에칭진행상태를 설명하는 모식도이다.

도 4 는 몰리브덴을 주요구성재료로 한 배선의 경우, 몰리브덴에 첨가하는 합금원소의 종류와 그 첨가량에 의한 에칭액 속에서의 부식전위차를 설명하는 부식전위의 합금원소의존성 설명도이다.

도 5 는 본 발명에 의한 액정표시장치의 제 1 실시예에서 박막트랜지스터부의 요부구조를 설명하는 모식단면도이다.

도 6 은 몰리브덴에 원소를 첨가했을 때의 습식각율의 설명도이다.

도 7 은 본 발명에 의한 액정표시장치의 제 2 실시예에서 배선의 요부구조예를 설명하는 모식단면도이다.

도 8 은 본 발명에 의한 액정표시장치의 제 3 실시예에서 배선의 요부구조예를 설명하는 모식단면도이다.

도 9 는 본 발명에 의한 액정표시장치의 제 4 실시예에서 배선부의 요부구조예를 설명하는 단자부의 모식단면도이다.

도 10 은 본 발명에 의한 액정표시장치를 적용하는 액티브매트릭스기판의 1 화소부근을 확대한 요부평면도이다.

도 11 은 본 발명을 적용한 액티브매트릭스형 액정표시장치의 전체구성을 설명하는 전개사시도이다.

도 12 는 본 발명에 의한 액정표시장치를 실장한 정보기기의 한 예를 나타내는 디스플레이모니터의 외관도이다.

도 13 은 액티브매트릭스형 액정표시장치의 요부구성의 한 예를 설명하기 위한 모식단면도이다.

< 도면의 주요부분에 대한 부호의 설명 >

1 : 액티브매트릭스기판(TFT기판) 2 : 게이트배선(전극)의 하층막

3 : 게이트배선(전극)의 상층막 4 : 게이트절연층

5 : 반도체층 6 : 콘택홀

7 : 드레인배선(전극) 7A : 드레인배선(전극)의 하층막

7B : 드레인배선(전극)의 상층막 8 : 소스배선(전극)

8A : 소스배선(전극)의 하층막 8B : 소스배선(전극)의 상층막

9 : 보호막(패시베이션층) 10 : 스루홀

11 : 화소전극 12 : 배향막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히, 박막트랜지스터(TFT) 방식 등의 액티브매트릭스형 액정표시장치에서의 배선적층부분의 단선을 없애고 수율을 향상시킨 액정표시장치에 관한 것이다.

정지화상이나 동화화상을 포함한 각종 화상을 표시하는 디바이스로서 액정표시장치가 폭넓게 이용되고 있다. 이러한 종류의 액정표시장치는, 기본적으로는 적어도 한쪽이 투명한 유리기판 등으로 이루어진 2장의 절연성기판 사이에 액정층을 봉입하고, 상기 각 기판에 형성한 화소형성용 전극에 선택적으로 전압을 인가하여 소정화소의 점등과 소등을 하는 형식(이른바, 단순매트릭스형)과, 상기 각 기판에 형성한 각종 전극과 화소선택용 액티브소자(스위칭소자)를 형성하고, 이 액티브소자를 선택하는 것에 의해 소정 화소의 점등과 소등을 하는 형식(이른바, 박막트랜지스터(TFT)를 액티브소자로서 이용하는 액티브매트릭스형)으로 분류된다.

특히, 후자의 액티브매트릭스형 액정표시장치는, 콘트라스트성능, 고속표시성능 등으로 액정표시장치의 주류가 되고 있다. 액정표시장치는 액정패널과 각종 구동회로, 백라이트 등을 일체화하여 이루어지지만, 이하 설명에서는 액정패널의 구성을 액정표시장치의 구성으로서 설명한다.

도 13은 액티브매트릭스형 액정표시장치의 요부구성의 한예를 설명하기 위한 모식단면도이다. 도에서 부호 (1)은 박막트랜지스터를 가지는 액티브매트릭스기판(액티브기판, 이하, TFT 기판이라 한다)이고, 이 TFT기판(1)의 내면에는 주사신호선(게이트신호선, 도 13에서는 게이트배선 또는 전극, 이하 단순하게 게이트선이라고도 칭한다)(2), 영상신호선(드레인신호선, 도 13에서는 드레인신호선에 접속한 드레인전극으로 나타내고 있다. 이하, 단순하게 드레인선이라고도 칭한다) (7), 소스전극(8), 화소전극(11), 절연막(4), 반도체층(5), 콘택층(6), 보호막(패시베이션막, 또는 배시베이션층)(9)이 형성되어 있다. 또, 액정층(LC)과 접하는 최상층에는 배향막이 도포되어 있지만, 도에서는 생략하고 있다.

보호막(9)에는 콘택홀(10)이 형성되어, 화소전극(11)을 소스전극(8)에 접속하고 있다. 1 화소가 인접접하는 인접게이트선(2')과 화소전극(11) 및 절연층(4)와 보호막(9) 등으로 부가용량(Cadd)이 형성되고 있다.

또, 부호 (12)는 필터기판이고, 이 필터기판(12)의 내면에는 블랙매트릭스 (BM)(14)로 구획된 일반적으로는 3색의 컬러필터(13), 평활층(15), 공통전극(16)이 형성되어 있다. 이 필터기판(12)에도 동일하게, 액정층(LC)과 접하는 최상층에는 배향막이 도포되지만, 도에서는 생략했다.

박막트랜지스터(TFT) 부분에는, 게이트선(여기에서는 게이트전극)(2), 질화실리콘(SiN)을 호적(매우 적당)으로 하는 절연막(4), 반도체층(5), 콘택층(6), 드레인선(여기에서는 드레인전극)(7), 소스전극(8), 보호막(9), 화소전극(11) 등이 증착 및 에칭처리에 의한 패터닝으로 다층구조로 적층되고, 또, 부가용량 (Cadd) 부분에는 인접게이트선(2'), 절연막(8), 보호막(9) 및 화소전극(11)이 동일하게 적층되어 있다. 상기 각 배선 또는 전극의 재료로는 몰리브덴(Mo)이 이용되고 있다. 또, 상기 드레인전극과 소스전극은 동작중에 교대하지만, 여기서는 편의상, 도시한 것과 같이 한쪽을 드레인전극으로 하고 다른쪽을 소스전극으로 고정하여 설명한다.

도 13에 나타내듯이, 액티브매트릭스기판(1)의 최하층에 형성된 게이트선 (2) 또는 게이트선(2')은, 그 에칭처리로 에칭단부(에칭측단부)가 기판(1)의 면과 수직으로 가공되어 있다. 이 때문에, 그 상층에 증착된 절연막(게이트절연층)(4)가 이 수직 벽면때문에 그 에지부에서 도에서 화살표(C)로 나타낸 것과 같은 커버리지(스텝커버리지)가 충분하지 못한 부분이 발생하여, 절연불량, 단락 등의 문제가 발생한다. 이러한 문제는 드레인선에 대해서도 동일하게 발생한다.

몰리브덴(Mo)을 이용한 배선(전극)은 그 비저항이 낮기 때문에 신호배선길이가 긴 대면적액정패널에 적합하지만, 해당 배선(전극)을 구성하는 막의 베이스접착성이 낮아서, 절연기판인 유리기판(1)이나 소스배선(전극) 또는 드레인배선(전극)에서는 게이트절연층인 절연막(4) 위에서 벗겨지기 쉽다는 문제가 있었다.

또, 몰리브덴을 이용한 배선(전극)에서는, 그 레지스트 밀착성이 나쁘다는 것이 원인이 되어, 배선측단연의 테이퍼가공이 곤란하다는 문제점이 있었다. 그 결과, 그 배선 위에 증착하는 증착막(전형적으로는 CVD막)의 스텝커버리지가 나빠서, 절연내압이 열화할 염려가 있는데, 이것을 해결하는 것이 과제의 하나가 되고 있다.

또, 몰리브덴배선(전극)의 형성후, 통상 드라이에칭가공에서 패터닝하는 공정을 포함하는 경우가 많지만, 이 몰리브덴배선(전극)에는 내드라이에칭성이 없다. 따라서, 몰리브덴(Mo)배선(전극) 위에 형성한 절연층(9)에 접속용 스루홀(여기서는, 소스전극(8)과 화소전극(11)의 접속용 스루홀)(10)을 형성할 때에, 그 하층에 있는 소스전극(8)의 몰리브덴배선도 에칭되어 버리기 때문에, 이 스루홀의 가공이 곤란하다는 문제가 있었다. 따라서, 내드라이에칭성을 가지는 몰리브덴배선 (전극)이 요구되고 있었다.

또, 도 13에서 설명한 것은, 컬리필터기판(1') 측에 공통전극(15)을 가지는, 이른바 NT방식(종전계형)의 액정표시장치이지만, 액티브매트릭스기판(1) 측에 상기 공통전극(11)과 동일한 기능을 가지는 대향전극을 형성한, 이른바 IPS방식(횡전계형)의 액정표시장치에서의 각 배선 혹은 전극에 대해서도 동일하다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기 종래기술의 제 문제를 해소하여, 몰리브덴배선(혹은 전극)에서의 해당 배선(전극)의 베이스밀착성을 향상시키기는 동시에, 에칭측단면(에칭가공으로 형성되는 배선 또는 전극의 측단면)에 순(順)테이퍼가공을 가함으로써 그 상층에 증착하는 절연막 혹은 보호막의 스텝커버리지를 향상하여 신뢰성이 높은 액정표시장치를 제공하는데 있다.

또, 본 발명의 목적은, 몰리브덴배선(전극)에 내드라이에칭성을 구비시킴으로써, 해당 몰리브덴배선(전극) 위에 대한 드라이에칭에 의한 스루홀 가공을 가능하도록 한 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해서, 본 발명은 기본재료로서, 여기에 적당한 합금원소를 첨가하는 것에 의해 이종금속간의 부식전위차에 의한 부식속도의 상위에 의한 전지반응을 이용하여 순테이퍼에칭가공을 실현하는 동시에, 배선(전극)의 베이스밀착성과 배선(전극) 상면에서의 내드라이에칭성을 향상시킨 것을 특징으로 하는 것이다.

여기서, 전지반응에 대해서 설명을 해 둔다. 어떤 용액속에 재료를 담그면, 그 재료가 해당 용액속에서 산화환원전위가 발현한다. 부식환경의 용액에서는, 재료는 용해할 때의 산화환원전위 즉 부식전위가 발현한다. 동일한 용액속에 2 종류의 다른 전극을 담그면, 각각이 서로 다른 부식전위를 나타낸다. 이들 전극간을 결선하면, 2 종류의 전국간에 전위차가 발생하고, 전류가 흐른다. 이 구성을 갈바니전지라고 말하며, 그 전류를 갈바니전류라고 칭한다.

이 갈바니전지에서는, 산화환원전위가 낮은 쪽이 애노드전극으로서 작용하며, 애노드전극 표면에서는 산화반응이 일어나서, 전극이 이온화하여 녹는다. 한편, 산화환원전위가 낮은 낮은 쪽이 캐소드전극으로서 작용하며, 캐소드전극 측에서는 물의 환원반응이 일어나, 수소가 발생한다.

이와 같은 전지반응을 이용함으로써, 상기한 적층막 계면에서 에칭을 촉진시키는 것이 전지반응을 이용한 에칭가공이다.

또, 순테이퍼란, 기판면과 평행한 면내에서 에칭측단 가장자리의 사면과 직각으로 교차하는 직선의 길이가 기판면에서 거리가 증대함에 따라서 짧아 지는 사면을 의미한다. 덧붙이자면, 상기와는 반대로 기판면과 평행한 면내에서 에칭측단연의 사면과 직각으로 교차하는 직선의 길이가 기판면에서 거리가 증대함에 따라서 길어 지는 사면을 가지는 형상을 역테이퍼라고 칭한다. 본 발명의 대표적인 구성을 기술하면, 하기와 같다.

(1) : 절연성기판 위에 제 1 금속층과, 제 1 금속층과는 부식전위가 다는 제 2 금속층을 제 1 금속층 위에 형성하여 이루어진 적층구조의 배선 또는 전극을 구비하고, 제 1 금속층과 제 2 금속층을 첨가원소가 다른 몰리브덴함금으로 했다.

(2) : 상기 제 1 금속층을 순(純)몰리브덴, 또는 텅스텐 또는 탄탈을 첨가원소로 한 몰리브덴함금으로 하고, 제 2 금속층을 크롬, 또는 하프늄 혹은 지르코늄, 바나듐 혹은, 니켈 또는, 티단을 첨가원소로 한 몰리브덴함금 가운데 어느 하나로 했다.

(3) : 절연성기판 위에 제 1 금속층을 가지고, 제 1 금속층과는 부식전위가 다른 제 2 금속층을 제 1 금속층 위에 형성하여 이루어지는 적층구조의 배선 또는 전위를 구비하고, 양자의 부식전위차에 의거하여 제 1 금속층의 에칭가공에 의한 측단연(에칭측단 가장자리)이 순테이퍼형상을 가지고, 그 제 1 금속층을 몰리브덴과 텅스텐의 합금(Mo - W), 또는 몰리브덴과 탄탈의 합금(Mo - Ta) 중 어느하나 또는 이들과 동등한 에칭성을 가지는 합금으로 하고, 제 2 금속층을 몰리브덴과 크롬의 합금(Mo - Cr), 몰리브덴과 하프늄의 합금(Mo - Hf), 몰리브덴과 지르코늄의 합금(Mo - Zr) 중 어느 하나 또는 이들중 2 이상의 합금물, 또는 이들과 동등한 에칭성을 가지는 금속으로 했다.

(4) : 절연성기판 위에 제 1 몰리브덴합금층과 첨가원소가 다른 제 2 몰리브덴합금층으로 이루어지는 적층구조의 배선 또는 전극을 구비하고, 상기 제 1 몰리브덴합금층과 제 2 몰리브덴합금층의 어느 한쪽이 비교적 후막으로 비저항이 20 μΩcm 이하이고, 다른쪽은 비교적 박막으로 질화실리콘에 대한 건식각율이 7 이상의 것으로 했다.

(5) : 절연성기판 바로위에 비교적 박막으로 질화실리콘(SiN)에 대한 건식각율이 7 이상인 몰리브덴합금을 가지게 하고, 그 상층막에 비교적 후박막으로 비저항이 20 μΩcm 이하의 몰리브덴합금층을 가지게 했다.

(6) : 상기 제 1층을 크롬, 니켈, 바나듐, 하프늄, 지르코늄, 티탄 중 적어도 하나의 첨가원소로 하는 비교적 박막의 몰리브덴합금으로 하고, 상기 제 2 층을 순몰리브덴, 또는 텅스텐, 또는 탄탈을 첨가원소로 한 비교적 후막의 몰리브덴합금으로 했다.

(7) : 주사신호선, 영상신호선, 화소전극을 포함하는 복수의 배선, 및 상기 주사신호선과 영상신호선에 접속하여 화소의 온/오프를 제어하는 액티브소자를 구비한 한쪽 기판과, 적어도 컬러필터를 구비하여 상기 한쪽 기판과 미소 간격을 가지고 형성한 다른쪽 기판과, 상기 한쪽 기판과 다른쪽 기판의 간격에 액정을 봉입하여 이루어 지는 액정표시장치에서,

적어도 상기 주사신호선의 배선이, 상기 한쪽 기판측에 형성된 몰리브덴과 텅스텐의 합금(Mo - W) 또는 몰리브덴과 탄탈의 합금(Mo - Ta)로 이루어지는 제 1 층과, 몰리브덴과 하프늄의 합금(Mo - Hf), 몰리브덴과 지르코늄의 합금(Mo - Ar)을 주성분으로 하는 금속층으로 이루어지는 제 2 층의 적층구조를 가지고, 상기 제 1 층의 에칭측단면이 순테이퍼형상을 가지며, 상기 제 2 층의 에칭측단면이 기판면에 수직한 형상, 또는 역테이퍼형상의 어느 하나로 했다. 이하, 상기 각 구성에 의한 작용효과에 대해서 설명한다.

몰리브덴배선(전극)의 베이스밀착성을 개선하기 위해서, 몰리브덴에 그 밀착성을 개선하는 첨가원소(합금원소)로서, 텅스텐(W) 또는 탄탈(Ta) 등을 첨가한다. 각각의 배선(전극)은, 배선(전극)재료인 몰리브덴 및 여기에 첨가하는 첨가원소량의 증가와 함께 유리등의 기판에 대한 베이스밀착성이 향상한다.

이때, 배선(전극)재료로서 이용하기 위해서는, 그 재료의 비저항을 낮게 하는 것이 바람직하다. 배선(전극)을 저저항화로 함으로써, 박막트랜지스터형 액정표시장치에 이용할 때, 그 신호지연을 저감할 수 있으며, 액정표시장치의 대면적화에도 용이하게 대응할 수 있게 된다.

도 1은 몰리브덴(Mo)에 첨가한 각종 원소의 첨가량에 대응하는 비저항의 변화설명도이고, 횡축에 몰리브덴(Mo)에 첨가하는 원소의 첨가량(at%), 종축에 비저항(μΩcm)을 나타내고 있다. 베이스밀착성의 향상을 위한 것에만 주목하면, 몰리브덴(Mo)에 첨가하는 원소의 첨가량은 많을 수록 좋다. 그러나, 첨가하는 원소에 따라서는, 그 첨가량의 증대에 따라서 비저항이 허용하지 않는 정도로 커지는 것이 있다.

도 1 중, 첨가원소로서 크롬(Cr), 바나듐(V), 니오븀(Nb) 등은, 첨가량이 많아지면 비저항이 극단으로 증대한다. 이것에 대해, 텅스텐(W)와 탄탈(Ta), 티단(Ta)의 비저항은 비교적 온건하게 증대하는 점에서, 이것들이 몰리브덴에 대한 첨가원소로서 적합하다는 것을 알 수 있다.

그러나, 텅스텐(W)과 탄탈(Ta)을 첨가한 몰리브덴합금의 배선층은, 내에칭성이 작다. 내에칭성은 단위시간당 건식각율로 설명된다.

도 2는 몰리브덴에 첨가하는 원소에 의한 건식각율의 설명도로써, 횡축은 원소의 첨가량(at%), 종축은 건식각율(nm/s)이다. 또 도 2는, 배선층의 상층에 절연막으로서 질화실리콘(SiN)의 CVD막을 증착하고, 이 절연막을 불소계 드라이에칭가스를 이용하여, 건식각율을 7.3 nm/s 로 가공했을 때의 해당 배선의 내드라이에칭성을 측정한 것이다.

도 2와 같이, 몰리브덴(Mo)에 첨가하는 원소로서 텅스텐(W)과 탄탈(Ta)를 이용한 합금의 배선(전극)에서는, 해당 원소의 첨가량을 바꾸어도 식각율은 그다지 늦어지지 않느다. 즉, 배선(전극)층의 막 상면에서의 내드라이에칭성을 향상시키기 위해서는, 몰리브덴에 첨가하는 원소로서 텅스텐(W)와 탄탈(Ta)은 효과가 없다. 이것은 텅스텐(W)과 탄탈(Ta) 자체가 불소계 드라이에칭가스로 용이하게 에칭되어, 몰리브덴(Mo)와 합금화하여도, 약간 건식각율은 늦어지기는 하지만, 내드라이에칭성을 큰폭으로 향상할 수 없기 때문이다.

이것에 비해, 크롬(Cr), 니켈(Ni), 바나듐(V)은 소량 첨가로 건식각율이 현저하게 늦어진다. 이들 원소는 이들 자체가 불소계가스로 드라이에칭할 수 없기 때문에, 미량의 첨가로 큰폭의 내드라이에칭성을 향상할 수 있다. 또, 도 2에는 나타내지 않았지만, 하프늄(Hf), 지르코늄(Zr)도 동일 특성을 가지는 원소이기 때문에, 내드라이에칭성을 향상시키는 첨가원소로 채용할 수 있다.

이상에서, 베이스밀착성이 우수하고, 또한 비저항이 작은 재료를 하층에 두껍게 형성하고, 그 상부에 내드라이에칭성이 높은 막을 형성한 적층구조막으로 함으로써, 액티브매트릭스기판 위에 형성하는 배선(전극)으로서 요구되는 특성을 만족하는 것이 가능해진다. 또 이때, 비저항이 높은 재료의 경우에는, 그 상층막두께를 얇게하면 좋다.

한편, 하층막에 내드라이에칭성이 높은 재료를 형성하고, 그 상부에 비저항이 작은 재료를 적층해도 좋다. 이때, 적층배선의 형상을 양호하게 유지하기 위해서는, 상층막의 습식각율이 하층막의 그것보다 빨라지도록 제어하면 좋다.

이와 같이, 2종류의 배선(전극)재료를 적층한 적층구조막은, 그 구성층 모두가 몰리브덴(Mo)을 주성분으로 하는 재료이기 때문에, 동일 에칭액, 또는 동일 에칭가스로 일괄 습식각가공 또는 건식각가공을 각각 실시할 수 있다.

드라이에칭의 경우, 배선(전극)을 패터닝하기 위해서 해당 2층구조막의 상층에 피복한 레지스트를 후퇴시키면서 에칭함으로써, 순테이퍼에칭을 용이하게 실시할 수 있다. 여기에 덧붙여서, 상층막에 하층막보다 건식각율이 커지도록 해당 상층막과 하층막의 재료를 선택하는 것에 의해, 더 양호한 순테이퍼가공을 가할 수 있다.

한편, 습식각으로 가공하는 경우, 에칭약액속에 침지시켰을 때에, 해당 에칭약액속에서 상기 적층막의 제 2 층(상층)의 부식전위를 제 1 층(하층)의 그것보다 낮아지도록, 각각의 원소를 첨가한다. 그리고, 예를 들면, 인산계 에칭액속에서, 순몰리브덴에 대해서 상하층간의 전지반응에 의해, 부식전위가 보다 낮은 제 2 층의 에칭속도가 부식전위가 높은 제 1 층보다 빨리 진행되는 것에 의해서 배선(전극)의 에칭측단면에는 순테이퍼형상을 갖게할 수 있다.

이와 같이, 상기 2층의 적층구조막으로 이루어지는 배선(전극) 가운데, 하층 몰리브덴(Mo)층에는 베이스밀착성을 향상시키는 원소로서, 예를 들면 텅스텐(W)이나 탄탈(Ta)를 첨가한다. 또, 이들 원소는 첨가량이 너무 많아지면 그 막의 비저항이 증가하기 때문에, 그 첨가량은 비저항이 낮게 유지되도록 해당 첨가원소의 첨가량에 따라서 제어한다. 예를 들면, 비저항이 낮은 텅스텐(W)는 첨가량을 많게 할 수 있지만, 반대로 비저항이 높은 탄탈(Ta)의 경우는, 그 첨가량을 적게 억제하면 좋다.

절연막인 CVD막(여기에서는 SiN막)에 형성하는 스루홀을 드라이에칭가공으로 형성하기 위해서는, 배선(전극)의 상층막이 내드라이에칭성을 가져야 한다. 이를 위한 첨가원소로서 크롬(Cr), 니켈(Ni), 바나듐(V), 하프늄(Hf), 지르코늄(Zr), 티탄(Ti)이 적합하다는 것은 상술한 바와 같다.

이들 내드라이에칭성이 높은 층은 적층막의 상층으로 해도 좋지만, 하층으로 해도 상관없다. 이 경우, 내드라이에칭성이 부족한 상층막은 드라이에칭되지만, 하층이 에칭스톱으로서 기능한다.

그리고, 배선(전극)층을 구성하려고 하는 2층구조막의 상층과 하층에서 그 부식전위에 차를 발생시켜서, 상층의 부식전위를 하층의 그것보다 낮게 설정하는 것에 의해, 양자를 동일 에칭약액에 침지시킨 경우에, 부식전위차에 의해서, 즉 양층의 전지반응에 의해서 상층은 하층보다도 상대적으로 빨리 에칭이 진행한다. 그 결과, 상층에서 에칭이 진행하고, 하층의 상부에서도 그 하부보다도 사이드에칭이 빨리 진행한다.

도 3은, 2층구조막의 상층과 하층의 부식전위에 차이를 갖게했을 때의 전지반응에 의한 에칭의 진행상태를 설명하는 모식도이다. 절연기판(100)에 증착한 하층(200)과 상층(300)의 적층구조막에서, 해당 하층(200)과 상층(300)의 부식전위에 차이가 있으면, 에칭액속에서 전지반응의 영향으로 상층(300)과 하층(200)의 계면이 에칭속도가 가장 커진다.

그 결과, 하층(2)의 전체 에칭측단면(200S)는 순테이퍼형상으로 가공되고, 상층(300)의 측단면(300S)는 기판(100)의 면과 수직한 형상 또는 약간 역테이퍼형상으로 가공된다.

도 3의 단면도에서, 절연기판(100)의 상기 적층막의 증착면에서 에칭측단연의 경사에 반시계방향으로 본 각도를 θ로 나타냈을 때, 하층(200)의 측단면(200S)의 경사각도 θ_1은 $\theta_1 > 90$ 이고, 이것을 순테이퍼로, 상층(300)의 측단면(300S)는 $90 \leq \theta_2$이고, 이것을 역테이퍼라고 칭한다.

또, 상층(300)은 드라이에칭시의 내식막 즉 에칭배리어이기 때문에, 그 막두께는 도시하지 않은 상층(300)에 피복한 보호막에 스루홀을 가공하기 위한 드라이에칭처리에 견딜 정도가 좋기 때문에, 하층(200)의 막두께에 비교해서 충분한 얇은 두께로 좋으며, 예를 들면, 하층(200)의 막두께(D1)과 상층(300)의 막두께(D2)의 비율은 $D_1 : D_2 = 9 : 1$ 정도가 좋고, 상층(300)의 에칭측단면(300S)의 역테이퍼각도 θ_2는 최대 180이 되어도, 후단의 보호막의 증착에서의 스텝커버리지를 손상시키는 일은 없다.

2종류가 서로 다른 조성의 적층구조막의 상하층 계면에서의 전지반응에 의해서, 상대적으로 상층의 에칭속도를 가속시키는 경우, 상층보다도 하층의 부식전위를 높게 설정하는 것이 필수적이다. 더구나, 에칭측단면을 순테이퍼형상으로 가공하기 위해서는, 하층의 에칭시에도 상층의 사이드에칭이 진행될 필요가 있다. 따라서, 상하층은 동일 에칭약액으로 에칭이 진행하도록 동일 합금계, 혹은 다른 금속이라 하더라도 동일 에칭약액으로 에칭되는 재료로 할 필요가 있다.

도 4는 몰리브덴을 주요구성재료로 한 배선의 경우의 몰리브덴에 첨가하는 합금원소의 종류와 그 첨가량에 따른 에칭액중에서의 부식전위차를 설명하는 부식전위의 합금원소 의존성의 설명도이다. 여기서는, 에칭약액으로서, 인산, 질산, 초산, 물의 혼합산을 이용한 경우를 나타냈다.

도 4 중, 합금원소를 첨가하지 않은 몰리브덴단체에서는, 그 부식전위는 약 795 mV이다. 이 몰리브덴(Mo)에 텅스텐(W)를 첨가했을 때의 부식전위는 그다지 저하하지 않는데 비해서, 기타 다른 원소(크롬(Cr), 티탄(Ti), 탄탈(Ta), 니오븀 (Nb), 니켈(Ni), 지르코늄(Zr), 바나듐(V), 하프늄(Hf))를 첨가한 것에서는, 그 첨가량과 함께 부식전위가 저하한다는 것을 알 수 있다.

이러한 점에서, 적층구조막의 상층에는 텅스텐(W) 이외의 원소를 첨가하고, 하층막으로서는 합금원소를 첨가하지 않거나, 또는 텅스텐(W)을 첨가함으로써, 상층막의 부식전위를 하층막의 부식전위보다도 낮게 설정할 수 있다. 이것으로, 도 3과 같은 형상의 에칭측단면 형상을 얻을 수 있다.

즉, 상하층 각각의 단독 식각율(에칭속도)에 관계없이, 또 단독으로 하층 조성의 에칭속도가 상층의 에칭속도보다 커져도, 양자를 적층구조로 함으로써, 소망하는 테이퍼형상을 가진 배선형성이 가능해진다.

한편, 저저항과 내드라이에칭성의 조건을 만족하게 되면, 단순하게 상층막의 습식각율이 하층막의 습식각율보다 빨라지도록 합금첨원소를 제어해도 좋다. 예를 들면, 상층에 비교적 습식각율의 저하가 적은 텅스텐이나 지르코늄을 첨가하고, 하층에 습식각율이 작은 크롬이나 티탄을 첨가한 합금으로 해도 좋다.

이와 같이, 절연기판 위에 형성하는 배선(전극)의 측단면의 대부분에 순테이퍼형상을 갖게함으로써, 그 위에 형성하는 절연막의 스텝커버리지가 양호해지고, 절연내압의 열화나 그 상부에 더 형성되는 다른 배선 또는 전극(상부배선 또는 전극)의 상기 하선배선 타고넘는 부분에서의 CVD 절연막 등의 박막(CVD막)에 크랙이 생기고, 이것이 그 상층에 증착하는 배선이나 전극(구체적으로는, 드레인배선(전극)이나 소스배선(전극)의 단선을 초래한다는 문제가 해소된다.

또, 상기 전지반응을 이용한 습식각가공에서, 상층의 막두께를 하층의 막두께에 비교해서 상당정도 얇게 하면, 해당 상층의 에칭측단면의 형상이 기판면에 수직 혹은 역테이퍼계 형상이라고 하더라도, 나중에 상부에 형성되는 막의 스텝커버리지 불량은 회피할 수 있다는 것은 상기한 바와 같다.

상기한 본 발명의 기본적기술사상에 의거하여, 절연기판면내의 배선 또는 전극의 순테이퍼각의 분포를 대폭적으로 개선할 수 있다.

또, 에칭마스크가 되는 레지스트(포토레지스트)와 에칭가공대상이 되는 금속박막과의 사이로 에칭약액이 스며드는 것을 이용하는 종래의 테이퍼가공의 경우, 포토레지스트와 금속박막의 밀착성의 면재불균일을 반영하여 테이퍼각이 크게 불균일해져서, 절연기판면의 중앙부와 주변부에서 테이퍼각이 2배정도 차이가 생기게 된다. 이것에 대해, 본 발명을 이용한 경우, 상기 부식전위차가, 사용하는 재료에 따라서 결정되고 있다는 점에서, 에칭한 배선 또는 전극의 에칭측단연의 테이퍼각의 절연기판의 면내불균일이 극히 작아진다(시작품에서는 ±9% 이내로 제어할 수 있다).

또, 본 발명을 역스태거형 TFT에서 게이트배선의 형성에 적용한 경우, 그 상부에 형성되는 SiN 등으로 이루어지는 절연막(게이트절연막), 반도체층(a - Si 반도체막), 드레인배선(전극) 등의 스텝커버리지가 양호해지고, 그 결과, 절연내압의 향상이나 드레인배선(전극)의 단선불량율이 저감된다.

합금원소 즉 첨가원소 가운데, 크롬(Cr)을 첨가한 경우, 부식전위가 저하는 동시에, 내드라이에칭성이 향상한다. 따라서, 상층막으로서는 몰리브덴과 크롬의 합금(Mo - Cr)이 적합하다.

그리고, 하층막으로서는, 전위를 높게, 또는 배선으로서의 비저항을 낮게 유지할 필요가 있는 점에서, 몰리브덴(Mo)단체 또는 몰리브덴과 텅스텐의 합금(Mo - W)을 이용하는 것이 바람직하다. 몰리브덴과 텅스텐의 합금(Mo - W)을 이용함으로써 베이스밀착성도 향상한다.

이하, 본 발명의 실시형태에 대해서, 실시예를 참조하여 상세하게 설명한다.

《제 1 실시예》

도 5는 본 발명에 의한 액정표시장치의 제 1 실시예에서의 박막트랜지스터부의 요부구조를 설명하는 모식단면도이다. 절연기판인 유리기판(1) 위에 게이트배선으로 몰리브덴(Mo)에 텅스텐(W)를 20 wt% 첨가한 Mo - 20 wt%막(2)과 몰리브덴에 크롬(Cr)을 1 wt% 첨가한 Mo - 1 wt% Cr막(3)을 연속해서 스퍼터링법으로 적층한다.

각각의 막두께는, Mo - 20 wt% W막(2)이 180 nm, Mo - 1wt% Cr막(3)이 20 nm이다. 각각의 비저항은, Mo - 20 wt% W막(2)이 14 μΩcm, Mo - 1wt% Cr막(3)이 18 μΩcm 이다.

적층구조막에서의 평균비저항 16 μΩcm 정도이고, 또, 하층막(2)을 몰리브덴과 텅스텐의 합금(Mo - W)으로 함으로써, 몰리브덴단체의 막과 비교해서 기판밀착성이 향상한다. 하층을 보다 저저항의 순Mo로 한 경우에서도, 상층이 빨리 에칭되는 것에 의해, 그 형상은 순테이퍼가공할 수 있다.

게이트배선(전극)의 형성은, 상기한 재료를 순차증착한 적층구조막의 위에 레지스트를 도포, 건조, 포토리소그래피수법으로 레지스트를 패터닝가공한 후, 인산, 질산, 초산, 물로 이루어지는 혼합산을 에칭약액으로서 일괄적으로 습식각한다.

인산계의 에칭약액중에서는, 각각의 부식전위는 Mo - 20wt% W막이 795 mV, Mo - 1wt% Cr막이 780 mV이다. 이 부식전위차에 따라서, 도 3과 같이, 상층막(300)인 Mo - 1wt% Cr막이 선행하여 에칭후퇴하고, 하층막(200)이 뒤이어서 에칭된다. 그 결과, 하층의 Mo - 20wt% W막이 순테이퍼형상으로 에칭된다.

하층막의 순테이퍼각 θ_1은 약 50° 가 되고, 더구나, 절연기판(유리기판)의 면적에 의하지 않고 그 테이퍼각이 ±5° 이내로 제어할 수 있게 되었다. 양층의 계면이 가장 빨리 에칭되기 때문에, 상층막의 단면은 수직이던가, 또는 역테이퍼형상이 되는 것은 상술한 대로이다.

도 6은 몰리브덴에 원소를 첨가했을 때의 습식각율의 설명도이다. 도에 나타내듯이, 몰리브덴(Mo)에 크롬(Cr)을 첨가했을 때가 그 저하경향이 현저하고, 실제로 에칭가공을 하여 검토한 범위내에서도, 상층막의 Mo - 1wt% Cr막 쪽이 식각율이 Mo - 20wt% W막에 비교해서 작아진다. 이것을 적층화하면, 식각율 차는 역전하고, 상층의 Mo - Cr 막 쪽이 빨리 에칭후퇴한다. 그 결과, 배선(전극) 전체로 보았을 때의 에칭측단연에서의 순테이퍼형상을 실현할 수 있다. 상층막에 Mo - 1.6 wt% Cr, 하층막에 Mo - 2.0 wt% W을 적용했을 경우의 순테이퍼각은 10° 이 되고, 양한한 순테이퍼형상이 된다.

도 5와 같이, 상기와 동일하게 하여 Mo - 20wt% W막(2)과 몰리브덴에 크롬을 1wt% 첨가한 Mo - 1wt% Cr막(3)의 2층적층구조막으로 형성한 게이트배선(전극)의 위에, CVD법으로 게이트절연층(4)로서 SiN막, 반도체층으로서 i - a - Si 막(5),그리고, 콘택층(6)으로서 n + a - Si 막을 연속적층한다.

이때, 수직 또는 역테이퍼로 가공된 게이트배선(전극)의 상층막(3)의 막두께가 20nm으로 얇기 때문에, 배선전체의 형상에 악영향을 미치는 일 없이, 게이트절연층(4)으로서의 SiN막의 CVD박의 커버리지는 양호하게 된다. 그리고, 콘택층(6)의 상층에 레지스트를 도포하고, 건조, 패터닝하고, 드라이에칭가공으로 반도체층(5)와 콘택층(6)을 아일랜드형상으로 가공한 후, 상기 레지스트를 박리한다.

다음에, 드레인전극(배선)(7)과 소스전극(배선)(8)을 형성한다. 이 드레인전극(7)과 소스전극(배선)(8)은, 게이트배선의 경우와 같도록, 하층막(7A)에 Mo - 20wt% W막을, 상층막(7B)로서 Mo - 1wt% Cr를 스퍼터링법으로 증착한다. 이때, 게이트전극(배선)을 적층구조로허 양호한 순테이퍼를 갖게하여 형성한 것에 의해, 그 상부에 형성되는 드레인전극(7, 7A,7B), 이나 소스전극(8, 8A,8B)의 단선이 방지된다.

하층막(7A, 8A)으로 Mo - 20wt% W막을 이용함으로써, 반도체층(5,6), SiN막으로 이루어지는 절연층(4)에 대한 밀착성을 향상시킬 수 있고, 드레인배선 (전극)(7), 소스전극(배선)(8)의 습식각시, 특히 베이스밀착성이 열화하는 게이트배선 넘는부 등에서 베이스계면에 에칭액이 스며드는 것에 의한 오버에칭이 진행하여 단선불량을 방지할 수 있다.

드레인배선(전극)(7), 소스배선(전극)(8)도 게이트전극(배선)과 동일하게, 인산계 에칭약액을 이용하여 약 50° 의 테이퍼각(θ_1)으로 순테이퍼에칭한다. 이 에칭가공후에, 도포, 건조, 패터닝한 레지스트막을 통해서 채널영역의 콘택층(6)(n + a - Si막)을 드라이에칭가공으로 제거하여 채널을 형성한다. 그후, 상기 레지스트를 박리한다.

그리고, 보호막(패시베이션층)(9)으로 SiN막을 CVD법으로 400 nm 의 막두께로 증착한다. 드레인배선(전극)(7)과 소스배선(전극)(8)의 에칭측단연을 순테이퍼가공함으로써, 이 패시베이션층99)의 스텝커버리지를 양호하게 할 수 있다.

다음에, 소스배선(전극)(8) 위의 패시베이션막(9)에 스루홀(10)을 불소계 가스를 이용한 드라이에칭가공으로 형성한다.

이때, 동시에 게이트배선과 드레인배선의 단자부(도시하지 않다)의 패시베이션층에도 스루홀을 형성한다. 소스전극(8)은 스루홀(10)의 형성완료후도 게이트단자 위의 게이트절연막의 스루홀이 형성되기까지, 장시간 오버에칭된다. 따라서 소스전극(8)의 상층막(8B)에는 충분한 내드라이에칭성의 확보가 필요해진다.

도 2에서 설명한 바와 같이, 합금화에 의해 몰리브덴(Mo)막의 건식각율은 전부 감소한다. SiN막과의 선택비 7을 확보하기 위해서는, 니오븀(Nb), 바나듐(V), 크롬(Cr), 니켈(Ni)의 첨가가 효과적이다. 이 중에서도 크롬(Cr)은 미량첨가로 내드라이에칭성이 큰폭으로 향상한다. Mo - 1wt% Cr에서는 선택비 24를 실현할 수 있다. 또, 이 선택비라는 것은, SF_6 가스를 이용한 경우 SiN막의 식각율을 Mo합금의 건식각율로 나눈값이다. 드라이에칭후, 레지스트를 박리한다.

소스전극(8)에 스루홀(10)을 형성한 후, 화소전극(11)으로서 인듐주석의 산화물(ITO)막을 증착한다. 스루홀(10)을 통해서, 화소전극(11)과의 소스전극(8)이 콘택한다. 마찬가지로, 도시하지 않았지만, 게이트배선의 단자와 드레인배선의 단자 위에서 ITO막이 Mo - Cr합금을 통해서 콘택한다. 몰리브덴(Mo)이 주구성원소이기 때문에, 상기 원소를 첨가하여도 ITO와의 콘택저항이 증가하는 일은 없다.

화소전극(11)은, ITO막의 증착후에 레지스트를 도포하고, 이 레지스트를 소망의 화소전극형상으로 패터닝한 후, 브롬화수소산(HBr)을 에칭약액으로 한 습식각가공을 가한다. 소스전극(8)은, 그 상층에 몰리브덴(Mo)층(8B)를 가지기 때문에, 스루홀(10)의 바로아래에 있는 패시베이션막(9)을 통해서 HBr에서는 에칭되는 일은 없다. 이 에칭가공후, 상기 레지스트를 박리하여 박막트랜지스터(TFT) 및 기타 액티브기판측의 증착처리를 완료한다.

본 실시예에 의하면, 게이트배선(전극), 드레인배선(전극), 소스배선(전극)은, 해당 배선(전극)의 비저항을 15 μΩcm 정도로 설정하고있기 때문에, 비저항 20 μΩcm 의 종래의 크롬(Cr)계 배선(전극)에 비교하여, 동일 막두께에서 저항치를 약 25% 저감할 수 있어서, 대면적의 액정표시장치까지 대응할 수 있다.

또, 몰리브덴(Mo)계 배선(전극)은 ITO막의 미세가공에 적합한 브롬화수소산 (HBr)나 옥화수소산(HI)에서는 에칭이 되지 않기 때문에, ITO전극이 어디에 있어도 좋고, 어떠한 TFT구조에도 대응할 수 있다.

《제 2 실시예》

도 7은 본 발명에 의한 액정표시장치의 제 2 실시예에서 배선의 요부구조예를 설명하기 위한 모식단면도이다. 도 7에서, 유리기판(1) 위에 Mo - 1.0 5 wt% Cr막(8A)를 20 nm 증착하고, 연속해서 Mo - 20 wt% W막(8B)를 200 nm 스퍼터링법으로 형성한다.

도 7(a)는 Mo - 5 wt% Cr막, 도 7(b)는 Mo - 1.6 wt% Cr막을 이용한 경우를 각각 나타냈다. 이 경우, 하층막(8A)의 비저항은 16 25 μΩcm, 상층막(8B)의 비저항은 16 μΩcm이고, 주로 배선(전극)을 담당하는 것은, 보다 저저항으로 막두께가 두꺼운 상층막(8B)이다.

양층 모두, 인산, 질산, 초산, 물로 이루어지는 혼합산에서 에칭할수 있으므로, 적층막으로서 일괄적으로 에칭한다. 양자의 습식각율은, 각각, Mo - 5 wt% Cr막(하층(8A))이 1 nm/s, Mo - 20 wt% W막(상층(8B))이 10 nm/s 이다.

양자 사이에는 부식전위차는 존재하지만, 양자의 식각율차는 약 10배이상으로 크기 때문에, 이 차가 에칭측단면형상의 지배인자가 된다. 이 경우, 테이퍼각은 도 8에 나타내듯이 순테이퍼형상이지만, 60° 70°로 커진다. 따라서, 이와 같이 양자의 식각율차가 큰 경우에는, 도 7에 나타내듯이 식각율이 큰 막, 이 경우 Mo - 20 wt% W막을 상층막으로서 이용한다.

도 7(a)와 같이, 하층에 Mo - 5 wt% Cr막을 이용한 경우, 하층막이 상층의 Mo - 20 wt% W막보다 비어져 나와 가공된다. 상층막을 순테이퍼가공하기 위해서는, 레지스트와 상층막의 계면에 에칭액이 스며드는 것과 같은 에칭액 조성으로 한다. 합금원소로서 텅스텐을 첨가함으로써, 습식각율이 10 nm/s와 순몰리브덴에 비교하여 늦어지게 됨으로써, 양호한 순테이퍼가공이 가능하다. 하층에 Mo - 5 wt% Cr막을 이용한 경우의 테이퍼각은 45°이다. 또, 도 7(b)에 나타낸 베이스막(하층막)으로서 Mo - 1.6 wt% Cr막을 이용한 경우의 테이파각은 10°로, 양호한 테이퍼형상을 실현

할 수 있다.

《제 3 실시예》

도 8은 본 발명에 의한 액정표시장치의 제 3 실시예에서 배선의 요부구조예를 설명하는 모식단면도이다. 도 8(a)는 Mo - 20 wt% W막을 이용하며, 상층(8B)에 Mo - 5 wt% Cr막을 이용한 경우, 도 8(b)는 하층(8A)에 Mo - 20 wt% W막을 이용하며, 상층(8B)에 Mo - 1.6 wt% Cr막을 이용한 경우, 도 8(b)는 하층(8A)에 순몰리브덴(Mo)막을 이용하고, 상층(8B)에 Mo - 1.6 wt% Cr막을 이용한 경우의 에칭측단연의 형상을 각각 나타냈다.

도 8(a), 도 8(b)의 모두의 경우도, 에칭측단연을 순테이퍼형상으로 가공할 수 있지만, 상기 도 7에서 설명한 이유에 의해, 도 8(a)의 테이퍼각은 전체로서 도 8(b)의 경우보다 커진다.

또, 하층(8A)에 순몰리브덴(Mo)막을 이용하고, 상층(8B)에 Mo - 1.6 wt% Cr막을 적층한 경우(도8(c))에서는, 양자의 습식각율은 상층(8B)가 5 nm/s, 하층(8A)가 32 nm/s로, 양자의 비는 6배 정도가 된다. 이 경우, 에칭액속에서 양자의 부식전위차에 의거하는 전지반응에 의해, 하층(8A)의 순Mo층의 순테이퍼가공이 가능해진다.

《제 4 실시예》

도 9는 본 발명에 의한 액정표시장치의 제 4 실시예에서 배선부의 요부구성예를 설명하는 모식단면도이다. 여기서는, 적층배선의 하층(8A)에 Mo - 5 wt% Cr막을, 상층(8B)에 Mo - 20 wt% W막을 이용한다.

하층(8A)와 상층(8B)로 이루어지는 배선의 가공후, 그 위에 CVD법에 의해 SiN막으로 이루어지는 패시베이션층(9)를 300 nm에 스루홀(10)을 형성한다. 이 배선에 화소전극(11)을 접속하기 위해서 패시베이션층(9)에 스루홀(10)을 형성한다.

이 스루홀(10)을 SF_6 가스를 이용하여 가공하는 경우, 패시베이션층(9)을 형성하는 SiN막에 대한 상층(8A)(Mo - 20 wt% W막)의 드라이에칭선택비는 약 8이고, 배선의 막두께에 따라서는 완전하게 에칭되어 콘택부의 하층(8A)가 없어질 가능성이 있다. 오버에칭시간에도 의존하지만, 상기 제 1 실시예의 경우과 마찬가지로 패시베이션층(9)과 케이트SiN막의 스루홀을 일괄적으로 가공하는 경우, 게이트단자의 가공을 종료하기 전에 소스전극 위의 스루홀부에는 긴 오버에칭이 걸린다. 이와 같은 경우, 도 9에 나타내듯이 상층(8B)의 Mo - 20 wt% W층은 전부 드라이에칭제거되어 있고, 하층(8A)dml Mo - 5 wt% Cr 만이 남는다. Mo - 5 wt% Cr의 SiN에 대한 드라이에칭 선택비는 100 이상이고, 이 오버에칭에 대해서도 막이 줄어드는 것은 아니다.

물론, 배선막두께를 충분하게 두껍게 한 경우에는, Mo - 20 wt% W층에서도 충분하게 드라이에칭 후에 막을 남기는 것이 가능하다. 이 경우에는 배선을 Mo - 20 wt% W단층으로 형성해도 좋다.

이 위에 화소전극(11)으로서 다결정 ITO막을 스퍼터링법으로 형성한다. ITO막과 Mo - 5 wt% Cr막의 콘택저항은 400 ㎛²로 충분하게 낮기 때문에, 이 막 구성은 드라이버IC 실장부으 단자로서도 충분하게 이용할 수 있다. 특히, 해당 IC에 대한 입력저항이 문제가 되는 칩온글라스방식(COG방식)의 경우에도 충분하게 대응할 수 있다.

도 10은 본 발명에 의한 액정표시장치를 적용한 액티브매트릭스 기판의 1 화소부근을 확대한 요부평면도이다. 액티브매트릭스기판(TFT기판)은, 절연기판으로서의 유리기판(1)에 게이트선(2,2'), 드레인선(7)이 교차방향으로 형성되고, 게이트선(2)에서 늘어나는 게이트전극(도 5에서는 부호 (2)와 (3)의 적층구조막으로 나타내는 게이트전극), 드레인선(7)에서 늘어나는 드레인전극(도 5에서는 부호 (7A)와 (7B)의 적층구조막으로 나타내는 전극(7)), 반도체층(5) 및 소스전극(8)로 박막트랜지스터(TFT)를 구성하고 있다.

소스전극(8)에 형성한 스루홀(10)을 통해서 화소전극(11)이 해당 소스전극 (8)에 접속되고, 화소전극(11)과 인접게이트선(2')가 중첩되는 부분에서 부가용량 (Cadd)이 구성되어 있다. 상기한 도 5의 박막트랜지스터(TFT)의 부분은 도 10의 A - A 선을 따른 단면에 대응한다.

화소를 구성하는 박막트랜지스터(TFT)는, 게이트선(2) 및 드레인선(7)으로부터의 신호공급에 의해서 온이 되고, 온이 된 박막트랜지스터(TFT)의 소스전극(8)에 접속한 화소전극(11)과 도 13에 나타낸 컬러필터기판(12)에 형성되어 있는 대향전극(15) 사이에 전계가 형성된다. 이 전계에 의해, 액티브매트릭스기판(1)고 컬러필터기판(12) 사이에 봉입된 액정(LC)의 분자배향이 제어되고, 백라이트 등의 조명광을 투과시켜서 점등상태가 된다.

박막트랜지스터(TFT)를 구동하는 게이트선(2)와는 다른 기타 인접게이트선 (2')와 화소전극(11) 사잉에 형성되어 있는 부가용량(Cadd)은, 박막트랜지스터 (TFT)가 오프로 되어도 화소전극(11)에 영상신호를 소정시간 축적시켜 두기 위해서 설치되어 있다.

도 11은 본 발명을 적용한 액티브매트릭스형 액정표시장치의 전체구성을 설명하는 전개사시도이다. 이 도는 본 발명에 의한 액정표시장치(이하, 액정표시패널, 회로기판, 백라이트, 기타 구성부재를 일체화한 모듈 : MDL로 칭한다)의 구체적 구조를 설명하는 것이다.

SHD 는 금속판으로 이루어지는 실드케이스(금속프레임이라고도 함), WD 는 표시창, INS1 3은 절연시트, PCB1 3은 회로기판(PCB1은 드레인측 회로기판 : 드레인선 또는 영상신호배선구동용 회로기판, PCB2는 게이트측회로기판 : 게이트선 또는 주사신호선구동용 회로기판, PCB3는 인터페이스회로기판), JIN1 3은 회로기판 PCB1 3 끼리를 전기적으로 접속하는 조이너, TCP1, TCP2는 테이프캐리어패키지, PNL은 액정패널, GC는 고무부시, ILS는 차광스페이서, PRS는 프리즘시트, SPS는 확산시트, GLB는 도광판, RFS는 반사시트, MCA는 일체화성형에 의해 형성된 하측케이스(금속프레임), MO는 MCA의 개구, LP는 형광관, LPC는 램프케이블, GB는 형광관(LP)을 지지하는 고무부시, BAT는 양면점착테이프, BL은 형광관이나 도광판으로 이루어지는 백라이트를 나타내며, 도시의 배치관계에서 확산판부재를 적층하여 액정표시모듈(MDL)이 조립된다.

액정표시모듈(MDL)은, 하층케이스(MCA)와 실드케이스(SHD)의 2 종류의 수납 · 유지부재를 가지며, 절연시트(INS1 3), 회로기판(PCB1 3), 액정표시패널 (PNL)을 수납고정한 금속제의 실드케이스(SHD)와, 형광관(LP), 도광판(GLB), 프리즘시트(PRS) 등으로 이루어지는 백라이트(BL)을 수납한 하측케이스(MCA)를 합체시키고 있다.

드레인측 회로기판(PCB1)에는 액정표시패널(PNL)의 각 화소를 구동하기 위한 집적회로칩이 탑재되고, 또 인터페이스회로기판(PCB3)에는 외부호스트로부터의 영상신호의 접수, 타이밍신호 등의 제어신호를 받아 들이는 집적호로칩, 및 타이밍을 가공하여 클럭신호를 생성하느 타이밍컨버터(TCON) 등이 탑재된다.

상기 타이밍컨버터에서 생성된 클럭신호는 인터페이스회로기판(PCB3) 및 영상신호선구동용회로기판(PCB1)에 부설된 클럭신호라인(CLL)을 통해서 영상신호구동용회로기판(PCB1)에 탑재된 집적회로칩이 공급된다.

인터페이스회로기판(PCB3) 및 영상신호선구동용 회로기판(PCB1)은 다층배선기판이고, 상기 클럭신호라인(CLL)은 인터페이스회로기판 (PCB3) 및 영상신호선구동용 회로기판(PCB1)의 내층배선으로서 형성된다.

액정표시패널(PNL)은 상기한 TFT 및 각종 배선(전극)을 형성한 TFT기판과, 컬러필터를 형성한 필터기판 2장의 기판을 형성하고, 그 간격에 액정을 봉지하여 이루어지고, TFT를 구동하기 위한 드레인측회로기판(PCB1), 게이트측회로기판 (PCB2) 및 인터페이스호로기판(PCB3)이 테이프캐리어패키지(TCP1,TCP2)에 접속되고, 각 회로기판 사이는 조이너(jN1,2,3)로 접속되어 있다. 또, 액정표시장치를 구성하는 액정패널의 절연기판의 위에 직접구동회로(IC칩)를 탑재한 방식(칩온글라스 : GOS, 혹은 FCA방식)에서는 테이프캐리어패키지를 이용할 필요는 없다. 이 실장방식에도 본 발명은 동일하게 적용할 수 있다는 것은 말할 필요도 없다.

상기 액정표시모듈에 의하면, 그 액정표시장치를 구성하는 액정패널의 각종 배선이나 전극의 제조공정을 단축할 수 있는 동시에, 단선 등의 발생을 저감한 신뢰성이 높은 액정표시장치를 제공할 수 있다.

도 12는 본 발명에 의한 액정표시장치를 실장한 정보기기의 한예를 나타내는 디스플레이모니터의 외관도이다. 이 디스플레이모니터는, 표시부와 스탠브부로 이루어지며, 별개의 본체컴퓨터 등의 표시신호원으로부터 공급되는 화상신호를 표시하는 것이다. 그러나, 스탠드부에 호스트컴퓨터, 혹은 텔레비젼수상회로를 수납하는 것도 가능하고, 디스플레이모니터는 퍼스널컴퓨터의 모니터에 한정되지 않고, 텔리비젼수상기로서도 적용할 있다.

본 발명은 상기의 박막트랜지스터형 액티브매트릭스방식 액정표시장치에 한정하지 않고, 다른 형식의 액정표시장치, 기타 반도체소자의 배선 혹은 전극의 패터닝 가공에도 동일하게 적용할 수 있다.

발명의 효과

이상의 설명에서, 본 발명에 의하면, 액티브매트릭스기판에 형성하는, 특히 주사신호선의 에칭측단면에 양호한 순테이퍼형상을 부여할 수 있고, 그 상부에 위치하는 각종 박막의 커버리지가 양호해지고, 이들 박막류의 균열, 핀홀, 혹은 배선이나 전극의 단선 등의 막결함, 상항층간의 단락 등을 방지하여, 신뢰성이 높고, 고품질의 화상표시가 가능한 액정표시장치를 제공할 수 있다.

또, 본 발명에 의하면, 상기 배선이나 전극을 적층구조막으로 하고, 그 하층의 에칭측단면에 순테이퍼형상을 부여함으로써, 박막트랜지스터기판의 표면의 요철이 온건하게 되고, 액정의 배향불량 등이 저감하여, 콘트라스트가 양호한 액정표시장치를 제공할 수 있다.

또, 본 발명은, 이른바 종전계형(NT형) 액정표시장치에 한정돠는 것이 아니라, 공통전극도 액티브매트릭스기판측에 형성한, 이른바 횡전계형(IPS형)의 액정표시장치, 혹은 전극배선 등이 서로 교차하는 타고넘는부를 가지는 다른 형식의 액정표시장치 및 유사한 각종 반도체장치에도 동일하게 적용할 수 있으며, 상기와 같은 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

절연성기판 위에 제 1 금속층과,

상기 제 1 금속층과는 부식전위가 다른 제 2 금속층을 상기 제 1 금속층 위에 형성하여 이루어지는 적층구조의 배선 또는 전극을 구비하고,

상기 제 1 금속층과 제 2 금속층은 첨가원소가 다른 Mo 합금인 것을 특징으로 하는 액정표시장치.

청구항 2.

청구항 1에 있어서,

상기 제 1 금속층이 순몰리브덴, 또는 텅스텐 또는 탄탈을 첨가원소로 한 몰리브덴합금이고,

상기 제 2 금속층이 크롬, 또는 하프늄 혹은 지르코늄, 바나듐 혹은, 니켈 혹은, 티탄을 첨가원소로 한 몰리브덴합금의 어느 하나인 것을 특징으로 하는 액정표시장치.

청구항 3.

청구항 1에 있어서,

상기 제 1 금속층과 제 2 금속층의 부식전위차에 의거하는 습식각가공에 의해 상기 제 1 금속층의 측단연이 순테이퍼형상을 가지며,

상기 제 2 금속층의 측단연이 수직형상 또는 역테이퍼형상을 가지고,

상기 제 1 의 금속층이 텅스텐 또는 탄탈을 첨가원소로 한 몰리브덴합금이고,

상기 제 2 금속층이 크롬 또는 하프늄 혹은 지르코늄, 바나듐, 혹은 니켈, 혹은 티탄을 첨가원소로 한 몰리브덴합금의 어느 하나인 것을 특징으로 하는 액정표시장치.

청구항 4.

절연성기판 위에 제 1 몰리브덴합금층과 첨가원소가 다른 제 2 몰리브덴합금층으로 형성하여 이루어지는 적층구조의 배선 또는 전극을 구비하고,

상기 제 1 몰리브덴합금층과 제 2 몰리브덴합금층의 어느 한쪽이 비교적 후막으로 비저항이 20 μΩcm 이하이고,

다른쪽은 비교적 박막으로 질화실리콘에 대한 건식각율이 7 이상인 것을 특징으로 하는 액정표시장치.

청구항 5.

청구항 4에 있어서,

절연성기판 바로위에 비교적 박막으로 질화실리콘에 대한 건식각율이 7 이상인 몰리브덴합금층을 가지고,

그 상층막에 비교적 후막으로 비저항이 20 μΩcm 이하의 몰리브덴합금층을 가지고 있는 것을 특징으로 하는 액정표시장치.

청구항 6.

청구항 4에 있어서,

상기 제 1 층이 크롬, 니켈, 바나듐, 하프늄, 지르코늄, 티탄 가운데 적어도 하나의 첨가원소로 하는 비교적 박막의 몰리브덴합금이고,

상기 제 2 층이 순몰리브덴, 혹은 텅스텐, 또는 탄탈을 첨가원소로 한 비교적 후막의 몰리브덴합금층인 것을 특징으로 하는 액정표시장치.

청구항 7.

주사신호, 영상신호, 화소전극을 포함하는 복수의 배선, 및 상기 주사신호선과 영상신호선에 접속하여 화소의 온/오프를 제어하는 액티브소자를 구비한 한쪽 절연성기판과,

적어도 컬러필터를 구비하고 상기 한쪽 기판과 미소간격을 가지고 형성된 다른쪽 절연성 기판과,

상기 한쪽 기판과 다른쪽 기판의 간격에 봉입한 액정을 가지는 액정표시장치에서,

적어도 상기 주사신호선의 배선이, 상기 한쪽 기판측에 형성된 텅스텐 또는 탄탈을 첨가원소로한 몰리브덴합금 또는 순몰리브덴으로 이루어지는 제 1 층과,

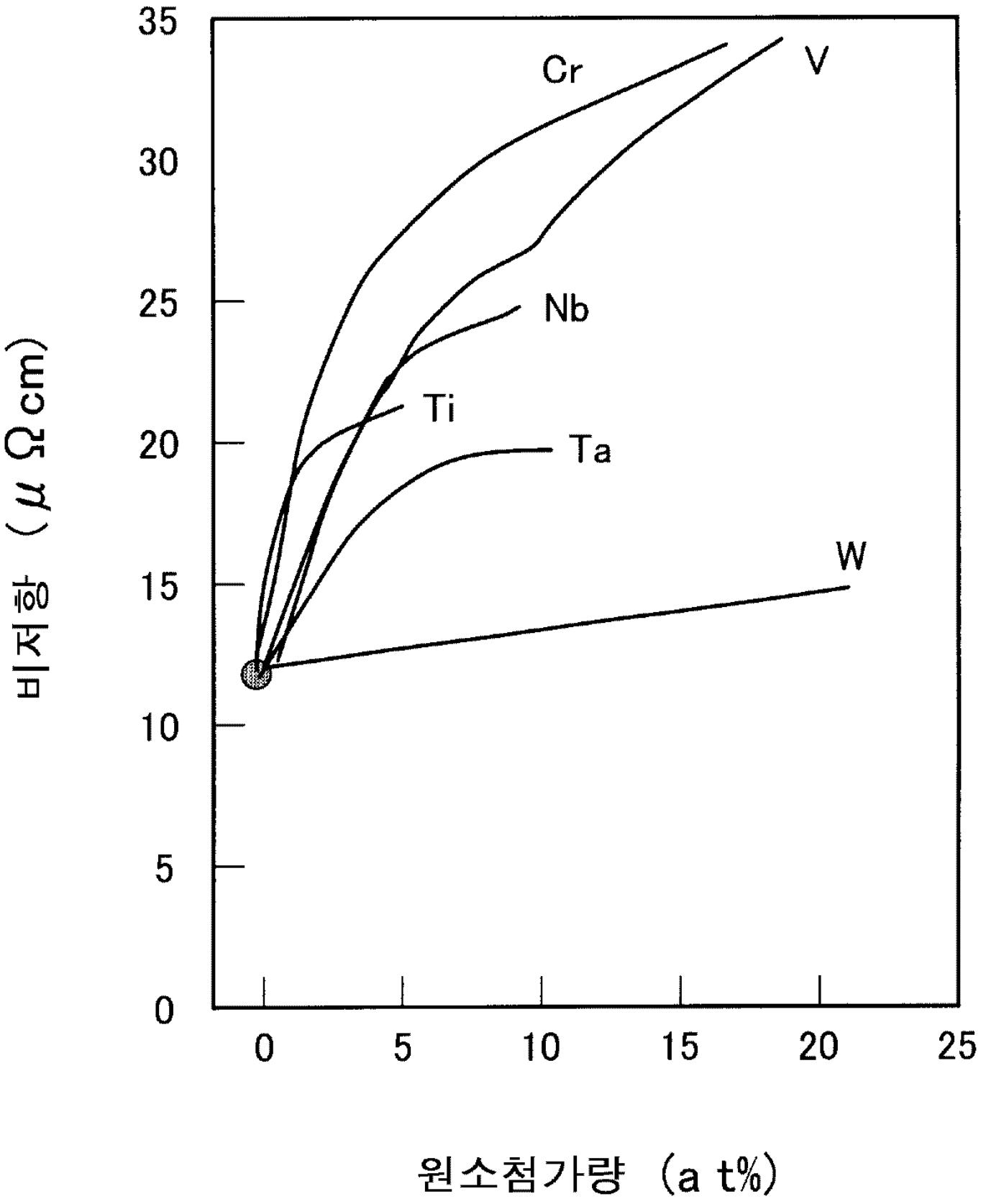
상기 제 1 층 위에 형성된 크롬 또는 하프늄 혹은 지르코늄을 첨가원소로 한 몰리브덴합금의 어느하나로 이루어지는 제 2 층의 적층구조를 가지고,

상기 제 1 층의 측단면이 순테이퍼형상을 가지며,

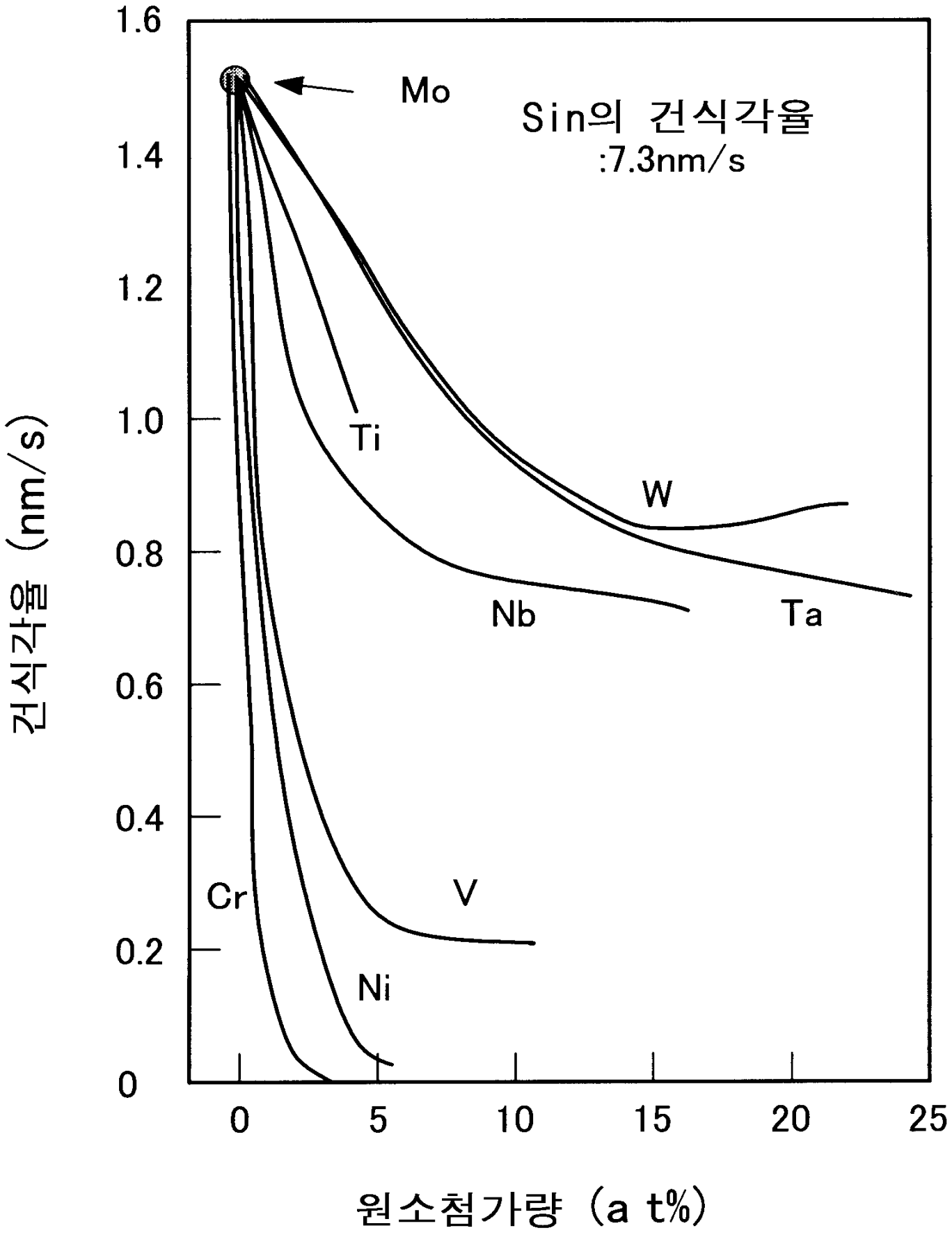
상기 제 2 층의 측단면이 기판면에 수직한 형상 또는 역테이퍼형상의 어느 하나 인것을 특지으로 하는 액정표시장치.

도면

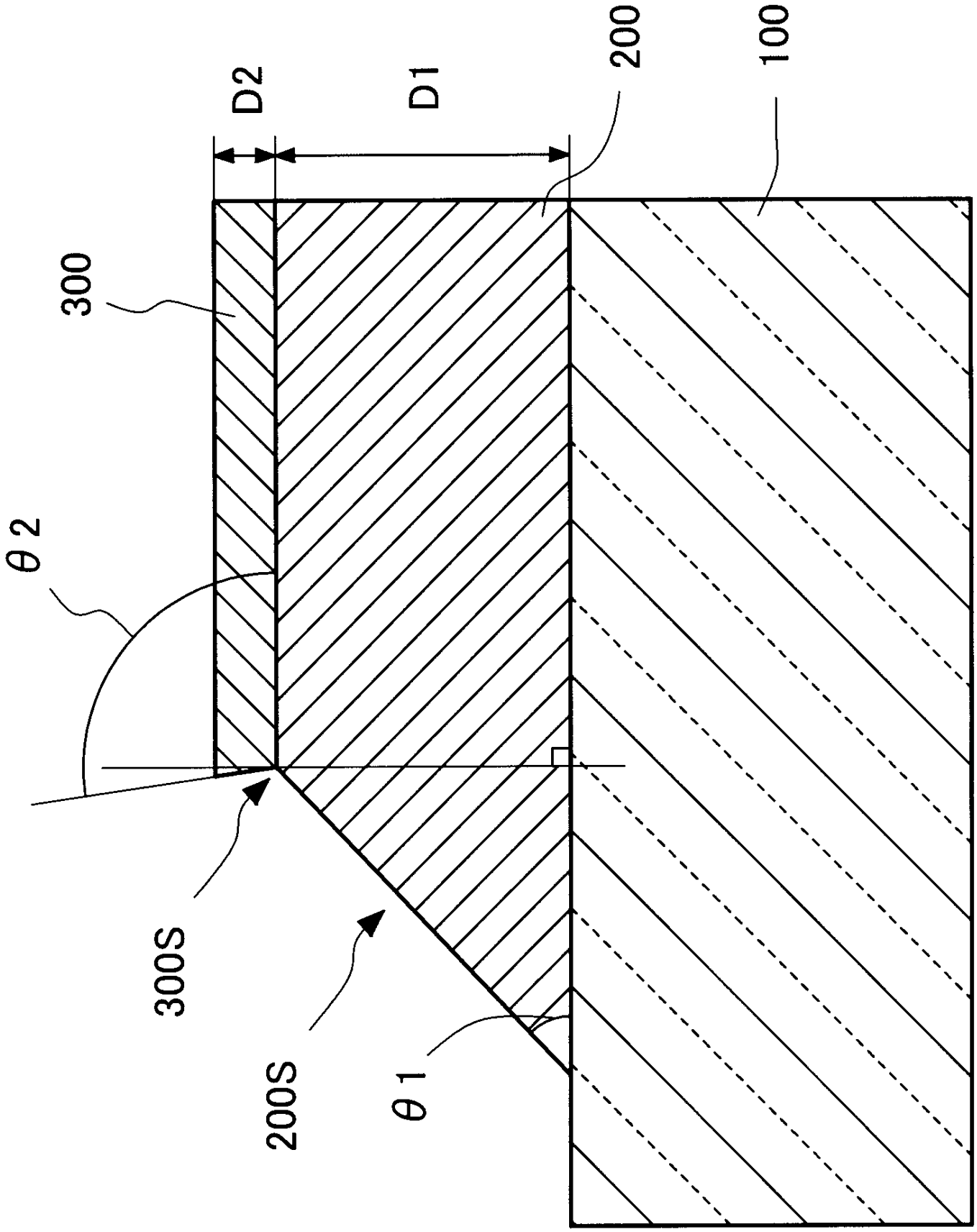
도면 1



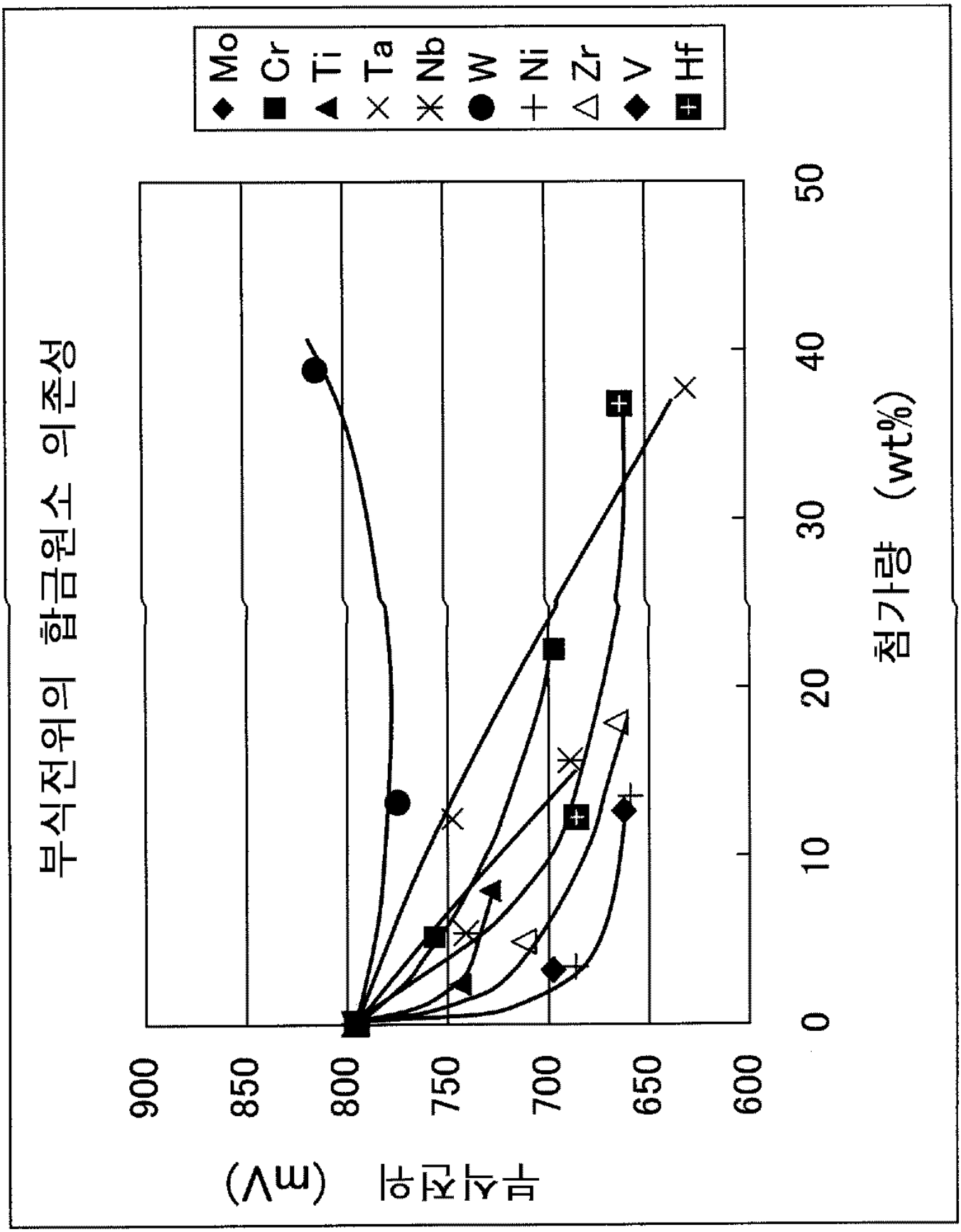
도면 2


Sin의 건식각율
:7.3nm/s
Mo
Ti
W
Nb
Ta
V
Cr
Ni
건식각율 (nm/s)
원소첨가량 (a t%)
0
0.2
0.4
0.6
0.8
1.0
1.2
1.4
1.6
0
5
10
15
20
25

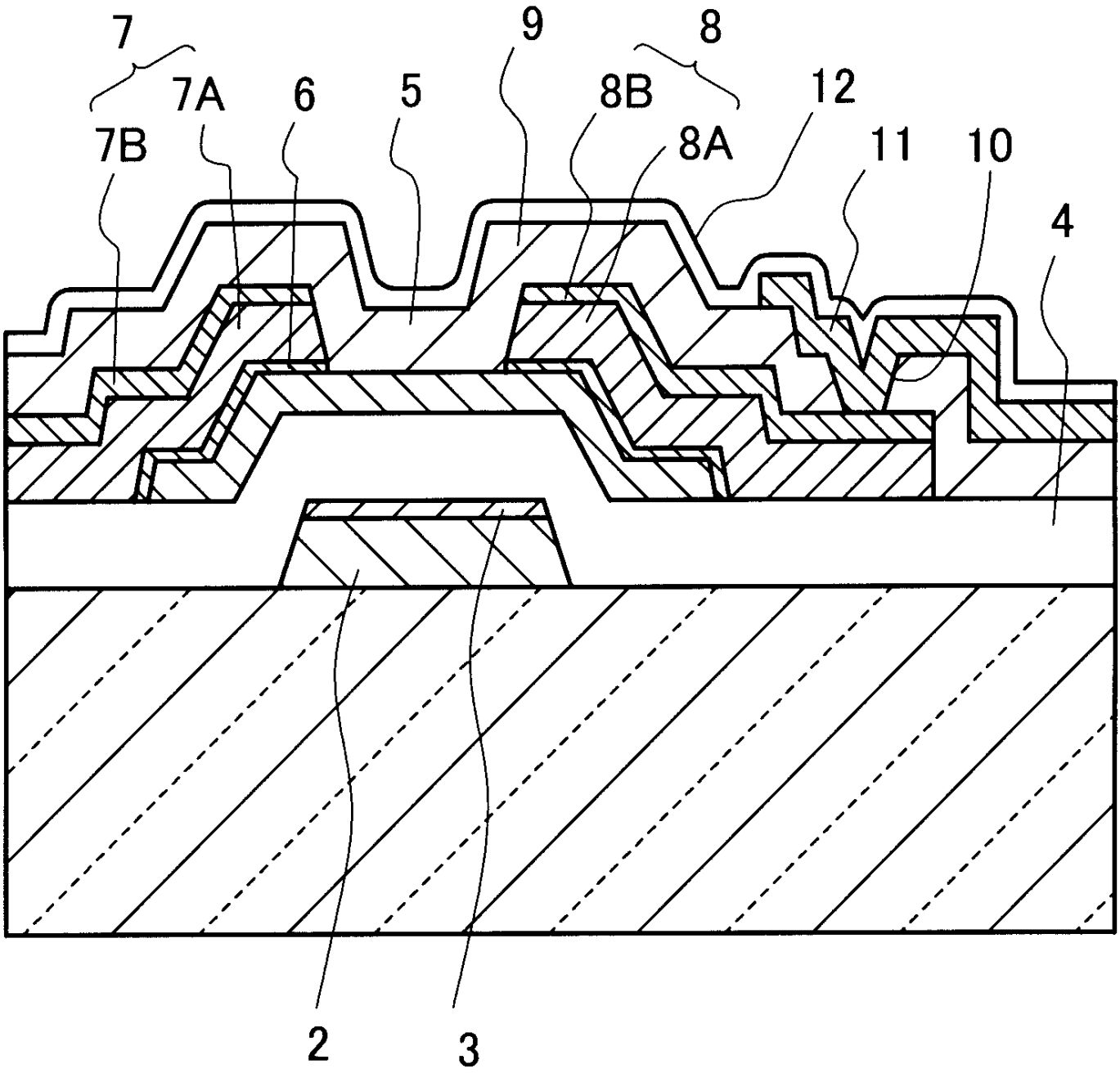
도면 3



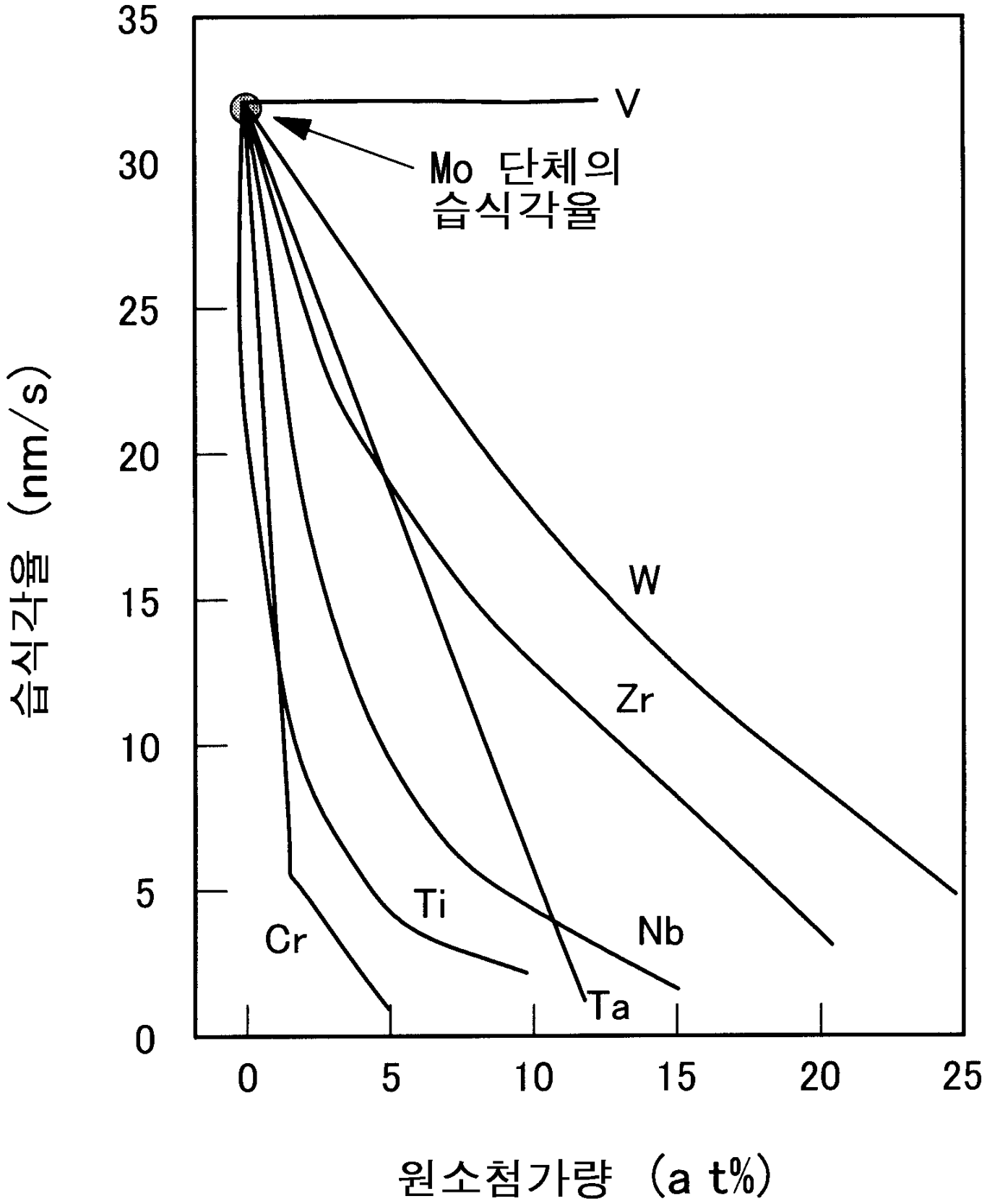
도면 4


부식전위의 합금원소 의존성
Mo
Cr
Ti
Ta
Nb
W
Ni
Zr
V
Hf
부식전위 (mV)
900
850
800
750
700
650
600
0
10
20
30
40
50
첨가량 (wt%)

도면 5

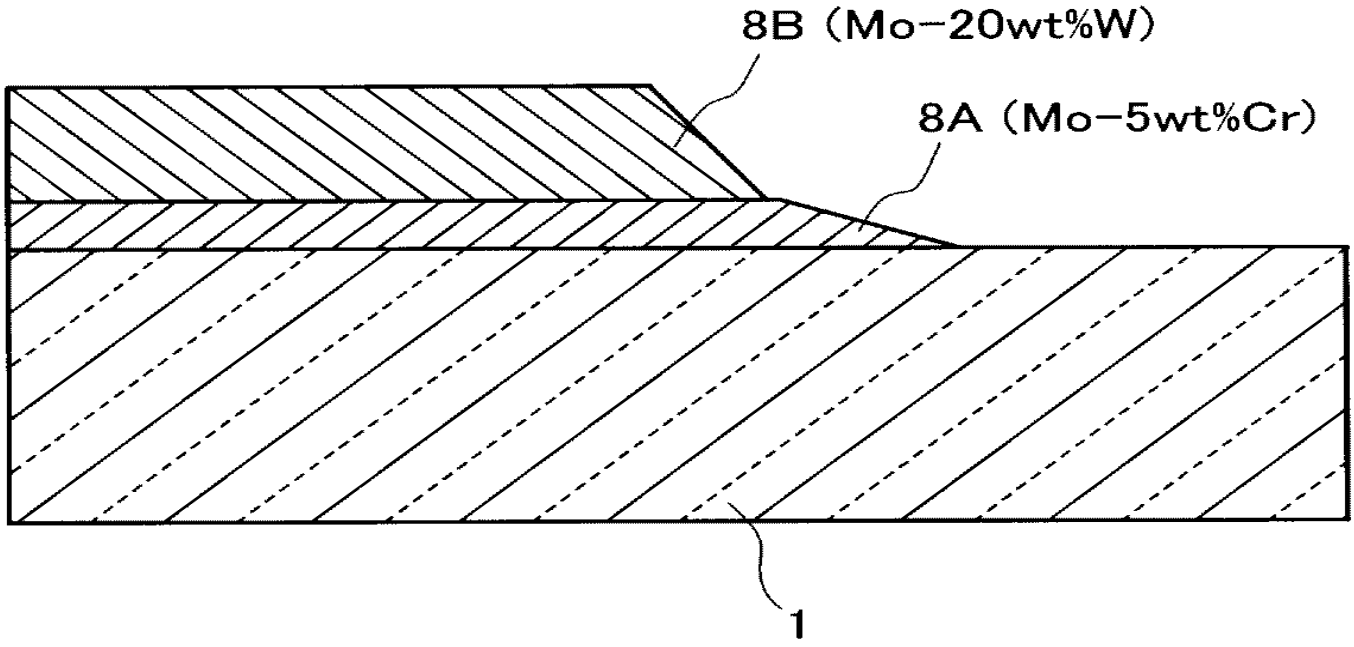


도면 6

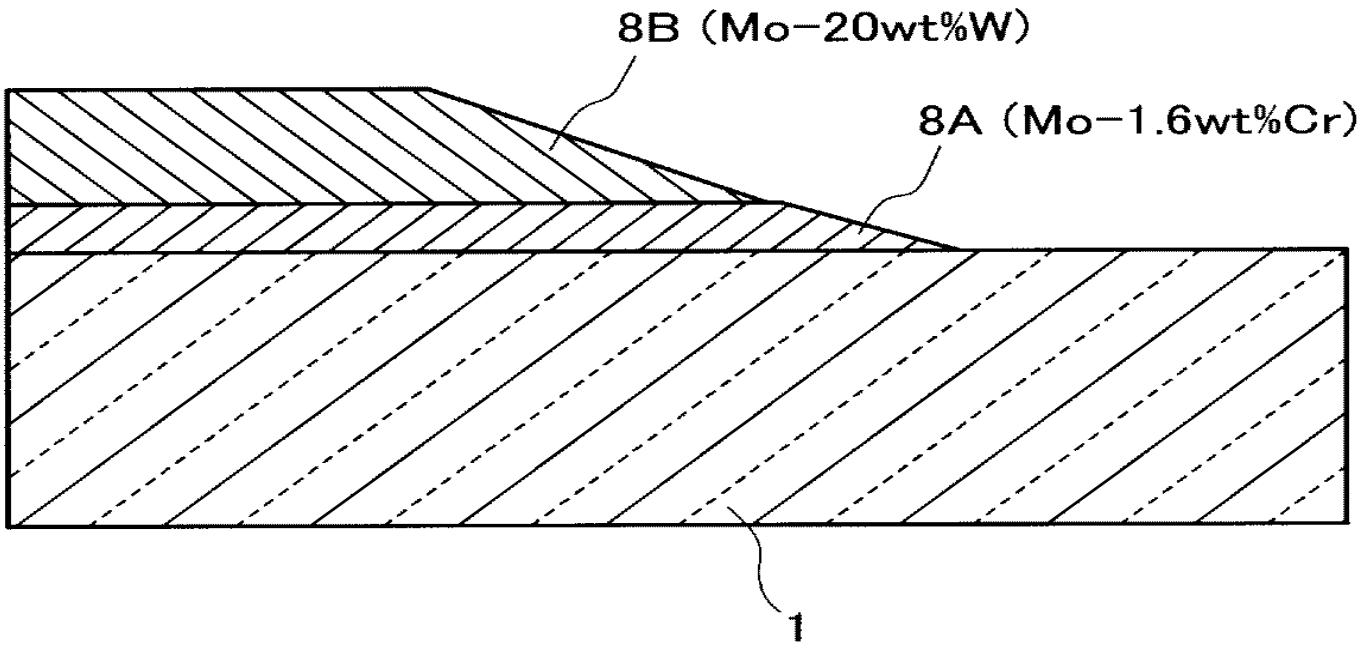

35
30
25
20
15
10
5
0
0
5
10
15
20
25
V
Mo 단체의
습식각율
W
Zr
Nb
Ta
Ti
Cr
습식각율 (nm/s)
원소첨가량 (a t%)

도면 7

(A)

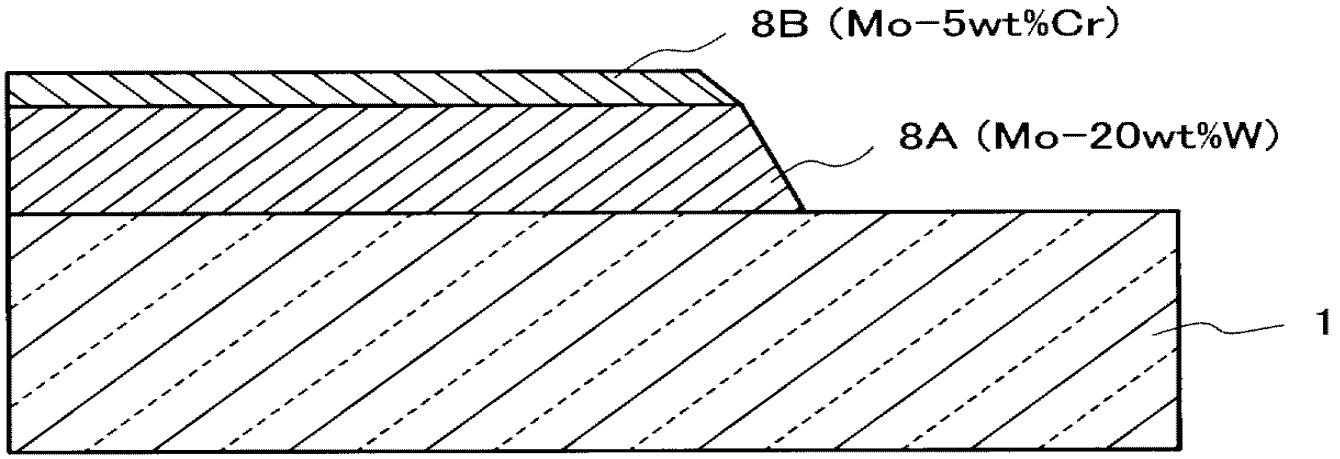


(B)

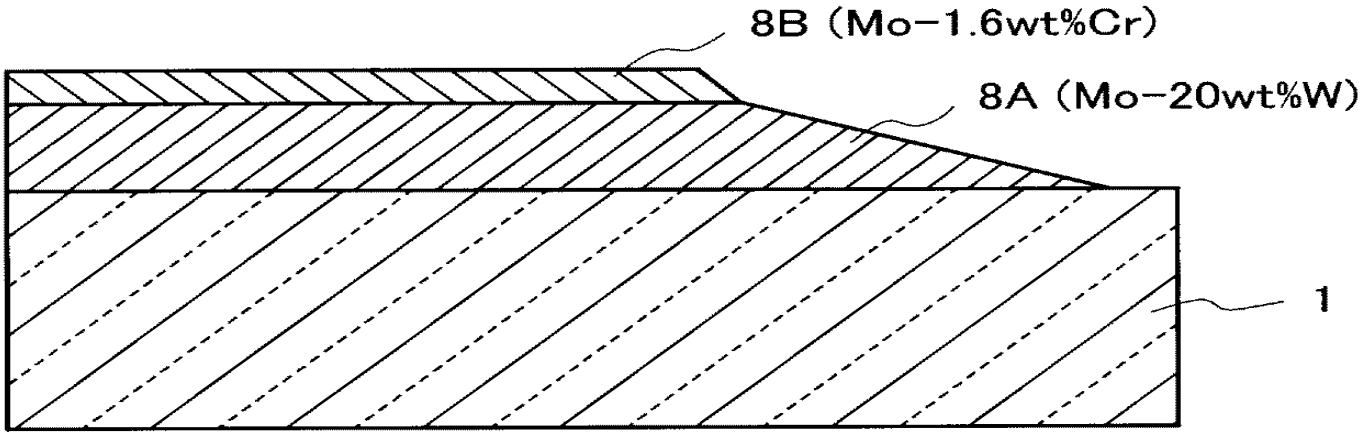


도면 8

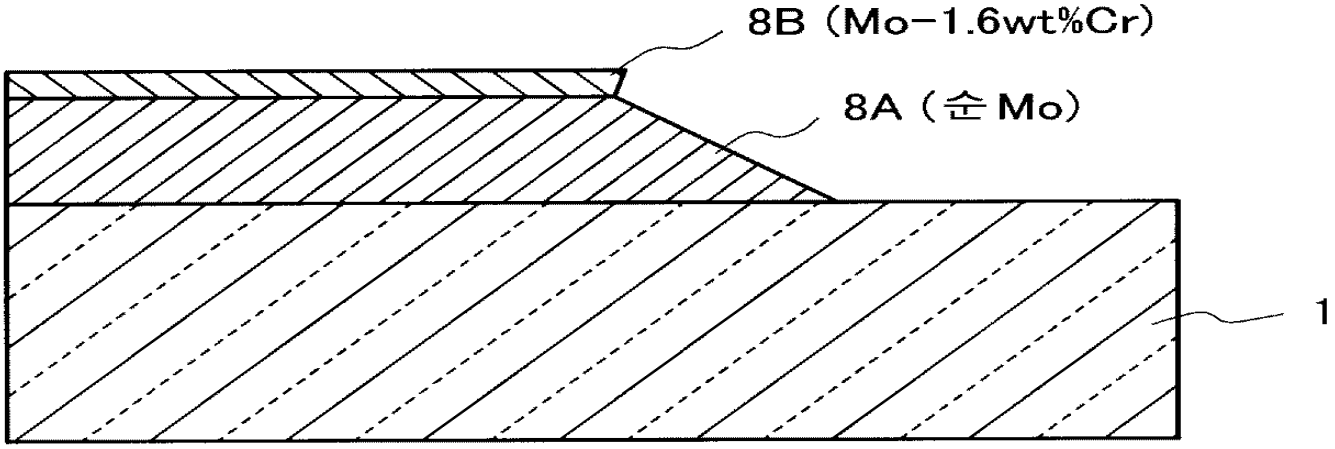
(A)


8B (Mo-5wt%Cr)
8A (Mo-20wt%W)
1

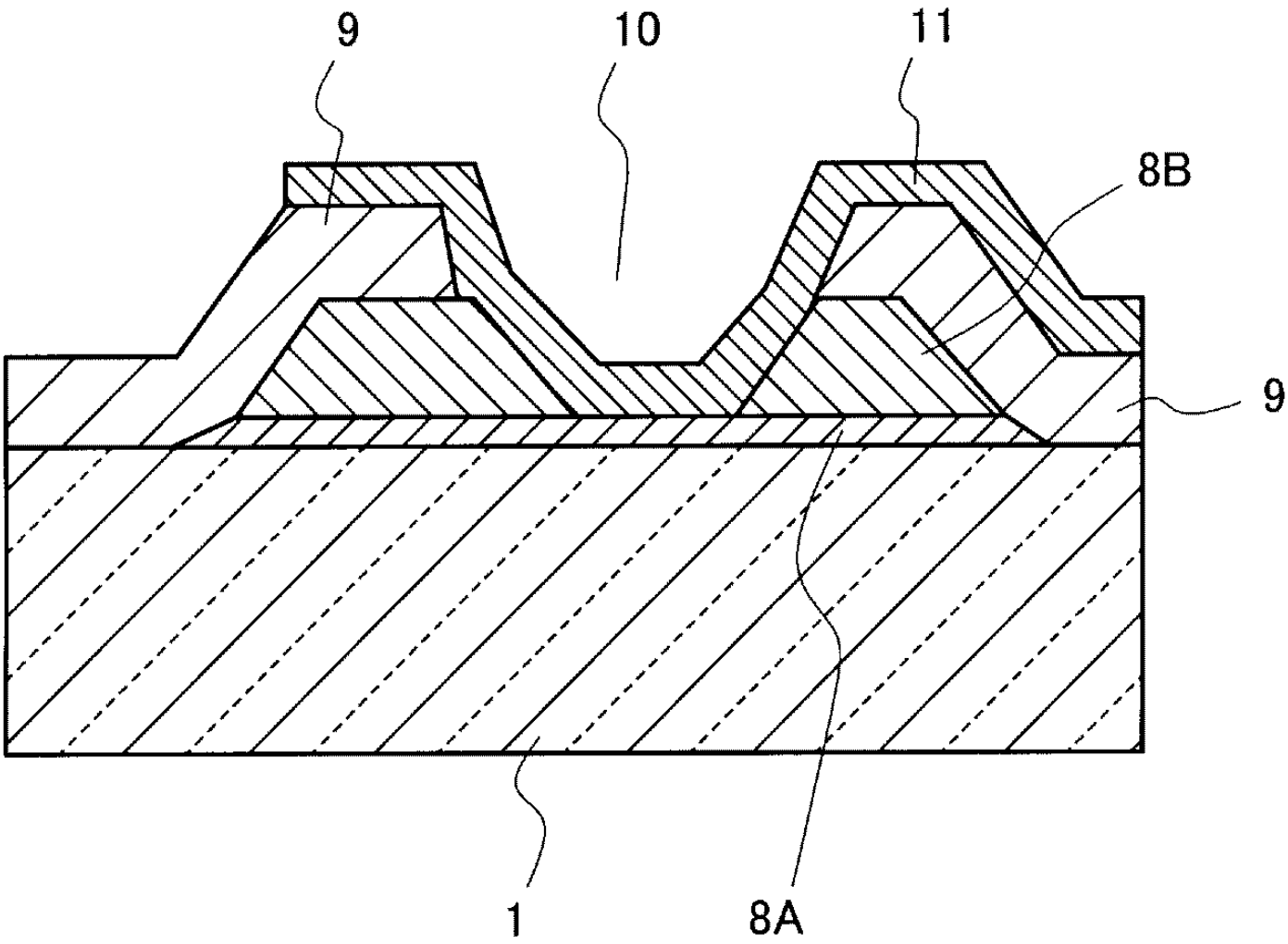
(B)


8B (Mo-1.6wt%Cr)
8A (Mo-20wt%W)
1

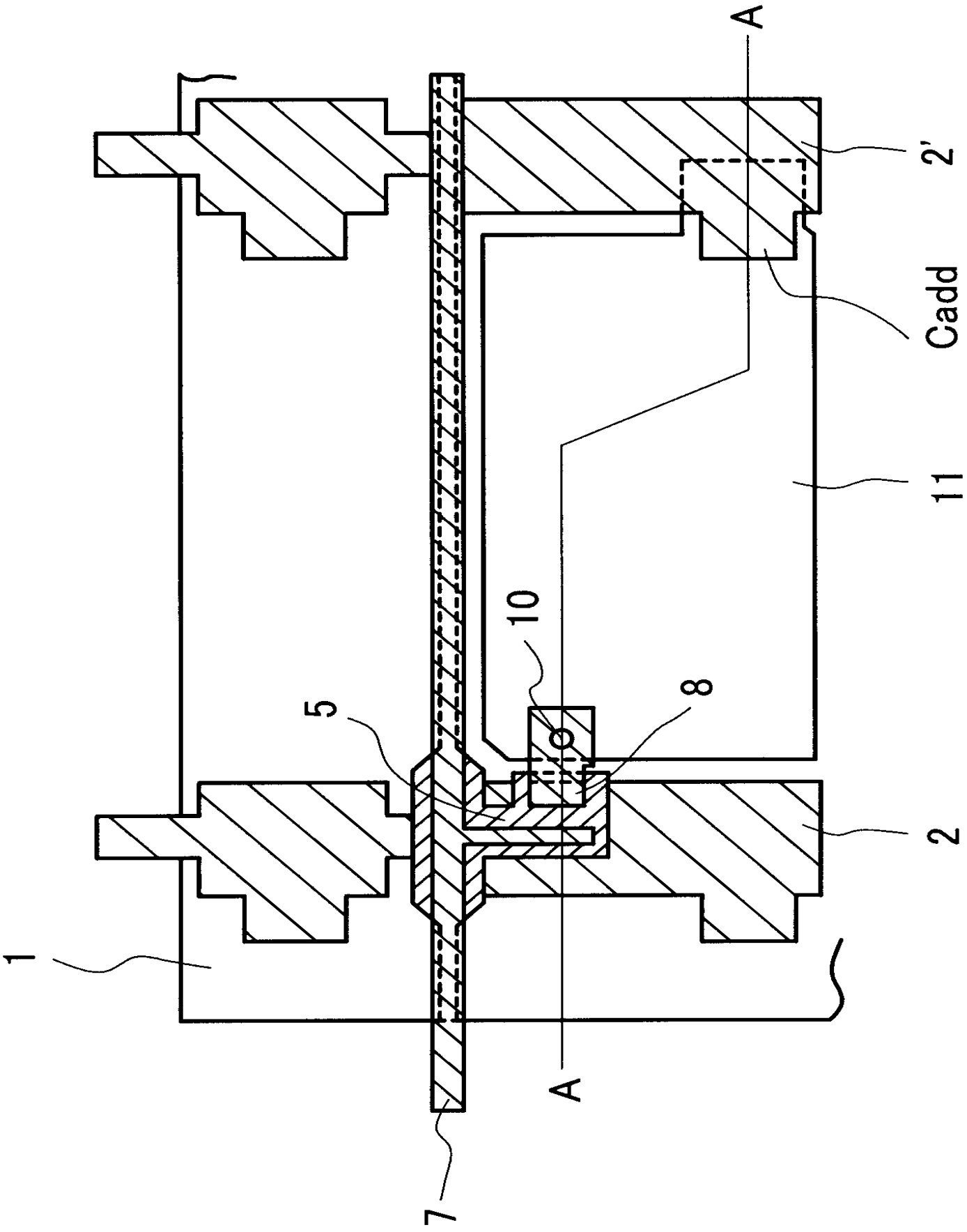
(C)


8B (Mo-1.6wt%Cr)
8A (순 Mo)
1

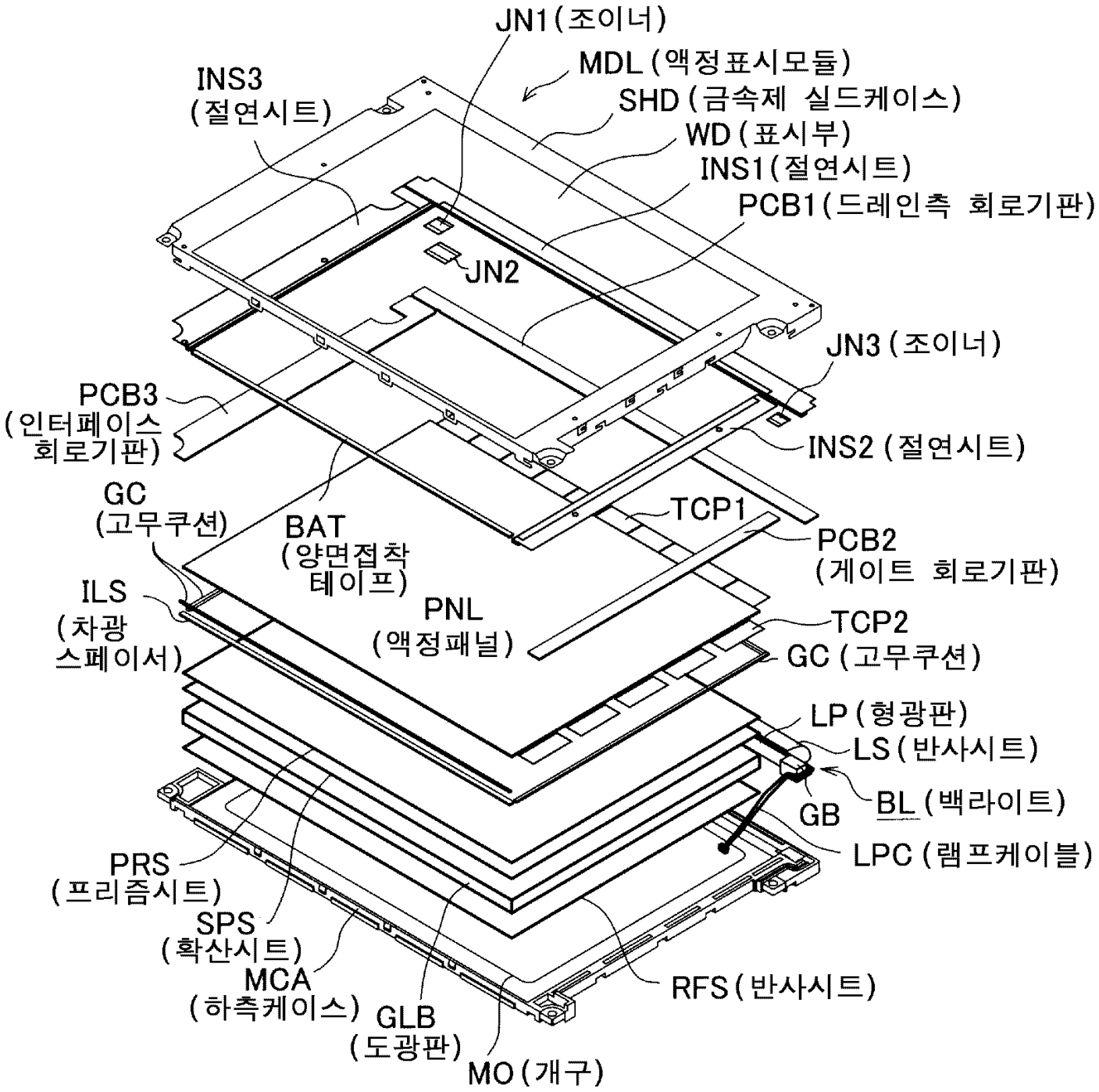
도면 9



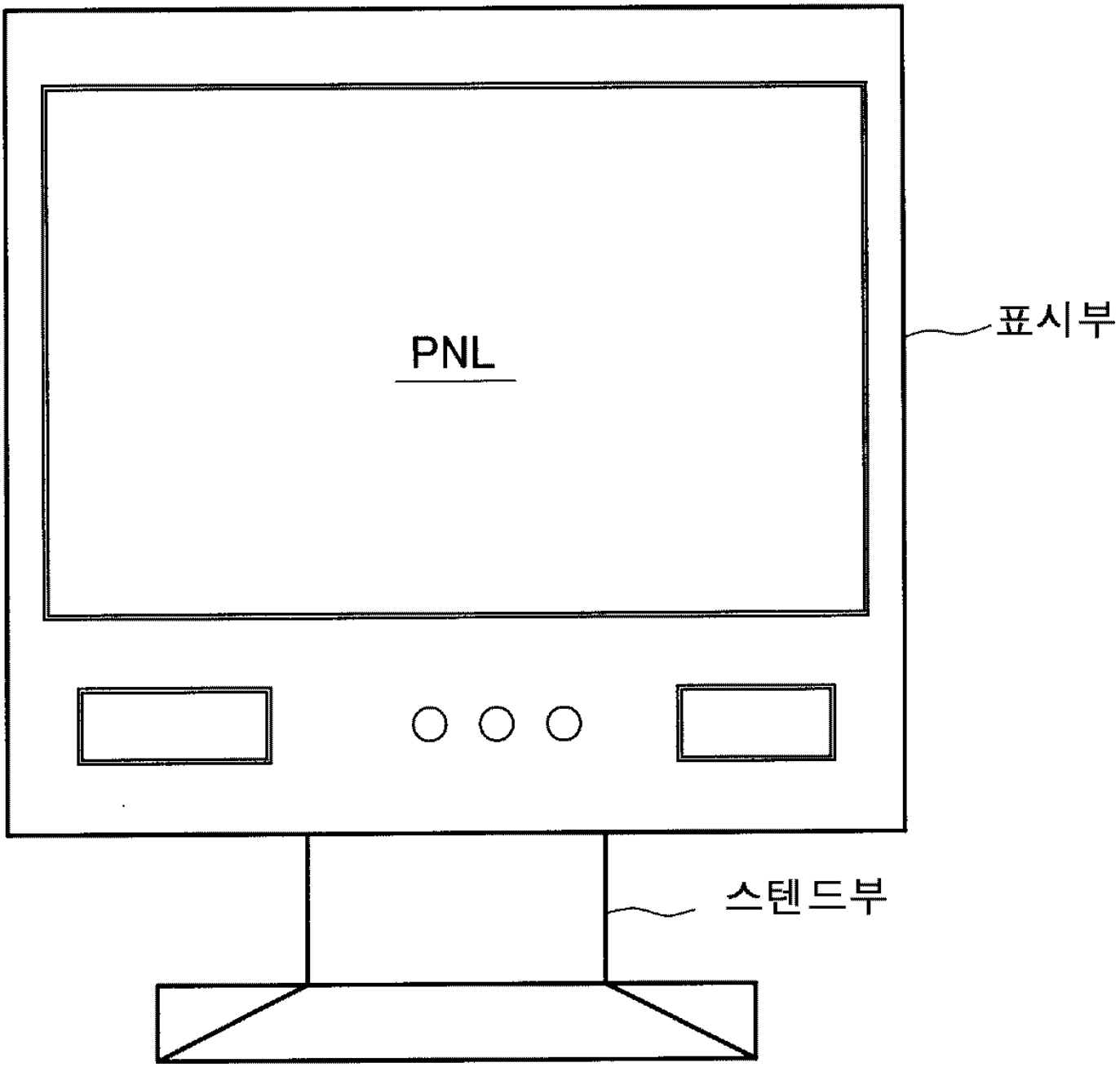
도면 10



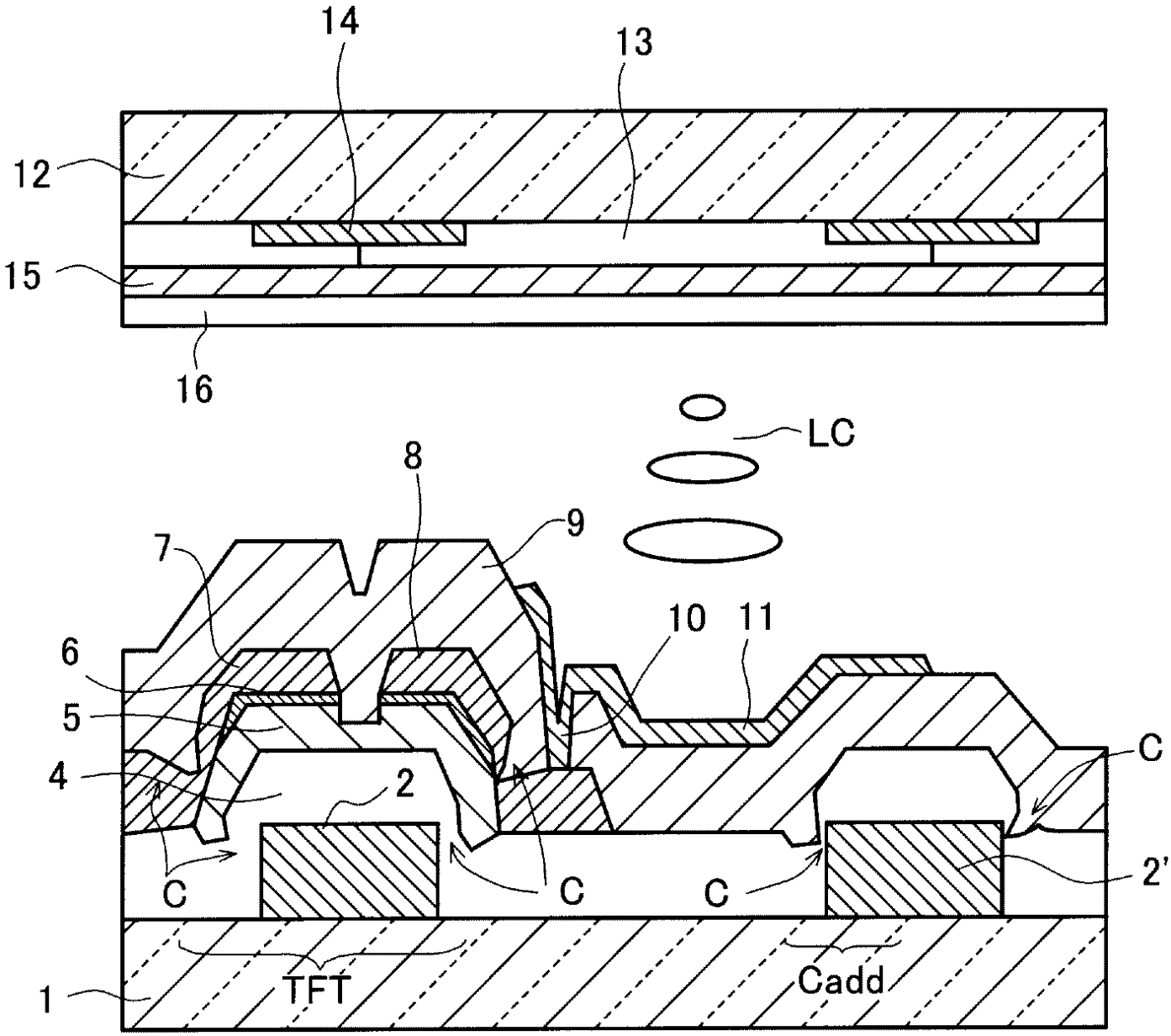
도면 11


JN1(조이너)
MDL(액정표시모듈)
INS3
(절연시트)
SHD(금속제 실드케이스)
WD(표시부)
INS1(절연시트)
PCB1(드레인측 회로기판)
JN2
JN3(조이너)
PCB3
(인터페이스
회로기판)
INS2(절연시트)
GC
(고무쿠션)
BAT
(양면접착
테이프)
TCP1
PCB2
(게이트 회로기판)
ILS
(차광
스페이서)
PNL
(액정패널)
TCP2
GC(고무쿠션)
LP(형광판)
LS(반사시트)
GB
BL(백라이트)
LPC(램프케이블)
PRS
(프리즘시트)
SPS
(확산시트)
MCA
(하측케이스)
GLB
(도광판)
RFS(반사시트)
MO(개구)

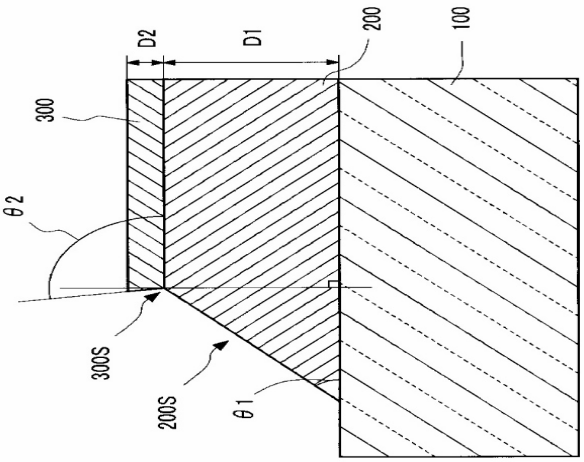
도면 12



도면 13



专利名称(译)	液晶显示器		
公开(公告)号	KR1020010088415A	公开(公告)日	2001-09-26
申请号	KR1020010011597	申请日	2001-03-07
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	KANEKO TOSHIKI 카네코토시키 HUJII KAZUMI 후지이카즈미 TERAKATO MASATOMO 테라카도마사토모		
发明人	카네코토시키 후지이카즈미 테라카도마사토모		
IPC分类号	G02F1/1343 G09F9/00 G02F1/13 G02F1/1362 G02F1/136 G02F G09F C22C27/02 C22C		
CPC分类号	G02F2001/13629 G02F1/136286		
代理人(译)	李钟IL		
优先权	2000066610 2000-03-10 JP		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。并且，在层叠布线或电极的上部形成的薄膜的台阶覆盖是足够的。此外，满足与基板的粘合性。并且防止了上层布线或下层布线的切割产生的短路，并且提高了可靠性。层叠由第一金属层（200）构成的第二层（300）的层压结构布线由在绝缘基板（100）上包括第一金属层的第一层（200）和另一个第二金属层制成，并且制作包括在内。第一层（200）的侧截面具有向前的锥形形状。第二层（300）的侧截面在基板的面上形成为垂直形状或倒锥形形状的一种形状。