

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/133

(11) 공개번호 특2001-0030350
(43) 공개일자 2001년04월16일

(21) 출원번호	10-2000-0053660
(22) 출원일자	2000년09월09일
(30) 우선권주장	1999-256693 1999년09월10일 일본(JP)
(71) 출원인	닛본 덴기 가부시끼가이샤 가네코 히사시
(72) 발명자	일본국 도쿄도 미나토구 시바 5쵸메 7방 1고 마쓰꾸마히로시
(74) 대리인	일본가나가와켄가와사끼시나카하라꾸고스기마찌1쵸메403-53닛본덴기아이씨 마이크로컴퓨터시스템즈가부시끼가이샤내 장수길, 주성민

심사청구 : 있음

(54) 액정 디스플레이 장치

요약

디스플레이 제어 회로는, 각 픽셀이 비-디스플레이 상태에 있을 때에, 하이 레벨 신호로서 비-디스플레이 제어 신호를 출력한다. 비-디스플레이 신호가 하이-레벨일 때, OR 회로에는 디스플레이 타이밍 제어 회로의 출력 신호에 무관하게 상기 비-디스플레이 제어 신호 및 디스플레이 타이밍 제어 회로의 출력 신호가 입력된다. 한편, 비-디스플레이 제어 신호가 하이 레벨일 때, 세그먼트 전원 선택기 및 공통 전원 선택기는 저전위측 전원으로서 GND를 출력한다. OR 회로의 출력 신호가 하이 레벨일 때, 세그먼트 드라이버 및 공통 드라이버는 세그먼트 전원 선택기 또는 공통 전원 선택기의 출력 전위 중에서 저전위측 전원을 출력한다. 따라서, 픽셀이 비-디스플레이 상태일 때 세그먼트 드라이버 및 공통 드라이버로부터 각 픽셀로 출력되는 전위는 항상 GND이다.

대표도

도4

색인어

세그먼트 드라이버, 공통 드라이버, OR 회로, 비-디스플레이 제어 신호, 세그먼트 전원 선택기, 공통 전원 선택기, 디스플레이 타이밍 제어 회로

명세서

도면의 간단한 설명

도 1은 종래의 액정 디스플레이 장치 내의 세그먼트 드라이버의 블록도.

도 2는 종래의 액정 디스플레이 장치 내의 공통 드라이버의 블록도.

도 3a는 종래의 액정 디스플레이 장치 내에서 비-디스플레이 상태일 때의 세그먼트 파형을 나타내는 개략적인 파형도 (세로축은 전위, 가로축은 시간을 나타냄).

도 3b는 종래의 액정 디스플레이 장치 내에서 비-디스플레이 상태일 때의 공통 파형을 나타내는 개략적인 파형도 (세로축은 전위, 가로축은 시간을 나타냄).

도 4는 본 발명의 일 실시예에 따른 액정 디스플레이 장치의 블록도.

도 5는 본 발명의 일 실시예에 따른 액정 디스플레이 장치 내의 세그먼트 전원 선택기, 세그먼트 드라이버 제어 회로 및 세그먼트 드라이버의 블록도.

도 6은 본 발명의 일 실시예에 따른 액정 디스플레이 장치 내의 공통 전원 선택기, 공통 드라이버 제어 회로 및 공통 드라이버의 블록도.

도 7은 본 발명의 일 실시예에 따른 세그먼트 드라이버 제어 회로 및 세그먼트 드라이버 회로의 입출력 파형을 나타내는 타이밍도 (세로축은 전위, 가로축은 시간을 나타냄).

도 8a는 본 발명의 일 실시예에 따른 세그먼트 드라이버의 입출력 파형을 나타내는 타이밍도 (세로축은 전위, 가로축은 시간을 나타냄).

도 8b는 도 8a의 주요 부분에 대한 확대도.

도 9는 본 발명의 일 실시예에 따른 공통 드라이버 제어 회로 및 공통 드라이버의 입출력 파형을 나타내는 타이밍도 (세로축은 전위, 가로축은 시간을 나타냄).

도 10a는 본 발명의 일 실시예에 따른 공통 드라이버의 입출력 파형을 나타내는 타이밍도 (세로축은 전위, 가로축은 시간을 나타냄).

도 10b는 도 10a의 주요 부분에 대한 확대도.

〈도면의 주요 부분에 대한 부호의 설명〉

- 1, 100 : 세그먼트 전원 선택기
- 2, 110 : 세그먼트 드라이버 제어 회로
- 2, 120 : 세그먼트 드라이버
- 4, 130 : 공통 전원 선택기
- 5, 140 : 공통 드라이버 제어 회로
- 6, 150 : 공통 드라이버
- 7 : 승압 회로
- 8 : 디스플레이 제어 회로
- 9 : LCD 패널
- 10, 40, 101, 131 : 전원 스위칭 타이밍 제어 회로
- 11, 41, 102, 132 : 스위치 a
- 12, 42, 103, 133 : 스위치 b
- 13, 43, 104, 134 : 스위치 c
- 14, 44, 105, 135 : 스위치 d
- 20, 50, 111, 131 : 표시 타이밍 제어 회로
- 21, 51 : OR 회로
- 30, 60, 121, 151 : p 채널 출력 버퍼
- 31, 61, 122, 152 : n 채널 출력 버퍼
- 32, 123 : 세그먼트 단자
- 62, 153 : 공통 단자
- 71 : 스위치
- 72 : 전원
- 80 : 디스플레이 메모리

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 소비 전력을 감소시킬 수 있는 액정 디스플레이 장치에 관한 것이다.

저 소비 전력 마이크로컴퓨터를 개발하는 데 있어서 한가지 중요한 점은, 동작이 불필요한 동안 회로의 동작을 중지시키거나 회로의 동작 주파수를 가능한 한 저하시키는 것이다.

도 1은 종래의 액정 디스플레이 장치 내의 세그먼트 드라이버 회로의 블록도이다. 도 2는 종래의 종래의 액정 디스플레이 장치 내의 공통 드라이버 회로의 블록도이다. 도 3a는 종래의 액정 디스플레이 장치에서 비-디스플레이 상태일 때의 세그먼트 파형을 나타내는 개략적인 파형도로서, 세로축은 전위를 나타내고, 가로축은 시간을 나타낸다. 도 3b는 종래의 액정 디스플레이 장치에서 비-디스플레이 상태일 때의 공통 파형을 나타내는 개략적인 파형도로서, 세로축은 전위를 나타내고, 가로축은 시간을 나타낸다.

도 1에 도시된 바와 같이, 종래의 액정 디스플레이 장치에서 이용되던 세그먼트 드라이버 회로는 세그먼트 전원 선택기(100), 세그먼트 드라이버 제어 회로(110) 및 세그먼트 드라이버(120)를 포함한다. 세그먼트 전원 선택기(100)는 전원 스위칭 타이밍 제어 회로(101)를 포함하며, 여기에 스위치 a(102), 스위치 b(103), 스위치 c(104) 및 스위치 d(105)가 접속된다. 스위치 a(102)는 접지 전원 GND에 접속되고, 스위치 b(103), 스위치 c(104) 및 스위치 d(105)에는 전원 VLC2, VLC1 및 VLC0가 각각 인가된다. 전원 스위칭 타이밍 제어 회로(101)는 스위치 c(104) 및 스위치 d(105) 간의 스위칭을 위한 클럭 신호를 제공받아, 고전위측 전원 VSH로서 출력 VLC0 또는 VLC1을 선택적으로 출력한다. 한편, 제어 회로(101)는 스위치 a(102)와 스위치 b(103) 간에서 스위칭하여, 저전위측 전원 VSL로서 VLC2 또는 GND를 선택적으로

출력한다.

세그먼트 드라이버 제어 회로(110)는 프레임 신호 0 내지 3과 디스플레이 메모리 데이터 00이 입력되는 디스플레이 타이밍 제어 회로(111)를 구비하며, 디스플레이 타이밍 제어 회로(111)는 세그먼트 드라이버 게이트 신호 S00을 출력한다.

CMOS형의 세그먼트 드라이버(120)는 p 채널 출력 버퍼(121) 및 n 채널 출력 버퍼(122)를 구비한다. p 채널 출력 버퍼(121)에는 입력으로서 고전위측 전원 VSH가 제공되고, n 채널 출력 버퍼(122)에는 입력으로서 저전위측 전원 VSL이 제공된다. p 채널 출력 버퍼(121) 및 n 채널 출력 버퍼(122)의 접속 노드는 세그먼트 단자(123)에 접속된다. 디스플레이 타이밍 제어 회로(111)의 출력 S00은 p 채널 출력 버퍼(121) 및 n 채널 출력 버퍼(122)의 게이트에 입력된다. 세그먼트 드라이버 게이트 신호 S00이 하이 레벨로 되면, n 채널 출력 버퍼(122)가 턴온되고 VSL이 세그먼트 단자(123)로 출력된다. 세그먼트 드라이버 게이트 신호 S00이 로우 레벨로 되면, p 채널 출력 버퍼(121)가 턴온되고 VSH가 세그먼트 단자(123)로 출력된다.

도 2에 도시된 바와 같이, 종래의 액정 디스플레이 장치에서 이용되던 공통 드라이버 회로는 공통 전원 선택기(130), 공통 드라이버 제어 회로(140) 및 공통 드라이버(150)를 포함한다. 공통 전원 선택기(130)는 스위치 a(132), 스위치 b(133), 스위치 c(134) 및 스위치 d(135)가 접속되는 전원 스위칭 타이밍 제어 회로(131)를 포함한다. 스위치 a(132)는 접지 전위 GND에 접속되고, 스위치 b(133), 스위치 c(134) 및 스위치 d(135)에는 전원 VLC2, VLC1 및 VLC0이 각각 제공된다. 전원 스위칭 타이밍 제어 회로(131)는 스위치 c(134)와 스위치 d(135) 간에서의 스위칭을 위한 클럭 신호를 제공받아, 고전위측 전원 VCH로서 VLC0 또는 VLC1을 선택적으로 출력한다. 회로(131)는 스위치 a(132)와 스위치 b(133) 간에서 스위칭하여, 저전위측 전원 VCL로서 VLC2 또는 GND를 선택적으로 출력한다.

공통 드라이버 제어 회로(140)는 프레임 신호 0 내지 3이 입력되는 디스플레이 타이밍 제어 회로(141)를 구비하며, 디스플레이 타이밍 제어 회로(141)는 공통 드라이버 게이트 신호 C00을 출력한다.

CMOS형의 공통 드라이버(150)는 p 채널 출력 버퍼(151) 및 n 채널 출력 버퍼(152)를 구비한다. p 채널 출력 버퍼(151)에는 입력으로서 고전위측 전원 VCH가 제공되고, n 채널 출력 버퍼(152)에는 입력으로서 저전위측 전원 VCL이 제공된다. p 채널 출력 버퍼(151) 및 n 채널 출력 버퍼(152)의 접속 노드는 공통 단자(153)에 접속된다. 디스플레이 타이밍 제어 회로(141)의 출력 C00은 p 채널 출력 버퍼(151) 및 n 채널 출력 버퍼(152)의 게이트에 접속된다. 공통 드라이버 게이트 신호 C00이 하이 레벨로 되면, n 채널 출력 버퍼(152)가 턴온되고 VLC 이 공통 단자(153)로 출력된다. 공통 드라이버 게이트 신호 C00이 로우 레벨로 되면, p 채널 출력 버퍼(151)가 턴온되고 VCH가 공통 단자(153)로 출력된다.

상기의 구성을 갖는 종래의 액정 디스플레이 장치에서, 세그먼트 드라이버 회로 내의 전원 스위칭 타이밍 제어 회로(101)는 클럭 신호에 응답하여 동작하며, 예를 들어 도 3a에 도시된 바와 같이, VSH로서 VLC1을 선택하여 출력하고, VSL로서 VLC2를 선택하여 출력한다. 비-디스플레이 상태에서는 세그먼트 드라이버 제어 회로(110) 내의 디스플레이 타이밍 제어 회로(111)에 클럭 신호만이 입력된다. 디스플레이 타이밍 제어 회로(111)는 세그먼트 드라이버 게이트 신호 S00로서 클럭 신호와 동기하여 하이와 로우 간에서 스위칭되는 신호를 세그먼트 드라이버(120)에 출력한다. 따라서, 도 3a에 도시된 바와 같이, 구형의 세그먼트 파형 S0가 세그먼트 단자(123)에 출력된다.

공통 드라이버 회로 내의 전원 스위칭 타이밍 제어 회로(131)는 클럭 신호에 응답하여 동작하며, 예를 들어, 도 3b에 도시된 바와 같이, VCH로서 VLC1을 선택하여 출력하고, VLC로서 VLC2를 선택하여 출력한다. 비-디스플레이 상태에서, 공통 드라이버 제어 회로(140) 내의 디스플레이 타이밍 제어 회로(141)에는 클럭 신호만이 제공된다. 디스플레이 타이밍 제어 회로(141)는 공통 드라이버 게이트 신호 C00로서 클럭 신호에 동기하여 하이와 로우 간에서 스위칭되는 신호를 공통 드라이버(150)에 출력한다. 따라서, 도 3b에 도시된 바와 같이, 구형의 공통 파형 C0가 공통 단자(153)에 출력된다.

그러나, 세그먼트 드라이버(120)는 CMOS형 장치이기 때문에, 세그먼트 단자(123)에 출력되는 신호 S0가 도 3a에 도시된 것과 같은 구형파의 출력 상태로 전이되면, p 채널 출력 버퍼(121) 및 n 채널 출력 버퍼(122) 내에 관통 전류가 발생한다.

마찬가지로, 공통 드라이버(150)도 CMOS형 장치이기 때문에, 공통 단자(153)에 출력되는 신호 C0가 도 3b에 도시된 것과 같은 구형파의 출력 상태로 전이되면, p 채널 출력 버퍼(151) 및 n 채널 출력 버퍼(152) 내에 관통 전류가 발생한다. 이로 인해 전류 손실이 발생하고 소비 전력이 증가한다.

또한, 도 3a 및 도 3b에 도시된 바와 같이, 종래의 액정 디스플레이 장치(이하, LCD 장치로 칭함)에서는, 비-디스플레이 상태일 때 중간 전위 레벨의 구형파가 세그먼트 단자(123) 및 공통 단자(153)로부터 출력되기 때문에, 전류가 낭비된다.

한편, 종래의 LCD 장치에서, LCD 디스플레이에 대하여 승압 전원을 이용하여 디스플레이하는 전원 제어 회로는 부하로/로부터 승압 전원을 접속시킬 것인지 단절시킬 것인지를 선택할 수 있다. 그 결과, 승압 회로와 부하가 분리되어, 전원을 턴온하고 초기화한 직후에 승압하는 데에 필요한 시간을 감소시킨다. 부하는 주로 세그먼트 단자 용량과 LCD 패널 용량을 의미한다. 디스플레이 상태에서 비-디스플레이 상태로의 전이가 전원 제어 회로에 의해서만 제어되는 경우, 전원 제어 회로 내에서는 비-디스플레이 상태로 전이하기 위해 전원과 부하의 단절이 선택된다. 승압 회로가 부하로부터 분리되면, 부하에는 더 이상 전원이 공급되지 않으며, 전원으로부터 분리되기 직전의 전위가 부하 자체의 용량에 의해 유지된다. 따라서, 소등 시에 부하(세그먼트 단자 또는 공통 단자)에 충전된 전하들이 자연 방전하기까지의 시간이 필요하기 때문에, LCD 패널이 턴오프되는 데에는 비교적 긴 시간이 걸린다.

상술한 문제들 중 일부를 해결하기 위해, 소비 전력이 감소된 LCD 장치가 제안되어 왔다 (일본 특개평 2-210492호, 일본 특개평 2-221998호).

일본 특개평 2-210492호는, 액정 디스플레이 소자의 드라이브 회로의 전원 내에 제공되어 액정 디스플레이 소자에 대한 클럭 신호를 차단할 수 있는 복수의 양방향 트랜스퍼 게이트를 구비하는 LCD 패널을 개시하고 있다.

LCD 장치는, 양방향 트랜스퍼 게이트를 스탠바이 제어 신호에 의해 비도통 상태로 하여, LCD 장치 소자를 구동하기 위한 전체 출력 단자의 출력을 하이 임피던스 상태로 함으로써, 액정 디스플레이 소자의 특성을 저하시키지 않고서도 구동 클럭 신호가 정지될 수 있게 한다.

일본 특개평 2-221998호는, 2개의 양방향 트랜스퍼 게이트 회로가 액정 디스플레이 소자를 직접 구동하는 출력 버퍼 회로의 전원 소스에 접속되어 있고, 액정을 구동하기 위한 전원과 그 외의 전원들이 트랜스퍼 게이트 회로에 대한 제어 신호에 의해 스위칭될 수 있는 LCD 패널을 개시하고 있다. LCD 장치는 액정 디스플레이 소자를 직접 구동하는 공통 전극 구동 신호 및 세그먼트 전극 신호의 동작 상태에 따라 특정한 전압을 출력할 수 있다.

그러나, 일본 특개평 2-210492호에 따르면, 모든 출력 단자가 하이 상태에 있기 때문에, LCD 장치가 비-디스플레이 상태일 때에는 LCD 장치의 깜박거림이 발생한다는 문제점이 있다.

일본 특개평 2-221998호에 따르면, LCD 장치가 다이내믹 시스템에서 이용되고, GND 또는 GND보다 높은 전위가 트랜스퍼 게이트 회로의 출력으로서 선택되는 경우, 출력 버퍼 회로의 p 채널 내에 역 바이어스가 발생하여 전류가 증가하고, 각 LCD 단자에 대한 n 채널 버퍼 소스 전위로서 VDD 레벨이 선택될 수 없다.

또한, 일본 특개소 59-002081호, 일본 특개평 6-245172호 및 일본 특개평 10-207429호는 디스플레이 장치의 전원을 감소시키기 위한 기술을 개시하고 있지만, 상술한 문제점들은 해결할 수 없다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은, 비-디스플레이 상태에서 소비 전력을 감소시키고, 디스플레이 상태에서 비-디스플레이 상태로의 전이 시간을 감소시킬 수 있는 액정 디스플레이 장치를 제공하는 것이다.

본 발명에 따른 액정 디스플레이 장치는, 액정 디스플레이 패널; 액정 디스플레이 패널 내의 각 픽셀을 구동하는 공통 드라이버 및 세그먼트 드라이버; 디스플레이 타이밍에 기초하여 공통 드라이버 및 세그먼트 드라이버를 제어하는 공통 드라이버 제어 회로 및 세그먼트 드라이버 제어 회로; 접지 전위를 포함하는 복수의 전위로 전원을 출력하는 승압 회로; 승압 회로와 공통 드라이버 사이에 접속되어, 공통 드라이버에 고전위측 및 저전위측의 2가지 전원을 선택적으로 공급하는 공통 전원 선택기; 승압 회로와 세그먼트 드라이버 사이에 접속되어, 세그먼트 드라이버에 고전위측 및 저전위측의 2가지 전원을 선택적으로 공급하는 세그먼트 전원 선택기; 및 픽셀이 비-디스플레이 상태일 때, 공통 전원 선택기, 공통 드라이버 제어 회로, 세그먼트 전원 선택기 및 세그먼트 드라이버 제어 회로에 비-디스플레이 제어 신호를 입력하고, 공통 드라이버 및 세그먼트 드라이버가 접지 전위를 출력하게 하는 수단을 포함한다.

본 발명에 따르면, 비-디스플레이 제어 신호가 입력된 때, 액정 디스플레이 패널 내의 각 픽셀을 구동하기 위한 공통 드라이버 및 세그먼트 드라이버는 접지 전위를 출력하기 때문에, 비-디스플레이 상태의 각 픽셀에는 중간 전위의 구형파가 아닌 접지 전위가 제공된다. 그러므로, 액정 디스플레이 패널이 비-디스플레이 상태일 때, 소비 전력이 감소될 수 있다.

또한, 본 발명에 따르면, 액정 패널의 상태가 디스플레이 상태에서 비-디스플레이 상태로 변하면, 용량 내에 집적되어 있던 전하들이 접지 전위에 의해 방전될 수 있으므로, 전하가 신속하게 방전될 수 있다. 그 결과, 디스플레이 상태에서 비-디스플레이 상태로의 전이에 필요한 시간이 감소될 수 있으므로, 소드에 필요한 시간도 감소될 수 있다.

이 경우, 공통 드라이버 및 세그먼트 드라이버는 고전위측 전원의 입력 단자와 저전위측 전원의 입력 단자 사이에 직렬로 접속된 하나의 도전형의 MOS 트랜지스터와 다른 도전형의 MOS 트랜지스터를 구비하며, 공통 드라이버 제어 회로 및 세그먼트 제어 회로의 출력은 이들 트랜지스터의 게이트에 입력된다. 비-디스플레이 제어 신호가 입력된 때, 공통 전원 선택기 및 세그먼트 전원 선택기는 저전위측 전원으로서 접지 전위를 출력함으로써, 공통 드라이버 제어 회로 및 세그먼트 드라이버 제어 회로가 트랜지스터들 중에서 저전위측 전원이 입력되는 측의 트랜지스터를 턴온시키게 한다.

따라서, 비-디스플레이 제어 신호가 입력된 때, 공통 전원 선택기 및 세그먼트 전원 선택기는 저전위측 전원으로서 접지 전위를 선택한다. 공통 드라이버 제어 회로 및 세그먼트 드라이버 제어 회로는 트랜지스터들 중에서 저전위측 전원이 입력되는 측의 트랜지스터를 턴온시킨다. 따라서, 직렬로 접속된 하나의 도전형 및 다른 도전형의 MOS 트랜지스터를 관통하는 관통 전류가 제거되어, 소비 전력이 감소될 수 있다.

바람직하게, 공통 드라이버 제어 회로 및 세그먼트 드라이버 회로는 프레임 신호가 제공되는 디스플레이 타이밍 제어 회로, 및 디스플레이 타이밍 제어 회로의 출력과 비-디스플레이 제어 신호가 제공되는 논리 회로를 구비한다. 비-디스플레이 신호가 턴온되면, 트랜지스터들 중에서 저전위측 전원이 제공되는 측의 트랜지스터를 턴온시키는 신호가 논리 회로로부터 출력되는 것이 바람직하다.

따라서, 트랜지스터들 중에서 저전위측 전원이 제공되는 측의 트랜지스터를 턴온시키는 신호가 논리 회로로부터 출력되므로, 접지 전위가 저전위측 전원으로서 이 트랜지스터로부터 액정 디스플레이 패널 내의 각 픽셀로 출력될 수 있다.

본 발명의 특징, 원리 및 유용성은, 유사 부분들이 유사 참조 번호나 문자로 디스플레이되어 있는 첨부 도면들을 참조로 하여 아래의 상세한 설명을 숙지함으로써 명확해질 것이다.

발명의 구성 및 작용

본 발명의 일 실시예에 따른 액정 디스플레이 장치가 첨부된 도면들을 참조하여 설명될 것이다.

도 4는 본 발명의 일 실시예에 따른 액정 디스플레이 장치의 블록도이다. 도 5는 상기 실시예에 따른 액정 디스플레이 장치 내의 공통 드라이버의 블록도이다. 도 6은 상기 실시예에 따른 액정 디스플레이 장치 내의 공통 드라이버의 블록도이다. 도 4에 도시된 세그먼트 드라이버(3) 및 세그먼트 드라이버 제어 회로(2)는 도 5에 도시된 세그먼트 드라이버(3) 및 세그먼트 드라이버 제어 회로(2)의 n세트를 하나로 하여 실현한 것이다. 또한, 도 4에 도시된 공통 드라이버(6) 및 공통 드라이버 제어 회로(5)는 도 6에 도시된 공통 드라이버(6) 및 공통 드라이버 제어 회로(5)의 n 세트를 하나로 하여 실현한 것이다.

도 4에 도시된 바와 같이, 본 실시예에 따른 액정 디스플레이 장치에서, 스위치(71)를 통해 전원(72)에 접속된 승압 회로(7)는 전원(72)의 전압을 승압하여, 3 종류의 전원 전압 V_{LC0}, V_{LC1} 및 V_{LC2}를 출력한다. 이러한 전원 전압 V_{LC0} 내지 V_{LC2}는 세그먼트 전원 선택기(1) 및 공통 전원 선택기(4)에 입력된다. 세그먼트 전원 선택기(1)는 3개의 전원 전압과 접지 전위 중 하나를 선택하여, 고전위측 전원 V_{SH} 및 저전위측 전원 V_{SL}을 세그먼트 드라이버(3)에 입력한다. 마찬가지로, 공통 전원 선택기(4)는 고전위측 전원 V_{CH} 및 저전위측 전원 V_{CL}을 공통 드라이버(6)에 공급한다. 세그먼트 드라이버(3) 및 공통 드라이버(6)는 자신의 출력 신호 S₀ 내지 S_n과 C₀ 내지 C₃을 액정(LCD) 패널(9)에 출력하고, 그 결과 LCD 패널(9) 내의 복수의 픽셀이 구동되어 데이터를 디스플레이한다.

디스플레이 제어 회로(8)는 세그먼트 드라이버 제어 회로(2) 및 공통 드라이버 제어 회로(5)는 물론, 세그먼트 전원 선택기(1) 및 공통 전원 선택기(4)에도 클럭 신호를 출력한다. 디스플레이 메모리(80)는 LCD 패널(9)에서 디스플레이될 데이터를 디스플레이 패턴(디스플레이 메모리 데이터)으로 저장한다. 디스플레이 메모리 데이터 0 내지 n은 디스플레이 메모리(80) 내에서의 어드레스를 나타냄에 유의한다. 디스플레이 메모리(80) 내의 데이터는 디스플레이 제어 회로(8)를 통해 세그먼트 드라이버 제어 회로(2)에 제공된다. 디스플레이 제어 회로(8)는 프레임 신호를 세그먼트 드라이버 제어 회로(2) 및 공통 드라이버 제어 회로(5)로 출력한다. 본 실시예에 따르면, 디스플레이 제어 회로(8)는, 액정 내의 각 픽셀이 비-디스플레이 상태에 있을 때에 비-디스플레이 제어 신호를 출력한다. 비-디스플레이 제어 신호는 세그먼트 드라이버 제어 회로(2), 세그먼트 전원 선택기(1), 공통 드라이버 제어 회로(5) 및 공통 전원 선택기(4)에 입력된다.

도 5에 도시된 바와 같이, 세그먼트 전원 선택기(1)는 각각 트랜지스터로 이루어진 스위치 a(11), 스위치 b(12), 스위치 c(13) 및 스위치 d(14)에 접속된 전원 스위칭 타이밍 제어 회로(10)를 구비한다. 스위치 a(11), 스위치 a(12), 스위치 a(13) 및 스위치 d(14)에는 접지 전위 GND, 전원 V_{LC2}, V_{LC1}, V_{LC0}가 각각 제공된다. 전원 스위칭 타이밍 제어 회로(10)는 스위치 c(13)와 스위치 d(14) 간의 스위칭을 위한 클럭 신호를 제공받아, 고전위측 전원 V_{SH}로서 V_{LC0} 또는 V_{LC1}을 선택적으로 출력한다. 한편, 회로(10)는 스위치 a(11)와 스위치 b(12) 사이에서 스위칭하여, 저전위측 전원 V_{SL}으로서 V_{LC2} 또는 GND를 선택적으로 출력한다.

세그먼트 드라이버 제어 회로(2)는, 프레임 신호 0 내지 3과 디스플레이 메모리 데이터 0이 제공되는 디스플레이 타이밍 제어 회로(20), 및 디스플레이 타이밍 제어 회로(20)의 출력과 비-디스플레이 제어 신호가 제공되는 OR 회로(논리합 회로)(21)를 구비한다. OR 회로(21)는 디스플레이 타이밍 제어 회로(20)의 출력과 비-디스플레이 제어 신호의 논리합을 취하여, 그 결과를 세그먼트 드라이버 게이트 신호 S₀로서 세그먼트 드라이버(3)에 출력한다. 이와 동일한 사항이 세그먼트 드라이버 게이트 신호 S₁ 내지 S_n에도 적용됨에 유의한다.

세그먼트 드라이버(3)는 CMOS형이고, p 채널 출력 버퍼(30) 및 n 채널 출력 버퍼(31)를 구비한다. 고전위측 전원 V_{SH}는 p 채널 출력 버퍼(30)에 입력되고, 저전위측 전원 V_{SL}은 n 채널 출력 버퍼(31)에 입력된다. p 채널 출력 버퍼(30) 및 n 채널 출력 버퍼(31)의 접속 노드는 세그먼트 단자(32)에 접속된다. p 채널 출력 버퍼(30) 및 n 채널 출력 버퍼(31) 내의 각 트랜지스터의 게이트 전극에는, OR 회로(21)로부터 출력된 세그먼트 드라이버 게이트 신호 S₀가 제공된다. 세그먼트 드라이버 게이트 신호 S₀가 하이 레벨로 되면, n 채널 출력 버퍼(31)가 턴온되고 V_{SL}이 세그먼트 단자(32)에 출력된다. 한편, 세그먼트 드라이버 게이트 신호 S₀가 로우 레벨로 되면, p 채널 출력 버퍼(30)가 턴온되고 V_{SH}가 세그먼트 단자(32)로 출력된다. 이와 동일한 사항이 세그먼트 드라이버 게이트 신호 S₁ 내지 S_n에도 적용된다. 세그먼트 드라이버(3)의 출력은 LCD 패널(9) 내의 각 픽셀에 공급된다.

도 6에 도시된 바와 같이, 공통 전원 선택기(4)는 각각 트랜지스터로 이루어진 스위치 a(41), 스위치 b(42), 스위치 c(43) 및 스위치 d(44)에 접속된 전원 스위칭 타이밍 제어 회로(40)를 구비한다. 스위치 a(41), 스위치 b(42), 스위치 c(43) 및 스위치 d(44)에는 접지 전위 GND와 전원 V_{LC2}, V_{LC1}, V_{LC0}가 각각 제공된다. 전원 스위칭 타이밍 제어 회로(40)는 스위치 c(43)와 스위치 d(44) 간에서의 스위칭을 위한 클럭 신호를 제공받아, 고전위측 전원 V_{CH}로서 V_{LC0} 또는 V_{LC1}을 선택적으로 출력한다. 한편, 회로(40)는 스위치 a(41)와 스위치 b(42) 간에서 스위칭하여, 저전위측 전원 V_{CL}로서 V_{LC2} 또는 GND를 선택적으로 출력한다.

공통 드라이버 제어 회로(5)는, 프레임 신호 0 내지 3이 제공되는 디스플레이 타이밍 제어 회로(50)와, 디스플레이 타이밍 제어 회로(50)의 출력 및 비-디스플레이 제어 신호가 제공되는 OR 회로(51)를 구비한다. OR 회로(51)는 디스플레이 타이밍 제어 회로(50)의 출력과 비-디스플레이 제어 신호의 논리합을 취하여, 그 결과를 공통 드라이버 게이트 신호 C₀로서 공통 드라이버(6)에 출력한다. 이와 동일한 사항이 공통 드라이버 게이트 신호 C₁ 내지 C₃에도 적용됨에 유의한다.

공통 드라이버(6)는 CMOS형이고, p 채널 출력 버퍼(60) 및 n 채널 출력 버퍼(61)를 구비한다. p 채널 출력 버퍼(60)에는 고전위측 전원 V_{CH}가 제공되고, n 채널 출력 버퍼(61)에는 저전위측 전원 V_{CL}이 제공

된다. p 채널 출력 버퍼(60) 및 n 채널 출력 버퍼(61)의 접속 노드는 공통 단자(62)에 접속된다. p 채널 출력 버퍼(60) 및 n 채널 출력 버퍼(61) 내의 각 트랜지스터의 게이트 전극에는 OR 회로(51)로부터 출력된 공통 드라이버 게이트 신호 CD0가 제공된다. 공통 드라이버 게이트 신호 CD0가 하이 레벨로 되면, n 채널 출력 버퍼(61)가 턴온되고 VLC이 공통 단자(62)로 출력된다. 한편, 공통 드라이버 게이트 신호 CD0가 로우 레벨로 되면, p 채널 출력 버퍼(60)가 턴온되고 VCH가 공통 단자(62)에 출력된다. 이와 동일한 사항이 공통 드라이버 게이트 신호 CD1 내지 CD3에도 적용됨에 유의한다. 공통 드라이버(6)의 출력은 LCD 패널(9) 내의 각 픽셀에 제공된다.

본 실시예에 따른 액정 디스플레이 장치의 동작이 도 4 내지 6과 도 7 내지 도 10b를 참조하여 설명될 것이다.

도 7은 본 실시예에 따른 세그먼트 드라이버 제어 회로(2) 및 세그먼트 드라이버(3)의 입출력 파형을 나타내는 타이밍도로, 세로축은 전위를 나타내고 가로축은 시간을 나타낸다.

도 8a는 본 실시예에 따른 세그먼트 드라이버의 입출력 파형을 나타내는 타이밍도로서, 세로축은 전위를 나타내고 가로축은 시간을 나타낸다. 도 8b는 도 8a의 주요 부분을 나타내는 확대도이다.

도 9는 본 실시예에 따른 공통 드라이버 제어 회로(5) 및 공통 드라이버(6)의 입출력을 나타내는 타이밍도로서, 세로축은 전위를 나타내고 가로축은 시간을 나타낸다.

도 10a는 본 실시예에 따른 공통 드라이버(6)의 출력 파형을 나타내는 타이밍도로서, 세로축은 전위를 나타내고 가로축은 시간을 나타낸다. 도 10b는 도 10a의 주요 부분을 나타내는 확대도이다.

디스플레이 상태에서의 동작이 설명될 것이다. 도 8a 및 도 10a의 좌측에 도시되어 있는 바와 같이, 비-디스플레이 제어 신호가 오프되면 (로우 레벨로 되면), 디스플레이는 정상 디스플레이 상태로 된다.

더 상세하게는, 디스플레이 제어 회로(8)는 도 7에 도시된 것과 같은 클럭 신호 및 프레임 신호 0 내지 3을 발생시킨다. 도 7의 디스플레이 메모리 데이터 0에 의해 표시되는 데이터는 도 4의 디스플레이 메모리 데이터 0에 대한 것으로 설정되어, 원하는 디스플레이가 세그먼트 단자(32)의 출력에 의해 LCD 패널(9) 상에 인에이블되게 한다. 디스플레이 메모리 데이터 0의 값은 디스플레이 제어 회로(8)를 통해 세그먼트 드라이버 제어 회로(2) 내의 디스플레이 타이밍 제어 회로(20)에 입력된다. 세그먼트 드라이버 제어 회로(2) 내의 디스플레이 타이밍 제어 회로(20)는, 종래의 장치에서와 마찬가지로, 프레임 신호 0 내지 3과 디스플레이 메모리 데이터 0으로부터 세그먼트 드라이버 게이트 신호를 발생시킨다.

OR 회로(21)에는 비-디스플레이 제어 신호로서 로우 레벨 신호가 제공된다. 디스플레이 타이밍 제어 회로(20)의 출력과 비-디스플레이 제어 신호의 논리합이 취해지면, 디스플레이 타이밍 제어 회로(20)의 출력은 세그먼트 드라이버 게이트 신호 SD0로서 출력된다. 신호 SD0은 세그먼트 드라이버(3) 내의 p 채널 출력 버퍼(30) 및 n 채널 출력 버퍼(31)의 게이트 전극에 입력된다.

세그먼트 전원 선택기(1) 내의 전원 스위칭 타이밍 제어 회로(10)는 입력으로서 비-디스플레이 제어 신호 및 클럭 신호를 수신하고, 클럭 신호에 동기하여 스위치 c(13) 및 스위치 d(14)를 교대로 턴온/오프하여, 고전위측 전원 VSH로서 VLC0와 VLC1을 교대로 출력한다. 전원 스위칭 타이밍 제어 회로(10)는 클럭 신호에 동기하여 스위치 a(11) 및 스위치 b(12)를 교대로 턴온/오프하여, 저전위측 전원 VSL로서 VLC2와 GND를 교대로 출력한다. 세그먼트 드라이버 게이트 신호 SD0가 하이로 되면, n 채널 출력 버퍼(31)가 턴온되고 VSL(VLC2 또는 GND)의 전위가 세그먼트 드라이버 출력 S0로서 세그먼트 단자(32)에 출력된다. 세그먼트 드라이버 게이트 신호 SD0가 로우로 되면, p 채널 출력 버퍼(30)가 턴온되고 VSH(VLC0 또는 VLC1)의 전위가 세그먼트 드라이버 출력 S0로서 세그먼트 단자(32)에 출력된다. 따라서, 도 7에 도시된 것과 같은 S0의 파형이 세그먼트 단자(32)에 출력된다. 마찬가지로, 세그먼트 드라이버 출력 S1 내지 Sn은 세그먼트 드라이버(3)로부터 출력된다.

디스플레이 상태에서의 공통 드라이버의 동작이 설명될 것이다. 도 9에 도시된 바와 같이, 클럭 신호 및 프레임 신호 0 내지 3이 디스플레이 타이밍 제어 회로(50)에 입력되면, 디스플레이 타이밍 제어 회로(50)는 공통 드라이버 게이트 신호 CD0 내지 CD3을 발생시킨다. 비-디스플레이 제어 신호는 디스플레이 상태에서 로우 레벨이기 때문에, 디스플레이 타이밍 제어 회로(50)의 출력은 공통 드라이버 게이트 신호 CD0 내지 CD3으로서 공통 드라이버 제어 회로(5)로부터 출력된다. 전원 스위칭 타이밍 제어 회로(40)는 클럭 신호에 동기하여 스위치 d(44)와 스위치 c(43) 간에 스위칭하여, 고전위측 전원 VCH로서 VLC0 및 VLC1을 교대로 출력하고 저전위측 전위로서 VLC2 및 GND를 교대로 출력한다. 공통 드라이버(6)에서, 공통 드라이버 게이트 신호 CD0가 하이 레벨이면, n 채널 출력 버퍼(61)가 턴온되고 VLC이 선택된다. 이 때 VLC의 전위는 공통 드라이버 출력 C0로서 공통 단자(62)에 출력된다. 한편, 공통 드라이버 게이트 신호 CD0가 로우이면, p 채널 출력 버퍼(60)가 턴온되고 VCH가 선택된다. 이 때 VCH의 전위는 공통 드라이버 출력 C0로서 공통 단자(62)에 출력된다. 따라서, 도 9의 파형 C0의 신호가 공통 단자(62)에 출력된다. 마찬가지로, 공통 드라이버 출력 C1 내지 C3는 공통 드라이버(6)로부터 출력된다.

비-디스플레이 상태에서의 세그먼트 드라이버(3)의 동작이 도 8a 및 도 8b를 참조하여 설명될 것이다. 액정이 비-디스플레이 상태에 있을 때, 디스플레이 제어 회로(8)는 비-디스플레이 제어 신호를 턴온시킨다 (신호를 하이 레벨로 한다).

도 8a에 도시된 바와 같이, 비-디스플레이 제어 신호가 온되면 (하이 레벨로 되면), 디스플레이 타이밍 제어 회로(20)로부터 출력되는 신호의 종류에 무관하게, 하이 레벨 신호가 OR 회로(21)로부터 출력되어 n 채널 출력 버퍼(31)를 턴온시킨다. 전원 스위칭 타이밍 제어 회로(10)는 비-디스플레이 제어 신호가 하이 레벨일 때 스위치 a(11) 및 스위치 c(13)을 턴온하여, 세그먼트 전원 선택기(1)의 출력으로서 VSH가 VLC1으로 고정되고 VSL이 GND로 고정되게 한다. 세그먼트 드라이버(3)에 세그먼트 게이트 신호 SD0가 제공되고 n 채널 출력 버퍼(31)가 턴온되므로, VSL이 선택되고 GND 레벨이 세그먼트 단자(32)에 출력된다.

비-디스플레이 상태에서의 공통 드라이버(6)의 동작이 도 10a 및 도 10b를 참조하여 설명될 것이다.

비-디스플레이 제어 신호가 하이 레벨일 때, 도 10a에 도시된 바와 같이, 디스플레이 타이밍 제어 회로(50)의 출력과 무관하게, 하이 레벨 신호가 OR 회로(51)로부터 공통 드라이버 게이트 신호 CD0로서 출력되어 n 채널 출력 버퍼(61)가 턴온된다. 비-디스플레이 제어 신호가 하이 레벨이면, 전원 스위칭 타이밍 제어 회로(40)는 스위치 a(41) 및 스위치 c(43)를 턴온시키고, 공통 전원 선택기(4)의 출력으로서 VCH가 VLC1으로 고정되고 VLC이 GND로 고정되게 한다. n 채널 출력 버퍼(61)가 온 되면, 비-디스플레이 제어 신호가 하이 레벨로 되는 것과 동시에, GND 레벨이 공통 단자(62)에 출력된다.

상술한 바와 같이, 본 실시예에 따르면, OR 회로(21)가 세그먼트 드라이버 제어 회로(2)의 출력단에 제공되며, 비-디스플레이 제어 신호가 온 될 때, 하이 레벨 신호가 세그먼트 드라이버 게이트 신호 SD0로서 세그먼트 드라이버 제어 회로(2)로부터 출력되어 n 채널 출력 버퍼(31)를 선택한다. 비-디스플레이 제어 신호가 온 되면, 전원 스위칭 타이밍 제어 회로(10)는 저전위측 전원 VSL로서 GND를 선택하기 때문에, GND가 세그먼트 단자(32) 및 LCD 패널(9)에 출력된다.

마찬가지로, GND는 공통 단자(62) 및 LCD 패널(9)에 출력된다. 그러므로, 비-디스플레이 제어 신호가 온 되면, 세그먼트 드라이버 게이트 신호 SD0 내지 SDn과 공통 드라이버 게이트 신호 CD0 내지 CD3은 하이 레벨로 되고, 세그먼트 드라이버 출력 S0 내지 Sn과 공통 드라이버 출력 C0 내지 C3은 모두 GND 레벨로 된다. 더 상세하게는, 비-디스플레이 상태에서, 세그먼트 단자(32) 및 공통 단자(62)의 출력은 중간 전위의 구형파가 아닌 GND 레벨이다. 따라서, GND는 세그먼트 드라이버(3) 및 공통 드라이버(6)로부터 LCD 패널 내의 각 픽셀로 출력될 수 있으며, LCD 패널(9)이 비-디스플레이 상태일 때 세그먼트 드라이버(3)와 공통 드라이버(6) 내의 관통 전류가 제거될 수 있다.

또한, 본 실시예에 따르면, 세그먼트 전원 선택기(1) 및 공통 전원 선택기(4)는 승압 회로(7)로부터 공급된 전원 전압 VLC0, VLC1, VLC2 또는 접지 전위 GND를 부하에 접속시킨다. LCD 패널(9)이 자신의 상태를 디스플레이 상태에서 비-디스플레이 상태로 변화시키면, 비-디스플레이 제어 신호가 턴온되어, 세그먼트 전원 선택기(1) 및 공통 전원 선택기(4) 내에서 GND를 VSL 및 VLC에 접속시킨다. 또한, 세그먼트 드라이버 제어 회로(2) 및 공통 드라이버 제어 회로(5)에서, 전원 스위칭 타이밍 제어 회로(10 및 40)는 비-디스플레이 제어 신호에 의해 제어되어, VSL 및 VLC이 세그먼트 드라이버(3) 및 공통 드라이버(6)에 의해 선택되게 한다. 따라서, 세그먼트 단자(32) 및 공통 단자(62)에 집적된 전하들은 접지 전위에 의해 방전될 수 있으므로, 전하들이 신속하게 방전될 수 있다. 따라서, LCD 패널(9)은 신속하게 턴오프될 수 있다.

본 발명은 상기의 실시예에 국한되지 않으며, 도 5에 도시된 세그먼트 제어 회로(2)에서 OR 회로(21)는 제공되지 않을 수도 있음에 유의한다. 이 경우, 비-디스플레이 제어 신호가 온되면, 디스플레이 타이밍 제어 회로(20)는 비-디스플레이 제어 신호를 선택하는 동시에, 프레임 신호 0 내지 3, 클럭 신호 및 디스플레이 메모리 데이터 0을 출력한다. 따라서, 상술한 바와 같이, 비-디스플레이 제어 신호가 하이 레벨일 때, SD0는 하이 레벨로 될 수 있고, 세그먼트 드라이버 출력 S0는 GND 출력으로 될 수 있다. 따라서, 세그먼트 드라이버(3) 내에서 관통 전류에 의해 유발되는 비-디스플레이 상태에서의 전력 소모가 감소될 수 있다. 공통 드라이버 제어 회로(5)에서도, 세그먼트 드라이버 제어 회로(2)와 마찬가지로, OR 회로(51)는 제공되지 않을 수 있다.

도 5에 도시된 것과 같은 세그먼트 드라이버(3)에서, CMOS형 장치를 형성하는 p 채널 출력 버퍼(30) 및 n 채널 출력 버퍼(31) 대신에, 2개의 트랜스퍼 게이트가 제공될 수 있다. 각각의 트랜스퍼 게이트는 p 채널 트랜지스터 및 n 채널 트랜지스터를 구비하며, p 채널 트랜지스터의 소스 전극은 n 채널 트랜지스터의 소스 전극에 접속되고, p 채널 트랜지스터의 드레인 전극은 n 채널 트랜지스터의 드레인 전극에 접속된다. VSH는 트랜스퍼 게이트들 중 하나의 트랜스퍼 게이트의 p 채널 트랜지스터 및 n 채널 트랜지스터의 소스 전극에 입력된다. VSL은 다른 트랜스퍼 게이트의 p 채널 트랜지스터 및 n 채널 트랜지스터의 소스 전극에 입력된다. SD0는 하나의 트랜스퍼 게이트의 p 채널 트랜지스터와 다른 트랜스퍼 게이트의 n 채널 트랜지스터의 게이트 전극에 입력된다. SD0의 반전 신호는 하나의 트랜스퍼 게이트의 n 채널 트랜지스터와 다른 트랜스퍼 게이트의 p 채널 트랜지스터에 입력된다. 두 개의 트랜스퍼 게이트의 p 채널 트랜지스터 및 n 채널 트랜지스터의 드레인 전극은 세그먼트 단자(32)에 접속된다. 따라서, SD0가 로우 레벨일 때, VSH는 세그먼트 단자(32)로부터 S0로서 출력된다. SD0가 하이 레벨일 때, VSL은 세그먼트 단자(32)로부터 S0로서 출력된다. 이 경우, 상술한 바와 같이, 세그먼트 전원 선택기(1)에서, 비-디스플레이 제어 신호가 온되면, GND가 VSL로서 출력되고, 세그먼트 드라이버 게이트 신호 SD0가 하이 레벨로 되며, 세그먼트 드라이버 출력 S0가 GND 출력으로 되어, 세그먼트 드라이버(3) 내에서 관통 전류에 의해 유발되는 비-디스플레이 상태에서의 전력 소모가 감소될 수 있다.

또한, 공통 전원 선택기(4)에서도, 세그먼트 드라이버(3)와 동일한 구성이 적용될 수 있다. 결과적으로, 상술한 바와 같이, 비-디스플레이 제어 신호가 온되면, GND가 VLC로서 출력되고, 공통 드라이버 게이트 신호 CD0가 하이 레벨로 되며, 세그먼트 드라이버 출력 C0가 GND 출력으로 되어, 공통 드라이버(6) 내에서 관통 전류에 의해 유발되는 비-디스플레이 상태에서의 전력 소모가 감소될 수 있다.

여기에서는, 본 발명의 바람직한 실시예들이 설명되었지만, 이들이 다양하게 변경될 수 있으며, 첨부된 특허 청구 범위는 이러한 변경들을 본 발명의 진정한 취지 및 범위 내에 포함시킴을 알 것이다.

발명의 효과

본 발명에 따르면, 비-디스플레이 상태에서 소비 전력을 감소시키고, 디스플레이 상태에서 비-디스플레이 상태로의 전이 시간을 감소시킬 수 있다.

(57) 청구의 범위

청구항 1

액정 디스플레이 장치에 있어서,

액정 디스플레이 패널;

상기 액정 디스플레이 패널 내의 각 픽셀을 구동하는 공통 드라이버 및 세그먼트 드라이버;

디스플레이 타이밍에 기초하여 상기 공통 드라이버 및 상기 세그먼트 드라이버를 제어하는 공통 드라이버 제어 회로 및 세그먼트 드라이버 제어 회로;

접지 전위를 포함하는 복수의 전위로 전원을 출력하는 승압 회로;

상기 승압 회로와 상기 공통 드라이버 사이에 접속되어, 상기 공통 드라이버에 고전위측 및 저전위측의 2가지 전원을 선택적으로 공급하는 공통 전원 선택기;

상기 승압 회로와 상기 세그먼트 드라이버 사이에 접속되어, 상기 세그먼트 드라이버에 고전위측 및 저전위측의 2가지 전원을 선택적으로 공급하는 세그먼트 전원 선택기; 및

픽셀이 비-디스플레이 상태일 때, 상기 공통 전원 선택기, 상기 공통 드라이버 제어 회로, 상기 세그먼트 전원 선택기 및 상기 세그먼트 드라이버 제어 회로에 비-디스플레이 제어 신호를 입력하고, 상기 공통 드라이버 및 상기 세그먼트 드라이버가 접지 전위를 출력하게 하는 수단

을 포함하는 액정 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 공통 드라이버 및 상기 세그먼트 드라이버는, 상기 고전위측 전원의 입력 단자와 상기 저전위측 전원의 입력 단자 사이에 직렬로 접속된, 하나의 도전형의 MOS 트랜지스터 및 다른 도전형의 MOS 트랜지스터를 각각 포함하고, 상기 트랜지스터들의 게이트에, 상기 공통 드라이버 제어 회로 및 상기 세그먼트 드라이버 제어 회로의 출력이 입력되며,

상기 공통 전원 선택기 및 상기 세그먼트 전원 선택기는, 상기 비-디스플레이 제어 신호가 입력될 때, 상기 저전위측 전원으로서 접지 전위를 출력하고,

상기 공통 드라이버 제어 회로 및 상기 세그먼트 드라이버 제어 회로는, 상기 비-디스플레이 제어 신호가 입력된 때, 상기 트랜지스터들 중에서 저전위측 전원이 입력되는 측의 트랜지스터를 턴온하는 액정 디스플레이 장치.

청구항 3

제2항에 있어서, 상기 공통 드라이버 제어 회로 및 상기 세그먼트 드라이버 제어 회로는,

프레임 신호가 입력되는 디스플레이 타이밍 제어 회로, 및

상기 디스플레이 타이밍 제어 회로의 출력과 상기 비-디스플레이 제어 신호가 입력되는 논리 회로 -상기 비-디스플레이 제어 신호가 온된 때, 상기 트랜지스터들 중에서 저전위측 전원이 입력되는 측의 트랜지스터를 턴온시키기 위한 신호가 출력됨-

를 포함하는 액정 디스플레이 장치.

청구항 4

제3항에 있어서, 상기 비-디스플레이 제어 신호는 온 상태에서 하이 레벨로 되는 신호이고, 상기 논리 회로는 논리합을 취하는 액정 디스플레이 장치.

청구항 5

제3항에 있어서, 상기 세그먼트 드라이버 제어 회로 내의 상기 디스플레이 타이밍 제어 회로에는, 상기 액정 디스플레이 패널 상에 디스플레이될 디스플레이 메모리 데이터가 입력으로서 제공되는 액정 디스플레이 장치.

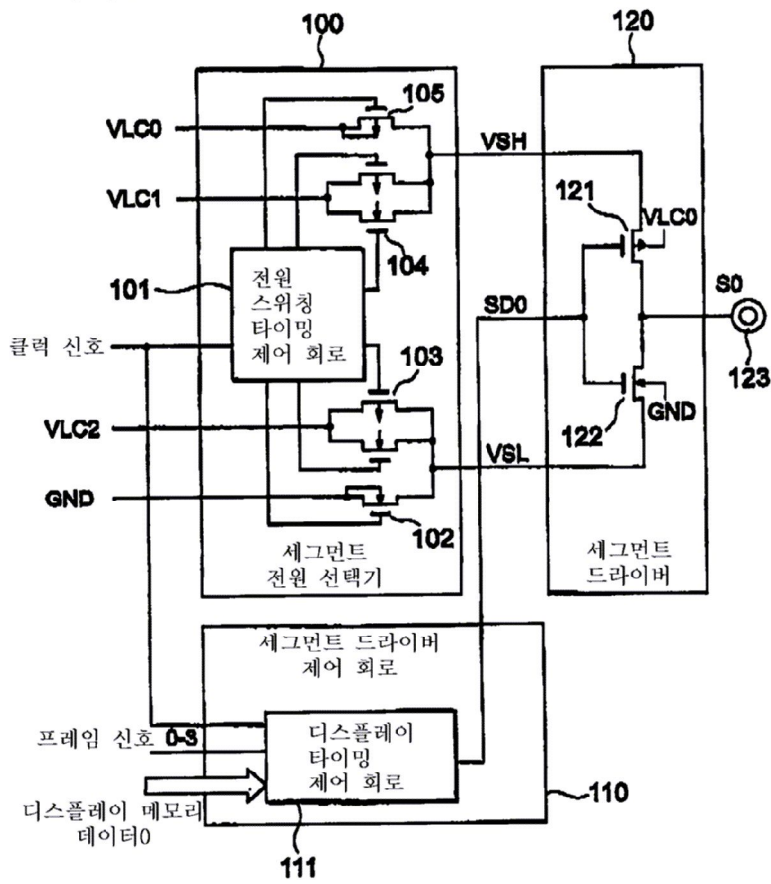
청구항 6

제2항에 있어서, 상기 하나의 도전형은 n형이고, 다른 도전형은 p형인 액정 디스플레이 장치.

도면

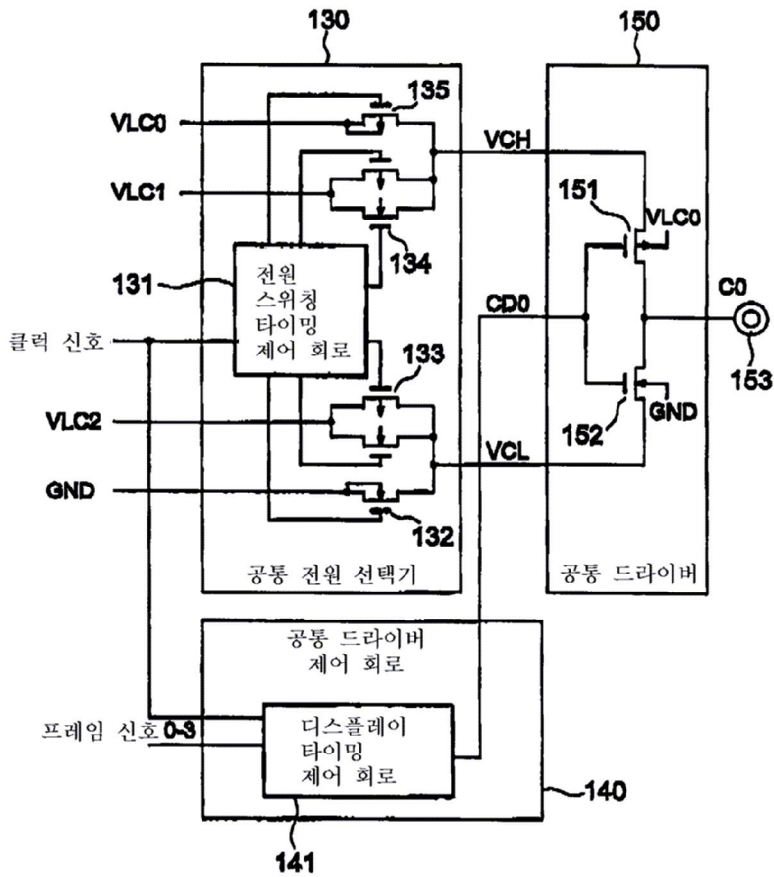
도면1

(종래 기술)



도면2

(종래 기술)



도면3a

(종래 기술)

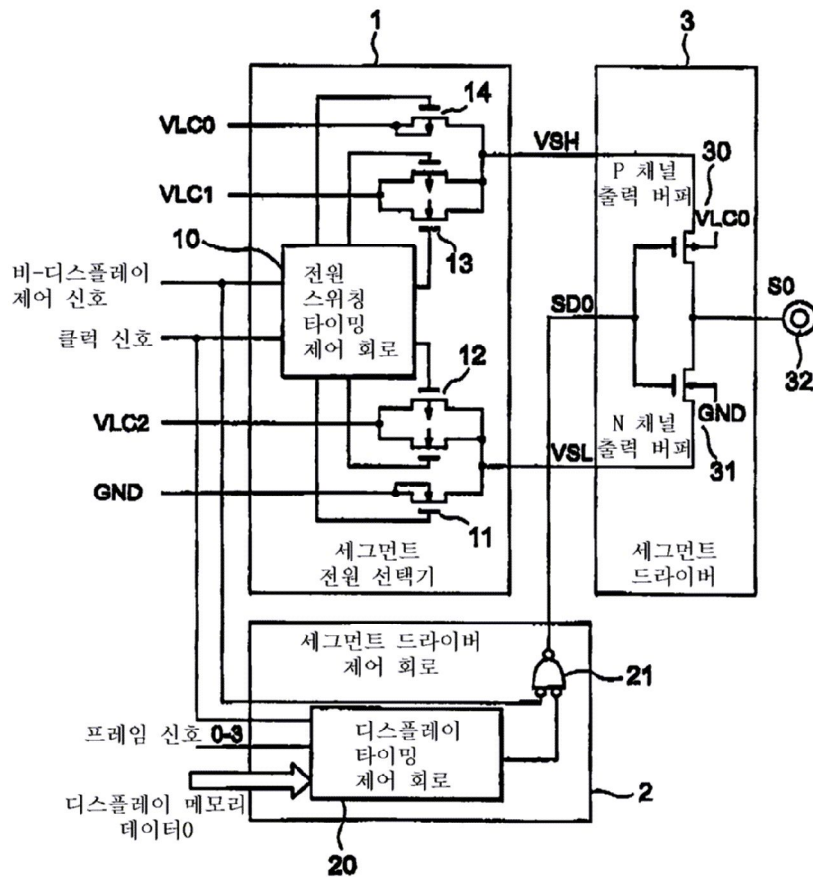


도면3b

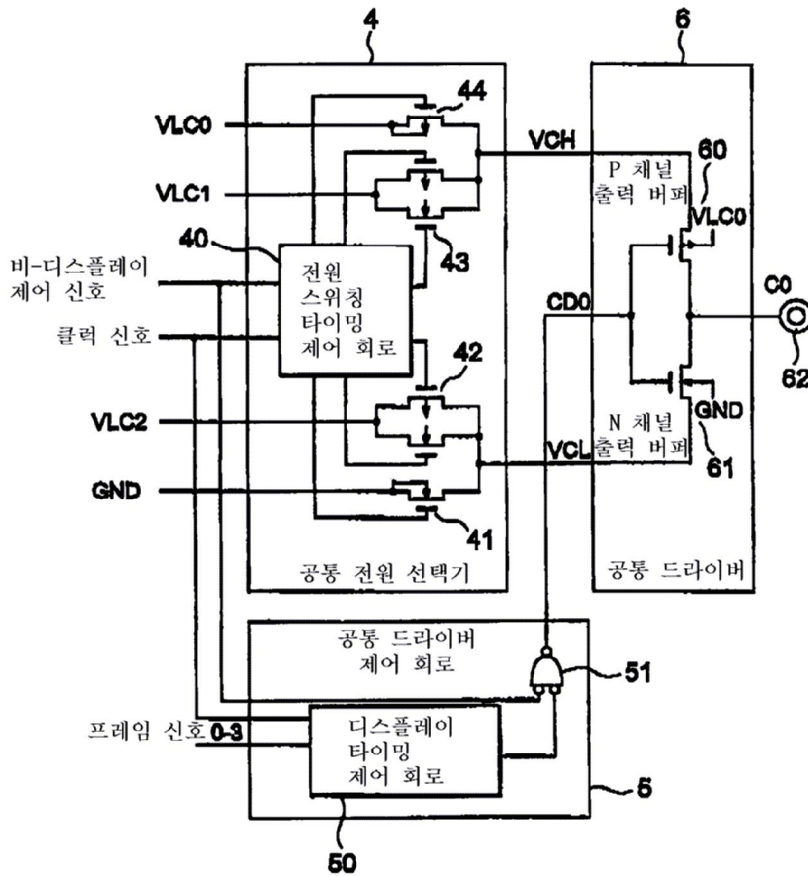
(종래 기술)



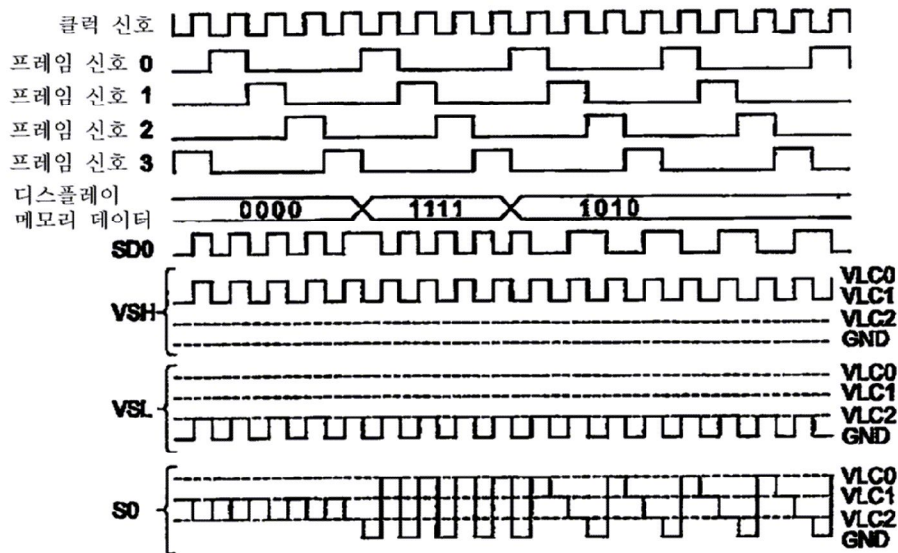
도면5



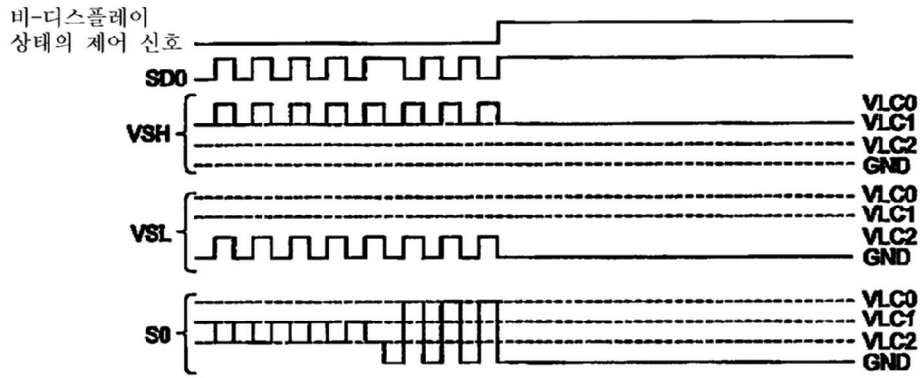
도면6



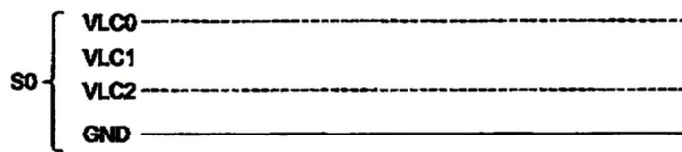
도면7



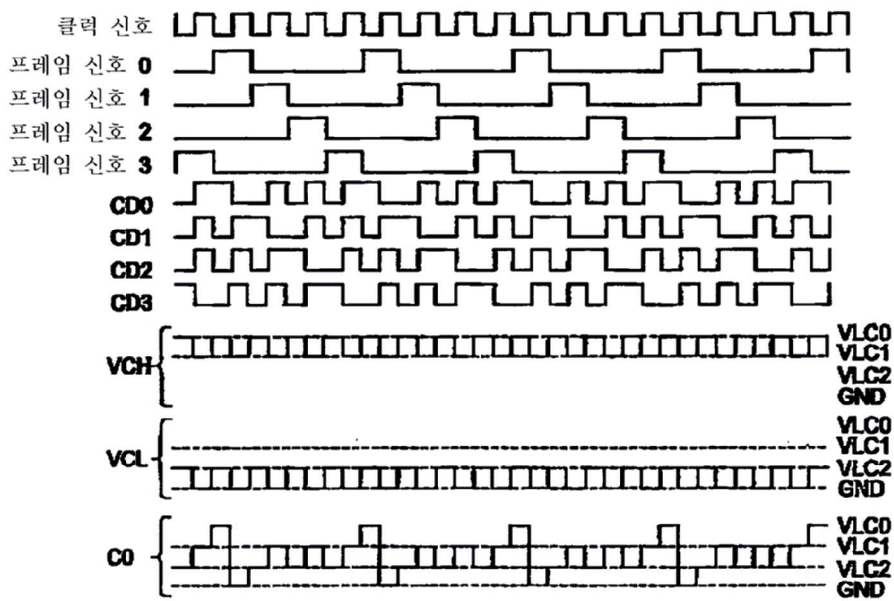
도면8a



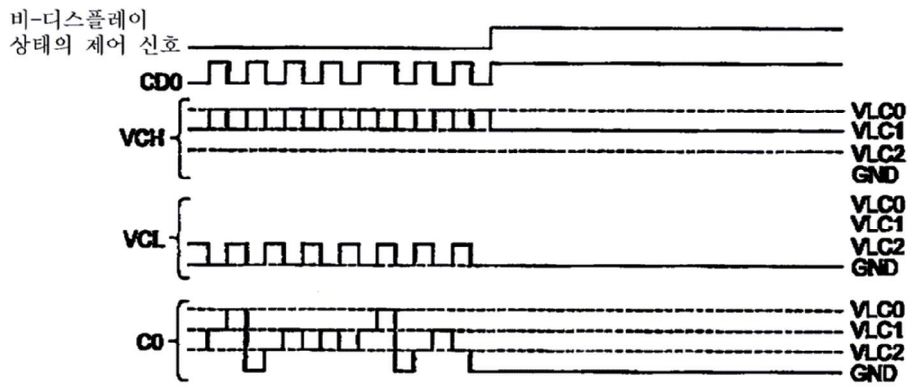
도면8b



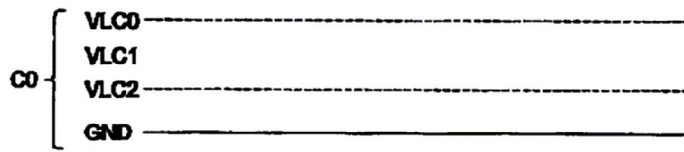
도면9



도면 10a



도면 10b



专利名称(译)	液晶显示装置		
公开(公告)号	KR1020010030350A	公开(公告)日	2001-04-16
申请号	KR1020000053660	申请日	2000-09-09
申请(专利权)人(译)	日本电气有限公司sikki		
当前申请(专利权)人(译)	日本电气有限公司sikki		
[标]发明人	MATSUKUMA HIROSHI		
发明人	MATSUKUMA,HIROSHI		
IPC分类号	G09G3/36 G09G G09G3/20 G02F G02F1/133		
CPC分类号	G09G3/3681 G09G2330/022 G09G2360/18 G09G3/3692 G09G3/3696 G09G2330/02 G09G3/3622		
代理人(译)	CHANG, SOO KIL CHU , 晟敏		
优先权	1999256693 1999-09-10 JP		
外部链接	Espacenet		

摘要(译)

当显示控制电路使每个像素处于非显示状态时，显示控制电路输出非显示控制信号作为高电平信号。当非显示信号为高电平时，它与显示定时控制电路的输出信号无关，并且非显示控制信号在OR电路中输入到显示定时控制电路的输出信号。同时，当非显示控制信号为高电平时，段电源选择器和公共电源选择器输出GND作为低电位侧电源。当OR电路的输出信号为高电平时，段驱动器和公共驱动器输出段电源选择器或公共电源选择器的输出电位中的低电位侧电源。因此，段驱动器和从公共驱动器输出到像素的每个像素的电位是非显示状态可以总是GND。段驱动器，公共驱动器，OR电路，非显示控制信号，段电源选择器，公共电源选择器，显示定时控制电路。

