



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월14일
 (11) 등록번호 10-1351211
 (24) 등록일자 2014년01월07일

- | | |
|---|--|
| (51) 국제특허분류(Int. Cl.) G09G 5/39 (2006.01) G09G 5/22 (2006.01) G09G 3/20 (2006.01) G11C 29/00 (2006.01) (21) 출원번호 10-2007-0021023 (22) 출원일자 2007년03월02일 심사청구일자 2012년03월02일 (65) 공개번호 10-2007-0090832 (43) 공개일자 2007년09월06일 (30) 우선권주장 JP-P-2006-00057105 2006년03월03일 일본(JP) (56) 선행기술조사문헌 US06414885 B2* US20040150653 A1* *는 심사관에 의하여 인용된 문헌 | (73) 특허권자 르네사스 일렉트로닉스 가부시키키가이샤 일본 가나가와켄 가와사끼시 나카하라쿠 시모누마베 1753 (72) 발명자 이이즈카 마사루 일본 도쿄도 지요다쿠 마루노우찌 2쪼메 4-1 가부시키키가이샤르네사스 테크놀로지 지적재산권 통괄부 내 시라이시 이오리 일본 도쿄도 지요다쿠 마루노우찌 2쪼메 4-1 가부시키키가이샤르네사스 테크놀로지 지적재산권 통괄부 내 (뒷면에 계속) (74) 대리인 이중희, 장수길 |
|---|--|

전체 청구항 수 : 총 6 항

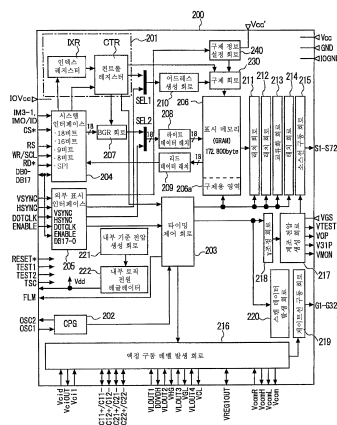
심사관 : 최창락

(54) 발명의 명칭 표시 제어용 반도체 집적 회로

(57) 요약

RAM을 내장한 액정 표시 제어용 반도체 집적 회로에서, 점유 면적을 그다지 증대시키지 않고서 RAM에 포함되는 결합 비트를 구제하여, 수율을 향상시킬 수 있도록 한다. 칩 내부에 표시 데이터를 기억하는 RAM을 내장하고, 그 내장 RAM의 기억 용량이 구동하는 액정 패널의 표시 화면의 크기에 따라서 결정되어 있는 액정 컨트롤러 드라이브에서, 결합 어드레스를 설정하는 퓨즈 회로(232)와, 퓨즈 회로에 설정된 결합 어드레스와 입력 어드레스를 비교하는 비교 회로(231)를 설치한다. 그리고, 어드레스가 일치한 경우에는, 입력 어드레스를 상기 예비 메모리 영역을 지시하는 어드레스로 치환하여 어드레스 디코더에 공급하는 용장 회로(230)를 설치하도록 한 것이다.

대표도 - 도1



(72) 발명자

쯔지 소우스께

일본 도쿄도 지요다꾸 마루노우찌 2쥬메 4-1 가부
시끼가이샤르네사스 테크놀로지 지적재산권 통괄부
내

긴노 히로또

일본 도쿄도 지요다꾸 마루노우찌 2쥬메 4-1 가부
시끼가이샤르네사스 테크놀로지 지적재산권 통괄부
내

특허청구의 범위

청구항 1

n비트(n은 정수)의 바이너리 코드로 이루어지는 어드레스에 의해 표현 가능한 2의 n승의 어드레스 공간보다도 작은 기억 영역을 갖고, 상기 기억 영역에 표시 데이터를 기억하는 판독 기입 가능한 표시 메모리를 내장한 표시 제어용 반도체 집적 회로로서,

상기 표시 메모리는, 표시 데이터를 기억하는 정규의 기억 영역 이외에 예비의 기억 영역을 갖도록 구성되고,

상기 표시 메모리의 결함을 포함하는 영역을 상기 예비의 기억 영역으로 치환함으로써 결함 구제를 행하는 구제 회로와,

상기 표시 메모리의 결함을 포함하는 영역의 어드레스 정보를 설정하는 구제 정보 설정 수단과,

상기 표시 메모리에 공급되는 입력 어드레스 중 상기 표시 메모리에의 데이터의 기입을 위한 어드레스를 생성하는 제1 어드레스 카운터와,

상기 표시 메모리에 공급되는 입력 어드레스 중 상기 표시 메모리로부터 데이터의 판독을 위한 어드레스를 생성하는 제2 어드레스 카운터

를 포함하고,

상기 구제 회로는,

상기 제1 어드레스 카운터에 의해 생성된 어드레스와 상기 구제 정보 설정 수단에 설정되어 있는 어드레스를 비교하는 제1 어드레스 비교 회로와,

상기 제2 어드레스 카운터에 의해 생성된 어드레스와 상기 구제 정보 설정 수단에 설정되어 있는 어드레스를 비교하는 제2 어드레스 비교 회로와,

상기 제1 또는 제2 어드레스 비교 회로에 의해 어드레스의 일치가 검출된 경우에, 상기 표시 메모리에 공급되는 입력 어드레스를 상기 예비의 기억 영역을 지정하는 어드레스로 치환하는 어드레스 교체 회로

를 갖고,

상기 예비의 기억 영역의 어드레스는, 상기 어드레스 공간 내로서 상기 정규의 기억 영역의 어드레스 범위의 외측에 설정되고,

상기 구제 정보 설정 수단은, 상기 표시 메모리의 결함을 포함하는 영역의 어드레스 정보가 설정되지 않는 경우에는, 상기 어드레스 공간 내로서 상기 정규의 기억 영역 및 상기 예비의 기억 영역의 각각의 어드레스 범위의 외측의 어드레스를 나타내는 상태로 되어 있는 것을 특징으로 하는 표시 제어용 반도체 집적 회로.

청구항 2

제1항에 있어서,

상기 제1 어드레스 카운터에 의해 생성된 어드레스가 상기 정규의 기억 영역의 어드레스 범위 내에 있는지의 여부를 검출하는 제3 어드레스 비교 회로를 포함하고, 상기 제3 어드레스 비교 회로에 의해 상기 제1 어드레스 카운터에 의해 생성된 어드레스가 상기 정규의 기억 영역의 어드레스 범위 내에 없다고 판정된 경우에, 상기 표시 메모리에의 데이터의 기입 금지를 나타내는 신호를 생성하여 출력하는 기입 저지 제어 회로를 갖는 것을 특징으로 하는 표시 제어용 반도체 집적 회로.

청구항 3

제1항 또는 제2항에 있어서,

표시 화면에 윈도우 표시를 행하는 영역을 설정하기 위한 어드레스 설정용의 레지스터를 포함하고, 상기 예비의 기억 영역의 어드레스는 상기 레지스터로 설정 가능한 어드레스 범위의 외측에 설정되어 있는 것을 특징으로 하는 표시 제어용 반도체 집적 회로.

청구항 4

제1항 또는 제2항에 있어서,

상기 표시 메모리는 어드레스 디코더를 포함하고, 상기 어드레스 디코더는 공통의 입력 어드레스에 기초하여 상기 정규의 기억 영역의 선택 및 상기 예비의 기억 영역의 선택을 행하도록 구성되어 있는 것을 특징으로 하는 표시 제어용 반도체 집적 회로.

청구항 5

제1항 또는 제2항에 있어서,

상기 어드레스 교체 회로는, 복수의 논리 게이트 회로로 이루어지고, 상기 제1 어드레스 비교 회로 및 상기 제2 어드레스 비교 회로의 각각에 입력되는 어드레스와, 상기 제1 어드레스 비교 회로 및 상기 제2 어드레스 비교 회로의 각각의 출력 신호를 입력으로 하여, 논리 동작에서 상기 예비의 기억 영역을 지정하는 어드레스를 출력 가능한 조합 논리 회로로 구성되어 있는 것을 특징으로 하는 표시 제어용 반도체 집적 회로.

청구항 6

제1항 또는 제2항에 있어서,

상기 구제 회로에 의한 상기 표시 메모리의 결함을 포함하는 영역의 상기 예비의 기억 영역으로의 치환은, 표시 장치의 1 표시 라인에 대응한 상기 표시 메모리의 기억 영역인 워드 단위로 행하도록 구성되어 있는 것을 특징으로 하는 표시 제어용 반도체 집적 회로.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

[0029] [특허 문헌 1] 일본 특개 2000-347646호 공보

발명이 속하는 기술 및 그 분야의 종래기술

[0030] 본 발명은, 표시 데이터를 기억하는 RAM(랜덤 액세스 메모리)을 내장하고 표시 장치를 구동 제어하는 표시 구동 제어 장치 나아가서는 반도체 집적 회로화된 표시 구동 제어 장치에 적용하기에 유효한 기술에 관한 것으로, 예를 들면 액정 표시 패널을 구동하는 액정 표시 제어용 반도체 집적 회로에 이용하기에 유효한 기술에 관한 것이다.

[0031] 근년, 휴대 전화기나 PDA(퍼스널 디지털 어시스턴스) 등의 휴대용 전자 기기의 표시 장치로서는, 일반적으로 복수의 표시 화소가 매트릭스 형상으로 2차원 배열된 도트 매트릭스형 액정 패널이 이용되고 있다. 기기 내부에는, 이 액정 패널의 표시 제어를 행하는 반도체 집적 회로화된 액정 표시 제어 장치(액정 컨트롤러)나 그 제어 장치의 제어 하에서 액정 패널을 구동하는 액정 드라이버 혹은 액정 컨트롤러와 액정 드라이버를 내장한 액정

표시 구동 제어 장치(액정 컨트롤러 드라이버)가 탑재되어 있다.

[0032] 종래, 액정 컨트롤러 드라이버(액정 컨트롤러를 포함함)는, 칩 내부에 표시 데이터를 기억하는 RAM을 내장하고 있고, 이 내장 RAM의 기억 용량은 일반적으로, 구동하는 액정 패널의 표시 화면의 크기에 따라서 결정되어 있고, 범용 메모리에 비교하면 작고 또한 결함 비트를 구제하는 이른바 용장 회로도 구비하고 있지 않았다.

[0033] 내장 RAM의 기억 용량이 액정 패널의 화면의 크기로 규정되어 있는 이유는, 액정 컨트롤러 드라이버는, 내장 RAM의 용량을 액정 패널의 1화면분의 표시 데이터를 기억하는 크기로 설정했다고 해도, 칩 면적에 차지하는 RAM의 비율이 비교적 크기 때문에, 기억 용량을 증대시키는 것은 칩 코스트를 증가시키는 것에 직접 연결되기 때문이다. 또한, 1화면분의 표시 데이터를 기억하는 용량을 갖는 내장 RAM이면, RAM이 갖는 결함에 의한 수율 저하는 그다지 문제가 되지 않으므로 용장 회로를 설치할 필요성이 낮고, 또한 용장 회로를 설치하는 것에 의한 칩 사이즈의 증대도 회피할 수 있기 때문이다.

[0034] 또한, 액정 컨트롤러 드라이버에서, 내장 RAM의 기억 용량이, 액정 패널의 1화면분의 표시 데이터를 기억하는 크기로 설정되어 있는 것은, 예를 들면 특허 문헌 1에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

[0035] 본 발명자들은, 액정 컨트롤러 드라이버의 칩 사이즈를 저감하여 칩 코스트를 낮추기 위해서, 미세화 프로세스를 채용하여 내장 RAM을 고밀도화하기로 하였다. 그러나, 내장 RAM을 고밀도화하면, 결함이 발생하기 쉬워져 RAM의 결함에 의한 수율의 저하가 문제로 되는 것을 알 수 있었다.

[0036] 따라서, 범용 RAM에서 채용되어 있는 용장 회로에 의한 메모리의 결함 구제 기술을 적용하여 수율의 향상을 도모하는 것을 검토했다. 그러나, 범용 RAM에서 채용되어 있는 용장 회로는, 도 10에 도시한 바와 같이, 정규의 메모리 행 혹은 열을 선택하는 제어 회로와, 결함 비트와 치환되는 예비의 메모리 행 혹은 열(용장 메모리)을 선택하는 제어 회로가 별개로 설치되어 있다. 그 때문에, 정규의 메모리 행 혹은 열을 액세스할 때와, 예비의 메모리 행 혹은 열을 액세스할 때에, 판독 속도 등의 동작 특성이 상이하기 때문에, 메모리의 주변 회로의 타이밍 설계가 어렵다고 하는 과제가 있다.

[0037] 또한, 범용 RAM에서 채용되어 있는 메모리 결함 구제 기술에서는, 퓨즈 등의 프로그램 가능한 소자를 갖고 피구제 메모리 행 혹은 열의 어드레스를 기억시키는 회로(이하, 퓨즈 회로라고 칭함) 외에, 구제를 할지 하지 않을지 즉 예비의 메모리 행 혹은 열을 사용할지 사용하지 않을지를 기억시키는 퓨즈 회로가 필요하다. 그리고, 이 퓨즈 회로의 상태에 기초하여, 예비의 메모리 행 혹은 열을 유효 또는 무효로 하기 위한 제어 신호를 생성하여 공급하도록 하고 있다(도 10의 부호 EN이 붙여져 있는 신호).

[0038] 또한, 범용 RAM의 용장 회로에서는, 예비의 메모리 행 혹은 열이 복수 형성되어 있는 경우에는, 어느 메모리 행 혹은 열을 사용할지 지정하는 선택 신호를 공급할 필요가 있다(도 10의 부호 SS가 붙여져 있는 신호). 그 때문에, 범용 RAM의 메모리 결함 구제 기술을 그대로 액정 컨트롤러 드라이버에 적용한 것에서는, 용장 회로 및 배선의 점유 면적이 커지게 되어 칩 사이즈 저감의 방해 요인으로 된다고 하는 과제가 있다.

[0039] 본 발명의 목적은, 표시 데이터를 기억하는 RAM을 내장한 액정 컨트롤러 드라이버와 같은 표시 제어용 반도체 집적 회로에서, 점유 면적을 그다지 증대시키지 않고 RAM에 포함되는 결함 비트를 구제하여, 수율을 향상시킬 수 있도록 하는 것에 있다.

[0040] 본 발명의 다른 목적은, 표시 데이터를 기억하는 RAM을 내장한 액정 컨트롤러 드라이버와 같은 표시 제어용 반도체 집적 회로에서, 정규의 기억 영역을 액세스할 때와, 예비의 기억 영역을 액세스할 때에, 판독 속도 등의 동작 특성이 상이하지 않도록 하여, 메모리의 주변 회로의 타이밍 설계를 용이하게 행할 수 있도록 하는 것에 있다.

[0041] 본 발명의 상기 및 그 밖의 목적과 신규 특징에 대해서는, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

발명의 구성 및 작용

[0042] 본원에서 개시되는 발명 중 대표적인 것의 개요를 설명하면, 하기와 같다.

[0043] 즉, 칩 내부에 표시 데이터를 기억하는 RAM을 내장하고, 그 내장 RAM의 기억 용량이 구동하는 액정 패널의 표시 화면의 크기에 따라서 결정되어 있는 표시 제어용 반도체 집적 회로에서, 결함 어드레스를 설정하는 퓨즈 회로

와, 퓨즈 회로에 설정된 결합 어드레스와 입력 어드레스를 비교하는 비교 회로를 설치한다. 그리고, 어드레스가 일치한 경우에는, 입력 어드레스를 상기 예비 메모리 영역을 지시하는 어드레스로 치환하여 어드레스 디코더에 공급하는 용장 회로를 설치하도록 한 것이다.

[0044] 일반적으로, 액정 컨트롤러 드라이버와 같은 표시 제어용 반도체 집적 회로에 내장되어 있는 RAM의 용량은, 액정 패널의 1화면분의 표시 데이터를 기억하는 크기로 설정되어 있고, 액정 패널의 1화면의 크기는 범용 메모리의 크기를 규정하는 어드레스나 데이터의 비트 수와는 상이한 기준에 따라서 결정되어 있어, 2의 n승(n은 정수)으로 되어 있지 않다. 즉, 액정 컨트롤러 드라이버에서는, 내장 RAM의 어드레스의 비트 수로 규정되는 유효 어드레스 공간보다도 내장 RAM의 사용 어드레스 영역폭이 작다.

[0045] 본 발명은, 이것에 주목하여, 내장 RAM의 어드레스의 비트 수로 규정되는 유효 어드레스 공간 내의 미활용 어드레스 영역에 구제용의 예비 메모리 영역을 할당하도록 했다. 이와 함께, 퓨즈 회로의 디폴트값으로서, 유효 어드레스 공간 내의 미활용 어드레스 영역으로서 구제용 메모리 영역에도 할당되어 있지 않은 영역을 지시하는 어드레스를 할당하도록 했다.

[0046] 여기서, 표시 화면에 윈도우 표시를 행하는 영역을 설정하기 위한 어드레스 설정용의 레지스터를 구비하는 경우에는, 예비의 기억 영역의 어드레스는 상기 레지스터에서 설정 가능한 어드레스 범위의 외측에 설정한다. 윈도우 표시 영역은, 일반적으로, 최대로 표시 화면 전체까지 설정 가능하게 되므로, 상기 레지스터에서 설정 가능한 어드레스 범위의 외측은 유효 어드레스 공간 내의 미활용 어드레스 영역에 상당하기 때문이다. 만약, 액정 컨트롤러 드라이버가 내장 RAM의 유효 기억 영역을 설정하는 레지스터를 구비하는 경우에는, 그 레지스터에서 설정 가능한 어드레스 범위의 외측을 미활용 어드레스 영역으로서 인식할 수 있는 것은 물론이다.

[0047] 상기한 수단에 따르면, 정규의 메모리 행 혹은 열을 선택하는 제어 회로와, 결합 비트와 치환되는 예비의 메모리 행 혹은 열을 선택하는 제어 회로를 별개의 회로로서 구성할 필요가 없고, 그에 의해 메모리의 주변 회로의 타이밍 설계가 용이해진다.

[0048] 또한, 퓨즈 회로의 디폴트값이 유효 어드레스 공간 내로서 예비 메모리 영역에도 할당되어 있지 않은 미활용 어드레스 영역을 지시하는 어드레스이기 때문에, 예비 메모리 행 혹은 열을 유효 또는 무효로 하기 위한 제어 신호를 생성할 필요가 없다.

[0049] 또한, 예비 메모리 영역이 유효 어드레스 공간 내의 미활용 어드레스 영역에 할당되고, 결합 어드레스와 입력 어드레스를 비교해서 일치한 경우에는, 입력 어드레스를 상기 예비 메모리 영역을 지시하는 어드레스로 치환하여 어드레스 디코더에 공급된다. 그 때문에, 예비의 메모리 행 혹은 열을 복수 형성한 경우에, 어느 메모리 행 혹은 열을 사용할지 지정하는 선택 신호를 별도로 생성하여 공급할 필요가 없다.

[0050] <실시예>

[0051] 이하, 본 발명의 적합한 실시예를 도면에 기초하여 설명한다.

[0052] 도 1은, RAM 및 구제 회로를 내장한 액정 컨트롤러 드라이버(200)의 일 실시예를 도시하는 블록도이다. 이 실시예의 액정 컨트롤러 드라이버(200)는, 도트 매트릭스형의 액정 표시 패널에 그래픽 표시되는 데이터를 기억하는 메모리로서 RAM(이하, 표시 메모리라고 칭함)을 내장하고, 그 기입 회로나 판독 회로 및 액정 표시 패널의 구동 신호를 출력하는 드라이버와 함께 1개의 반도체 기판 위에 반도체 집적 회로로서 구성된다.

[0053] 이 실시예의 액정 컨트롤러 드라이버(200)는, 외부의 마이크로프로세서 혹은 마이크로컴퓨터 등으로부터의 명령에 기초하여 칩 내부 전체를 제어하는 제어부(201)를 구비한다. 또한, 외부로부터의 발진 신호 혹은 외부 단자에 접속된 진동자로부터의 발진 신호에 기초하여 칩 내부의 기준 클럭 펄스를 생성하는 펄스 제너레이터(202), 이 클럭 펄스에 기초하여 칩 내부의 다양한 회로의 동작 타이밍을 부여하는 타이밍 신호를 발생하는 타이밍 제어 회로(203)를 구비한다.

[0054] 또한, 도시하지 않은 시스템 버스를 통하여 마이크로컴퓨터 등과의 사이에서 주로 인스트럭션이나 정지 표시 데이터 등의 데이터의 송수신을 행하는 시스템 인터페이스(204), 도시하지 않은 표시 데이터 버스를 통하여 주로 어플리케이션 프로세서 등으로부터의 동화상 데이터나 수평·수직 동기 신호 HSYNC, VSYNC를 받는 외부 표시 인터페이스(205)를 구비한다.

[0055] 또한, 액정 컨트롤러 드라이버(200)에는, 표시 데이터를 비트맵 방식으로 기억하는 표시 메모리(206), 마이크로컴퓨터로부터의 RGB의 기입 데이터의 비트의 재배열 등의 비트 처리를 행하는 비트 변환 회로(207)를 구비한다. 또한, 비트 변환 회로(207)에서 변환된 표시 데이터 또는 외부 표시 인터페이스(205)를 통하여 입력된 표시 데

이터를 취득하여 보유하는 라이트 데이터 래치 회로(208), 표시 메모리(206)로부터 판독된 표시 데이터를 보유하는 리드 데이터 래치 회로(209), 상기 표시 메모리(206)에 대한 선택 어드레스를 생성하는 어드레스 생성 회로(210)를 구비한다.

[0056] 표시 메모리(206)는, 복수의 메모리 셀 및 워드선, 비트선(데이터선)을 포함하는 메모리 어레이와, 어드레스 생성 회로(210)로부터 공급되는 어드레스를 디코딩해서 메모리 어레이 내의 워드선이나 비트선을 선택하는 신호를 생성하는 어드레스 디코더를 갖는 판독 기입 가능한 RAM에 의해 구성되어 있다. 또한, 표시 메모리(206)는, 메모리 셀로부터 판독된 신호를 증폭하는 센스 앰프나 기입 데이터에 따라서 메모리 어레이 내의 비트선에 소정의 전압을 인가하거나 하는 라이트 드라이버 등을 가진다. 특별히 제한되는 것은 아니지만, 이 실시예에서는, 메모리 어레이는 172800바이트의 기억 용량을 갖도록 구성되며, 17비트의 어드레스 신호에 의해 컬럼(18비트) 단위로 데이터의 리드 라이트가 가능하게 되어 있다.

[0057] 또한, 표시 메모리(206)로부터 판독된 표시 데이터를 순차적으로 래치하는 제1 및 제2 래치 회로(211, 212), 래치된 표시 데이터로부터 액정의 열화를 방지하는 교류 구동을 위한 데이터로 변환하는 교류화 회로(213), 그 회로에서 변환된 데이터를 보유하는 래치 회로(214)를 구비한다. 또한, 액정 패널의 구동에 필요한 복수 레벨의 전압을 발생하는 액정 구동 레벨 발생 회로(216), 그 액정 구동 레벨 발생 회로(216)에서 생성된 전압에 기초하여 컬러 표시나 계조 표시에 적합한 파형 신호를 생성하는 데 필요한 계조 전압을 생성하는 계조 전압 생성 회로(217), 액정 패널의 γ 특성을 보정하기 위한 계조 전압을 설정하는 γ 조정 회로(218)를 구비한다.

[0058] 상기 래치 회로(214)의 후단에는, 상기 계조 전압 생성 회로(217)로부터 공급되는 계조 전압 중으로부터 래치 회로(214)에 래치되어 있는 표시 데이터에 따른 전압을 선택해서 액정 패널의 신호선으로서의 소스선에 인가되는 전압(소스선 구동 신호) S1 내지 S720을 출력하는 소스선 구동 회로(215)가 설치되어 있다. 한편, 액정 패널의 선택선으로서의 게이트선(커먼선이라고도 불림)에 인가되는 전압(게이트선 구동 신호) G1 내지 G320을 출력하는 게이트선 구동 회로(219), 액정 패널의 게이트선을 1개씩 차례로 선택 레벨로 구동하기 위한 스캔 데이터를 생성하는 시프트 레지스터 등으로 이루어지는 스캔 데이터 발생 회로(220) 등이 설치되어 있다.

[0059] 또한, 내부 기준 전압을 생성하는 내부 기준 전압 생성 회로(221), 외부로부터 공급되는 3.3V나 2.5V와 같은 전압 Vcc를 강압하여 1.5V와 같은 내부 로직 회로의 전원전압 Vdd를 생성하는 전압 레귤레이터(222)가 설치되어 있다. 또한, 도 1에서, SEL1, SEL2는 데이터 셀렉터에서, 각각 타이밍 제어 회로(203)로부터 출력되는 절환 신호에 의해 제어되며, 복수의 입력 신호 중 어느 하나를 선택적으로 통과시킨다.

[0060] 제어부(201)에는, 액정 컨트롤러 드라이버(200)의 동작 모드 등 칩 전체의 동작 상태를 제어하기 위한 컨트롤 레지스터 CTR이나, 그 컨트롤 레지스터 CTR이나 상기 표시 메모리(206)의 참조를 위한 인덱스 정보를 기억하는 인덱스 IXR 등의 레지스터가 설치되어 있다. 외부의 마이크로컴퓨터 등이 인덱스 레지스터 IXR에 기입을 행함으로써 실행하는 인스트럭션을 지정하면, 제어부(201)가 지정된 인스트럭션에 대응한 제어 신호를 생성하여 출력한다.

[0061] 이렇게 구성된 제어부(201)에 의한 제어에 의해, 액정 컨트롤러 드라이버(200)는, 마이크로컴퓨터 등으로부터의 명령 및 데이터에 기초하여 도면 외의 액정 패널에 표시를 행할 때에, 표시 데이터를 표시 메모리(206)에 순차적으로 기입해 가는 묘화 처리를 행한다. 또한, 표시 메모리(206)로부터 주기적으로 표시 데이터를 판독하는 판독 처리를 행하여 액정 패널의 소스선에 인가하는 신호를 생성하여 출력함과 함께, 게이트선에 순차적으로 인가하는 신호를 생성하여 출력한다.

[0062] 시스템 인터페이스(204)는, 마이크로컴퓨터 등의 시스템 제어 장치와의 사이에서 표시 메모리(206)에의 묘화 시 등에 필요로 되는 레지스터에의 설정 데이터나 표시 데이터 등의 신호의 송수신을 행한다. 이 실시예에서는, IM3-1 및 IM0/ID단자의 상태에 따라서 80계 인터페이스로서 18비트, 16비트, 9비트, 8비트의 패러럴 입출력 또는 시리얼 입출력 중 어느 하나가 선택 가능하게 구성되어 있다.

[0063] 이 실시예의 액정 컨트롤러 드라이버(200)에서는, 상기 표시 메모리(206)에 대응하여, 그 내부의 결합 비트를 구제하는 구제 회로(230)와, 결합 비트를 포함하는 피구제 메모리 행의 어드레스를 구제 정보로서 보유하는 구제 정보 설정 회로(240)가 설치되어 있다. 또한, 표시 메모리(206)에는, 표시 데이터를 기억하는 정규의 메모리 영역과는 별개로 설치된 구제용 메모리 영역(206a)이 형성되어 있다.

[0064] 여기서, 본 실시예의 액정 컨트롤러 드라이버(200)에서의 표시 메모리(206)의 기억 영역과 어드레스 공간과의 관계에 대해서, 도 2를 이용하여 설명한다. 전술한 바와 같이, 본 실시예에서는, 표시 메모리(206)는 17비트의 어드레스 신호에 의해 컬럼(18비트) 단위로 데이터의 리드 라이트가 가능하게 되어 있다. 한편, 본 실시예의

액정 컨트롤러 드라이버(200)가 구동 대상으로 하고 있는 것은, 수평 방향 240×수직 방향 320의 화소를 갖는 컬러 QVGA 액정 패널이며, 1화소는 적, 청, 녹의 3도트로 구성되어 있다.

- [0065] 각 도트를 6비트의 데이터로 64계조 표현하면, 1화소당 18비트의 데이터가 필요하고, QVGA 액정 패널의 1화면분의 표시 데이터는, $240 \times 320 \times 18 = 3110400$ 비트=172800바이트이다. 18비트의 데이터를 1컬럼으로 두면, 도 2에 도시한 바와 같이, QVGA 액정 패널의 1화면분의 표시 데이터의 기억 영역 MAR의 크기는, 320워드×240컬럼이다. 또한, 본 실시예에서, 1워드란 16비트가 아니라, 메모리 어레이의 1워드선에 접속된 메모리 셀 군(실시예에서는 540바이트)을 가리킨다.
- [0066] 따라서, 320워드를 각각 선택하는 데 필요한 워드 어드레스는 9비트, 240컬럼을 각각 선택하는 데 필요한 컬럼 어드레스는 8비트이다. 한편, 9비트의 워드 어드레스와 8비트의 컬럼 어드레스로 표현할 수 있는 어드레스 공간 ADS은, 512워드×256컬럼이다. 그 때문에, 표시 메모리(206)의 기억 용량을, QVGA 액정 패널의 1화면분의 표시 데이터를 기억하는 크기로 설정한 경우, 도 2에 도시한 바와 같이, 미활용 어드레스 공간이 존재하게 된다.
- [0067] 본 실시예의 액정 컨트롤러 드라이버(200)에서는, 이 미활용 어드레스 공간 중 워드 방향의 영역을, 예비의 메모리 행을 갖는 구제용 메모리 영역(206a)으로서 이용하도록, 표시 메모리(206)와 구제 회로(230)가 구성되어 있다. 또한, 본 실시예에서는, 구제 정보 설정 회로(퓨즈 회로)의 디폴트값으로서, 어드레스 공간 내의 미활용 어드레스 영역으로서 예비 메모리 영역에도 할당되어 있지 않은 영역을 지시하는 어드레스를 할당하도록 하고 있다.
- [0068] 이에 의해, 정규의 메모리 행을 선택하는 제어 회로와, 결합 비트와 치환되는 구제용 메모리 영역(206a)의 예비의 메모리 행(이하, 용장 워드라고 칭함)을 선택하는 제어 회로를 별개의 회로로서 구성할 필요가 없어짐과 함께, 용장 워드를 유효 또는 무효로 하기 위한 제어 신호를 생성할 필요가 없어진다. 이하, 그 이유를, 도 4 및 도 5를 이용하여 설명한다.
- [0069] 또한, 이하의 설명에서는, 특별히 한정되는 것은 아니지만, 구제용 메모리 영역(206a)에 용장 워드를 4워드 구비하고, 2워드 단위로 정규의 메모리 행과의 치환을 가능하게 하는 것으로 한다. 2워드 단위로 치환을 행하는 것은, 이물의 부착 등에 의해 메모리 어레이 내에 결함이 발생하는 경우, 2개의 워드에 걸쳐 있는 경우가 많아, 소규모의 구제 회로에서 효율적으로 치환을 행할 수 있기 때문이다.
- [0070] 도 4는, 범용 RAM에서의 것과 마찬가지로, 데이터 기억 영역을 어드레스 공간 가득히 취해서 미활용 어드레스 공간이 없도록 한 메모리에서의 워드 선택 어드레스와 구제 정보와의 관계를 나타낸다. 또한, 도 5는, 본 실시예의 액정 컨트롤러 드라이버의 표시 메모리에서의 워드 선택 어드레스와 구제 정보와의 관계를 나타낸다.
- [0071] 또한, 도 4 및 도 5에서, 워드 선택 어드레스의 란의 AD8 내지 AD0은 워드 선택 어드레스의 각 비트를 나타내고 있다. 또한, 워드 선택 어드레스의 란의 「9'h」는 9비트의 바이너리 코드의 16진 표기인 것을, 구제 어드레스(결합 어드레스)의 란의 「8'b」는 8비트의 바이너리 코드 표기인 것을 의미하고 있다. 구제 어드레스쪽이 1비트 적은 것은, 전술한 바와 같이, 2워드 단위로 치환을 행하기 위해서이며, 1워드 단위로 치환을 행하는 경우에는 9비트로 된다. 도 4의 우측으로부터 2번째의 란의 「8'bXXXXXXXX」는 임의의 바이너리 코드이어도 되는 것을 의미하고 있다.
- [0072] 도 4로부터, 데이터 기억 영역을 어드레스 공간 가득히 취한 것으로 하면, 어느 하나의 워드에 결함이 포함되어 있었을 때에 대응하는 구제 어드레스를 퓨즈 회로에 설정할 필요가 있기 때문에, 구제 어드레스에 전혀 빔이 없다. 그 때문에, 구제 어드레스를 설정하는 퓨즈 회로 외에 구제 어드레스를 유효로 할지 무효로 할지를 설정하는 퓨즈 회로가 필요해지는 것을 알 수 있다.
- [0073] 한편, 메모리에 미활용 어드레스 공간이 있는 경우에는, 도 5와 같이, 미활용 어드레스 공간에 용장 워드를 할당함으로써, 정규의 워드와 동일한 동작으로 선택할 수 있다. 이와 함께, 구제를 행하지 않는 경우에는, 어드레스 공간 내의 미활용 어드레스 영역으로서 예비 메모리 영역에도 할당되어 있지 않은 영역이 있으므로, 여기를 지시하는 어드레스를 퓨즈 회로에 설정한다.
- [0074] 이 어드레스는 어드레스 공간 내에 있음에도 불구하고 대응하는 메모리가 없으므로, 이 어드레스가 메모리에 입력되었다고 해도 메모리는 동작하지 않는다. 그 때문에, 이에 의해, 용장 워드를 유효 또는 무효로 할지를 설정하는 퓨즈 회로나 제어 신호(인에이블 신호)가 불필요해지는 것을 알 수 있다. 게다가, 구제를 행하지 않는 경우에 설정하는 어드레스를 퓨즈 회로의 디폴트값으로 하고, 그 디폴트값을 예를 들면 초기 상태인 「8'b11111111」로 해 두면, 구제를 행하지 않는 경우에는 퓨즈 회로의 설정 그 자체가 불필요해진다고 하는 이

점이 있다.

- [0075] 도 6에는 구체 회로(230)의 구성예가, 도 7에는 그 동작 타이밍이 도시되어 있다.
- [0076] 도 1에는 도시되어 있지 않지만, 어드레스 생성 회로(210)에는, 마이크로컴퓨터에 의해 표시 메모리(206)에의 표시 데이터의 리드 라이트를 행할 때의 어드레스를 발생하는 어드레스 카운터(210a)와, 액정 패널에의 표시를 위해 표시 메모리(206)로부터 표시 데이터를 판독할 때의 어드레스를 발생하는 어드레스 카운터(210b)가 설치되어 있다. 구체 회로(230)에는, 상기 2개의 어드레스 카운터(210a, 210b)에 대응하여, 2개의 비교 회로(231a, 231b)가 설치되고, 각 카운터에서 발생된 어드레스 AC[16 \sim 8]P, CGAD[16 \sim 8]P가 입력되어 있다.
- [0077] 또한, 구체 회로(230)에는, 구체 정보 설정 회로(240)에 설정되어 있는 결함 어드레스 FRADA[16 \sim 9]N, FRADB[16 \sim 9]N을 취득하여 보유하는 래치 회로(232)가 설치되어 있다. 구체 설정 회로(240)는, 퓨즈나 불휘발성 기억 소자 등, 제조 후에 있어서 프로그램 가능하고 일단 설정하면 전원전압을 차단해도 설정 상태를 유지 가능한 소자로 구성되어 있고, 이 실시예에서는, 9비트의 워드 선택 어드레스의 상위 8비트를 2개 설정 가능하게 되어 있다. 상위 8비트를 설정함으로써 2워드 단위로의 치환이 용이해진다.
- [0078] 상기 래치 회로(232)에 취득되어 반전된 결함 어드레스 FRADA[16 \sim 9]P, FRADB[16 \sim 9]P는 상기 비교 회로(231a, 231b)에 공급되어, 어드레스 카운터(210a, 210b)에서 발생된 어드레스 AC[16 \sim 8]P, CGAD[16 \sim 8]P 중 상위 8비트 AC[16 \sim 9]P, CGAD[16 \sim 9]P와 비교된다.
- [0079] 비교 회로(231a, 231b)의 후단에는, 비교의 결과가 불일치한 경우에는 AC[16 \sim 9]P, CGAD[16 \sim 9]P를 그대로 통과시키고, 비교의 결과가 일치한 경우에는, 어드레스 AC[16 \sim 9]P, CGAD[16 \sim 9]P 대신에 용장 워드 Y320, Y321 또는 Y322, Y323을 선택하는 상위 8비트의 용장 어드레스를 출력하는 교체 회로(233)가 설치되어 있다.
- [0080] 교체 회로(233)로부터 출력된 8비트의 어드레스에, 비교 회로에 입력되지 않았던 1비트 AC[8]P 또는 CGAD[8]P가 부가되어 9비트로 된 어드레스가, 래치 회로(234a 또는 234b)에 래치된다. 그리고, 후단의 셀렉터(235)에 의해, 래치 회로(234a 또는 234b) 중 어느 하나에 래치되어 있는 어드레스가 선택되어, 래치 회로(236)에 래치된 후, 표시 메모리(206)의 디코더 드라이버 DEC에 공급되어 디코드된다. 그 결과, 표시 메모리(206) 내의 워드선 Y0 내지 Y323 중, 디코드된 어드레스에 대응한 1개의 워드선이 선택된다.
- [0081] 이 실시예의 액정 컨트롤러 드라이버(200)에서는, 프로세스의 최종 공정에서 행해지는 프로브 검사 등에서 표시 메모리(206) 내에 결함 비트가 발견되면, 그 결함 비트를 포함하는 메모리 행의 어드레스가 결함 어드레스로서 구체 정보 설정 회로(240)에 설정된다. 그리고, 시스템에 실장된 후, 전원이 투입되면, 구체 정보 설정 회로(240)로부터 결함 어드레스가 판독되고, 구체 회로(230) 내의 래치 회로(232)에 취득되어, 전원이 차단될 때까지 보유된다. 구체 정보 설정 회로(240)가 전원 투입 중 쪽 출력을 계속해서 내는 형식의 회로이면, 래치 회로(232)는 생략할 수 있다.
- [0082] 구체 정보 설정 회로(240)는, 결함 어드레스가 설정되어 있지 않은 상태가 「00000000」이기 때문에, 래치 회로(232)에서 반전함으로써 출력되는 디폴트값이 「8'b11111111」로 되도록 되어 있다. 구체 정보 설정 회로(240)의 결함 어드레스가 설정되어 있지 않은 초기 상태가 「11111111」이면, 래치 회로(232)에서 반전하지 않고 그대로 디폴트값 「8'b11111111」로서 비교 회로에 공급시킬 수 있다. 이 실시예의 구체 정보 설정 회로(240)에는, 구체를 행할지 행하지 않을지 나타내는 정보는 설정되지 않는다. 따라서, 그러한 정보에 기초하여 정규의 워드나 예비의 워드(용장 워드)를 유효로 할지 무효로 할지의 제어 신호도 불필요하다.
- [0083] 도 6과 종래의 용장 회로를 나타내는 도 10을 비교하면 분명해지는 바와 같이, 도 10에서는 정규의 메모리 행 혹은 열을 선택하는 제어 회로 및 디코더와, 결함 비트와 치환되는 예비의 메모리 행 혹은 열(용장 메모리)을 선택하는 제어 회로 및 디코더와는 별개이다. 그 때문에, 정규의 메모리 행 혹은 열을 액세스할 때와, 예비의 메모리 행 혹은 열을 액세스할 때에서, 판독 속도 등의 동작 특성이 상이하기 때문에, 메모리의 주변 회로의 타이밍 설계가 어려웠다. 한편, 도 6의 용장 회로에서는, 정규의 워드를 선택하는 디코더 드라이버와 용장 워드를 선택하는 디코더 드라이버가 공통화되기 때문에, 어느 워드를 선택할 때에도 판독 속도 등의 동작 특성이 동일해져, 메모리의 주변 회로의 타이밍 설계가 용이해진다.
- [0084] 도 7에는, 구체 회로(230)의 동작 타이밍이 도시되어 있다. 기입 어드레스를 발생하는 어드레스 카운터(210a)로부터의 어드레스에 의한 구체 회로(230)의 동작과, 판독 어드레스를 발생하는 어드레스 카운터(210b)로부터의

어드레스에 의한 구제 회로(230)의 동작은 동일하므로, 어드레스 카운터(210a)로부터의 어드레스에 의한 구제 회로(230)의 동작 타이밍만 도시되어 있다.

- [0085] 도 7에 도시되어 있는 바와 같이, 어드레스 카운터(210a)로부터의 어드레스 AC[16:8]P가 구제 정보 설정 회로(240)에 설정되어 있는 2개의 결합 어드레스 A, B 중 A와 일치하면, 비교 회로(231a)의 출력이 하이 레벨로 변환된다(타이밍 t1). 이에 의해, 교체 회로(233)로부터 출력되는 어드레스는 용장 워드 A를 선택하는 것으로 된다(타이밍 t2).
- [0086] 그 때문에, 이 용장 워드 A의 어드레스가, 래치 타이밍 신호 ACLATP의 상승에 동기해서 후단의 래치 회로(234)에 래치된다(타이밍 t3). 도 7로부터, 이 실시예에서는, 교체 회로(233)에서 용장 워드 A로 절환되는 타이밍 t2와, 래치 타이밍 신호 ACLATP의 상승 타이밍 t3 사이에 소정의 마진을 갖게 하도록, 회로의 설계를 행하면 오 동작을 방지할 수 있으므로, 타이밍 설계가 용이해지는 것을 알 수 있다.
- [0087] 또한, 도 6에는, 구제 회로(230)의 동작과 관련하여 기입 저지의 제어를 행하는 회로(250)가 아울러 도시되어 있다. 이 기입 저지의 제어를 행하는 회로는, 원래 액정 패널의 표시 화면의 일부에 도 3에 도시한 바와 같은 윈도우 표시를 행하는 경우에, 윈도우 이외의 영역에의 데이터 기입을 금지하기 위해서 설치되어 있는 것이다. 또한, 도 6에 도시되어 있는 기입 저지 제어 회로(250)는, 개념적으로 나타낸 것으로, 이러한 구성에 한정되는 것은 아니다.
- [0088] 참조 부호 261은 윈도우의 개시 어드레스(VSA, HSA)를 설정하는 레지스터, 참조 부호 262는 윈도우의 종료 어드레스(VEA, HEA)를 설정하는 레지스터이며, 이들 레지스터는 최대로 표시 화면 전체 즉 표시 메모리(206)의 기억 영역 전체를 지정 가능하게 구성되어 있다. 윈도우 설정 레지스터(261, 262)는, 도 1의 컨트롤 레지스터 CTR의 일부 혹은 별개의 레지스터로서 제어부(201) 내에 설치되어 있다.
- [0089] 기입 저지 제어 회로(250)에는, 윈도우 설정 레지스터(261, 262)에 설정되어 있는 어드레스 VSA, VEA와 어드레스 카운터(210a)로부터의 어드레스 AC[16:8]P를 비교하는 비교 회로(251a)가 설치되어 있다. 비교 회로(251a)는 기입 어드레스가 윈도우 표시 영역 안에 있는 것인지 밖에 있는 것인지를 판정하는 것으로, 기입 어드레스가 윈도우 표시 영역 안에 있을 때에는 출력이 하이 레벨로 되고, 기입 어드레스가 윈도우 표시 영역 밖에 있을 때에는 출력이 로우 레벨로 된다.
- [0090] 또한, 기입 저지 제어 회로(250)에는, 어드레스 AC[16:8]P 중 최상위 비트 AC16과 상위로부터 3비트 AC14가 "1, 1"로 되어 있는지 검출하는 비교 회로(251b)가 설치되어 있다. 비교 회로(251b)는 기입 어드레스가 미활용 어드레스 공간 안에 있는 것인지 밖에 있는 것인지를 판정한다. 도 5를 참조하면, 이 실시예의 표시 메모리에서는, AC16과 AC14가 "1, 1"로 되어 있는 어드레스 영역은, 미활용 어드레스 공간을 의미하고 있는 것을 알 수 있다. 비교 회로(251b), 기입 어드레스가 미활용 어드레스 공간의 밖에 있을 때에는 출력이 하이 레벨로 되고, 기입 어드레스가 미활용 어드레스 공간 안에 있을 때에는 출력이 로우 레벨로 된다.
- [0091] 특별히 한정되지 않지만, 비교 회로(251a)와 비교 회로(251b)의 출력은 OR 게이트(252)에 입력되고, OR 게이트(252)의 출력 신호 VAE_Pt는, AND 게이트(253), 래치 회로(254)를 통하여 표시 메모리(206)의 라이트 드라이버(도시 생략)에 공급되어 있어, VAE_P가 로우 레벨로 변화되면 기입 동작을 행하지 않도록 구성되어 있다. 또한, AND 게이트(253)의 다른쪽의 단자에 입력되어 있는 신호 HAE_P는, 컬럼측에 대응하여 설치되어 있는 마찬가지로의 구성의 기입 저지 제어 회로(도시 생략)로부터의 신호이다.
- [0092] 도 8에는 교체 회로(233)의 구성예가 도시되어 있다. 또한, 교체 회로(233)는, 어드레스 카운터(210a)와 비교 회로(231a)에 대응한 회로와, 어드레스 카운터(210b)와 비교 회로(231b)에 대응한 회로가 있지만, 이들은 동일한 구성이므로, 한쪽만 도시하고, 다른쪽은 생략한다.
- [0093] 도 8의 교체 회로(233)는, 셀렉터 SEL1 내지 SEL8에 의해 구성되어 있다. 각 셀렉터에는, 어드레스 카운터(210a)로부터의 어드레스 AC[16:9]P의 각 비트와, 2개의 용장 어드레스 RA_A[16:9], RA_B[16:9]의 각 비트가 입력되어 있다. 그리고, 이들의 입력 중, 비교 회로(231a)로부터의 어드레스 일치 신호 ACRWAE_P, ACRWBE_P에 따라서 어느 하나가 셀렉터 SEL1 내지 SEL8에 의해 선택되어 ACCP[16:9]로서 출력된다.
- [0094] 구체적으로는, 어드레스 일치 신호 ACRWAE_P가 일치를 나타내는 하이 레벨로 되면, 용장 어드레스 RA_A[16:9]가 선택되어 출력된다. 또한, 어드레스 일치 신호 ACRWBE_P가 일치를 나타내는 하이 레벨로 되면, 용장 어드레스

RA_B[16~9]가 선택되어 출력된다. ACRWAE_P, ACRWBE_P가 모두 불일치를 나타내는 로우 레벨로 되면, 어드레스 카운터(210a)로부터의 어드레스 AC[16~9]P가 선택되어 출력된다.

[0095] 용장 어드레스 RA_A[16~9], RA_B[16~9]의 각 비트는, 예를 들면 입력이 전원전압 Vcc로 풀 업된 인버터 또는 입력이 접지점 GND로 풀 다운된 인버터에 의해 발생시킬 수 있다. 혹은, 셀렉터 SEL1 내지 SEL8의 회로 형식에 의해, 입력 단자를 직접 Vcc 또는 GND에 접속해도 된다. 용장 어드레스는 처음부터 고정되어 있으므로, 구체 정보 설정 회로(240)와 같이 프로그램 가능한 회로로 구성할 필요가 없다.

[0096] 또한, 이 실시예의 교체 회로를 사용한 구체 회로에서는, 구체 정보 설정 회로(240)에 결함 어드레스가 설정되어 있지 않은 경우에는, 어드레스 일치 신호 ACRWAE_P와 ACRWBE_P가 하이 레벨로 되는 경우가 없기 때문에, 어드레스의 교체가 행해지지 않는다.

[0097] 도 9에는 교체 회로(233)의 다른 구성예가 도시되어 있다. 또한, 교체 회로(233)는, 어드레스 카운터(210a)와 비교 회로(231a)에 대응한 회로와, 어드레스 카운터(210b)와 비교 회로(231b)에 대응한 회로가 있지만, 이들은 동일한 구성이므로, 한쪽만 도시하고, 다른쪽은 생략한다.

[0098] 도 9의 교체 회로(233)는, 복수의 논리 게이트로 이루어지는 조합 논리 회로로 구성된 것이다. 도 6에 도시되어 있는 구체 회로에서는, 비교 회로(231a)에서 비교되는 어드레스가 8비트인 경우가 도시되어 있고, 이것에 대응한 조합 논리 회로로 이루어지는 교체 회로(233)를 도시하면 복잡해지므로, 이해를 용이하게 하기 위해서, 도 9에는 어드레스가 4비트인 경우의 교체 회로(233)를 도시하여 설명한다. 또한, 도 9를 이용한 이하의 설명에서는, 구체 정보 설정 회로(240)에 설정된 결함 어드레스 FADA3 내지 FADA0, FADB3 내지 FADB0이 "0001", "1010"이고, 용장 어드레스는 "1100", "1101"인 것으로 한다.

[0099] 어드레스 카운터(210a)로부터 비교 회로(231a)에 입력된 어드레스 ADIN3 내지 ADIN0이 결함 어드레스 FADA3 내지 FADA0과 일치하면, 결함 어드레스 A 일치 신호 ACRWAE_P가 "1"로 되고, ADIN3 내지 ADIN0이 FADB3 내지 FADB0과 일치하면, 결함 어드레스 B 일치 신호 ACRWBE_P가 "1"로 된다. 이들 신호 ADIN3 내지 ADIN0, ACRWAE_P, ACRWBE_P가, 조합 논리 회로로 구성된 교체 회로(233)에 입력되면, 다음의 표 1에 나타내어져 있는 바와 같이, ACRWAE_P, ACRWBE_P가 모두 "0"일 때는, ADIN3 내지 ADIN0이 그대로 AD3 내지 AD0으로서 출력된다.

[0100] 또한, ACRWAE_P가 "1"일 때는 용장 어드레스 "1100"이 AD3 내지 AD0으로서 출력되고, ACRWBE_P가 "1"일 때는, 용장 어드레스 "1101"이 AD3 내지 AD0으로서 출력된다. 즉, 표 1의 진리값 표를 만족시키도록, 교체 회로(233)의 논리 게이트 회로 LG1 내지 LG4의 논리가 구성되어 있다. 또한, 도 9에 도시되어 있는 논리 게이트 회로 LG1 내지 LG4는 일례로서, 마찬가지로의 논리를 갖는 것이면 어떤 것이어도 된다.

표 1

| 입력 신호 | | | | | | 출력 신호 | | | |
|-------|-------|-------|-------|-----------------|-----------------|-------|-----|-----|-----|
| ADIN3 | ADIN2 | ADIN1 | ADIN0 | 결함 어드레스 A 일치 신호 | 결함 어드레스 B 일치 신호 | AD3 | AD2 | AD1 | AD0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |

[0101]

[0102] 표 1로부터, 결함 어드레스 일치 신호 ACRWAE_P 또는 ACRWBE_P 중 어느 하나가 "1"일 때는 "1"을 출력시키고자 하는 비트에는 논리 게이트 회로 LG3(LG4)을 사용하고, 결함 어드레스 일치 신호 ACRWAE_P 또는 ACRWBE_P 중 어느 하나가 "1"일 때는 "0"을 출력시키고자 하는 비트에는 논리 게이트 회로 LG2를 사용한다. 또한, 결함 어드레스 일치 신호 ACRWAE_P가 "1"이고 ACRWBE_P가 "0"일 때는 "0"을 출력시키고, 결함 어드레스 일치 신호 ACRWAE_P가 "0"이고 ACRWBE_P가 "1"일 때는 "1"을 출력시키고자 하는 비트에는, 논리 게이트 회로 LG1을 사용하면 되는 것을 알 수 있다.

[0103] 또한, 이것과는 반대로, 결함 어드레스 일치 신호 ACRWAE_P가 "0"이고 ACRWBE_P가 "1"일 때는 "0"을 출력시키고, 결함 어드레스 일치 신호 ACRWAE_P가 "1"이고 ACRWBE_P가 "0"일 때는 "1"을 출력시키고자 하는 비트에는, 도 9의 논리 게이트 회로 LG1 내의 인버터의 입력을 ACRWBE_P가 아니라 ACRWAE_P로 한 게이트를 사용하면 된다. 도 9와 같은 조합 논리 회로로 구성된 교체 회로(233)를 사용함으로써, 용장 어드레스 RA_A[16~9],

RA_B[16~9]를 발생시키는 회로를 설치할 필요가 없어진다.

[0104] 이상 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

[0105] 예를 들면, 상기 실시예에서는, 예비 메모리 영역을 용장 워드로서 설치하고, 워드 구제를 행하도록 한 것을 설명했지만, 예비 메모리 영역을 용장 컬럼으로서 설치하고, 컬럼 구제를 행하도록 구성하는 것도 가능하다. 또한, 실시예에서는 2워드 단위의 치환으로 구제를 행하도록 한 것을 설명했지만, 1워드 단위 혹은 3워드 이상의 단위의 치환으로 구제를 행하도록 구성하는 것도 가능하다.

[0106] 또한, 본 발명은, 2 이상의 액정 패널용의 구동 신호를 생성하여 출력 가능하게 하는 액정 컨트롤러 드라이버에서, 표시 메모리에 2화면분의 표시 데이터를 기억시키도록 한 것, 혹은 서로 겹침 표시를 위해 1화면분의 표시 데이터의 기억 영역보다도 큰 기억 영역을 갖는 표시 메모리를 내장한 것에도 적용할 수 있다.

[0107] <산업상 이용 가능성>

[0108] 이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경으로 된 이용 분야인 QVGA 액정 패널용의 구동 신호를 생성하여 출력하는 액정 컨트롤러 드라이버에 적용한 경우를 설명했다. 본 발명은, 이에 한정되는 것이 아니라, QVGA 이외의 액정 패널용의 구동 신호를 생성하여 출력하는 액정 컨트롤러 드라이버는 물론, 유기 EL 표시 패널 등 액정 이외의 표시 장치를 구동하는 표시 제어용 반도체 집적 회로에도 이용할 수 있다.

발명의 효과

[0109] 본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 하기와 같다.

[0110] 즉, 본 발명에 따르면, 표시 데이터를 기억하는 RAM을 내장한 액정 컨트롤러 드라이버와 같은 표시 제어용 반도체 집적 회로에서, 점유 면적을 그다지 증대시키지 않고 RAM에 포함되는 결함 비트를 구제하여, 수율을 향상시킬 수 있다.

[0111] 또한, 표시 데이터를 기억하는 RAM을 내장한 액정 컨트롤러 드라이버와 같은 표시 제어용 반도체 집적 회로에서, 정규의 기억 영역을 액세스할 때와, 예비의 기억 영역을 액세스할 때에, 판독 속도 등의 동작 특성이 상이하지 않도록 하여, 메모리의 주변 회로의 타이밍 설계를 용이하게 행할 수 있게 된다.

도면의 간단한 설명

[0001] 도 1은 RAM 및 구제 회로를 내장한 액정 컨트롤러 드라이버의 일 실시예를 도시하는 블록도.

[0002] 도 2는 실시예의 액정 컨트롤러 드라이버에서의 표시 메모리의 기억 영역과 어드레스 공간과의 관계를 도시하는 설명도.

[0003] 도 3은 윈도우 표시를 행하는 경우의 표시 화면과 윈도우 영역과의 관계를 도시하는 설명도.

[0004] 도 4는 범용 RAM에서의 것과 마찬가지로, 데이터 기억 영역을 어드레스 공간 가득히 취해서 미활용 어드레스 공간이 없도록 한 메모리에서의 워드 선택 어드레스와 구제 정보의 관계를 도시하는 설명도.

[0005] 도 5는 실시예의 액정 컨트롤러 드라이버의 표시 메모리에 있어서의 워드 선택 어드레스와 구제 정보와의 관계를 도시하는 설명도.

[0006] 도 6은 실시예의 액정 컨트롤러 드라이버에서의 구제 회로의 구성예를 도시하는 블록도.

[0007] 도 7은 실시예의 액정 컨트롤러 드라이버의 구제 회로에서의 동작 타이밍을 도시하는 타임 차트.

[0008] 도 8은 실시예의 구제 회로에서의 교체 회로의 구성예를 도시하는 블록도.

[0009] 도 9는 실시예의 구제 회로에서의 교체 회로의 다른 구성예를 도시하는 블록도.

[0010] 도 10은 범용 RAM에서 채용되어 있는 용장 회로의 구성을 도시하는 블록도.

[0011] <도면의 주요 부분에 대한 부호의 설명>

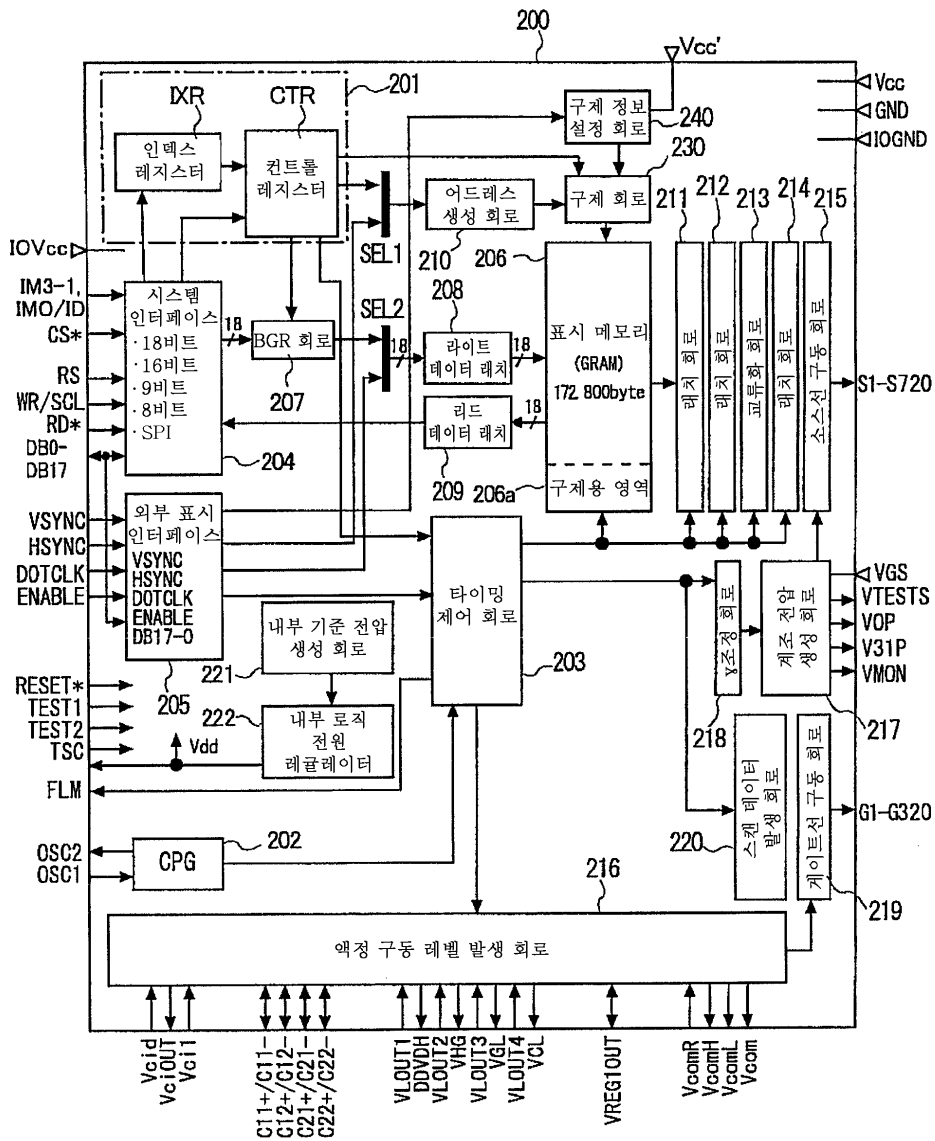
[0012] 200: 표시 제어용 반도체 집적 회로(액정 컨트롤러 드라이버)

[0013] 201: 제어부

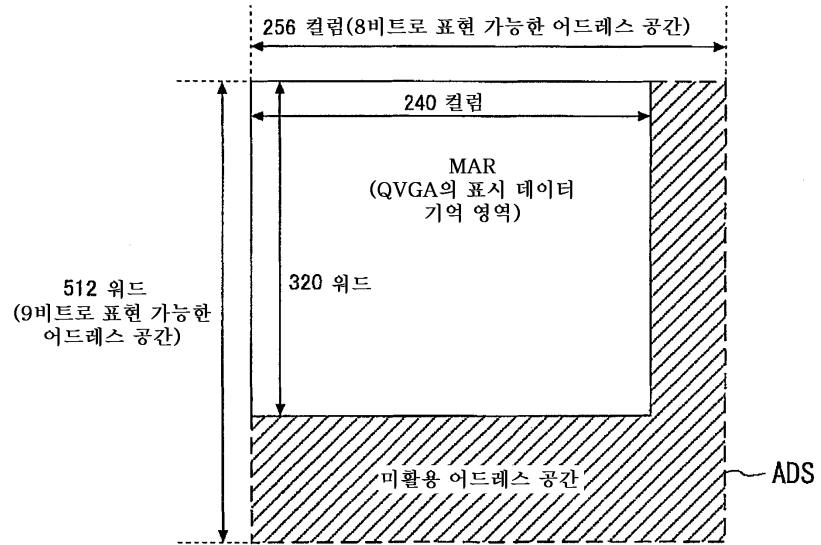
- [0014] 202:클럭 신호 생성 회로(펄스 제너레이터)
- [0015] 203:타이밍 제어 회로
- [0016] 206:표시 메모리(내장 RAM)
- [0017] 207:비트 처리 회로
- [0018] 210:어드레스 생성 회로
- [0019] 230:구제 회로
- [0020] 231:비교 회로
- [0021] 232:래치 회로
- [0022] 233:교체 회로
- [0023] 234:래치 회로
- [0024] 235:셀렉터
- [0025] 240:구제 정보 설정 회로(퓨즈 회로)
- [0026] 250:기입 저지 제어 회로
- [0027] 251;비교 회로
- [0028] 261, 262:윈도우 표시 영역 설정용 레지스터

도면

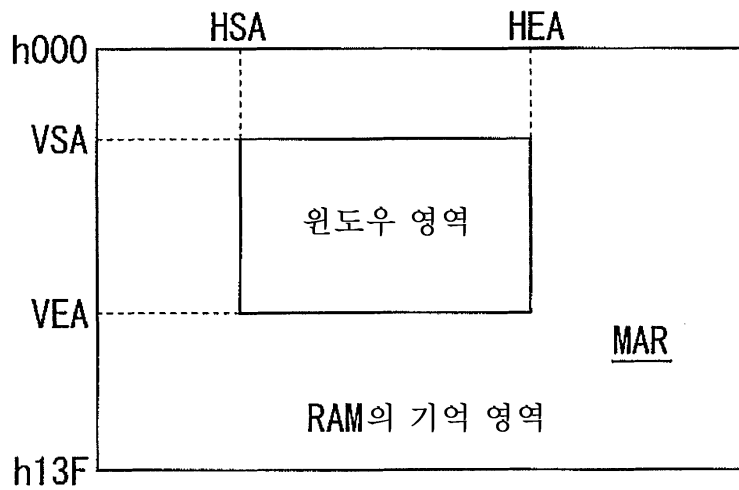
도면1



도면2



도면3



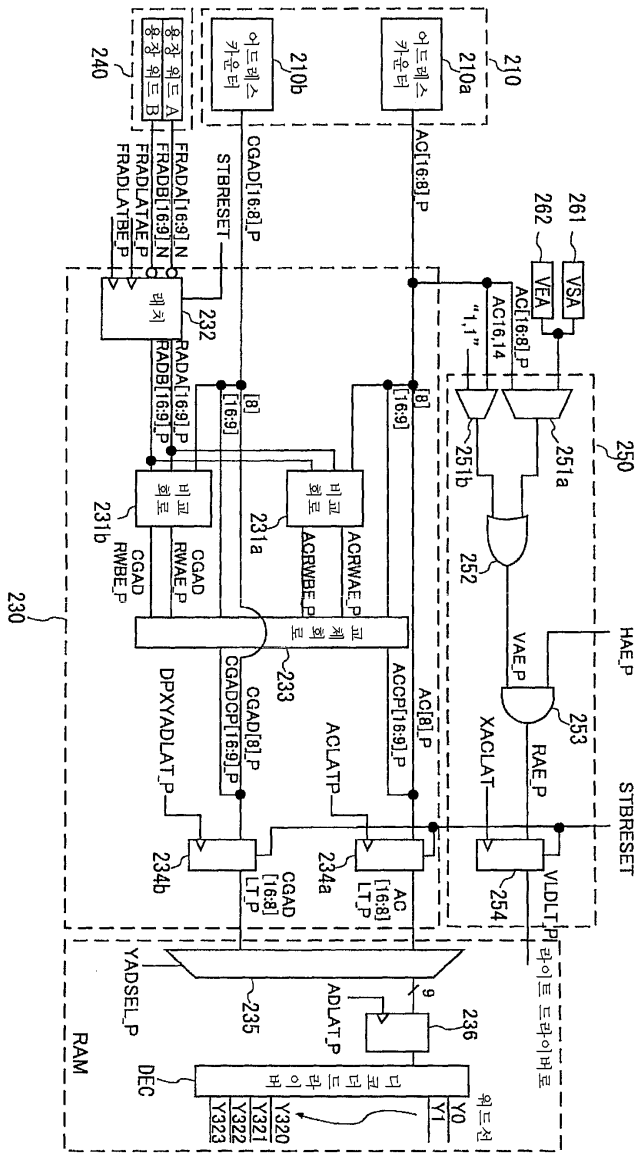
도면4

| 어드 선택 어드레스 16진 표기 | 어드 선택 어드레스 | | | | | | | | 역할 | 구제하고자 하는 경우의 구제 정보 | | enable 신호 | 구제하지 않는 경우의 구제 정보 | | | | | | | | | | | |
|-------------------|------------|-----|-----|-----|-----|-----|-----|-----|----|--------------------|---------|-----------|-------------------|---------|-----------|---------------|--|---|--|---|---|---|---|---|
| | AD8 | AD7 | AD6 | AD5 | AD4 | AD3 | AD2 | AD1 | | AD0 | 구제 어드레스 | | enable 신호 | 구제 어드레스 | enable 신호 | | | | | | | | | |
| 9'h000 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | | | | |
| 9'h001 | | | | | | | | 1 | 1 | 0 | 0 | 0 | 0 | 0 | | | | | | | | | | |
| 9'h002 | | | | | | | | 1 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | | | | |
| 9'h003 | | | | | | | | 1 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | | | | |
| 사용 어드레스 공간 | | | | | | | | | | 정규 워드 | | | | 1 | | 8'bXXXXXXXXXX | | 0 | | | | | | |
| | | | | | | | | | | 9'h1F8 | 1 | 1 | 1 | | | | | | | 1 | 1 | 0 | 0 | 0 |
| | | | | | | | | | | 9'h1F9 | | | | | | | | | | | | 1 | 1 | 1 |
| | | | | | | | | | | 9'h1FA | | | | | | | | | | | | 1 | 0 | 0 |
| | | | | | | | | | | 9'h1FB | | | | | | | | | | | | 1 | 0 | 0 |
| 9'h1FC | | | | | | 1 | 0 | 0 | | | | | | | | | | | | | | | | |
| 9'h1FD | | | | | | 1 | 0 | 0 | | | | | | | | | | | | | | | | |
| 9'h1FE | | | | | | 1 | 0 | 0 | | | | | | | | | | | | | | | | |
| 9'h1FF | | | | | | 1 | 0 | 0 | | | | | | | | | | | | | | | | |

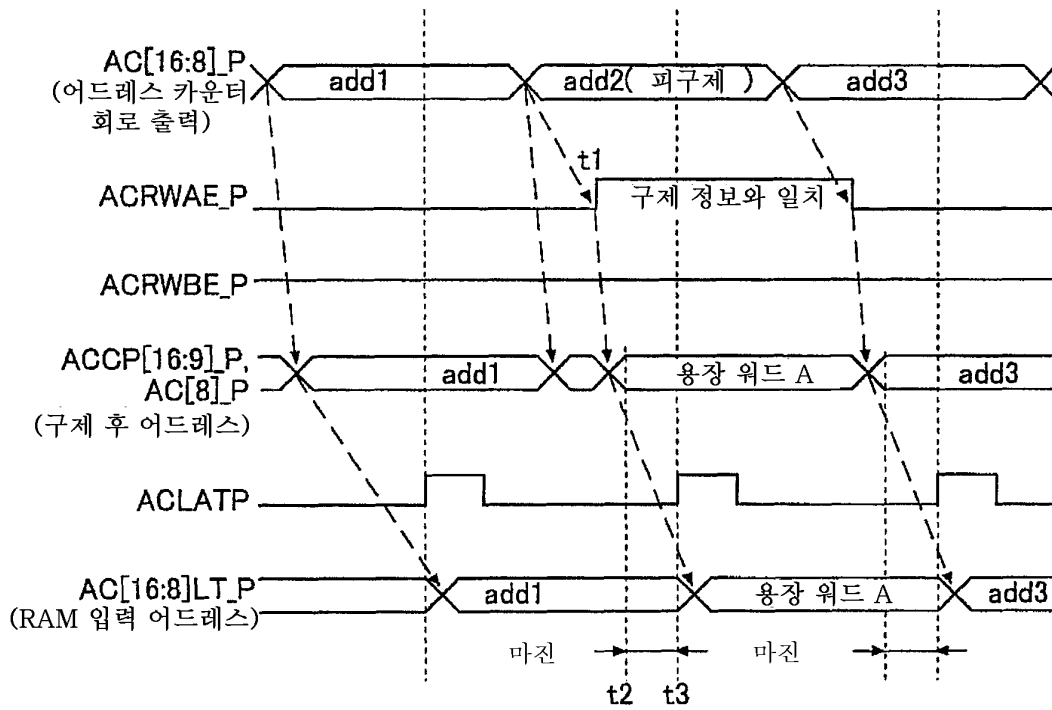
도면5

| | 워드 선택 어드레스 | | | | | | | | | 역할 | 구제하고자 하는 경우의 구제 정보 | 구제하지 않는 경우의 구제 정보 |
|-------------------|-------------------------|-----|-----|-----|-----|-----|-----|-----|-----|----|-----------------------|----------------------|
| | 워드 선택 어드레스 16진 표기 | AD8 | AD7 | AD6 | AD5 | AD4 | AD3 | AD2 | AD1 | | | |
| 사용 어드레스 공간 | 9'h000 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 8'b000000000 | 8'b111111111 |
| | 9'h001 | | | | | | | | 1 | 1 | 8'b000000001 | |
| | 9'h002 | | | | | | | | 1 | 0 | | |
| | 9'h003 | | | | | | | | 1 | 1 | | |
| | 9'h13C | | | | | | | 1 | 0 | 0 | 경구 워드 | |
| | 9'h13D | | | | | | | 1 | 0 | 1 | | |
| | 9'h13E | | | | | | | 1 | 0 | 1 | | |
| | 9'h13F | | | | | | | 1 | 1 | 1 | | |
| | 9'h140 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| | 9'h141 | | | | | | | | 1 | 1 | 용장 워드 B 세트 | |
| 9'h142 | | | | | | | 1 | 0 | 1 | | | |
| 9'h143 | | | | | | | 1 | 1 | 1 | | | |
| 9'h144 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | | | |
| 9'h145 | | | | | | | | 1 | 0 | 1 | | |
| 미활용 어드레스 공간 | | | | | | | | | | | | |
| | 9'h1FC | | | | | | | | 1 | 0 | 0 | |
| | 9'h1FD | | | | | | | | 1 | 0 | 1 | |
| | 9'h1FE | | | | | | | | 1 | 0 | 1 | |
| | 9'h1FF | | | | | | | | 1 | 1 | 1 | |

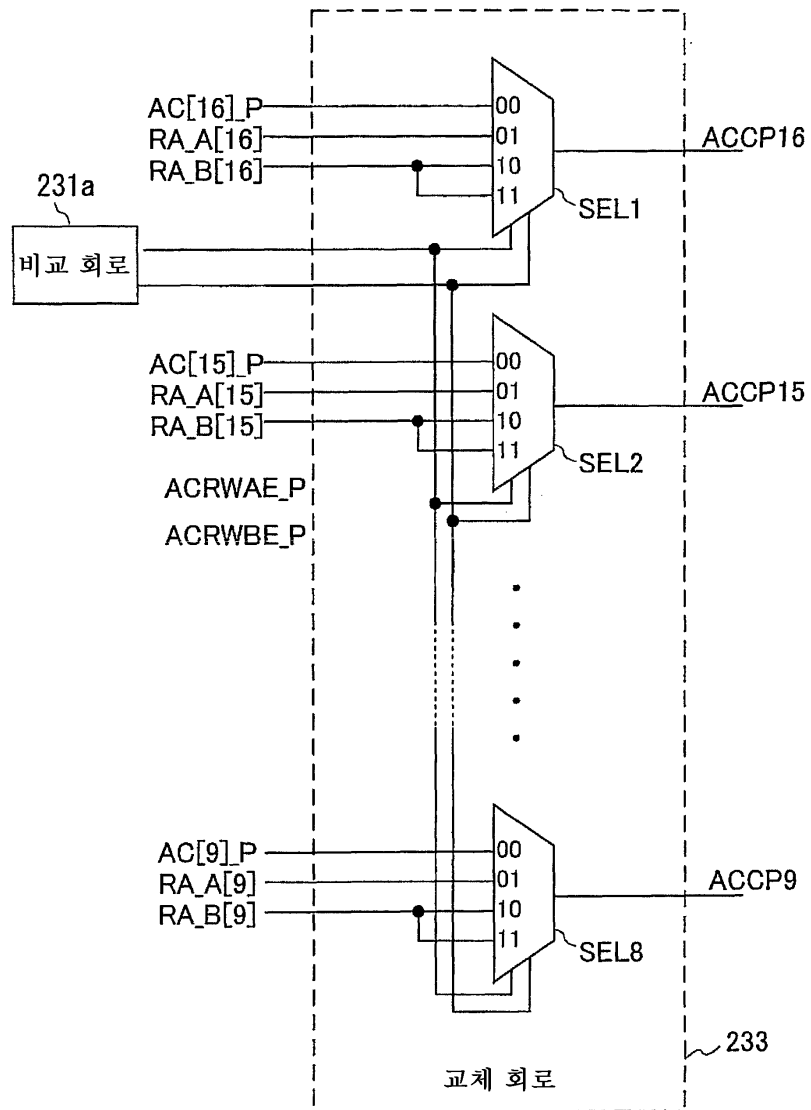
도면6



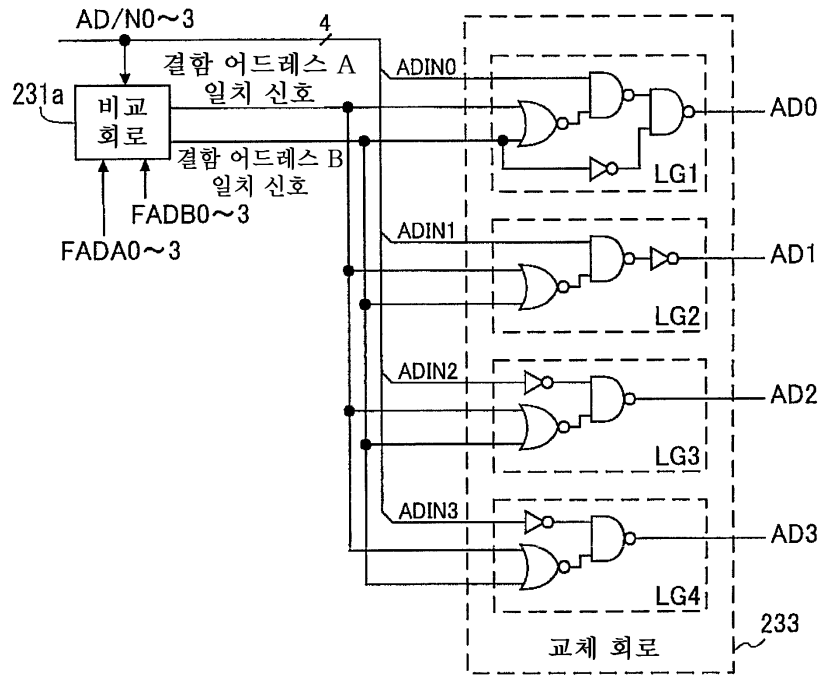
도면7



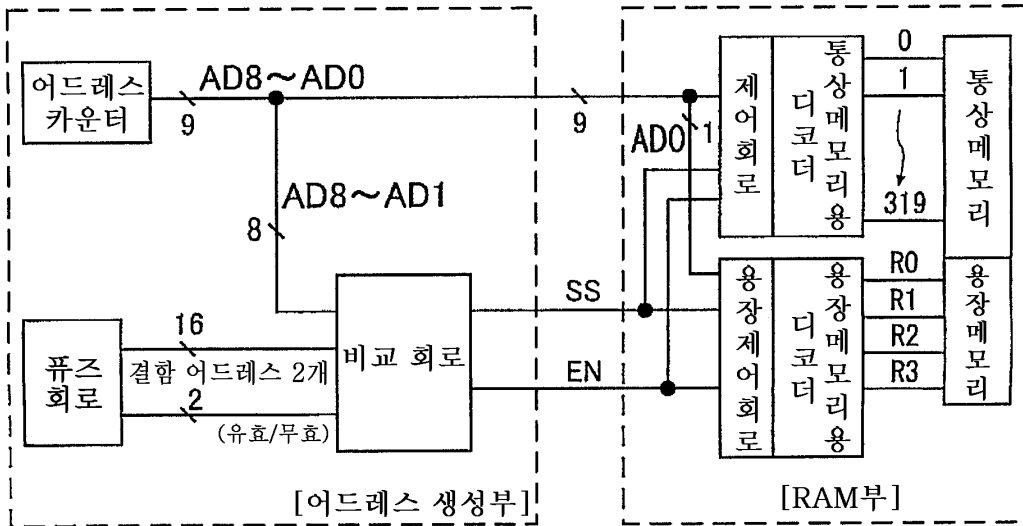
도면8



도면9



도면10



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 标题：用于显示控制的半导体集成电路 | | |
| 公开(公告)号 | KR101351211B1 | 公开(公告)日 | 2014-01-14 |
| 申请号 | KR1020070021023 | 申请日 | 2007-03-02 |
| [标]申请(专利权)人(译) | 瑞萨电子株式会社 | | |
| 申请(专利权)人(译) | 瑞萨电子株式会社 | | |
| 当前申请(专利权)人(译) | 瑞萨电子株式会社 | | |
| [标]发明人 | IIZUKA MASARU 이이즈카 마사루 SHIRAISHI IORI 시라이시오리 TSUJI SOUSUKE 쓰지소우스께 KINNO HIROTO 긴노히로토 | | |
| 发明人 | 이이즈카 마사루 시라이시오리 쓰지소우스께 긴노히로토 | | |
| IPC分类号 | G09G3/20 G09G5/22 G09G5/39 G11C29/00 | | |
| CPC分类号 | G09G3/3648 G09G2310/027 G09G2330/08 | | |
| 代理人(译) | CHANG, SOO KIL LEE, JUNG HEE | | |
| 优先权 | 2006057105 2006-03-03 JP | | |
| 其他公开文献 | KR1020070090832A | | |
| 外部链接 | Espacenet | | |

摘要(译)

在内置有RAM的控制用半导体IC(集成电路)的液晶显示装置中,特别是在不占用面积增大的情况下,有助于RAM中包含的变形比特。产量得到改善。它具有内置在芯片内部的RAM存储显示数据。液晶控制器驱动器,其中内置RAM的存储容量根据在熔丝电路(232)中建立的当前驱动液晶面板的显示屏幕的大小来确定,设置故障地址和比较器电路(231)比较固定的故障地址和熔丝电路中的输入地址。并且在地址与输入地址一致的情况下,用指示保留存储区的地址代替地址,并且建立地址解码器提供的冗余电路(230)。RAM,显示数据,液晶面板,故障地址,输入地址,比较器电路,冗余电路,存储空间,解除故障。

