



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월28일
(11) 등록번호 10-1226444
(24) 등록일자 2013년01월21일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2005-0127121

(22) 출원일자 2005년12월21일

심사청구일자 2010년12월21일

(65) 공개번호 10-2007-0066226

(43) 공개일자 2007년06월27일

(56) 선행기술조사문헌

KR1020020078294 A

KR1020040086925 A

전체 청구항 수 : 총 20 항

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

이은국

경기도 용인시 기흥구 금화로58번길 10, 금화마을
주공아파트 404동 1802호 (상갈동)

(74) 대리인

박영우

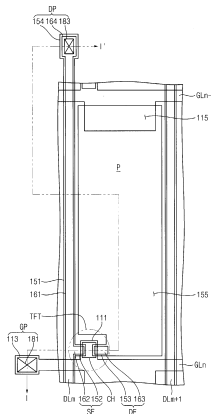
심사관 : 신창우

(54) 발명의 명칭 표시 기판의 제조 방법 및 표시 기판

(57) 요약

표시 품질을 향상하기 위한 표시 기판의 제조 방법 및 표시 기판이 개시된다. 베이스 기판 위에 게이트 금속층, 게이트 절연층 및 채널층을 순차적으로 적층하고, 제1 포토레지스트 패턴을 이용하여 스위칭 소자의 게이트 전극, 게이트 전극 위에 채널 패턴 및 게이트 배선을 형성하고, 채널 패턴이 형성된 베이스 기판 위에 투명 도전층 및 소스 금속층을 순차적으로 적층하고, 제2 포토레지스트 패턴을 이용하여 스위칭 소자의 소스 전극, 드레인 전극 및 드레인 전극과 전기적으로 연결된 화소 전극 및 소스 배선을 형성하고, 베이스 기판 위에 제1 보호 절연층을 형성하고 제3 포토레지스트 패턴을 이용하여 화소 전극 위의 제1 보호 절연층을 제거한다. 이에 따라, 소스 금속 패턴의 하부에 채널층이 형성되지 않는 3매 마스크 공정을 통해서 공정의 간단화 및 표시 품질의 향상을 도모할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

베이스 기관 위에 게이트 금속층, 게이트 절연층 및 채널층을 순차적으로 적층하는 단계;

제1 포토레지스트 패턴을 이용하여 상기 채널층, 상기 게이트 절연층 및 상기 게이트 금속층을 식각하여 스위칭 소자의 게이트 전극, 상기 게이트 전극 위에 채널 패턴 및 게이트 배선을 형성하는 단계;

상기 채널 패턴이 형성된 베이스 기관 위에 투명 도전층 및 소스 금속층을 순차적으로 적층하는 단계;

제2 포토레지스트 패턴을 이용하여 상기 소스 금속층 및 상기 투명 도전층을 식각하여 상기 스위칭 소자의 소스 전극, 드레인 전극 및 상기 드레인 전극과 전기적으로 연결된 화소 전극 및 소스 배선을 형성하는 단계;

상기 베이스 기관 위에 제1 보호 절연층을 형성하는 단계; 및

제3 포토레지스트 패턴을 이용하여 상기 화소 전극 위의 상기 제1 보호 절연층을 식각하여 제거하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 2

제1항에 있어서, 상기 게이트 배선을 형성하는 단계는

상기 채널층이 형성된 베이스 기관 위에 상기 게이트 전극 영역에 제1 두께의 제1 패턴 및 게이트 배선 영역에 제2 두께의 제2 패턴을 포함하는 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 이용하여 상기 채널층, 게이트 절연층 및 게이트 금속층을 순차적으로 식각하는 단계;

상기 제1 패턴을 이용하여 상기 게이트 배선 영역의 채널층을 선택적으로 식각하는 단계; 및

상기 제1 패턴을 제거하여 상기 게이트 전극 영역에 상기 게이트 전극 및 채널 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 3

제2항에 있어서, 상기 선택적으로 식각하는 단계는

상기 제1 포토레지스트 패턴을 일정두께 제거하여 상기 게이트 배선 영역의 채널층을 노출시키고 상기 게이트 전극 영역에 제3 패턴을 잔류시키는 단계; 및

상기 제3 패턴을 이용하여 상기 게이트 배선 영역의 채널층을 식각하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 4

제3항에 있어서, 상기 게이트 전극 영역에 상기 게이트 전극 및 채널 패턴을 형성하는 단계는

상기 게이트 배선 영역의 채널층이 식각된 베이스 기관 위에 제2 보호 절연층을 형성하는 단계; 및

상기 제3 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 5

제1항에 있어서, 상기 소스 배선을 형성하는 단계는

상기 소스 금속층이 형성된 베이스 기관 위에 상기 소스 전극 영역, 드레인 전극 영역 및 소스 배선 영역에 제1 두께의 제1 패턴과, 상기 화소 전극 영역에 제2 두께의 제2 패턴을 포함하는 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 이용하여 상기 소스 금속층 및 투명 도전층을 식각하는 단계; 및

상기 제1 패턴을 이용하여 상기 화소 전극 영역의 소스 금속층을 선택적으로 식각하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 6

제5항에 있어서, 상기 선택적으로 식각하는 단계는

상기 제2 포토레지스트 패턴을 일정두께 제거하여 상기 화소 전극 영역의 소스 금속층을 노출시키고 상기 소스 및 드레인 전극 영역에 제3 패턴을 잔류시키는 단계; 및

상기 제3 패턴을 이용하여 상기 화소 전극 영역의 소스 금속층을 식각하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 7

제6항에 있어서, 상기 투명 도전층은 비정질 인듐-틴 옥사이드인 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 8

제6항에 있어서, 상기 소스 금속층은 몰리브덴, 알루미늄 및 몰리브덴으로 이루어진 삼중 구조인 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 9

제6항에 있어서, 상기 화소 전극 영역의 소스 금속층을 식각한 후, 상기 제3 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 10

제5항에 있어서, 상기 채널 패턴은 상기 게이트 전극 위에 형성된 활성층과, 상기 활성층 위에 형성된 저항성 접촉층을 포함하며,

상기 제2 포토레지스트 패턴에 의해 노출된 저항성 접촉층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 11

제1항에 있어서, 상기 제1 보호 절연층을 제거하는 단계는

상기 제1 보호 절연층이 형성된 베이스 기판 위에 화소 전극 영역이 개구된 제3 포토레지스트 패턴을 형성하는 단계; 및

상기 제3 포토레지스트 패턴을 이용하여 상기 화소 전극 영역의 제1 보호 절연층을 식각하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 12

제1항에 있어서, 상기 게이트 배선을 형성하는 단계에서 상기 게이트 배선의 일단부에 게이트 패드 전극이 형성되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 13

제12항에 있어서, 상기 제1 보호 절연층을 제거하는 단계에서, 상기 게이트 패드 전극을 노출시키는 제1 홀을 형성하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 14

제1항에 있어서, 상기 소스 배선을 형성하는 단계에서, 상기 소스 배선의 일단부에 소스 패드 전극이 형성되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 15

제14항에 있어서, 상기 제1 보호 절연층을 형성하는 단계에서, 상기 소스 패드 전극을 노출시키는 제2 홀을 형성하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 16

복수의 게이트 배선들;

상기 게이트 배선들과 교차하며, 투명 도전층과 소스 금속층으로 이루어진 복수의 소스 배선들;

상기 게이트 배선들과 소스 배선들에 의해 정의된 복수의 화소부들;

각 화소부에 형성되어, 게이트 배선으로부터 연장된 게이트 전극과, 소스 배선으로부터 연장된 소스 전극을 포함하는 스위칭 소자; 및

상기 화소부에 형성되어, 상기 스위칭 소자의 드레인 전극으로부터 연장되어 형성된 화소 전극을 포함하는 것을 특징으로 하는 표시 기관.

청구항 17

제16항에 있어서, 상기 게이트 전극 위에 형성되어 상기 소스 및 드레인 전극과 전기적으로 연결된 채널부를 더 포함하는 것을 특징으로 하는 표시 기관.

청구항 18

제16항에 있어서, 상기 드레인 전극은 상기 투명 도전층과 상기 소스 금속층으로 이루어지며, 상기 투명 도전층은 상기 화소 전극과 일체로 형성된 것을 특징으로 하는 표시 기관.

청구항 19

제16항에 있어서, 상기 게이트 배선의 일단부에 형성된 게이트 패드 전극과, 상기 게이트 패드 전극의 일부영역을 노출시키는 제1 홀을 갖는 게이트 패드를 더 포함하며,

상기 게이트 패드는 상기 노출된 일부영역에 외부장치의 단자가 접촉되는 것을 특징으로 하는 표시 기관.

청구항 20

제16항에 있어서, 상기 소스 배선의 일단부에 형성된 소스 패드 전극과, 상기 소스 패드 전극의 일부영역을 노출시키는 제2 홀을 갖는 소스 패드를 더 포함하며,

상기 소스 패드는 상기 노출된 일부영역에 외부장치의 단자가 접촉되는 것을 특징으로 하는 표시 기관.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0016] 본 발명은 표시 기관의 제조 방법 및 표시 기관에 관한 것으로, 보다 상세하게는 표시 품질을 향상하기 위한 표시 기관의 제조 방법 및 표시 기관에 관한 것이다.
- [0017] 일반적으로 액정 표시 장치(Liquid Crystal Display; LCD)는 표시 기관(Thin Film Transistor substrate)과 대향 기관(counter substrate) 사이에 주입된 액정층을 포함한다. 상기 표시 기관에는 게이트 배선들 및 게이트 배선들과 교차하는 소스 배선들이 형성되며, 게이트 배선과 소스 배선에 연결된 스위칭 소자와, 스위칭 소자에 연결된 화소 전극이 형성된다.
- [0018] 상기 스위칭 소자는 게이트 배선으로부터 연장된 게이트 전극, 게이트 전극과 절연되며 게이트 전극과 오버랩된 채널, 소스 배선으로부터 형성되어 채널에 전기적으로 연결된 소스 전극 및 소스 전극과 이격되며 채널에 전기적으로 연결된 드레인 전극을 포함한다.
- [0019] 상기 표시 기관의 제조 공정에서 마스크 수를 줄이는 것은 공정의 단축 및 생산성 향상에 커다란 영향을

미친다. 기존의 표시 기판의 5매 마스크 제조 공정은 게이트 배선을 포함하는 게이트 금속 패턴 공정, 채널 패턴 공정, 소스 금속 패턴 공정, 콘택홀 패턴 공정 및 화소 전극 패턴 공정에 각각 1매 마스크를 사용한다.

[0020] 상기와 같은 5매 마스크 공정에 채널 패턴 공정 및 소스 금속 패턴 공정을 1매 마스크로 제조하는 4매 마스크 공정이 개발되고 있다.

[0021] 그러나, 상기 4매 마스크 공정에 의해 제조된 표시 기판은 채널층이 소스 금속 패턴과 동일한 마스크에 의해 패터닝됨에 따라서, 소스 금속 패턴의 하부에 채널 패턴이 형성된다. 상기 채널 패턴은 상대적으로 상기 소스 금속 패턴에 비해 돌출되어 형성되며, 이에 의해 스위칭 소자에서는 광 누설 전류가 발생된다. 따라서 4매 마스크 공정에 의해 제조된 표시 기판은 잔상 및 플리커 현상 등과 같은 불량을 야기한다.

발명이 이루고자 하는 기술적 과제

[0022] 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 제조 공정을 간단화 함과 동시에 표시 품질을 향상시키기 위한 표시 기판의 제조 방법을 제공하는 것이다.

[0023] 본 발명의 다른 목적은 표시 품질을 향상하기 위한 표시 기판을 제공하는 것이다.

발명의 구성 및 작용

[0024] 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 기판의 제조 방법은 베이스 기판 위에 게이트 금속층, 게이트 절연층 및 채널층을 순차적으로 적층하는 단계와, 제1 포토레지스트 패턴을 이용하여 스위칭 소자의 게이트 전극, 상기 게이트 전극 위에 채널 패턴 및 게이트 배선을 형성하는 단계와, 상기 채널 패턴이 형성된 베이스 기판 위에 투명 도전층 및 소스 금속층을 순차적으로 적층하는 단계와, 제2 포토레지스트 패턴을 이용하여 상기 스위칭 소자의 소스 전극, 드레인 전극 및 상기 드레인 전극과 전기적으로 연결된 화소 전극 및 소스 배선을 형성하는 단계와, 상기 베이스 기판 위에 제1 보호 절연층을 형성하는 단계 및 제3 포토레지스트 패턴을 이용하여 상기 화소 전극 위의 제1 보호 절연층을 제거하는 단계를 포함한다.

[0025] 상기한 본 발명의 다른 목적을 실현하기 위한 실시예에 따른 표시 기판은 복수의 게이트 배선들, 복수의 소스 배선들, 복수의 화소부들, 스위칭 소자 및 화소 전극을 포함한다. 상기 소스 배선들은 게이트 배선들과 교차하며, 투명 도전층과 소스 금속층으로 이루어진다. 상기 화소부들은 상기 게이트 배선들과 소스 배선들에 의해 정의된다. 상기 스위칭 소자는 각 화소부에 형성되어, 게이트 배선으로부터 연장된 게이트 전극과, 소스 배선으로부터 연장된 소스 전극을 포함한다. 상기 화소 전극은 상기 화소부에 형성되어, 상기 스위칭 소자의 드레인 전극으로부터 연장되어 형성된다.

[0026] 이러한 표시 기판의 제조 방법 및 표시 기판에 의하면, 소스 금속 패턴의 하부에 채널층이 형성되지 않는 3매 마스크 공정을 통해서 공정의 간단화 및 표시 품질의 향상을 도모할 수 있다.

[0027] 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

[0028] 도 1은 본 발명의 실시예에 따른 표시 기판의 평면도이다.

[0029] 도 1을 참조하면, 표시 기판은 복수의 게이트 배선들(GL_{n-1} , GL_n)과, 복수의 소스 배선들(DL_m , DL_{m+1}), 화소부(P), 스위칭 소자(TFT), 스토리지 공통전극(115) 및 화소 전극(155)을 포함한다.

[0030] 상기 게이트 배선들(GL_{n-1} , GL_n)은 제1 방향으로 연장되어 형성되고, 게이트 금속층으로 형성된다. 상기 게이트 금속층은 구리(Cu)나 구리 합금 등의 구리 계열 금속, 알루미늄(Al) 또는 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), tantalum(Ta) 또는 티타늄(Ti)을 포함하는 금속을 포함하는 금속물질로 형성된다.

[0031] 상기 게이트 배선(GL_n)의 단부에는 게이트패드전극(113) 및 제1 콘택홀(181)이 형성된 게이트 패드(GP)가 형성된다.

[0032] 상기 소스 배선들(DL_m , DL_{m+1})은 상기 제1 방향과 교차하는 제2 방향으로 연장되어 형성되고, 투명 도전층(151) 및 소스 금속층(161)이 순차적으로 적층된 이중 금속층으로 형성된다. 상기 소스 배선(DL_m)의 단부에는 소스패드전극(154) 및 제2 콘택홀(183)이 형성된 소스 패드(DP)가 형성된다.

[0033] 상기 화소부(P)는 상기 게이트 배선들(GL_{n-1} , GL_n)과, 소스 배선들(DL_m , DL_{m+1})에 의해 정의된다. 상기 화소부(P)에는 상기 스위칭 소자(TFT), 스토리지 공통전극(115) 및 화소 전극(155)이 형성된다.

- [0034] 상기 스위칭 소자(TFT)는 상기 게이트 배선(GLn)으로부터 연장되어 형성된 게이트 전극(111)과, 상기 소스 배선(DLn)으로부터 연장되어 형성된 소스 전극(SE) 및 상기 화소 전극(155)과 전기적으로 연결된 드레인 전극(DE)을 포함한다. 또한, 상기 게이트 전극(111)과 오버랩되고 상기 소스 및 드레인 전극(SE, DE)과 전기적으로 연결된 채널부(CH)를 포함한다.
- [0035] 상기 게이트 전극(111)은 상기 게이트 금속층으로 형성되고, 상기 소스 및 드레인 전극(SE, DE)은 투명 도전층(152, 153) 및 소스 금속층(162, 163)이 순차적으로 적층된 이중 금속층으로 형성된다.
- [0036] 상기 스토리지 공통전극(115)은 상기 게이트 배선(GLn-1)과 전기적으로 연결되어 상기 화소 전극(155)의 하부에 형성되며, 상기 게이트 금속층으로 형성된다. 상기 스토리지 공통전극(115)을 제1 전극, 상기 화소 전극(155)을 제2 전극으로 하고, 상기 두 전극(115, 153) 사이에 개재된 절연층을 유전체로 하는 스토리지 캐패시터가 정의된다. 상기 스토리지 캐패시터는 이전 게이트 배선(GLn-1)에 게이트 오프 전압이 인가되면 상기 스토리지 공통전극(115)에 게이트 오프 전압이 공통 전압으로 인가된다. 이에 의해 스토리지 캐패시터는 상기 화소 전극(155)에 인가된 화소 전압을 일정시간 유지시키는 전단 게이트 방식으로 구동된다.
- [0037] 상기 화소 전극(155)은 투명 도전층으로 형성되며, 도시된 바와 같이 상기 드레인 전극(DE)의 투명 도전층(153)으로부터 연장되어 형성된다. 상기 투명 도전층(153)은 투명 도전성 물질로 형성되며, 상기 투명 도전성 물질은 인듐(In), 주석(Sn), 아연(Zn), 알루미늄(Al) 및 갈륨(Ga) 중 선택된 하나 이상을 함유한 산화물이다.
- [0038] 도 2는 도 1의 I-I'선을 따라 절단한 표시 패널의 단면도이다.
- [0039] 도 1 및 도 2를 참조하면, 표시 패널은 어레이 기판(100)과, 상기 어레이 기판(100)과 대향하는 컬러필터 기판(200) 및 두 기판(100, 200) 사이에 개재된 액정층(300)을 포함한다.
- [0040] 상기 어레이 기판(100)은 제1 베이스 기판(101)을 포함하며, 상기 제1 베이스 기판(101) 위에는 게이트 금속층으로 게이트 배선들(GLn-1, GLn), 게이트 패드 전극(113), 스토리지 공통전극(115) 및 게이트 전극(111)을 포함하는 게이트 금속패턴이 형성된다. 상기 게이트 금속층은 구리(Cu)나 구리 합금 등의 구리 계열 금속, 알루미늄(Al) 또는 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)을 포함하는 금속을 포함하는 금속 물질로 형성된다. 상기 게이트 금속층은 저저항 금속층 구조인 예컨대, Mo/Al 와 같은 다중 금속층 구조를 가질 수 있다. 도시되지는 않았으나, 상기 게이트 배선들(GLn-1, GLn) 위에는 제1 보호 절연층(140) 및 제2 보호 절연층(170)이 순차적으로 적층된다.
- [0041] 상기 게이트 배선(GLn)의 단부에 형성된 게이트 패드 전극(113) 위에는 제1 및 제2 보호 절연층(140, 170)이 제거된 제1 콘택홀(181)이 형성된다. 상기 제1 콘택홀(181)과, 상기 제1 콘택홀(181)을 통해 노출된 게이트 패드 전극(113)에 의해 게이트 패드(GP)가 정의된다.
- [0042] 상기 게이트 전극(111) 위에는 게이트 절연층이 패터닝된 게이트 절연패턴(121)이 형성되고, 상기 게이트 전극(111)에 오버랩 되도록 상기 게이트 절연패턴(121) 위에는 채널부(CH)가 형성된다. 상기 채널부(CH)는 비정질 실리콘으로 형성된 활성층(131a)과 불순물이 도핑된 비정질 실리콘으로 형성된 저항성 접촉층(132a)이 순차적으로 적층되어 형성된다.
- [0043] 상기 채널부(CH)와 일정영역이 중첩되도록 소스 전극(SE) 및 드레인 전극(DE)이 게이트 절연패턴(121) 위에 형성된다. 상기 소스 전극(SE) 및 드레인 전극(DE)은 투명 도전층(152, 153) 및 소스 전극층(162, 163)이 적층된 이중 금속층으로 형성된다. 한편, 소스 배선들(DLn, DLn+1)은 상기 소스 및 드레인 전극(SE, DE)과 동일한 이중 금속층으로 형성된다.
- [0044] 상기 소스 금속층은 구리(Cu)나 구리 합금 등의 구리 계열 금속, 알루미늄(Al) 또는 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)을 포함하는 금속을 포함하는 금속물질로 형성된다.
- [0045] 한편, 상기 소스 및 드레인 전극(SE, DE)과 동일한 이중 금속층으로 형성된다. 즉, 소스 배선들(DLn, DLn+1)은 투명 도전층(151) 및 소스 금속층(161)이 순차적으로 적층된 이중 금속층으로 형성된다.
- [0046] 상기 소스 전극(SE), 드레인 전극(DE) 및 소스 배선들(DLn, DLn+1) 위에는 제2 보호 절연층(170)이 형성된다.
- [0047] 상기 소스 배선(DLn)의 단부에 형성된 소스 패드 전극(154) 위에는 제2 보호 절연층(170)이 제거된 제2 콘택홀(183)이 형성된다. 상기 제2 콘택홀(183)과, 상기 제2 콘택홀(183)을 통해 노출된 소스 패드 전극(154)에 의해

소스 패드(DP)가 정의된다.

- [0048] 상기 화소 전극(155)은 상기 드레인 전극(DE)의 투명 전극층(153)으로부터 연장되어 상기 드레인 전극(DE)과 전기적으로 연결된다. 상기 화소 전극(155)의 아래에는 제1 보호 절연층(140)이 형성된다.
- [0049] 상기 컬러필터 기판(200)은 제2 베이스 기판(201), 차광 패턴(210), 컬러필터층(220) 및 공통 전극층(230)을 포함한다. 상기 제2 베이스 기판(201) 위에는 상기 화소부(P)에 대응하여 내부 공간을 정의하고 누설광을 차단하는 상기 차광 패턴(210)이 형성된다.
- [0050] 상기 컬러필터층(220)은 복수의 컬러필터패턴들을 포함하며, 각 컬러필터패턴은 상기 내부 공간에 충전된다. 상기 컬러필터패턴은 입사되는 광에 응답하여 고유의 색광을 발현한다. 바람직하게 상기 컬러필터패턴들은 레드, 그린 및 블루필터패턴들을 포함한다. 도시되지는 않았으나, 상기 컬러필터층(220) 위에는 상기 제2 베이스 기판(201)의 평탄화를 도모하기 위해 오버 코팅층을 형성한다.
- [0051] 상기 공통 전극층(230)은 상기 컬러필터층(220) 위에 형성되며, 상기 어레이 기판(100)의 화소 전극(155)에 대향하는 전극으로 공통 전압이 인가된다. 이에 의해, 상기 화소부(P)에는 상기 화소 전극(155)을 제1 전극으로 하고 상기 공통 전극층(230)을 제2 전극으로 하는 액정 캐패시터가 정의된다.
- [0052] 상기 액정층(300)은 상호 결합된 상기 어레이 기판(100) 및 컬러필터 기판(200) 사이에 개재된다. 상기 액정층(300)은 상기 어레이 기판(100)의 화소 전극(155)과, 상기 컬러필터 기판(200)의 공통 전극층(230)에 의해 인가되는 전계의 세기에 대응하여 액정 분자의 배열각이 변화되며, 이에 따라서 계조를 표시한다.
- [0053] 이하에서는 도 3 내지 도 8b를 참조하여 도 2에 도시된 어레이 기판의 제조 방법을 설명하게 설명한다.
- [0054] 도 3은 제1 마스크 공정이 완료된 표시 기판의 평면도이다. 도 4a 내지 도 4f는 도 3에 도시된 표시 기판의 제조 공정도들이다.
- [0055] 도 3 및 도 4a를 참조하면, 제1 베이스 기판(101) 위에 게이트 금속층(110), 게이트 절연층(120), 채널층(130)을 순차적으로 적층한다. 상기 게이트 금속층(110)은 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은과 같은 금속 또는 이들의 합금을 포함하는 저저항 금속층이다. 상기 게이트 절연층(120)은 산화 실리콘(SiO_x) 및 질화 실리콘(SiN_x)과 같은 절연 물질로 형성되며, 상기 게이트 금속층(110) 보다 두껍게 형성된다. 상기 채널층(130)은 활성층(131) 및 저항성 접촉층(132)을 포함한다. 상기 활성층(131)은 비정질 실리콘(a-Si)으로 형성되며, 상기 저항성 접촉층(132)은 n+ 이온이 고농도로 도핑된 비정질 실리콘(n+ a-Si)으로 형성된다.
- [0056] 상기 채널층(130) 까지 순차적으로 적층된 제1 베이스 기판(101) 위에 제1 포토레지스트층을 형성하고, 상기 제1 포토레지스트층을 패터닝하여 제1 포토레지스트 패턴(PR11, PR12)을 형성한다.
- [0057] 상기 제1 포토레지스트 패턴(PR11, PR12)은 스위칭 소자(TFT)의 게이트 전극(111)이 형성되는 게이트 전극 영역(GEA)에 대응하여 제1 두께(t1)를 갖는 제1 패턴(PR11)과 상기 게이트 패드 전극(113)이 형성되는 게이트 패드 영역(GPA)에 대응하여 제2 두께(t2)를 갖는 제2 패턴(PR12)으로 구성된다. 상기 제1 포토레지스트층이 포지티브형인 경우, 상기 제2 패턴(PR12)은 슬릿 마스크 또는 하프톤 마스크를 통해서 패터닝되어 상기 제1 두께(t1) 보다 얇은 상기 제2 두께(t2)로 형성된다.
- [0058] 상기 제1 포토레지스트 패턴(PR11, PR12)을 이용하여 먼저, 채널층(130)을 건식 식각 공정으로 식각하고, 이어 게이트 절연층(120)을 건식 식각 공정으로 식각하고 마지막으로 게이트 금속층(110)을 습식 식각 공정으로 식각한다.
- [0059] 도 3 내지 도 4b를 참조하면, 상기 제1 포토레지스트 패턴(PR1, PR12)을 통해 채널층(130), 게이트 절연층(120) 및 게이트 금속층(110)은 식각되어, 상기 게이트 전극 영역(GEA) 및 게이트 패드 영역(GPA)에 각각 패터닝된 채널층(130), 게이트 절연층(120) 및 게이트 금속층(110)이 형성된다.
- [0060] 즉, 상기 게이트 전극 영역(GEA)에는 게이트 금속패턴(111), 게이트 절연패턴(121) 및 채널 패턴(131a, 132a)이 형성되고, 상기 게이트 패드 영역(GPA)에는 게이트 금속패턴(113), 게이트 절연패턴(122) 및 채널 패턴(131b, 132b)이 형성된다. 여기서, 상기 채널층(130) 및 게이트 절연층(120)은 건식 식각 공정으로 식각되고, 상기 게이트 금속층(110)은 습식 식각 공정으로 식각되는 식각 공정 특성에 따라서, 상기 게이트 금속패턴들(111, 113)에는 언더 컷(uc1)이 발생한다.
- [0061] 도 3 내지 도 4c를 참조하면, 상기 언더 컷(uc1)에 대응하여 상기 제1 포토레지스트 패턴(PR11, PR12)의 일부분

을 에치 백 공정을 통해서 제거한다. 이후, 다시 건식 식각 공정을 통해 상기 채널 패턴들(131a, 132a, 131b, 132b) 및 게이트 절연패턴들(121, 122)을 상기 게이트 금속패턴들(111, 113)과 실질적으로 동일하게 패터닝한다. 이때 상기 건식 식각 공정은 이방성 식각 모드(RIE(Reactive Ion Etching) mode)로 식각한다. 이후, 상기 제1 포토레지스트 패턴(PR11, PR12)을 에치 백 공정을 통해서 일정두께 만큼 제거한다. 상기 일정두께는 상기 제1 두께(t1) 이상이며 제2 두께(t2) 보다 작다.

[0062] 도 3 내지 도 4d를 참조하면, 상기 에치 백 공정에 의해 상기 게이트 패드 영역(GPA)에 형성된 제2 패턴(PR12)이 제거되고, 상기 게이트 전극 영역(GEA)에는 제3 두께(t3)를 갖는 제3 패턴(PR3)이 잔류한다.

[0063] 상기 제1 포토레지스트 패턴(PR1)의 패턴(PR13)을 이용하여 상기 게이트 패드 영역(GPA)에 형성된 상기 채널 패턴(131b, 132b) 및 게이트 절연 패턴(122)을 건식 식각 공정으로 제거한다. 이때, 상기 건식 식각 공정은 이방성 식각(RIE) 모드로 식각한다. 결과적으로 상기 제3 패턴(PR13)이 잔류하는 상기 게이트 전극 영역(GEA)의 채널 패턴(131a, 132a)만 남고 상기 제1 베이스 기판(101) 위에 형성된 다른 채널 패턴들은 제거된다.

[0064] 한편, 도 3 및 도 4e를 참조하면, 상기 이방성 식각 모드로 식각됨에 따라서 상기 제3 패턴(PR13)의 하부에 형성된 채널 패턴(131a, 132a)에는 언더 컷(uc2)이 발생된다. 상기 언더 컷(uc2)은 후속 공정인 포토레지스트 스트립 공정을 용이하게 하기 위해 형성된다.

[0065] 상기 언더 컷(uc2)이 형성된 제1 베이스 기판(101) 위에 제1 보호 절연층(140)을 형성한다. 상기 제1 보호 절연층(140)은 산화 실리콘(SiOx) 및 질화 실리콘(SiNx)과 같은 절연 물질로 형성되며, 상기 게이트 절연패턴(121)보다 두껍게 형성된다.

[0066] 도 3 내지 도 4f를 참조하면, 상기 제1 포토레지스트 패턴(PR13)을 제거하는 스트립 공정을 진행한다. 상기 스트립 공정에 의해 상기 제3 패턴(PR13) 위에 형성된 제1 보호 절연층(140)은 상기 제3 패턴(PR13)이 제거됨에 따라서 동시에 제거된다. 상기 채널 패턴(131a, 132a) 위에는 제1 보호 절연층(140)이 형성되지 않고, 나머지 다른 영역에는 제1 보호 절연층(140)이 형성된다.

[0067] 이상의 도 4a 내지 도 4f를 참조하여 설명된 바와 같이, 상기 제1 포토레지스트 패턴(PR1)을 이용해 상기 제1 베이스 기판(101) 위에는 게이트 배선들(GLn-1, GLn), 게이트 패드 전극(113), 스위칭 소자(TFT)의 게이트 전극(111) 및 스위칭 소자(TFT)의 채널부(CH)가 형성된다. 또한, 상기 게이트 배선들(GLn-1, GLn), 게이트 패드 전극(113) 위에는 제1 보호 절연층(140)이 형성되고, 상기 게이트 전극(111)과 채널부(CH) 사이에는 게이트 절연 패턴(121)이 형성된다.

[0068] 도 5는 제2 마스크 공정이 완료된 표시 기판의 평면도이다. 도 6a 내지 도 6d는 도 5에 도시된 표시 기판의 제조 공정도들이다.

[0069] 도 5 및 도 6a를 참조하면, 상기 스위칭 소자(TFT)의 채널부(CH)가 형성된 제1 베이스 기판(101) 위에 투명 도전층(150) 및 소스 금속층(150)을 순차적으로 적층한다. 상기 투명 도전층(150)은 투명한 도전성 물질로서, 예컨대, 인듐(In), 주석(Sn), 아연(Zn), 알루미늄(Al) 및 갈륨(Ga) 중 선택된 하나 이상을 함유한 산화물 물질이다. 상기 소스 금속층(160)은 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은과 같은 금속 또는 이들의 합금을 포함하는 저저항 금속층이다.

[0070] 상기 소스 금속층(160) 까지 증착된 제1 베이스 기판(101) 위에 제2 포토레지스트층을 형성하고, 제2 마스크를 이용하여 제2 포토레지스트 패턴(PR21, PR22)을 형성한다.

[0071] 상기 제2 포토레지스트 패턴(PR21, PR22)은 스위칭 소자(TFT)의 소스 전극(SE)이 형성되는 소스 전극 영역(SEA), 활성층(131a)이 노출되는 채널 영역(CHA), 드레인 전극(DE)이 형성되는 드레인 전극 영역(DEA), 화소 전극(155)이 형성되는 화소 전극 영역(PEA) 및 소스 패드(DP)가 형성되는 소스 패드 영역(DPA)에 형성된다. 또한, 도시되지는 않았으나 제2 포토레지스트 패턴(PR21, PR22)은 상기 소스 배선들(DLm, DLm+1)이 형성되는 소스 배선 영역에도 형성된다. 상기 소스 배선들(DLm, DLm+1)이 형성되는 과정은 상기 소스 패드(DP)가 형성되는 과정과 실질적으로 동일하다.

[0072] 구체적으로, 제2 포토레지스트 패턴은 상기 소스 전극 영역(SEA), 드레인 전극 영역(DEA) 및 소스 패드 영역(SPA)에 제1 두께(t1)로 형성된 제1 패턴(PR21)과, 상기 화소 전극 영역(PEA)에 제2 두께(t2)로 형성된 제2 패턴(PR22)을 포함한다. 상기 제2 포토레지스트층이 포지티브형인 경우, 상기 제2 패턴(PR22)은 슬릿 마스크 또는 하프톤 마스크를 통해서 패터닝되어 상기 제1 두께(t1) 보다 얇은 상기 제2 두께(t2)로 형성된다.

[0073] 도 5 내지 도 6b를 참조하면, 상기 제2 포토레지스트 패턴(PR21, PR22)을 이용하여 상기 소스 금속층(160) 및

투명 도전층(150)을 습식 식각 공정으로 식각한다. 이에 의해 제2 포토레지스트 패턴(PR21, PR22)이 형성된 소스 전극 영역(SEA), 드레인 전극 영역(DEA), 화소 전극 영역(PEA) 및 소스 패드 영역(DPA)에 투명 도전 패턴(152, 153, 154) 및 소스 금속 패턴(162, 163, 164)이 형성된다.

[0074] 구체적으로, 소스 전극은 투명 도전 패턴(152) 및 소스 금속 패턴(162)이 적층되어 형성되고, 드레인 전극은 투명 도전 패턴(153) 및 소스 금속 패턴(163)이 적층되어 형성되며, 화소 전극은 투명 도전 패턴(155) 및 소스 금속 패턴(165)이 적층되어 형성된다.

[0075] 이후, 상기 소스 전극 영역(SEA), 드레인 전극 영역(DEA), 화소 전극 영역(PEA) 및 소스 패드 영역(DPA)에 형성된 제2 포토레지스트 패턴(PR21, PR22)을 에치 백 공정을 통해 일정두께 만큼 제거한다. 상기 제거된 두께는 상기 제1 두께(t1) 이상이며 제2 두께(t2) 보다 작다.

[0076] 도 5 내지 도 6c를 참조하면, 상기 에치 백 공정에 의해 상기 화소 전극 영역(PEA)에 형성된 제2 패턴(PR22)은 제거되고, 상기 소스 전극 영역(SEA), 드레인 전극 영역(DEA) 및 소스 패드 영역(DPA)에는 제3 두께(t3)를 갖는 제3 패턴(PR3)이 잔류한다.

[0077] 상기 제2 포토레지스트 패턴(PR2)의 제3 패턴(PR23)을 이용하여 화소 전극 영역(PEA)에 형성된 소스 금속 패턴(162, 163, 165)을 습식 식각 공정을 통해 제거한다. 이에 의해 상기 화소 전극 영역(PEA)에는 투명 도전 패턴(155)만 남는다. 바람직하게 상기 소스 금속 패턴(165)은 폴리브덴(Mo), 알루미늄(Al) 및 폴리브덴(Mo)으로 이루어진 삼중 구조(Mo/Al/Mo)이며, 상기 투명 도전 패턴(155)은 비정질 인듐-틴-옥사이드(a-ITO)로 형성된다. 상기 Mo/Al/Mo 금속층과 a-ITO 도전층은 상호 식각 공정에서 상호간에 손상을 거의 주지 않는 식각 특성을 갖는다.

[0078] 결과적으로 상기 투명 도전 패턴(155)이 화소 전극이 된다. 이하, 도면 부호 '155'는 화소 전극을 지시하는 것으로 한다.

[0079] 이 후, 상기 제3 패턴(PR23)을 이용하여 상기 채널 영역(CHA)의 저항성 접촉층(132a)을 건식 식각 공정을 통해 제거하여 상기 스위칭 소자(TFT)의 채널부(CH)를 완성한다.

[0080] 도 5 내지 도 6d를 참조하면, 상기 소스 전극 영역(SEA), 드레인 전극 영역(DEA) 및 소스 패드 영역(DAP)에 형성된 제2 포토레지스트 패턴(PR3)의 제3 패턴(PR23)을 스트립 공정을 통해 제거한다.

[0081] 이후, 상기 제2 포토레지스트 패턴(PR2)이 제거된 제1 베이스 기판(101) 위에 제2 보호 절연층(170)을 형성한다.

[0082] 이상의 도 6a 내지 도 6d를 참조하여 설명된 바와 같이, 제2 포토레지스트 패턴(PR2)을 이용해 상기 제1 베이스 기판(101) 위에 소스 배선들(DLm, DLm+1), 소스 패드 전극(155, 164), 스위칭 소자(TFT)의 소스 전극(SE) 및 드레인 전극(DE)이 형성된다.

[0083] 도 7은 제3 마스크 공정이 완료된 표시 기판의 평면도이다. 도 8a 내지 도 8b는 도 7에 도시된 표시 기판의 제조 공정도들이다.

[0084] 도 7 및 도 8a를 참조하면, 상기 제2 보호 절연층(170)이 형성된 제1 베이스 기판(101) 위에 제3 포토레지스트 층을 형성하고, 상기 제3 포토레지스트 층을 패터닝하여 제3 포토레지스트 패턴(PR3)을 형성한다.

[0085] 상기 제3 포토레지스트 패턴(PR3)은 스위칭 소자(TFT)가 형성된 스위칭 소자 영역(SWA)에 형성되고, 또한, 상기 화소 전극 영역(PEA), 제1 콘택홀 영역(CA1) 및 제2 콘택홀 영역(CA2)을 제외한 제1 베이스 기판(101)의 나머지 영역에 형성된다.

[0086] 도 7 내지 도 8b를 참조하면, 상기 제3 포토레지스트 패턴(PR3)을 이용해 건식 식각 공정으로 상기 화소 전극 영역(PEA)의 제2 보호 절연층(170)을 제거하여 화소 전극(155)을 형성하고, 제2 콘택홀 영역(CA2)의 제2 보호 절연층(170)을 제거하여 게이트 패드 전극(113)을 노출시키는 제1 콘택홀(181)을 형성한다. 또한, 오버 에칭하여 상기 제1 콘택홀 영역(CA1)의 제1 및 제2 보호 절연층(140, 170)을 제거하여 소스 패드 전극(164)을 노출시키는 제2 콘택홀(183)을 형성한다. 이 후, 상기 제3 포토레지스트 패턴(PR3)을 스트립 공정을 통해 제거한다.

[0087] 이에 의해 상기 제1 베이스 기판(101) 위에는 게이트 배선들(GLn-1, GLn), 소스 배선들(DLm, DLm+1)이 형성되고, 게이트 전극(111), 채널부(CH), 소스 전극(SE), 및 드레인 전극(DE)을 포함하는 스위칭 소자(TFT)가 형성되고, 상기 드레인 전극(DE)과 일체로 형성되어 전기적으로 연결된 화소 전극(155)이 형성된다.

- [0088] 또한, 제1 콘택홀(181)에 의해 노출된 게이트 패드 전극(113)을 포함하는 게이트 패드(GP)와, 제2 콘택홀(183)에 의해 노출된 소스 패드 전극(154, 164)을 포함하는 소스 패드(DP)가 형성된다.
- [0089] 도시되지는 않았으나, 상기 게이트 배선들(GLn-1, GLn) 위에는 제1 및 제2 보호 절연층(140, 170)이 순차적으로 적층되어 형성되며, 상기 소스 배선들(DLm, DLm+1) 위에는 제2 보호 절연층(170)이 형성된다.
- [0090] 이상의 도 8a 내지 도 8b를 참조하여 설명된 바와 같이, 제3 포토레지스트 패턴(PR3)을 이용해 화소 전극(155), 소스 패드(DP) 및 게이트 패드(GP)를 완성한다.
- [0091] 이와 같이, 상기 3매 마스크 공정을 통해 얻어진 제1 내지 제3 포토레지스트 패턴(PR1, PR2, PR3)을 이용하여 스위칭 소자(TFT)의 채널부(CH) 이외에 다른 영역에는 채널층이 형성되지 않도록 어레이 기판을 제조할 수 있다.

발명의 효과

- [0092] 이상에서 설명한 바와 같이, 본 발명에 따르면 새로운 3매 마스크 공정에 따라서 소스 금속층 아래에 형성되는 채널층을 스위칭 소자의 채널부 영역 이외에는 형성시키지 않도록 한다. 이에 의해 상기 채널부 이외의 소스 금속층 아래에는 채널층이 형성되지 않으므로 잔상 현상 및 플리커 현상과 같은 표시 불량을 제거할 수 있다.
- [0093] 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

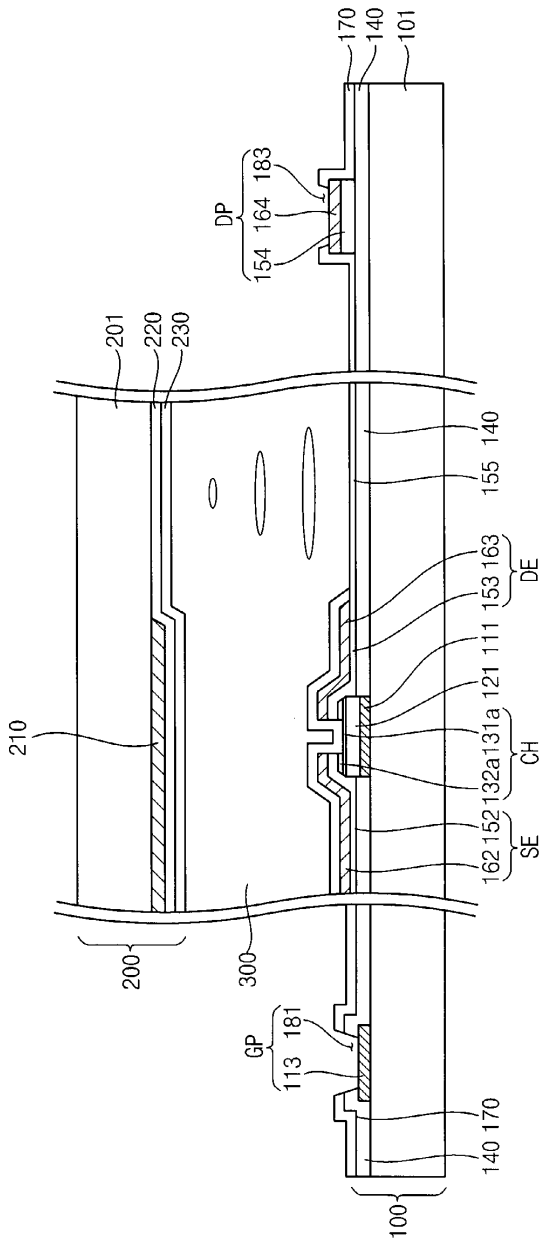
도면의 간단한 설명

- [0001] 도 1은 본 발명의 실시예에 따른 표시 기판의 평면도이다.
- [0002] 도 2는 도 1의 I-I' 선을 따라 절단한 표시 기판의 단면도이다.
- [0003] 도 3은 제1 마스크 공정이 완료된 표시 기판의 평면도이다.
- [0004] 도 4a 내지 도 4f는 도 3에 도시된 표시 기판의 제조 공정도들이다.
- [0005] 도 5는 제2 마스크 공정이 완료된 표시 기판의 평면도이다.
- [0006] 도 6a 내지 도 6d는 도 5에 도시된 표시 기판의 제조 공정도들이다.
- [0007] 도 7은 제3 마스크 공정이 완료된 표시 기판의 평면도이다.
- [0008] 도 8a 내지 도 8b는 도 7에 도시된 표시 기판의 제조 공정도들이다.

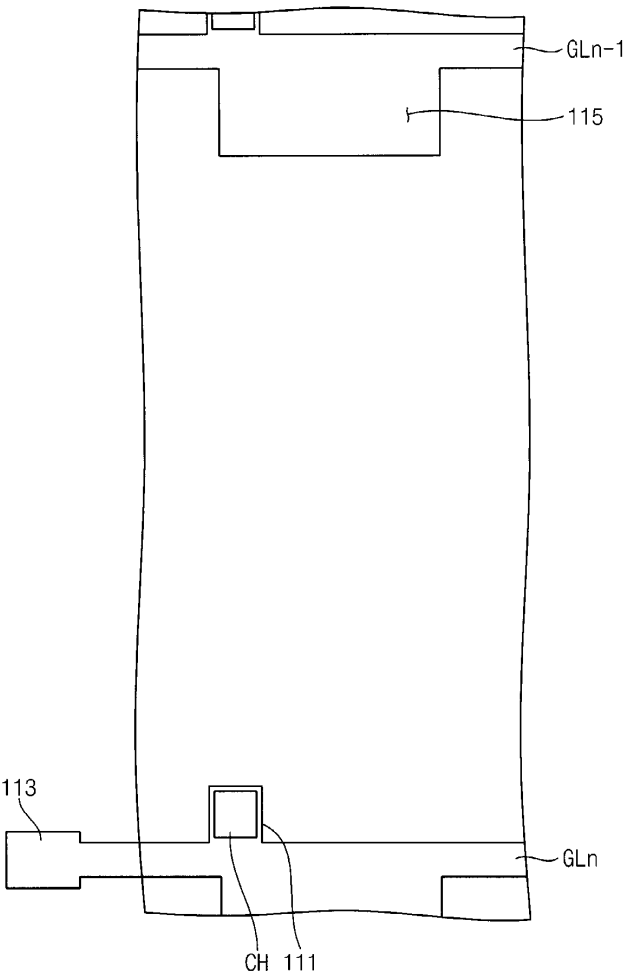
[0009] <도면의 주요부분에 대한 부호의 설명>

- | | |
|-----------------------------|---------------------|
| [0010] GLn-1, GLn : 게이트 배선들 | DLm, DLm+1 : 소스 배선들 |
| [0011] P : 화소부 | TFT : 스위칭 소자 |
| [0012] 111 : 게이트 전극 | SE : 소스 전극 |
| [0013] DE : 드레인 전극 | CH : 채널부 |
| [0014] 115 : 스토리지 공통전극 | 155 : 화소 전극 |
| [0015] DP : 소스 패드 | GP : 게이트 패드 |

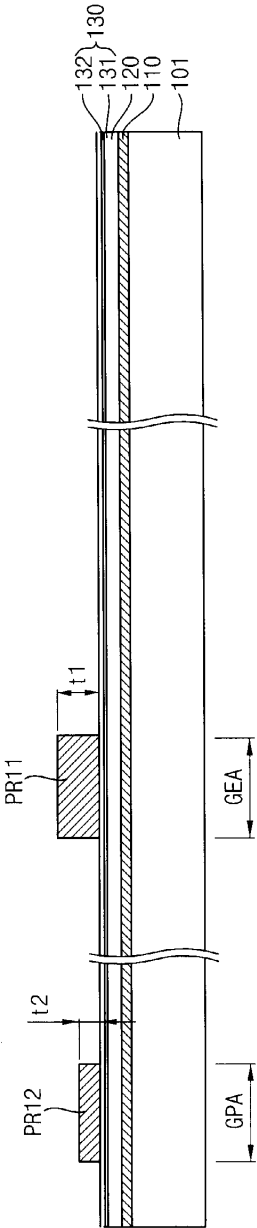
도면2



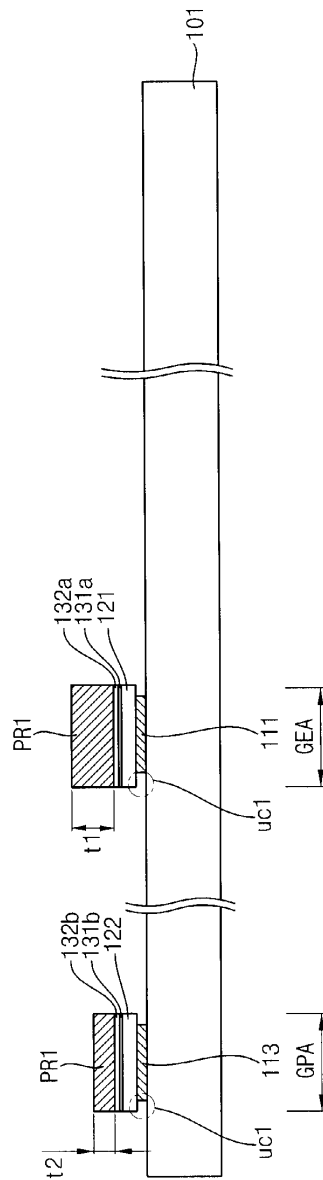
도면3



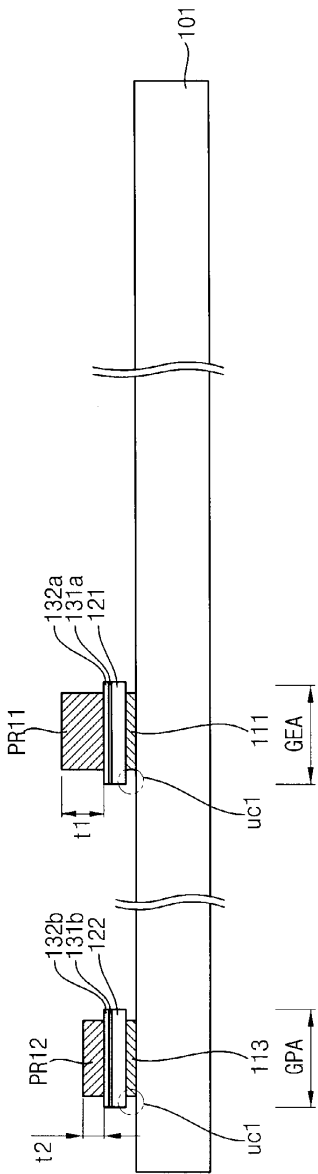
도면4a



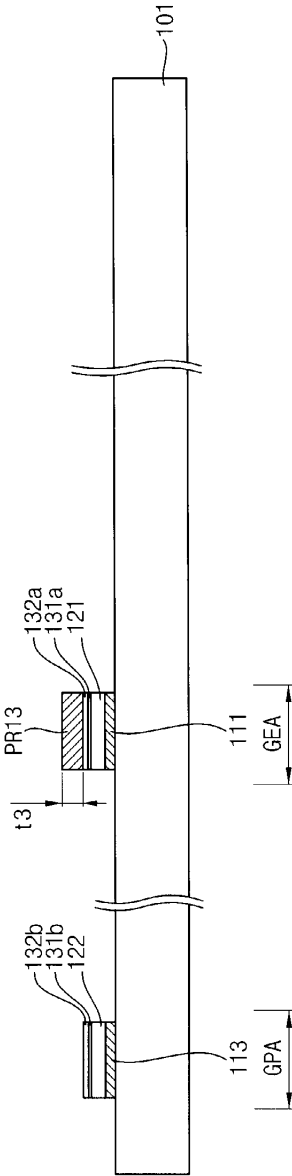
도면4b



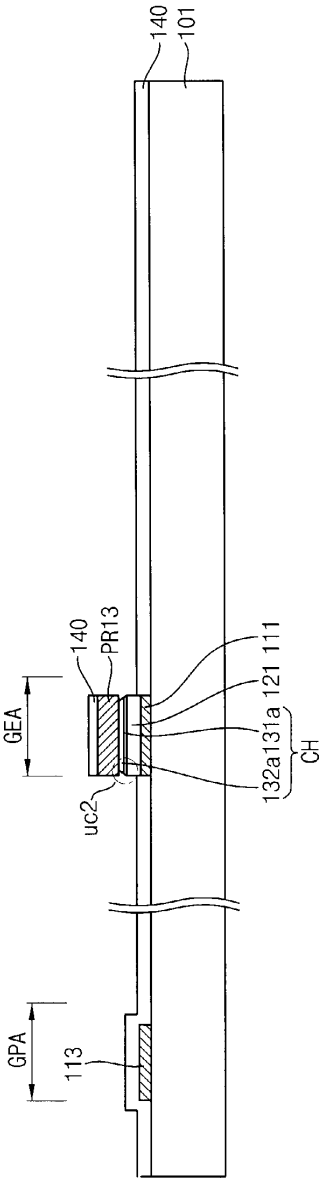
도면4c



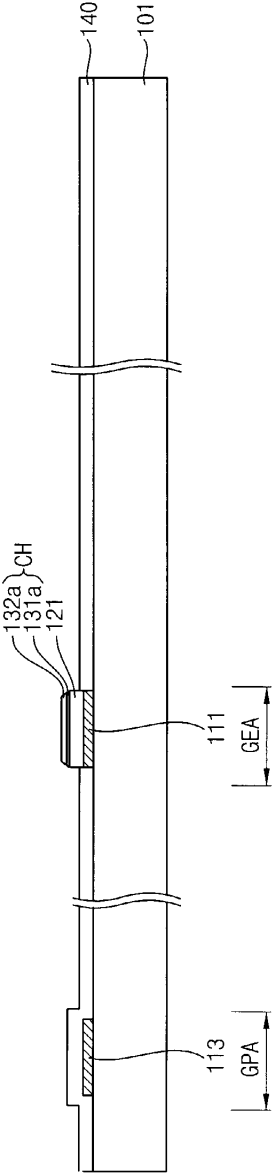
도면4d



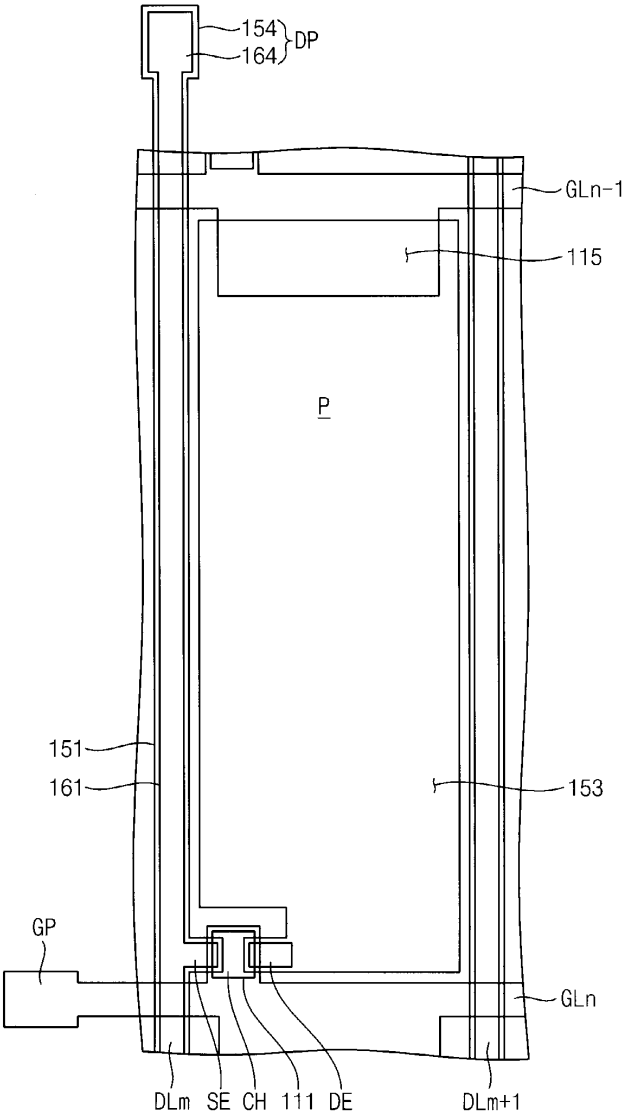
도면4e



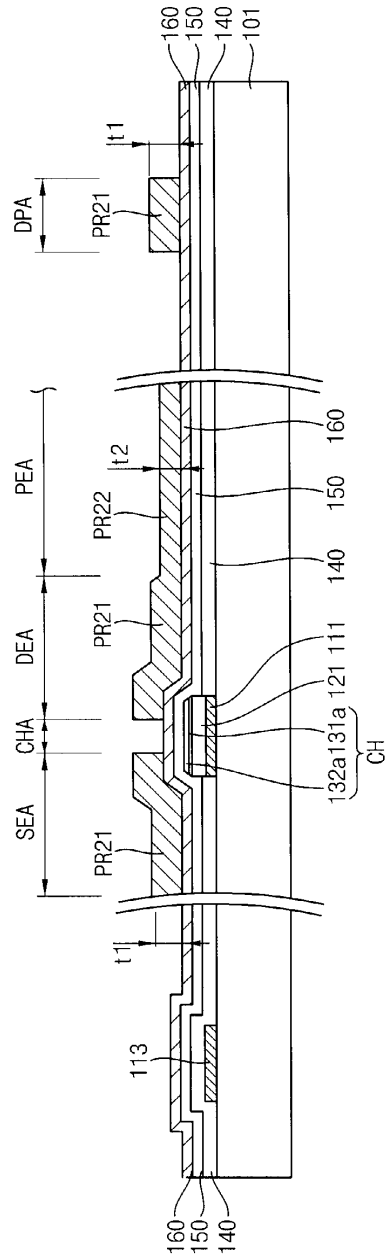
도면4f



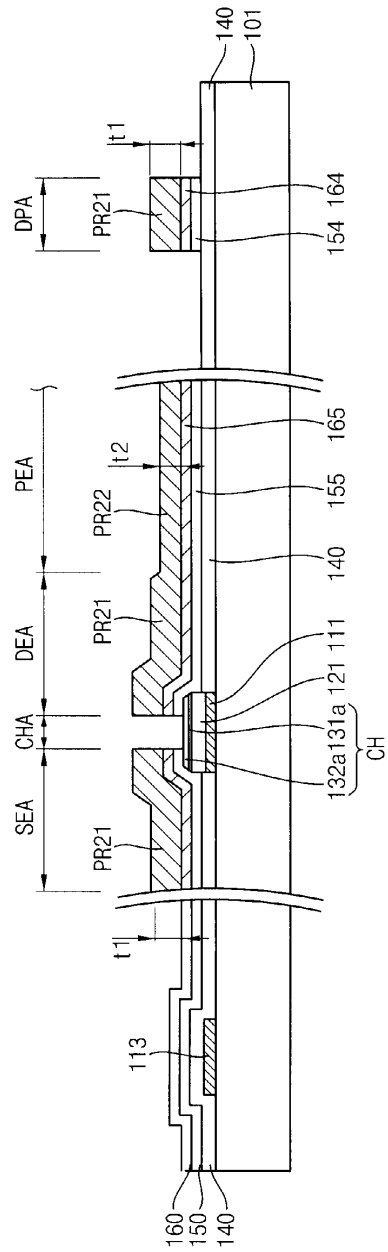
도면5



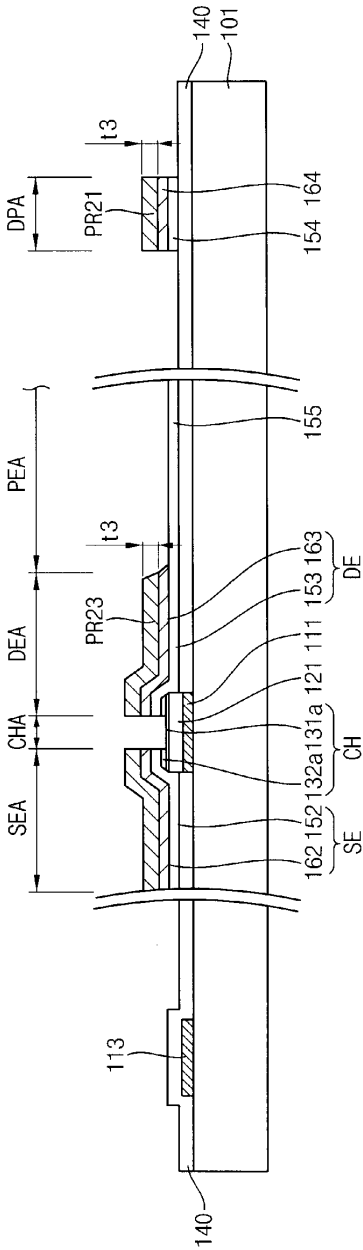
도면6a



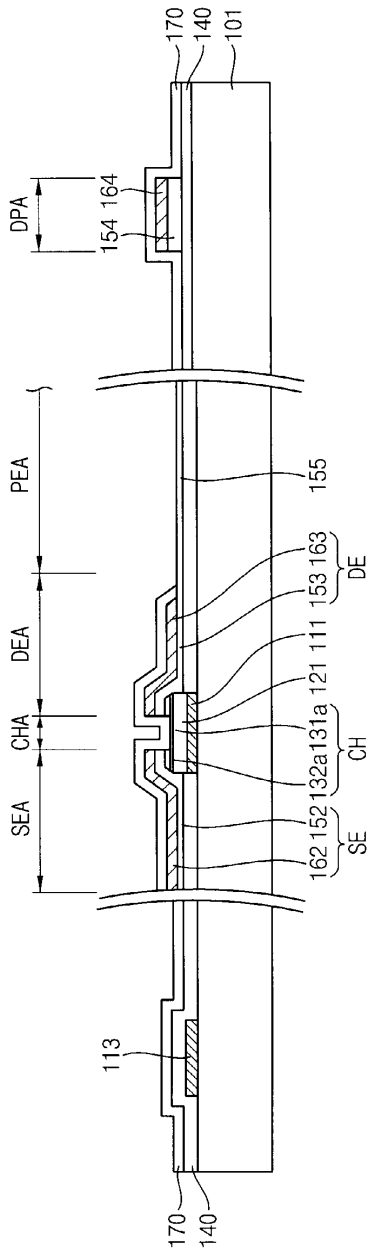
도면6b



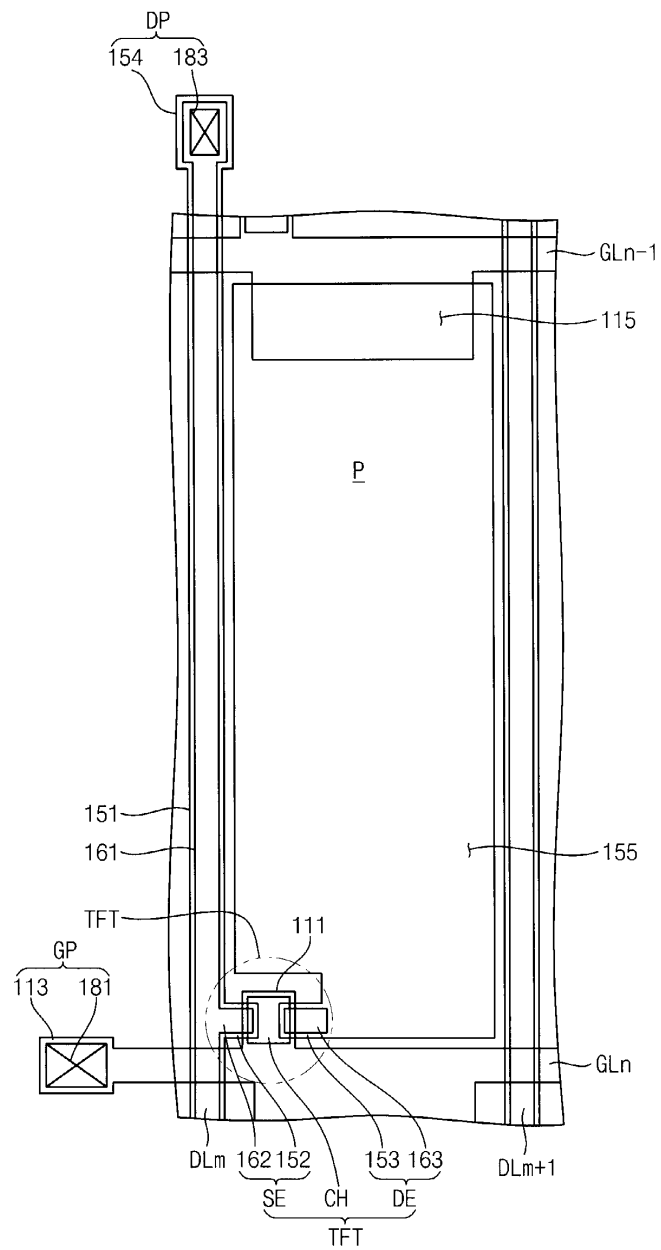
도면6c



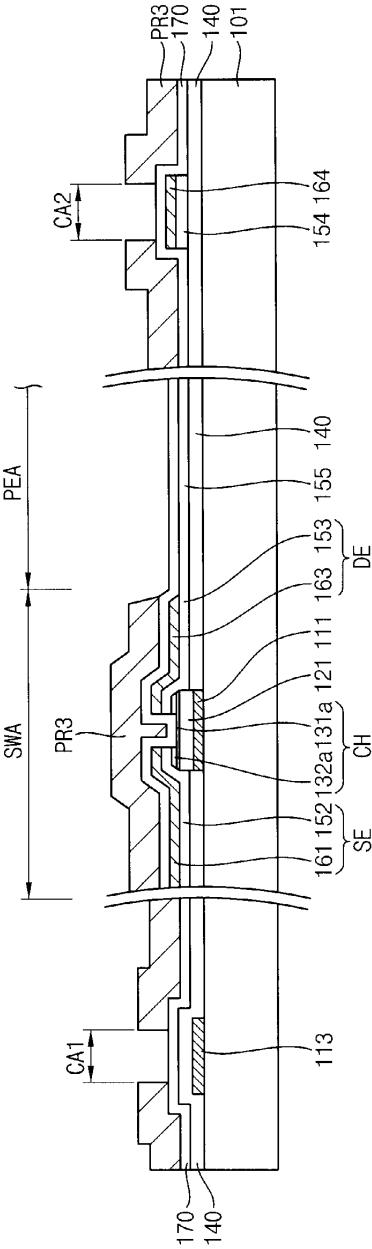
도면6d



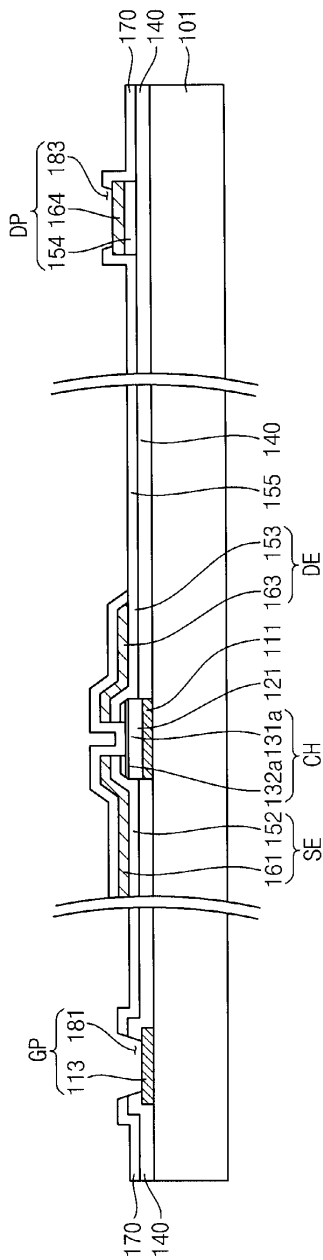
도면7



도면8a



도면8b



专利名称(译)	标题：生产显示器基板和显示器基板的方法		
公开(公告)号	KR101226444B1	公开(公告)日	2013-01-28
申请号	KR1020050127121	申请日	2005-12-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE EUN GUK		
发明人	LEE EUN GUK		
IPC分类号	G02F1/136 G02F		
CPC分类号	G02F1/136286 G02F2001/136236 H01L27/1214 H01L27/1288 G02F1/13458		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020070066226A		
外部链接	Espacenet		

摘要(译)

用于形成LCD基板的三掩模工艺包括：在基础基板上依次沉积栅极金属层，栅极绝缘层和沟道层。第一光致抗蚀剂图案用于在栅电极上形成开关器件的栅电极，沟道图案和栅极线。在具有沟道图案的基础衬底上依次沉积透明导电层和源极金属层。开关装置的源电极和漏电极，像素电极和电连接到漏电极的源极线由第二光刻胶图案形成。形成第一保护绝缘层，并通过第三光刻胶图案去除像素电极上的第一保护绝缘层。因此，通过三个掩模工艺产生简化的制造工艺，其中没有形成源金属图案的下部并且改善了显示质量。

