



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년02월15일
(11) 등록번호 10-1112554
(24) 등록일자 2012년01월30일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2005-0029903

(22) 출원일자 2005년04월11일

심사청구일자 2010년04월09일

(65) 공개번호 10-2006-0107669

(43) 공개일자 2006년10월16일

(56) 선행기술조사문헌

JP2000235371 A*

KR1020050030284 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김우철

경기 용인시 기흥읍 농서리 산24

이준표

경기 성남시 분당구 정자동 17-2번지 동양파라곤
B동 1320호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 18 항

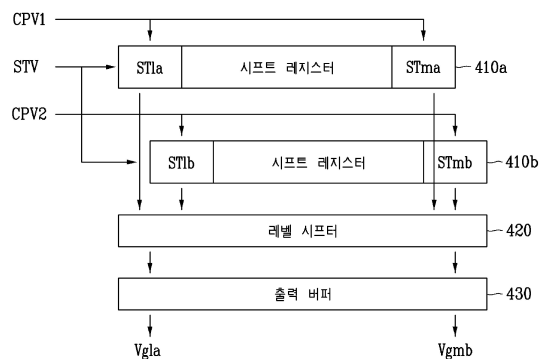
심사관 : 이성현

(54) 표시 장치의 구동 장치 및 이를 포함하는 표시 장치

(57) 요약

본 발명의 한 특징에 따른 표시 장치의 구동 장치는, 행렬 형태로 배열되어 있으며 각각 제1 및 제2 부화소를 포함하는 복수의 화소, 상기 제1 부화소에 연결되어 있으며 제1 게이트 신호를 전달하는 복수의 제1 게이트선, 상기 제2 부화소에 연결되어 있으며 제2 게이트 신호를 전달하는 복수의 제2 게이트선, 그리고 상기 제1 및 제2 게이트 신호를 생성하는 게이트 구동부를 포함하고, 상기 게이트 구동부는 상기 제1 게이트 신호를 생성하는 제1 시프트 레지스터, 상기 제2 게이트 신호를 생성하는 제2 시프트 레지스터, 상기 제1 및 제2 시프트 레지스터에 연결되어 있는 레벨 시프터, 상기 레벨 시프터에 연결되어 있는 출력 버퍼를 포함한다. 이와 같이, 두 개의 시프트 레지스터를 갖는 게이트 구동부를 마련하여 홀수 및 짝수 번째 부화소를 별개로 구동함으로써 두 부화소의 충전 시간을 향상시키는 한편, 이러한 화소 배치를 갖는 액정 표시 장치의 시인성을 개선할 수 있다.

대표도 - 도4



400

(72) 발명자

문승환

경기 용인시 상현동 현대6차아파트 205동 1504호(
만현마을2단지)

손선규

경기 용인시 기흥읍 영덕리 신일아파트 109동 140
5호

특허청구의 범위

청구항 1

행렬 형태로 배열되어 있으며 각각 제1 및 제2 부화소를 포함하는 복수의 화소를 포함하는 표시 장치의 구동 장치로서,

상기 제1 부화소에 연결되어 있으며 제1 게이트 신호를 전달하는 복수의 제1 게이트선,

상기 제2 부화소에 연결되어 있으며 제2 게이트 신호를 전달하는 복수의 제2 게이트선, 그리고

상기 제1 및 제2 게이트 신호를 생성하는 게이트 구동부

를 포함하고,

상기 게이트 구동부는

상기 제1 게이트 신호를 생성하는 제1 시프트 레지스터,

상기 제2 게이트 신호를 생성하는 제2 시프트 레지스터,

상기 제1 및 제2 시프트 레지스터에 연결되어 있는 레벨 시프터, 그리고

상기 레벨 시프터에 연결되어 있는 출력 버퍼

를 포함하며,

상기 제1 시프트 레지스터에는 제1 클록 신호가 입력되며 상기 제2 시프트 레지스터에는 제2 클록 신호가 입력되는 표시 장치의 구동 장치.

청구항 2

삭제

청구항 3

제1항에서,

상기 제1 게이트 신호는 상기 제1 클록 신호의 하이 구간에서 출력되며, 상기 제2 게이트 신호는 상기 제2 클록 신호의 하이 구간에서 출력되는 표시 장치의 구동 장치.

청구항 4

제3항에서,

상기 제1 및 제2 시프트 레지스터에는 하나의 주사 시작 신호가 입력되는 표시 장치의 구동 장치.

청구항 5

제4항에서,

상기 제1 및 제2 클록 신호의 하이 구간은 적어도 일부가 중첩하는 표시 장치의 구동 장치.

청구항 6

제5항에서,

상기 제1 클록 신호의 하이 구간과 상기 제2 클록 신호의 하이 구간의 폭이 동일한 표시 장치의 구동 장치.

청구항 7

제5항에서,

상기 제1 클록 신호의 하이 구간과 상기 제2 클록 신호의 하이 구간의 폭이 서로 다른 표시 장치의 구동 장치.

청구항 8

제5항 내지 제7항 중 어느 한 항에서,

상기 제1 및 제2 게이트 신호는 교대로 출력되며,

상기 제2 게이트 신호와 상기 제2 게이트 신호 바로 다음에 출력되는 상기 제1 게이트 신호는 서로 중첩되지 않는

표시 장치의 구동 장치.

청구항 9

행렬 형태로 배열되어 있으며 각각 제1 및 제2 부화소를 포함하는 복수의 화소,

상기 제1 부화소에 연결되어 있으며 제1 게이트 신호를 전달하는 복수의 제1 게이트선,

상기 제2 부화소에 연결되어 있으며 제2 게이트 신호를 전달하는 복수의 제2 게이트선,

상기 제1 및 제2 게이트 신호를 생성하는 게이트 구동부, 그리고

상기 게이트 구동부에 제어 신호를 인가하는 신호 제어부

를 포함하고,

상기 게이트 구동부는

상기 제1 게이트 신호를 생성하는 제1 시프트 레지스터,

상기 제2 게이트 신호를 생성하는 제2 시프트 레지스터,

상기 제1 및 제2 시프트 레지스터에 연결되어 있는 레벨 시프터, 그리고

상기 레벨 시프터에 연결되어 있는 출력 버퍼

를 포함하며,

상기 신호 제어부는 상기 제1 시프트 레지스터에는 제1 클록 신호를 인가하고 상기 제2 시프트 레지스터에는 제2 클록 신호를 인가하는 표시 장치.

청구항 10

삭제

청구항 11

제9항에서,

상기 제1 및 제2 시프트 레지스터는 서로 연결된 복수의 스테이지를 포함하며,

상기 신호 제어부는 상기 제1 및 제2 시프트 레지스터의 첫 번째 스테이지 또는 마지막 스테이지에 주사 시작 신호를 인가하는 표시 장치.

청구항 12

제11항에서,

상기 제1 및 제2 클록 신호의 하이 구간은 적어도 일부가 중첩하는 표시 장치.

청구항 13

제12항에서,

상기 제1 클록 신호의 하이 구간과 상기 제2 클록 신호의 하이 구간의 폭이 동일한 표시 장치.

청구항 14

제12항에서,

상기 제1 클록 신호의 하이 구간과 상기 제2 클록 신호의 하이 구간의 폭이 서로 다른 표시 장치.

청구항 15

제9항에서,

상기 표시 장치는 액정 표시 장치인 표시 장치.

청구항 16

제1 클록 신호에 따라 제1 출력 신호를 생성하는 제1 시프트 레지스터,

제2 클록 신호에 따라 제2 출력 신호를 생성하는 제2 시프트 레지스터,

상기 제1 및 제2 시프트 레지스터에 연결되어 있는 레벨 시프터, 그리고

상기 레벨 시프터에 연결되어 있는 출력 버퍼

를 포함하고,

상기 제1 및 제2 출력 신호는 적어도 일부가 중첩하며, 상기 제1 클록 신호 및 제2 클록 신호의 주기는 상기 제1 출력 신호와 상기 제2 출력 신호의 중첩 구간보다 큰

표시 장치의 구동 장치.

청구항 17

제16항에서,

상기 제1 출력 신호는 상기 제1 클록 신호의 하이 구간에서 출력되며, 상기 제2 출력 신호는 상기 제2 클록 신호의 하이 구간에서 출력되는 표시 장치의 구동 장치.

청구항 18

제17항에서,

상기 제1 및 제2 시프트 레지스터에는 하나의 주사 시작 신호가 입력되는 표시 장치의 구동 장치.

청구항 19

제18항에서,

상기 제1 클록 신호의 하이 구간과 상기 제2 클록 신호의 하이 구간의 폭이 동일한 표시 장치의 구동 장치.

청구항 20

제18항에서,

상기 제1 클록 신호의 하이 구간과 상기 제2 클록 신호의 하이 구간의 폭이 서로 다른 표시 장치의 구동 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0009] 본 발명은 표시 장치의 구동 장치 및 이를 포함하는 표시 장치에 관한 것이다.

[0010] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계

생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0011] 한편, 이러한 액정 표시 장치는 스위칭 소자를 포함하는 화소와 표시 신호선이 구비된 표시판, 그리고 표시 신호선 중 게이트선에 게이트 신호를 내보내어 화소의 스위칭 소자를 턴온/오프시키는 게이트 구동부를 포함한다.

[0012] 이러한 게이트 구동부는 통상 집적 회로 형태로 되어 있으며, 시프트 레지스터, 레벨 시프터 및 출력 버퍼를 포함한다. 시프트 레지스터는 서로 연결되어 있는 복수의 스테이지를 포함하며, 각 스테이지는 차례대로 출력을 생성하며, 생성된 출력은 레벨 시프터 및 출력 버퍼를 통하여 게이트선에 인가된다.

[0013] 또한, 이러한 액정 표시 장치 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.

[0014] 수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위한 수단으로는 전계 생성 전극에 절개부를 형성하는 방법과 전계 생성 전극 위에 돌기를 형성하는 방법 등이 있다. 절개부와 돌기로 액정 분자가 기우는 방향을 결정할 수 있으므로, 이들을 사용하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.

[0015] 그러나 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있다. 예를 들어, 절개부가 구비된 PVA(patterned vertically aligned) 방식 액정 표시 장치의 경우에는 측면으로 갈수록 영상이 밝아져서, 심한 경우에는 높은 계조 사이의 휘도 차이가 없어져 그림이 뭉그러져 보이는 경우도 발생한다.

[0016] 이러한 문제점을 개선하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 두 부화소를 용량성 결합시킨 후 한 쪽 부화소에는 직접 전압을 인가하고 다른 쪽 부화소에는 용량성 결합에 의한 전압 하강을 일으켜 두 부화소의 전압을 달리 함으로써 투과율을 다르게 하는 방법이 제시되었다.

발명이 이루고자 하는 기술적 과제

[0017] 이 때, 두 부화소에 게이트 전압을 인가하는 경우에는 앞서 말한 게이트 구동부의 스테이지는 하나의 화소 행에 해당하는 시간 간격, 즉 1 수평 주기 간격으로 동일하게 게이트 전압을 인가한다. 이렇게 되면 두 부화소의 스위칭 소자가 동시에 턴온되어 서로 다른 전압을 인가할 수 없는 문제가 생긴다. 또한, 이를 개선하기 위하여 표시판의 양쪽에 게이트 구동부를 두어 두 부화소를 별개로 구동하는 경우에도 액정 표시 장치의 원가를 상승시키는 것은 물론이고 게이트 구동부가 차지하는 면적이 커져 전체적으로 액정 표시 장치의 크기를 증가시키는 문제가 있다.

[0018] 본 발명이 이루고자 하는 기술적 과제는 이러한 문제점을 해결하는 것이다.

발명의 구성 및 작용

[0019] 본 발명의 한 특징에 따라, 행렬 형태로 배열되어 있으며 각각 제1 및 제2 부화소를 포함하는 복수의 화소를 포함하는 표시 장치의 구동 장치로서, 상기 제1 부화소에 연결되어 있으며 제1 게이트 신호를 전달하는 복수의 제1 게이트선, 상기 제2 부화소에 연결되어 있으며 제2 게이트 신호를 전달하는 복수의 제2 게이트선, 그리고 상기 제1 및 제2 게이트 신호를 생성하는 게이트 구동부를 포함하고, 상기 게이트 구동부는, 상기 제1 게이트 신호를 생성하는 제1 시프트 레지스터, 상기 제2 게이트 신호를 생성하는 제2 시프트 레지스터, 상기 제1 및 제2 시프트 레지스터에 연결되어 있는 레벨 시프터, 그리고 상기 레벨 시프터에 연결되어 있는 출력 버퍼를 포함한다.

[0020] 상기 제1 시프트 레지스터에는 제1 클록 신호가 입력되며 상기 제2 시프트 레지스터에는 제2 클록 신호가 입력될 수 있다.

[0021] 상기 제1 게이트 신호는 상기 제1 클록 신호의 하이 구간에서 출력되며, 상기 제2 게이트 신호는 상기 제2 클록 신호의 하이 구간에서 출력되는 것이 바람직하고, 상기 제1 및 제2 시프트 레지스터에는 하나의 주사 시작 신호가 입력되는 것이 바람직하다.

- [0022] 상기 제1 및 제2 클록 신호의 하이 구간은 적어도 일부가 중첩할 수 있다.
- [0023] 이 때, 상기 제1 클록 신호의 하이 구간과 상기 제2 클록 신호의 하이 구간의 폭이 동일하거나, 다를 수 있다.
- [0024] 여기서, 상기 제1 및 제2 게이트 신호는 교대로 출력되며, 상기 제2 게이트 신호와 상기 제2 게이트 신호 바로 다음에 출력되는 상기 제1 게이트 신호는 서로 중첩되지 않는 것이 바람직하다.
- [0025] 본 발명의 한 특징에 따른 표시 장치는, 행렬 형태로 배열되어 있으며 각각 제1 및 제2 부화소를 포함하는 복수의 화소, 상기 제1 부화소에 연결되어 있으며 제1 게이트 신호를 전달하는 복수의 제1 게이트선, 상기 제2 부화소에 연결되어 있으며 제2 게이트 신호를 전달하는 복수의 제2 게이트선, 상기 제1 및 제2 게이트 신호를 생성하는 게이트 구동부, 그리고 상기 게이트 구동부에 제어 신호를 인가하는 신호 제어부를 포함하고, 상기 게이트 구동부는, 상기 제1 게이트 신호를 생성하는 제1 시프트 레지스터, 상기 제2 게이트 신호를 생성하는 제2 시프트 레지스터, 상기 제1 및 제2 시프트 레지스터에 연결되어 있는 레벨 시프터, 그리고 상기 레벨 시프터에 연결되어 있는 출력 버퍼를 포함한다.
- [0026] 상기 신호 제어부는 상기 제1 시프트 레지스터에는 제1 클록 신호를 인가하고 상기 제2 시프트 레지스터에는 제2 클록 신호를 인가할 수 있다.
- [0027] 여기서, 상기 제1 및 제2 시프트 레지스터는 서로 연결된 복수의 스테이지를 포함하며, 상기 신호 제어부는 상기 제1 및 제2 시프트 레지스터의 첫 번째 스테이지 또는 마지막 스테이지에 주사 시작 신호를 인가할 수 있다.
- [0028] 상기 제1 및 제2 클록 신호의 하이 구간은 적어도 일부가 중첩할 수 있는데, 상기 제1 클록 신호의 하이 구간과 상기 제2 클록 신호의 하이 구간의 폭이 동일하거나, 다를 수 있다.
- [0029] 상기 표시 장치는 액정 표시 장치일 수 있다.
- [0030] 본 발명의 다른 특징에 따른 표시 장치의 구동 장치는, 제1 클록 신호에 따라 제1 출력 신호를 생성하는 제1 시프트 레지스터, 제2 클록 신호에 따라 제2 출력 신호를 생성하는 제2 시프트 레지스터, 상기 제1 및 제2 시프트 레지스터에 연결되어 있는 레벨 시프터, 그리고 상기 레벨 시프터에 연결되어 있는 출력 버퍼를 포함하고, 상기 제1 및 제2 출력 신호는 적어도 일부가 중첩하며, 상기 제1 클록 신호 및 제2 클록 신호의 주기는 상기 제1 출력 신호와 상기 제2 출력 신호의 중첩 구간보다 크다.
- [0031] 상기 제1 출력 신호는 상기 제1 클록 신호의 하이 구간에서 출력되며, 상기 제2 출력 신호는 상기 제2 클록 신호의 하이 구간에서 출력될 수 있다.
- [0032] 상기 제1 및 제2 시프트 레지스터에는 하나의 주사 시작 신호가 입력되는 것이 바람직하다.
- [0033] 상기 제1 클록 신호의 하이 구간과 상기 제2 클록 신호의 하이 구간의 폭은 동일하거나, 다를 수 있다.
- [0034] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0035] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2a 및 도 2b는 본 발명의 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이며, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 부화소에 대한 등가 회로도이다.
- [0036] 도 1을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300)와 이에 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- [0037] 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(PX)를 포함한다. 반면, 도 3에 도시한 구조로 볼 때, 액정 표시판 조립체(300)는 서로 마주 보는 하부 및 상부 표시판(100, 200)과 둘 사이에 들어 있는 액정층(3)을 포함한다.
- [0038] 표시 신호선은 하부 표시판(100)에 구비되어 있으며, 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선($G_{1a} \sim G_{1n}$)과 데이터 신호를 전달하는 데이터선($D_1 \sim D_m$)을 포함한다. 게이트선($G_{1a} \sim G_{1n}$)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선($D_1 \sim D_m$)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0039] 도 2a 및 도 2b에는 표시 신호선과 화소의 등가 회로가 나타나 있는데, 도면 부호 GLa, GLb로 나타낸 게이트선

과 도면 부호 DL로 나타낸 데이터선 이외에도 표시 신호선은 게이트선(G_1 - G_{2b})과 거의 나란하게 뻗은 유지 전극선(SL)을 포함한다.

[0040] 도 2a를 참고하면, 각 화소(PX)는 한 쌍의 부화소(PXa, PXb)를 포함하며, 각 부화소(PXa, PXb)는 해당 게이트선(GL_a , GL_b) 및 데이터선(DL)에 연결되어 있는 스위칭 소자(Q_a , Q_b)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{Lca} , C_{Lcb}), 그리고 스위칭 소자(Q_a , Q_b) 및 유지 전극선(SL)에 연결되어 있는 유지 축전기(storage capacitor)(C_{Sta} , C_{Stb})를 포함한다. 유지 축전기(C_{Sta} , C_{Stb})는 필요에 따라 생략할 수 있으며 이 경우에는 유지 전극선(SL) 또한 필요 없다.

[0041] 도 2b를 참고하면, 각 화소(PX)는 한 쌍의 부화소(PXa, PXb)와 이들 사이에 연결되어 있는 결합 축전기(C_{cp})를 포함하며, 각 부화소(PXa, PXb)는 해당 게이트선(GL_a , GL_b) 및 데이터선(DL)에 연결되어 있는 스위칭 소자(Q_a , Q_b)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{Lca} , C_{Lcb})를 포함한다. 그리고 두 부화소(PXa, PXb) 중 하나(PXa)는 스위칭 소자(Q_a) 및 유지 전극선(SL)에 연결되어 있는 유지 축전기(storage capacitor)(C_{Sta})를 포함한다.

[0042] 도 3을 참고하면, 각 부화소(PXa, PXb)의 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등으로 이루어지며, 각각 게이트선(GL)에 연결되어 있는 제어 단자, 데이터선(DL)에 연결되어 있는 입력 단자, 그리고 액정 축전기(C_{Lc}) 및 유지 축전기(C_{St})에 연결되어 있는 출력 단자를 가지는 삼단자 소자이다.

[0043] 액정 축전기(C_{Lc})는 하부 표시판(100)의 부화소 전극(PE)과 상부 표시판(200)의 공통 전극(CE)을 두 단자로 하며 두 전극(PE, CE) 사이의 액정층(3)은 유전체로서 기능한다. 부화소 전극(PE)은 스위칭 소자(Q)에 연결되며 공통 전극(CE)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(V_{com})을 인가 받는다. 도 3에서와는 달리 공통 전극(CE)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(PE, CE) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

[0044] 액정 축전기(C_{Lc})의 보조적인 역할을 하는 유지 축전기(C_{St})는 하부 표시판(100)에 구비된 유지 전극선(SL)과 화소 전극(PE)이 절연체를 사이에 두고 중첩되어 이루어지며 유지 전극선(SL)에는 공통 전압(V_{com}) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(C_{St})는 부화소 전극(PE)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

[0045] 한편, 색 표시를 구현하기 위해서는 각 화소가 원색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소가 시간에 따라 번갈아 삼원색을 표시하게(시간 분할) 하여 이들 삼원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 원색의 예로는 적색, 녹색 및 청색을 들 수 있다. 도 3은 공간 분할의 한 예로서 각 화소가 상부 표시판(200)의 영역에 원색 중 하나를 나타내는 색필터(CF)를 구비함을 보여주고 있다. 도 3과는 달리 색필터(CF)는 하부 표시판(100)의 부화소 전극(PE) 위 또는 아래에 형성할 수도 있다.

[0046] 도 1을 참고하면, 게이트 구동부(400)는 게이트선(G_{1a} - G_{nb})에 연결되어 외부로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선(G_{1a} - G_{nb})에 인가한다.

[0047] 계조 전압 생성부(gray voltage generator)(800)는 화소의 투과율과 관련된 두 개의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 개의 계조 전압 집합은 하나의 화소를 이루는 두 부화소에 독립적으로 제공될 것으로서, 각 계조 전압 집합은 공통 전압(V_{com})에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함한다. 그러나 두 개의 (기준) 계조 전압 집합 대신 하나의 (기준) 계조 전압 집합만을 생성할 수도 있다.

[0048] 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1 - D_m)에 연결되어 계조 전압 생성부(800)로부터의 두 개의 계조 전압 집합 중 하나를 선택하고 선택된 계조 전압 집합에 속하는 하나의 계조 전압을 데이터 전압으로서 화소에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 전압을 선택한다.

[0049] 게이트 구동부(400) 또는 데이터 구동부(500)는 복수의 구동 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착될 수도 있다. 이와는 달리, 게이트 구동

부(400) 또는 데이터 구동부(500)가 표시 신호선(G_{1a} - G_{nb} , D_1 - D_m)과 박막 트랜지스터 스위칭 소자(Qa, Qb) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다.

[0050] 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어한다.

[0051] 그러면 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.

[0052] 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)의 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.

[0053] 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 시간을 제어하는 복수의 클록 신호(CPV1, CPV2)를 포함한다.

[0054] 데이터 제어 신호(CONT2)는 한 묶음의 화소(PX)에 대한 데이터의 전송을 알리는 수평 동기 시작 신호(STH)와 데이터선(D_1 - D_m)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 공통 전압에 대한 데이터 전압의 극성을 줄여 데이터 전압의 극성이라 함)을 반전시키는 반전 신호(RVS)를 포함할 수 있다.

[0055] 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 묶음의 부화소(PX)에 대한 영상 데이터(DAT)를 수신하고, 계조 전압 생성부(800)로부터의 두 개의 계조 전압 집합 중 한 집합을 선택하고, 선택한 계조 전압 집합 중에서 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써 영상 데이터(DAT)를 해당 데이터 전압으로 변환한 후, 이를 해당 데이터선(D_1 - D_m)에 인가한다.

[0056] 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G_{1a} - G_{nb})에 인가하여 이 게이트선(G_{1a} - G_{nb})에 연결된 스위칭 소자(Qa, Qb)를 턴온시키며, 이에 따라 데이터선(D_1 - D_m)에 인가된 데이터 전압이 턴온된 스위칭 소자(Qa, Qb)를 통하여 해당 부화소(PX)에 인가된다.

[0057] 부화소(PXa, PXb)에 인가된 데이터 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C_{LC})의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.

[0058] 앞서 설명한 두 개의 계조 전압 집합은 도 6a에 도시한 바와 같이 서로 다른 감마 곡선(Ta , Tb)을 보여주며 이들이 한 화소(PX)의 두 부화소(PXa, PXb)에 인가되므로 한 화소(PX)의 감마 곡선은 이들을 합성한 곡선(T)이 된다. 두 계조 전압 집합을 결정할 때에는 합성 감마 곡선(T)이 정면에서의 기준 감마 곡선에 가깝게 되도록 하는데, 예를 들면 정면에서의 합성 감마 곡선(T)은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선(T)은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 예를 들면 아래 쪽에 위치한 감마 곡선을 저계조에서 더욱 낮게 만들면 시인성이 더욱 향상될 수 있다.

[0059] 1/2 수평 주기(또는 "1/2 H") [수평 동기 신호(Hsync) 및 게이트 클록(CPV)의 한 주기]를 단위로 하여 데이터 구동부(500)와 게이트 구동부(400)는 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G_{1a} - G_{nb})에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(보기: 행 반전, 도트 반전), 인접 데이터선을 통하여 동시에 흐르는 데이터 전압의 극성도 서로 다를 수 있다(보기: 열 반전, 도트 반전).

[0060] 그런데 이와 같은 액정 표시 장치의 경우 통상의 액정 표시 장치에 비하여 두 배의 게이트선이 있으므로 통상의 방법으로 데이터 전압을 인가하면 전압 충전 시간이 짧아 화소가 목표 전압에 도달하지 못할 수 있으며 이는 극성 반전 때문에 더욱 그러하다. 따라서 인접한 두 게이트선에 게이트 온 전압(Von)을 인가하는 시간을 일부 중

접할 수 있으며 이에 대하여 도 4 및 도 5를 참조하여 좀 더 상세하게 설명한다.

- [0061] 도 4는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이며, 도 5a 및 도 5b는 도 4에 도시한 게이트 구동부의 타이밍도의 예들이다.
- [0062] 도 4를 보면, 본 발명의 한 실시예에 따른 게이트 구동부는 한 쌍의 시프트 레지스터(410a, 410b), 이에 연결되어 있는 레벨 시프터(420) 및 출력 버퍼(430)를 포함한다.
- [0063] 한 쌍의 시프트 레지스터(410a, 410b)에는 주사 시작 신호(STV)가 인가되며, 한 쌍의 게이트 클록 신호(CPV1, CPV2)가 각각 인가된다.
- [0064] 각 시프트 레지스터(410a, 410b)는 복수의 스테이지(ST1a, ..., STma, ST1b, ..., STmb)를 각각 포함한다.
- [0065] 레벨 시프터(420)는 두 시프트 레지스터(410a, 410b)로부터의 출력을 화소의 스위칭 소자를 동작시키기에 적절한 크기로 증폭하여 출력 버퍼(430)로 내보내고, 출력 버퍼(430)는 신호 지연으로 인한 게이트 전압의 감소를 고려하여 감소분만큼 증폭하여 내보낸다.
- [0066] 이 때, 도 3에서 설명한 게이트선(GLa)을 홀수 번째 게이트선(G1a, G2a, ..., Gma)이라 하고, 게이트선(GLb)을 짝수 번째 게이트선(G1b, G2b, ..., Gmb)라 할 때, 시프트 레지스터(410a)는 홀수 번째 게이트선(GLa)에 연결되어 있는 스위칭 소자(Qa)를 동작시키기 위한 게이트 신호를 생성하고, 시프트 레지스터(410b)는 짝수 번째 게이트선(GLb)에 연결되어 있는 스위칭 소자(Qb)를 동작시키기 위한 게이트 신호를 생성한다.
- [0067] 또한, 게이트 클록 신호(CPV1, CPV2)는 1H의 주기를 가지며 50%의 듀티비를 갖는다. 도 5a의 경우에는 클록 신호(CPV2)가 클록 신호(CPV1)에 비하여 1/4H 만큼 지연된 신호이고, 도 5b의 경우에는 클록 신호(CPV1)가 클록 신호(CPV2)에 비하여 1/4H만큼 지연된 신호이다.
- [0068] 여기서, 시프트 레지스터(410a, 410b), 레벨 시프터 및 출력 버퍼(430)를 거쳐서 생성되는 게이트 전압을 단순히 시프트 레지스터(410a, 410b)에서 생성되는 전압이라 하고 도면 부호를 'Vg'라 하며, Vga는 홀수 번째 게이트선에 인가되는 게이트 신호를, Vgb는 짝수 번째 게이트선에 인가되는 게이트 신호를 나타낸다.
- [0069] 이 때, 주사 시작 신호(STV)가 두 시프트 레지스터(410a, 410b)에 입력되면, 각 시프트 레지스터(410a, 410b)의 첫 번째 스테이지(ST1a, ST1b)는 주사 시작 신호(STV)가 하이인 구간에서 첫 번째 게이트 클록 신호(CPV1, CPV2)의 상승 에지(rising edge)에 동기하여 각각 출력(Vg1a, Vg1b)을 내보낸다.
- [0070] 이어, 두 번째 스테이지부터는 전단 스테이지의 출력을 캐리 신호(carry signal)로 하고 게이트 클록 신호(CPV1, CPV2)에 동기하여 출력(Vg2a, ..., Vgma, Vg2b, ..., Vgmb)을 내보낸다.
- [0071] 도 5a의 경우에는 클록 신호(CPV1)가 클록 신호(CPV2)에 비하여 1/4H만큼 앞서므로 한 묶음의 부화소(PXa, PXb) 중 홀수 번째 게이트선(GLa)에 연결되어 있는 부화소(PXa)가 먼저 충전되고 짝수 번째 게이트선(GLb)에 연결되어 있는 부화소(PXb)가 나중에 충전된다. 이와는 달리, 도 5b의 경우에는 짝수 번째 게이트선(GLb)에 게이트선에 연결되어 있는 부화소(PXb)가 먼저 충전되고 홀수 번째 게이트선(GLa)에 연결되어 있는 부화소(PXa)가 나중에 충전된다.
- [0072] 한편, 홀수 번째 게이트 출력(Vg1a, ..., Vgma)과 짝수 번째 게이트 출력(Vg1b, ..., Vgmb)을 비교하면 한 묶음의 부화소에 인가되는 게이트 출력은 중첩하지만 다른 묶음의 부화소에 인가되는 게이트 출력은 중첩하지 않는다. 예를 들어, 도 5a 및 도 5b에서 첫 번째 묶음의 부화소에 인가되는 게이트 출력(Vg1a, Vg1b)은 서로 중첩하는 반면, 이에 인접한 두 번째 묶음의 부화소에 인가되는 출력(Vg2a, Vg2b)은 첫 번째 게이트 출력(Vg1a, Vg1b)과 중첩하지 않는다. 좀 더 상세하게는, 도 5a의 경우에는 게이트 출력(Vg1b)과 이어 생성되는 게이트 출력(Vg2a)이 중첩하지 않으며, 도 5b의 경우에는 게이트 출력(Vg1a)과 이어 생성되는 게이트 출력(Vg2b)이 중첩하지 않는다.
- [0073] 이렇게 하면, 한 묶음의 부화소(PXa, PXb) 중 홀수 번째 게이트선(GLa)에 연결되어 있는 부화소(PXa)는 1H 동안 데이터 전압을 인가받고, 부화소(PXb) 역시 1H 동안 데이터 전압을 인가받아 각 화소 내의 각 부화소(PXa, PXb)는 충분히 충전된다.
- [0074] 한편, 앞서 설명한 게이트 클록 신호(CPV1, CPV2) 중에서 특히 게이트 클록 신호(CPV2)의 듀티비를 50%로 하였지만, 이 보다 더 크게 하여 부화소(PXb)의 충전율을 높일 수 있다. 예를 들어, 게이트 클록 신호(CPV2)의 듀티비를 75% 미만으로 할 수 있다.

- [0075] 그러면 이러한 게이트 구동부를 구비한 액정 표시 장치에서 여러 가지 데이터 전압 인가 유형에 대하여 도 7a 및 도 7b를 참고로 하여 상세하게 설명한다.
- [0076] 도 7a 내지 도 8b는 본 발명의 실시예에 따른 액정 표시 장치의 신호 파형을 시간에 따라 나타낸 도면으로서, Vd는 하나의 데이터선에 흐르는 데이터 전압이다.
- [0077] 여기서, 도 7a 및 도 7b는 도 5a에 나타난 것처럼 게이트 클럭 신호(CPV1)가 앞서는 경우에 해당하는 데이터 전압 인가 유형을 나타내고, 도 8a 및 도 8b는 도 5b에 나타난 것처럼 게이트 클럭 신호(CPV2)가 앞서는 경우에 해당하는 데이터 전압 인가 유형을 나타낸다.
- [0078] 점 반전인 경우에는 인접 화소의 극성이 반대이므로 인접 화소의 데이터 전압을 인가 받는 것이 충전 시간을 줄이는 데 별로 도움이 되지 못하다. 따라서 도 7a 및 도 8a에 도시한 바와 같이 인접 화소의 충전 시간은 겹치지 않도록 하고 한 화소의 두 부화소의 충전 시간을 중첩시키는 것이 바람직하다. 그러면 나중에 충전되는 부화소는 충전 시간이 줄어들 것이므로 도 6b와 도 7a 및 도 8a에 도시한 바와 같이 처음에 충전되는 부화소에 인가되는 계조 전압 집합의 크기(GVa)보다 나중에 충전되는 부화소에 인가되는 계조 전압 집합의 크기(GVb)를 크게 하는 것이 바람직하다.
- [0079] 그러나 열 반전의 경우에는 상하로 인접한 화소의 극성이 동일하므로 인접 화소의 데이터 전압을 인가하여 사전 충전(precharge)을 할 수 있다. 따라서 도 7b 및 도 8b에 도시한 바와 같이 모든 부화소의 충전 시간을 일정 시간 이상 중첩시킬 수 있다.
- [0080] 또한, 본 발명의 한 실시예에 따른 게이트 구동부(400)는 입력되는 게이트 클럭 신호(CPV1, CPV2)를 중첩되지 않게 할 수도 있으며, 이 경우에는 하나의 화소에 하나의 스위칭 소자를 갖는 구조에도 적용할 수 있다.
- [0081] 또한, 본 발명의 한 실시예에 따른 게이트 구동부는 도 4에 도시한 게이트 구동부와는 달리 시프트 레지스터의 마지막 스테이지(STma, STmb)에 주사 시작 신호를 인가할 수 있으며, 이 경우에는 게이트 출력이 오른쪽에서 왼쪽으로 순차적으로 생성된다. 즉, 첫 번째 스테이지(ST1a, ST1b)에 주사 시작 신호가 입력되는 경우에는 왼쪽에서 오른쪽으로 순차적으로 출력을 생성하고(보기: Vg1a, Vg2a, ..., Vgma), 이와는 달리 마지막 스테이지(STma, STmb)에 입력되는 경우에는 앞에서의 역순으로 오른쪽에서 왼쪽으로 순차적으로 출력을 생성한다(보기: Vgma, ..., Vg2a, Vg1a).

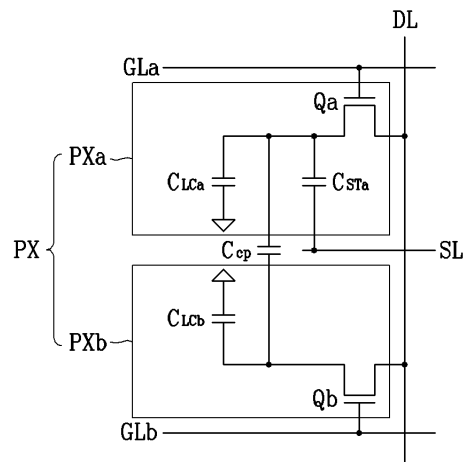
발명의 효과

- [0082] 이와 같이 두 개의 시프트 레지스터를 갖는 게이트 구동부를 마련하여 홀수 및 짝수 번째 부화소를 별개로 구동함으로써 두 부화소의 충전 시간을 향상시키는 한편, 이러한 화소 배치를 갖는 액정 표시 장치의 시인성을 개선할 수 있다. 또한, 표시판의 한 쪽에만 게이트 구동부를 위치시켜 홀수 및 짝수 번째 게이트선을 구동하므로 표시판의 크기를 줄일 수 있다.
- [0083] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

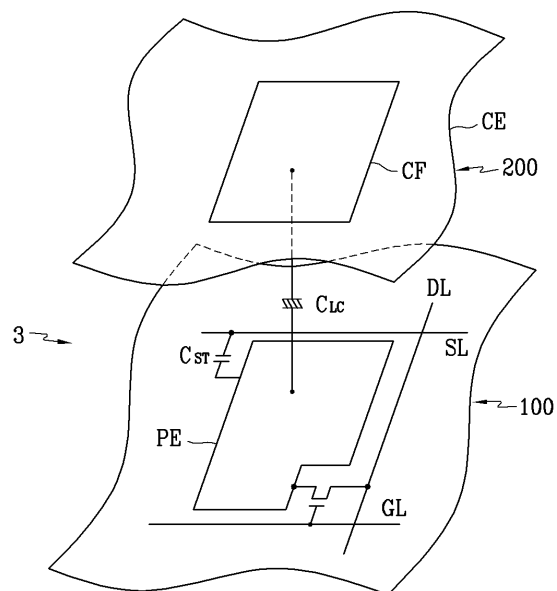
도면의 간단한 설명

- [0001] 도 1은 본 발명의 실시예에 따른 액정 표시 장치의 블록도이다.
- [0002] 도 2a 및 도 2b는 본 발명의 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0003] 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 부화소에 대한 등가 회로도이다.
- [0004] 도 4는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.
- [0005] 도 5a 및 도 5b는 도 4에 도시한 게이트 구동부의 타이밍도의 예들이다.
- [0006] 도 6a는 본 발명의 한 실시예에 따른 액정 표시 장치의 감마 곡선을 나타낸 그래프이고,
- [0007] 도 6b는 본 발명의 한 실시예에 따른 액정 표시 장치의 입력 계조에 대한 계조 전압을 나타낸 그래프이다.
- [0008] 도 7a 내지 도 8b는 본 발명의 실시예에 따른 액정 표시 장치의 신호 파형을 시간에 따라 나타낸 도면이다.

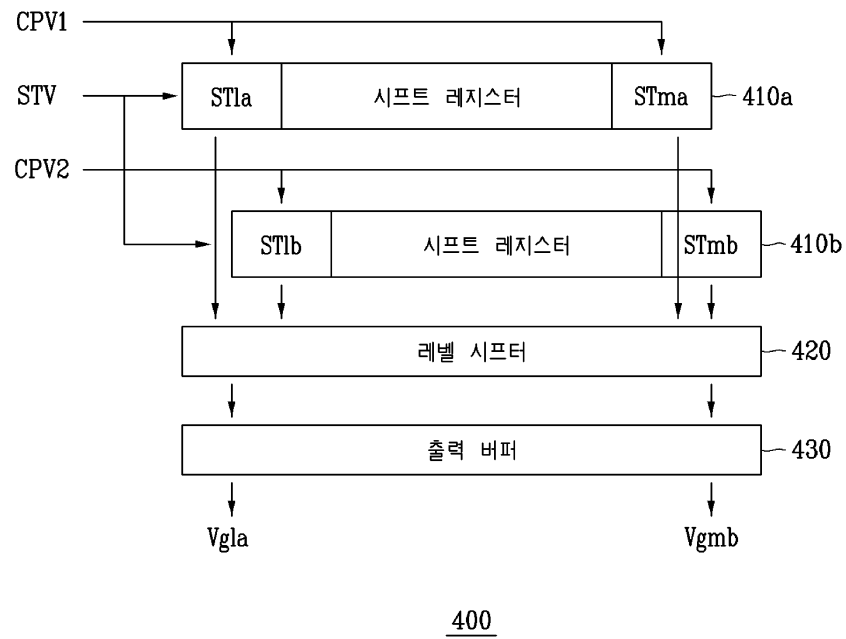
도면2b



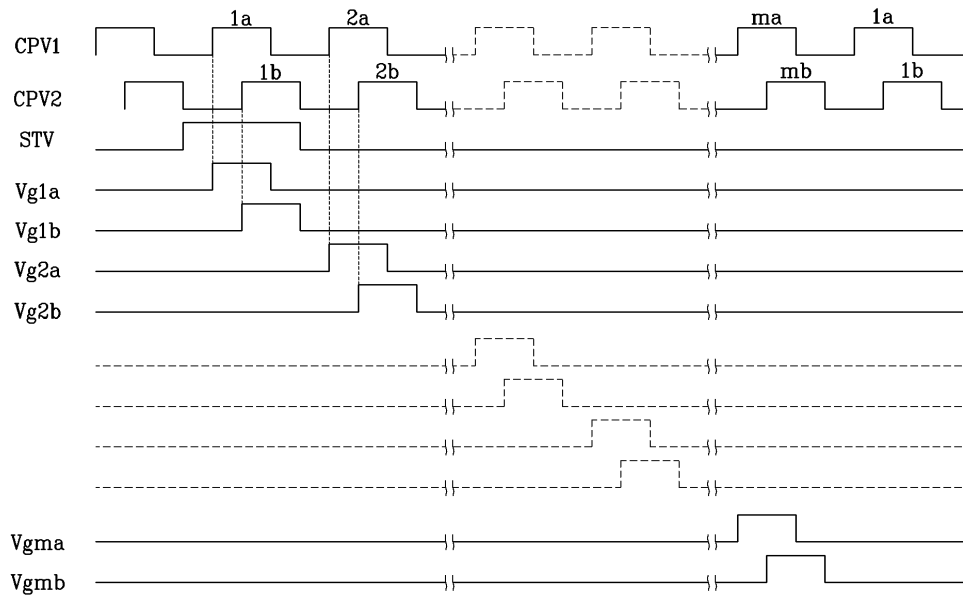
도면3



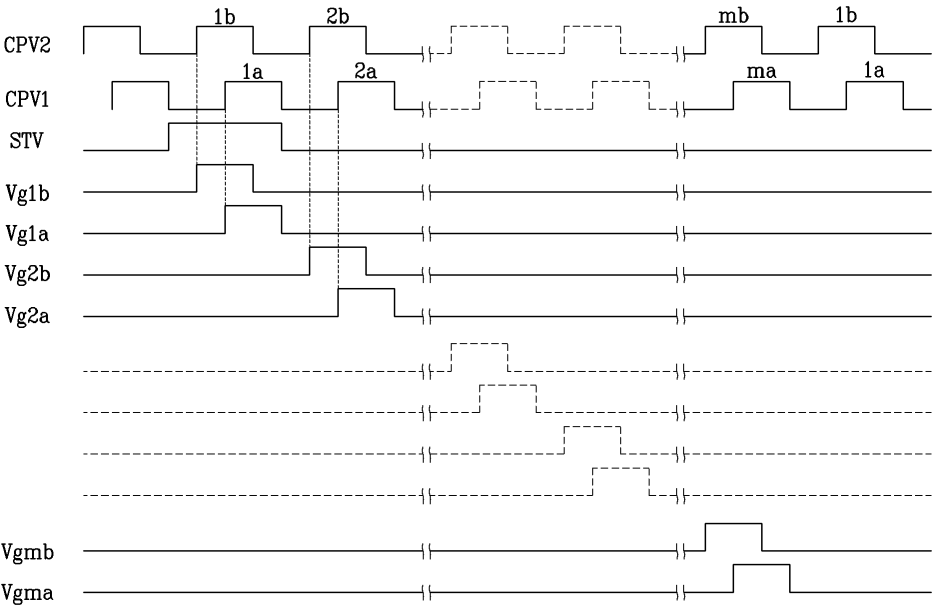
도면4



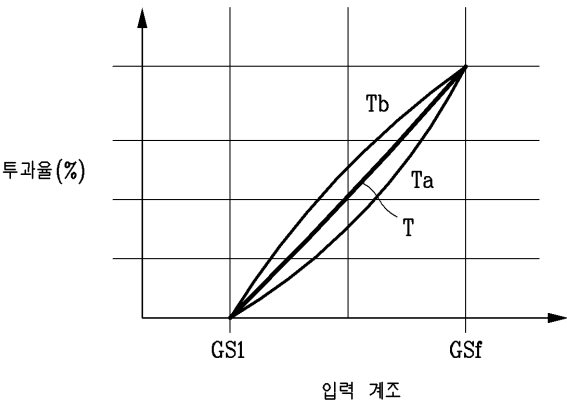
도면5a



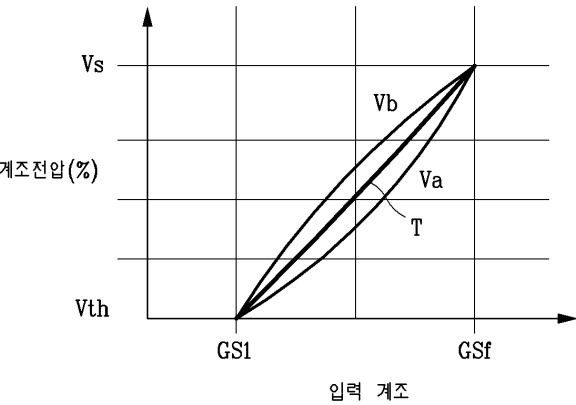
도면5b



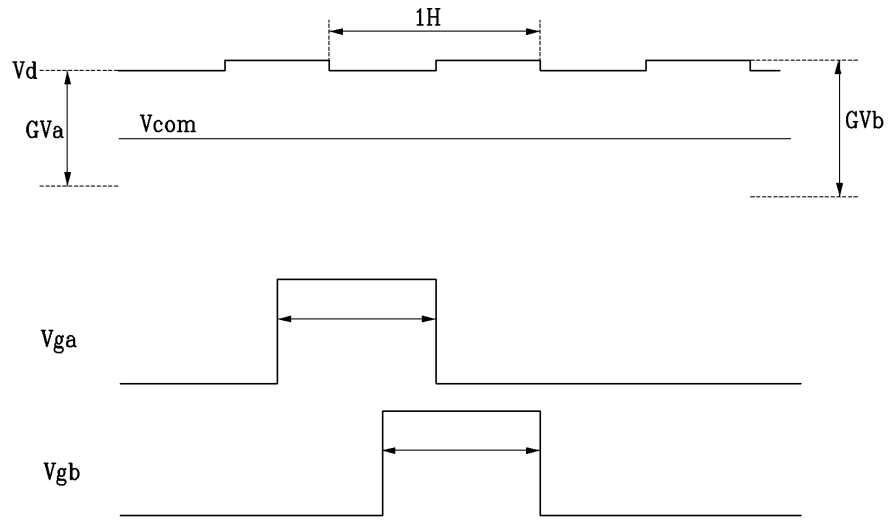
도면6a



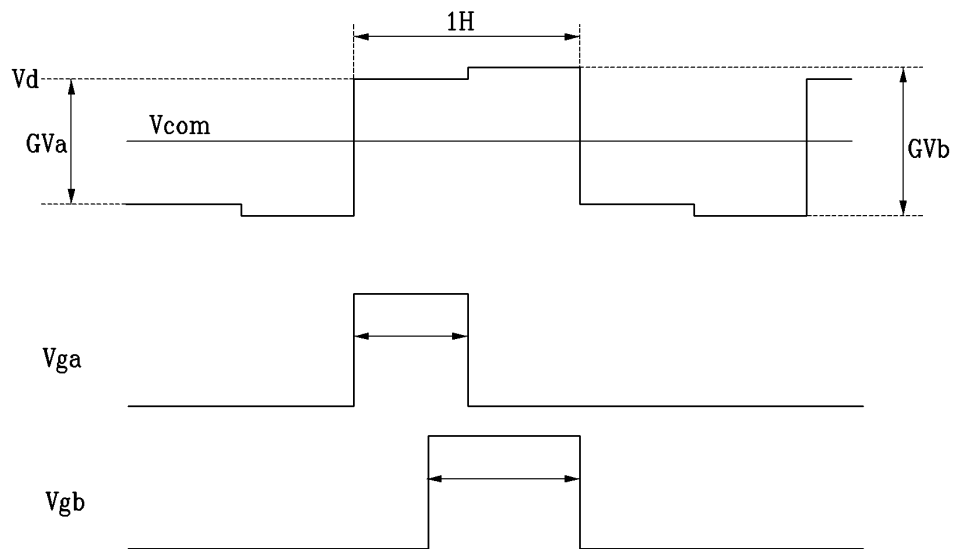
도면6b



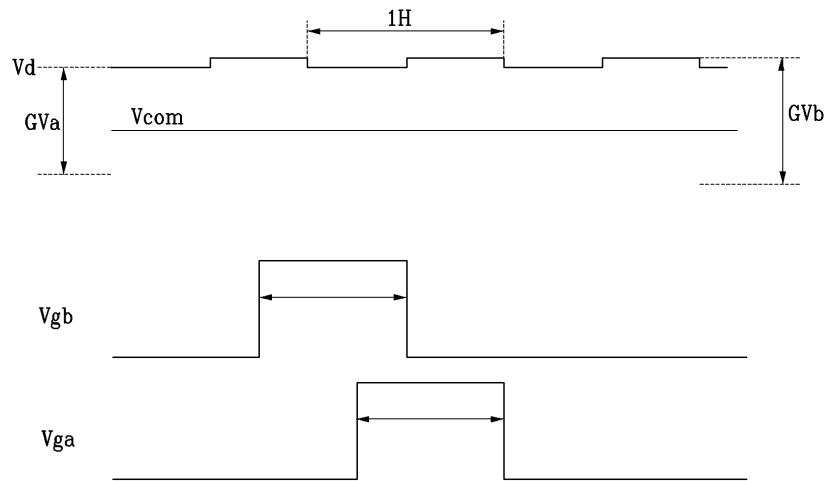
도면7a



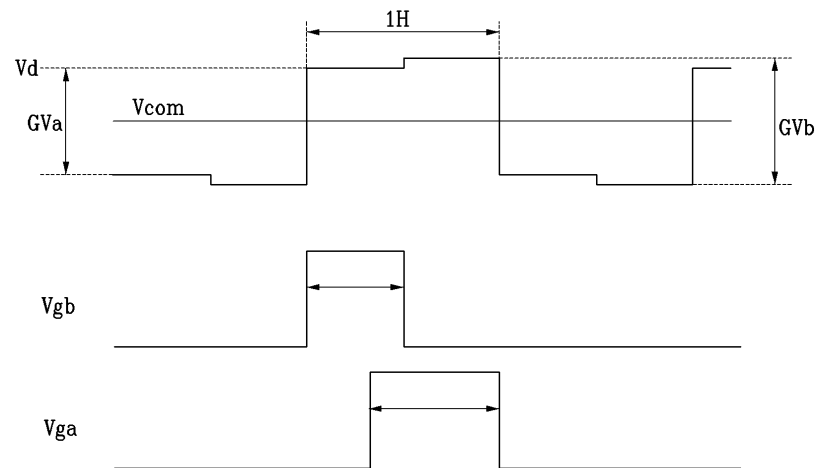
도면7b



도면8a



도면8b



专利名称(译)	显示设备驱动设备和包括其的显示设备		
公开(公告)号	KR101112554B1	公开(公告)日	2012-02-15
申请号	KR1020050029903	申请日	2005-04-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM WOO CHUL 김우철 LEE JUN PYO 이준표 MOON SEUNG HWAN 문승환 SON SUN KYU 손선규		
发明人	김우철 이준표 문승환 손선규		
IPC分类号	G09G3/20 G09G G09G3/36		
CPC分类号	G09G2300/0439 G09G2310/0251 G09G3/3659 G09G3/3677		
其他公开文献	KR1020060107669A		
外部链接	Espacenet		

摘要(译)

根据本发明的一个方面的显示装置的驱动装置，被布置成矩阵形式，并连接到每个第一和第二子像素的多个像素，所述第一子像素包括所述罐经过第一栅极信号连接到第二子像素并传输第二栅极信号的多条第二栅极线，以及用于产生第一和第二栅极信号的栅极驱动器，栅极驱动器可以包括用于产生第一栅极信号的第一移位寄存器，用于产生第二栅极信号的第二移位寄存器，连接到第一和第二移位寄存器的电平移位器，还有一个输出缓冲区。以这种方式，能够提高具有两个移位提供具有寄存器的栅极驱动器的液晶显示装置中，像素排列的，并通过分别驱动奇数编号的和偶数编号的子像素，以提高两富集母牛的充电时间。另一方面

