



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월06일
(11) 등록번호 10-0925467
(24) 등록일자 2009년10월30일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2003-0013680

(22) 출원일자 2003년03월05일

심사청구일자 2008년02월28일

(65) 공개번호 10-2004-0078810

(43) 공개일자 2004년09월13일

(56) 선행기술조사문헌

JP11272236 A

KR1020030005748 A

전체 청구항 수 : 총 7 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김아름

서울특별시서대문구북가좌1동372-10번지

(74) 대리인

팬코리아특허법인

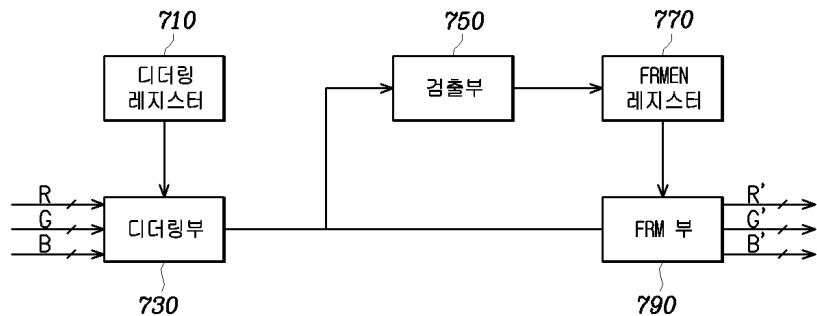
심사관 : 이성현

(54) 액정 표시 장치의 구동 장치 및 방법

(57) 요약

본 발명은 격자 노이즈를 방지할 수 있는 액정 표시 장치의 구동 장치 및 방법에 관한 것이다. 본 발명의 한 실시예는 스케일러의 디더링부와 FRM부 사이에 검출부를 마련하여, 디더링부로부터의 데이터가 모두 동일한 값을 갖는지 여부를 판단하고, 동일한 경우에는 FRM부에서 FRM을 행하지 않음으로써 격자 노이즈를 방지할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

외부로부터의 영상 데이터를 처리하는 스케일러,
 상기 스케일러로부터 상기 영상 데이터를 수신하는 신호 제어부, 그리고
 상기 신호 제어부로부터의 영상 데이터를 처리하여 화소에 공급하는 데이터 구동부
 를 포함하며,
 상기 스케일러는
 상기 영상 데이터가 풀 계조인지를 판단하여 해당하는 신호를 생성하는 검출부,
 상기 영상 데이터에 대하여 FRM(Frame Rate Modulation)을 행하는 FRM부, 그리고
 상기 검출부로부터의 신호에 응답하여 상기 FRM부의 동작을 제어하는 FRM 제어부
 를 포함하는
 액정 표시 장치의 구동 장치.

청구항 2

제1항에서,
 상기 스케일러는 상기 영상 데이터에 대하여 디터링을 행하는 디터링부를 더 포함하는 액정 표시 장치의 구동 장치.

청구항 3

제2항에서,
 상기 FRM부는 상기 디터링부로부터의 영상 데이터에 대하여 FRM을 행하는 액정 표시 장치의 구동 장치.

청구항 4

제3항에서,
 상기 디터링부는 상기 영상 데이터를 복수 개의 단위로 처리하며,
 상기 검출부는 상기 단위에 속한 영상 데이터가 모두 동일하면 풀 계조인 것으로 판단하는,
 액정 표시 장치의 구동 장치.

청구항 5

제1항에서,
 상기 FRM부는 풀 계조가 아닌 경우에는 상기 FRM을 행하고, 풀 계조인 경우에는 상기 FRM을 행하지 않는 액정 표시 장치의 구동 장치.

청구항 6

외부로부터 영상 데이터를 수신하는 단계,
 상기 영상 데이터가 모두 동일한 값을 갖는지 여부를 판단하는 단계, 그리고
 상기 영상 데이터가 모두 동일한 값을 갖는 경우에는 상기 영상 데이터에 대하여 FRM(Frame Rate Modulation)을 수행하지 않고, 그렇지 않으면 상기 FRM을 행하는 단계
 를 포함하는 액정 표시 장치의 구동 방법.

청구항 7

제6항에서,

상기 FRM 단계 이전에 상기 영상 데이터를 디더링하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <5> 본 발명은 액정 표시 장치의 구동 장치 및 방법에 관한 것이다.
- <6> 일반적인 액정 표시 장치(LCD, liquid crystal display)는 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이러한 액정 표시 장치는 휴대가 간편한 평판 표시 장치(flat panel display, FPD) 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터(thin film transistor, TFT)를 스위칭 소자로 이용한 TFT-LCD가 주로 이용되고 있다.
- <7> 한편, LCD는 외부로부터 아날로그 영상 신호가 입력된 경우, 아날로그 디지털 변환기를 통하여 디지털 신호로 변환하고, 이어 표시 장치의 해상도에 맞추어 신호를 처리하는 과정을 거친다. 이러한 과정을 스케일링(scaling)이라 하며, 이는 스케일러(scaler)에서 행해진다.
- <8> 예를 들면, 스케일러에 입력되는 24비트 영상 데이터를 18비트로 변환하는 경우, RGB 영상 데이터가 각각 8비트이면 하위 2비트를 무시하여 변환을 행한다. 이 때, 화면에 표시되는 영상은 24비트 영상 데이터에 비하여 영상이 자연스럽게 못하거나 입력 영상이 왜곡되고 노이즈가 생기는 문제가 된다. 이 때, 화면상의 영상이 자연스럽게 표현되도록 디더링(dithering)과 FRM(frame rate modulation)을 순차적으로 행한다.
- <9> 예를 들면, 8비트 데이터를 6비트로 최적화하는 경우, 디더링에서 1비트를 잘라내고 FRM에서 다시 1비트를 잘라내어 전체적으로 2비트를 잘라내어 6비트 데이터를 출력하는 것이다.
- <10> 이 때, 디더링은 한 프레임에서 R, G, B 각각의 영상 데이터에 대응하는 화소 데이터(이하, "화소 데이터"라 한다)를 8비트에서 최적 7비트로 표시하는 방법이다. 예를 들어, 4×4 행렬로 배열된 화소의 데이터를 상위 7비트와 하위 1비트로 나누고, 이어 노이즈 패턴등을 고려하여 미리 설정된 위치의 화소에 대하여 하위 1비트 값을 상위 7비트에 더하여 디더링 후 데이터(post dithering data)를 만든다.
- <11> 다음, FRM을 행한다. FRM은 디더링 후 데이터에 대하여 소정의 변환을 행하는 과정이다. 이 과정은 7비트인 디더링 후 데이터를 상위 6비트와 하위 1비트로 나눈 후 상위 6비트 값에 짝수 프레임과 홀수 프레임별로 화소마다 같거나 다르게 정해진 값을 더하여 최종 데이터를 얻는 것이다.

발명이 이루고자 하는 기술적 과제

- <12> 한편, 전술한 2가지 방법을 사용하면 일반적인 화면에서는 자연스럽게 표시된다. 하지만, 디더링 후의 데이터가 풀 그레이(full gray)인 경우에는 문제가 된다. 즉, 풀 그레이는 모든 4×4 행렬에 속한 화소 데이터가 동일한 값을 갖는 것을 말하는데, 여기에 FRM을 행하면 4×4 행렬 구조가 반복되어 격자 패턴이 인식되는 격자 노이즈가 발생한다.
- <13> 따라서, 본 발명이 이루고자 하는 기술적 과제는 격자 패턴을 방지할 수 있는 액정 표시 장치의 구동 장치 및 방법을 제공하는 것이다.

발명의 구성 및 작용

- <14> 이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따른 액정 표시 장치의 구동 장치는 외부로부터의 영상 데이터를 처리하는 스케일러, 상기 스케일러로부터 상기 영상 데이터를 수신하는 신호 제어부, 그리고 상기 신호 제어부로부터의 영상 데이터를 처리하여 상기 화소에 공급하는 데이터 구동부를 포함하고, 상기 스케일러는 검출부, FRM부 및 FRM 제어부를 포함한다. 상기 검출부는 상기 영상 데이터가 풀 그레이인지를 판단하여 해당하는 신호를 생성하며, 상기 FRM부는 상기 영상 데이터에 대하여 FRM을 행하고, 상기 FRM 제어부는 상기 검출부

로부터의 신호에 응답하여 상기 FRM부의 동작을 제어한다.

- <15> 또한, 상기 스케일러는 상기 영상 데이터에 대하여 디더링을 행하는 디더링부를 더 포함할 수 있으며, 상기 FRM부는 상기 디더링부로부터의 영상 데이터에 대하여 FRM을 행할 수 있다.
- <16> 여기서, 상기 디더링부는 상기 영상 데이터를 복수 개의 단위로 처리하며, 상기 검출부는 상기 단위에 속한 영상 데이터가 모두 동일하면 풀 계조인 것으로 판단하는 것이 바람직하다.
- <17> 한편, 상기 FRM부는 풀 계조가 아닌 경우에는 상기 FRM을 행하고, 풀 계조인 경우에는 상기 FRM을 행하지 않는 것이 바람직하다.
- <18> 본 발명의 한 실시예에 따른 액정 표시 장치의 구동 방법은 외부로부터 영상 데이터를 수신하는 단계, 상기 영상 데이터가 모두 동일한 값을 갖는지 여부를 판단하는 단계, 그리고 상기 영상 데이터가 모두 동일한 값을 갖는 경우에는 상기 영상 데이터에 대하여 FRM을 수행하고, 그렇지 않으면 FRM을 행하는 단계를 포함한다.
- <19> 또한 상기 FRM 단계 이전에 상기 영상 데이터를 디더링하는 단계를 더 포함할 수 있다.
- <20> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <21> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <22> 이제 본 발명의 실시예에 따른 액정 표시 장치의 구동 장치 및 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.
- <23> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <24> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 스케일러(700)액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400), 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800) 그리고 이들을 제어하는 신호 제어부(600)와 스케일러(700)를 포함한다.
- <25> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선(G_1-G_n , D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)를 포함한다.
- <26> 표시 신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 데이터 신호선 또는 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_m)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- <27> 각 화소는 표시 신호선(G_1-G_n , D_1-D_m)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{lc}) 및 유지 축전기(storage capacitor)(C_{st})를 포함한다. 유지 축전기(C_{st})는 필요에 따라 생략할 수 있다.
- <28> 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선(G_1-G_n) 및 데이터선(D_1-D_m)에 연결되어 있으며, 출력 단자는 액정 축전기(C_{lc}) 및 유지 축전기(C_{st})에 연결되어 있다.
- <29> 액정 축전기(C_{lc})는 하부 표시판(100)의 화소 전극(190)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(190)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(V_{com})을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270)이 모두 선형 또는 막대형으로 만들어진다.

- <30> 유지 축전기(C_{st})는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(190)이 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(V_{com}) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(C_{st})는 화소 전극(190)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- <31> 한편, 색 표시를 구현하기 위해서는 각 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극(190)에 대응하는 영역에 적색, 녹색, 또는 청색의 색 필터(230)를 구비함으로써 가능하다. 도 2에서 색 필터(230)는 상부 표시판(200)의 해당 영역에 형성되어 있지만 이와는 달리 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 형성할 수도 있다.
- <32> 액정 분자들은 화소 전극(190)과 공통 전극(270)이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.
- <33> 계조 전압 생성부(800)는 액정 표시 장치의 휘도와 관련된 복수의 정극성(+), 부극성(-)의 계조 전압(V_+ , V_-)을 생성한다.
- <34> 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_n)에 연결되어 외부로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.
- <35> 데이터 구동부(500)는 계조 전압 생성부(800)로부터의 계조 전압(V_+ , V_-)을 선택하여 데이터 신호로서 화소에 인가한다.
- <36> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어하는 제어 신호를 생성하여, 각 해당하는 제어 신호를 게이트 구동부(400) 및 데이터 구동부(500)에 제공한다.
- <37> 스케일러(700)는 외부로부터의 영상 데이터(R, G, B)를 처리하여 신호 제어부(600)에 제공한다.
- <38> 그러면 이러한 액정 표시 장치의 표시 동작에 대하여 좀더 상세하게 설명한다.
- <39> 스케일러(700)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B)를 데이터 구동부가 처리하기에 알맞은 해상도로 변환시켜 신호 제어부(600)에 공급한다.
- <40> 신호 제어부(600)는 스케일러(700)로부터 외부의 그래픽 제어기의 RGB 영상 신호(R' , G' , B') 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(V_{sync})와 수평 동기 신호(H_{sync}), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)는 입력 제어 신호를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성하고 영상 신호(R' , G' , B')를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(R'' , G'' , B'')는 데이터 구동부(500)로 내보낸다.
- <41> 게이트 제어 신호(CONT1)는 게이트 온 펄스(게이트 신호의 하이 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클록 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.
- <42> 데이터 제어 신호(CONT2)는 영상 데이터(R'' , G'' , B'')의 입력 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(V_{com})에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클록 신호(HCLK) 등을 포함한다.
- <43> 계조 전압 생성부(800)는 액정 표시 장치의 휘도와 관련된 복수의 계조 전압을 생성하여 데이터 구동부(500)에 인가한다.
- <44> 데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소에 대응하는 영상 데이터(R'' , G'' , B'')를 차례로 입력받고, 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(R'' , G'' , B'')에 대응하는 계조 전압을 선택함으로써, 영상 데이터(R'' , G'' , B'')를 해당 데이터 전압으로 변환한다.
- <45> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(V_{on})을 게이트선(G_1-G_n)에 인가하여 이 게이트선(G_1-G_n)에 연결된 스위칭 소자(Q)를 턴온시킨다.

<46> 하나의 게이트선(G_1-G_n)에 게이트 온 전압(V_{on})이 인가되어 이에 연결된 한 행의 스위칭 소자(Q)가 턴 온되어 있는 동안[이 기간을 "1H" 또는 "1 수평 주기(horizontal period)"이라고 하며 수평 동기 신호(Hsync), 데이터 인에이블 신호(DE), 게이트 클럭(CPV)의 한 주기와 동일함], 데이터 구동부(400)는 각 데이터 전압을 해당 데이터선(D_1-D_m)에 공급한다. 데이터선(D_1-D_m)에 공급된 데이터 전압은 턴온된 스위칭 소자(Q)를 통해 해당 화소에 인가된다.

<47> 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G_1-G_n)에 대하여 차례로 게이트 온 전압(V_{on})을 인가하여 모든 화소에 데이터 전압을 인가한다.

<48> 앞서 설명했듯이, 스케일러(700)는 입력되는 영상 데이터(R, G, B)를 데이터 구동부(500)가 처리하기에 알맞은 해상도로 변환시켜 신호 제어부(600)에 공급한다. 이에 대하여 도 3을 참고로 상세하게 설명한다.

<49> 도 3은 본 발명의 한 실시예에 따른 스케일러(700)의 블록도이다.

<50> 스케일러(700)는 디더링 레지스터(710), 디더링부(730), 검출부(750), FRMEN 레지스터(770) 및 FRM부(790)를 포함한다.

<51> 디더링 레지스터(710)는 외부로부터의 제어 신호에 기초하여 디더링부(730)의 동작을 제어한다. 디더링 레지스터(710)는 본 실시예에서는 2비트 레지스터로서 이루어지고, 4개의 명령을 갖는 명령어 레지스터이다. 예를 들면, "00", "01", "10" 및 "11" 등이며, 각각에 대응하여 디더링을 행하지 않거나 1비트 디더링, 2비트 디더링 및 3비트 디더링을 행하는 제어 신호를 출력한다.

<52> 디더링부(730)는 디더링 레지스터(710)의 제어 신호에 따라 외부로부터의 영상 데이터(R, G, B)에 대하여 디더링을 행한다.

<53> 예를 들면, 디더링부(730)에 입력되는 데이터가 8비트이고 1비트 디더링을 행하는 경우를 표를 참고하여 설명한다. 표 1은 4×4 행렬 형태로 배열된 화소에 대한 입력 데이터 행렬이며, 표 2는 절단된(truncated) 상위 비트 행렬과 하위 비트 행렬이고, 표 3은 디더링 애더 행렬이며, 표 4는 디더링 후의 디더링 후 행렬이다.

<54> 표 1

입력 데이터			
112	113	115	113
254	123	254	254
153	155	153	155
155	153	154	155

<56> 표 2

상위 비트			
56	56	57	56
127	61	127	127
76	77	76	77
77	76	77	77

<58>

하위 비트			
0	1	1	1
0	1	0	0
1	1	1	1
1	1	0	1

<59> 표 3

<60>

디더링 애더			
0	0	1	0
0	1	0	0
1	0	1	0
0	1	0	1

<61> 표 4

<62>

디더링 후 데이터			
56	56	58	56
127	62	127	127
77	77	77	77
77	77	77	78

<63> 표 1 및 표 2에 나타난 바와 같이, 먼저 디더링부(730)에 입력되는 데이터를 상위 7비트 값을 갖는 상위 비트 행렬과 하위 1비트 값을 갖는 하위 비트 행렬로 나눈다. 이어, 디더링부(730)에 미리 설정되어 있는 디더링 애더 행렬에 기초하여 하위 1비트를 더한다. 디더링 애더 행렬이란 상위 비트에 하위 비트를 더할 화소를 지정한 행렬로서 표 3에서 값이 "1"인 위치에 대응하는 화소 데이터에 대해서 상위 비트와 하위 비트를 더해준다. 이 애더 행렬은 노이즈 패턴을 고려하여 설정된다.

<64> 예를 들면 디더링 애더 행렬에서 1행 3열의 값이 1이므로, 이에 해당하는 하위 비트 행렬의 1행 3열의 원소인 "1"을 상위 비트 행렬의 해당 원소인 57에 더하면 표 4에 나타난 바와 같이 58을 얻는다. 이런 방식으로 모든 행렬에 대하여 디더링 처리를 행하여 디더링 후 행렬을 얻는다. 표에 나타난 값은 2진수를 십진수로 변환한 값이며, 다음에 설명하는 표에서도 동일하다.

<65> 검출부(750)는 디더링부(730)로부터의 디더링 후 데이터가 풀 계조인지 검출하여 FRMEN 레지스터(770)에 해당 신호를 출력한다. 여기서, 풀 계조는 전술한 바와 같이 모든 데이터의 레벨 또는 값이 동일한 것을 말한다.

<66> FRMEN 레지스터(770)는 검출부(750)로부터의 신호에 응답하여 FRM부(790)의 동작을 제어하는 신호를 공급한다. 디더링 후 데이터가 풀 계조가 아닌 경우, 검출부(750)는 FRMEN 레지스터(770)를 활성화시키고, 디더링 후 데이터가 풀 계조인 경우, 검출부(750)는 FRMEN 레지스터(770)를 비활성화시킨다. 통상적으로 FRMEN 레지스터(770)는 1비트 레지스터로서 FRM부(790)의 동작 여부를 제어하는 신호를 기억하고 있다. 예를 들면, FRMEN(770) 레지스터가 1을 출력하면 FRM부(790)는 변환을 행하고 0을 출력하면 변환을 행하지 않는다.

<67> FRM부(790)는 FRMEN 레지스터(770)로부터의 제어 신호에 기초하여 디더링부(730)에서 생성된 디더링 후 데이터에 대하여 FRM을 행한다. 전술한 예에서, 표 4에 도시한 디더링 후 데이터를 FRM을 행하는 경우를 표를 참조하여 설명한다.

<68> 표 5

<69>

상위 6비트			
28	28	29	28
63	31	63	63
38	38	38	38
38	38	38	38

<70>

하위 1비트			
0	0	0	0
1	0	1	1
1	1	1	1
1	1	1	0

<71> 표 6

<72>

짝수 프레임 패턴			
1	1	1	1
0	0	0	0
1	1	1	1
0	0	0	1

<73>

홀수 프레임 패턴			
1	0	1	0
0	0	0	0
1	0	1	0
0	0	0	0

<74> 표 7

<75>

짝수 프레임 데이터			
29	29	30	29
63	31	63	63
39	39	39	39
38	38	38	39

<76>

홀수 프레임 데이터			
29	28	30	28
63	31	63	63
39	38	39	38
38	38	38	38

<77> 표 5는 표 4의 디터링 후 데이터를 다시 상위 6비트와 하위 1비트로 나눈 것이다. 디터링부(730)에서 1비트를 잘라내고 FRM부에서 다시 1비트를 잘라내면, 스케일러(700)에서는 8비트 데이터를 6비트 데이터로 변환하게 된다.

<78> 이어, 절단된 상위 6비트 데이터를 FRM부(790)의 레지스터(도시하지 않음)에 미리 설정된 짝수 프레임 패턴과 홀수 프레임 패턴(표 6 참조)을 더하여 표 7에 나타난 변환된 데이터를 얻는다.

<79> 이런 방식으로, 디터링 후 데이터가 폴 계조가 되는 경우에 발생하는 격자 노이즈를 방지할 수 있다.

<80> 도 4a 및 도 4b는 FRM을 사용한 경우와 사용하지 않는 경우를 나타내는 도면이다.

<81> 도 4a에 도시한 바와 같이, 폴 계조인 경우에 FRM을 행함으로써 짝수 프레임과 홀수 프레임에서 화면이 차이가 나지만, 도 4b에 도시한 바와 같이, FRM을 행하지 않으면 짝수 프레임과 홀수 프레임이 동일한 화면으로 나타나 격자 노이즈를 해결할 수 있다.

<82> 또한, 도면에서는 스케일러(700)와 신호 제어부(600)를 별개로 도시하였지만, 원칩화될 수 있다.

<83> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

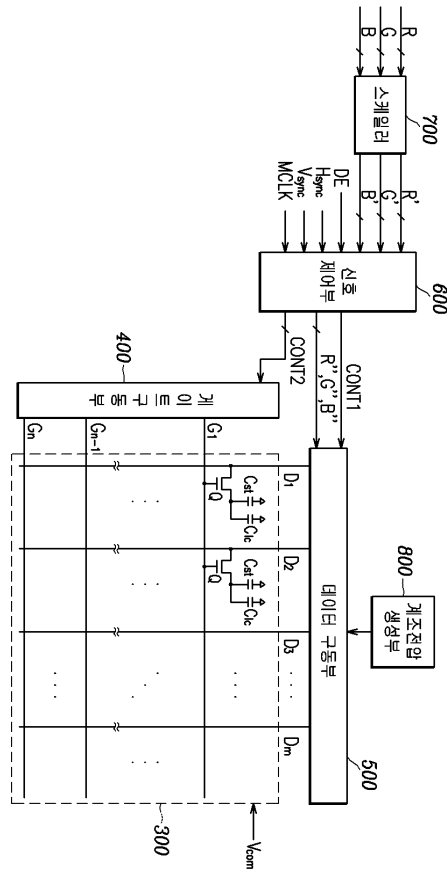
<84> 전술한 바와 같이, 영상 데이터가 폴 계조인 경우에는 FRM을 행하지 않음으로써 격자 노이즈 발생을 방지할 수 있다.

도면의 간단한 설명

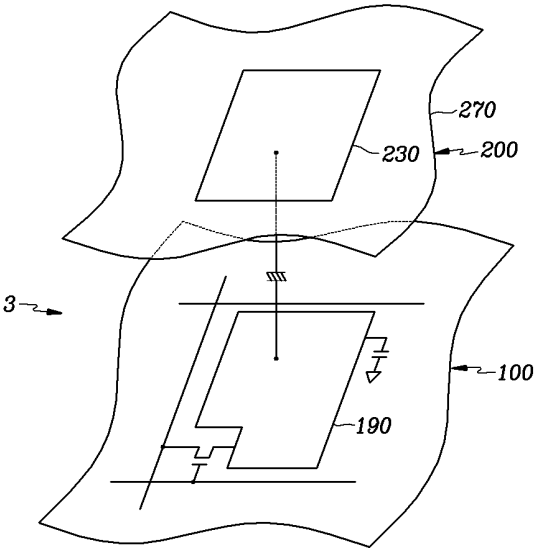
- <1> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.
- <2> 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <3> 도 3은 본 발명의 한 실시예에 따른 스케일러의 블록도이다.
- <4> 도 4a 및 도 4b는 FRM을 행한 경우와 행하지 않은 경우를 나타내는 도면이다.

도면

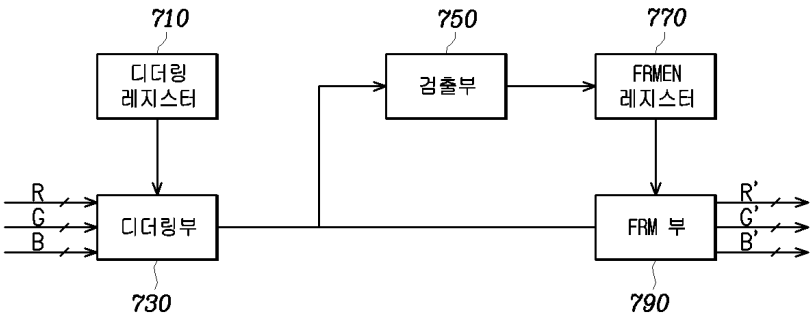
도면1



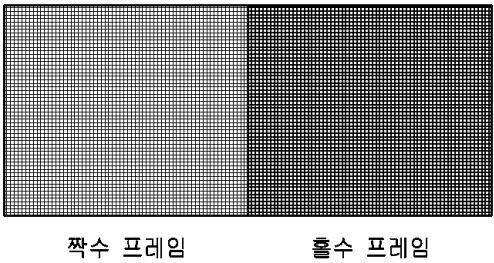
도면2



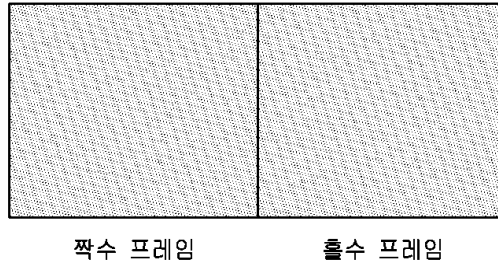
도면3



도면4a



도면4b



专利名称(译)	用于驱动液晶显示器的装置和方法		
公开(公告)号	KR100925467B1	公开(公告)日	2009-11-06
申请号	KR1020030013680	申请日	2003-03-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM AHREUM		
发明人	KIM,AHREUM		
IPC分类号	G09G3/36		
其他公开文献	KR1020040078810A		
外部链接	Espacenet		

摘要(译)

本发明涉及能够防止电网噪声的液晶显示器的驱动装置和方法。本发明的一个实施例为缩放器的抖动部分和FRM部分之间的检测单元做准备。来自抖动部分的数据确定它是否具有相同的价格。如果在相同的情况下不在FRM部分中执行FRM，则可以防止电网噪声。

