

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ G09G 3/36 (2006.01)		(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년02월22일 10-0552906 2006년02월09일
(21) 출원번호 (22) 출원일자	10-2003-0045242 2003년07월04일	(65) 공개번호 (43) 공개일자	10-2005-0003752 2005년01월12일
(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지		
(72) 발명자	김홍철 경기도안산시본오동1112-37204호		
(74) 대리인	김영호		

심사관 : 이병우

(54) 액정표시장치의 데이터 구동 장치 및 방법

요약

본 발명은 화질저하를 방지할 수 있도록 한 액정표시장치의 데이터 구동 장치 및 방법을 제공하는 것이다.

본 발명에 따른 액정표시장치의 데이터 구동 장치는 순차적으로 공급되는 제 1 샘플링신호 및 동시에 공급되는 제 2 샘플링신호를 생성하는 쉬프트 레지스터부와, 제 1 샘플링신호에 대응하여 상기 이미지 데이터를 순차적으로 래치하여 동시에 출력함과 아울러 상기 제 2 샘플링신호에 대응하여 상기 블랙 데이터를 동시에 래치하여 출력하는 래치부를 구비한다.

대표도

도 6a

명세서

도면의 간단한 설명

도 1은 종래 액정표시장치의 데이터 구동 장치를 개략적으로 도시한 도면.

도 2는 도 1에 도시된 데이터 구동 집적회로의 상세 구성을 도시한 블록도.

도 3a 및 도 3b는 도 2에 도시된 쉬프트 레지스터 및 래치를 상세히 도시한 도면.

도 4는 1 수평기간동안 도 3b에 도시된 래치에 공급되는 화소데이터를 나타내는 도면.

도 5는 도 4에 도시된 화소데이터를 이용할 경우 동기가 불일치되는 문제점을 도시한 도면.

도 6a 및 도 6b는 본 발명의 실시 예에 의한 액정표시장치의 데이터 구동장치 중 쉬프트 레지스터 및 래치를 상세히 나타내는 도면.

도 7은 1 수평기간동안 도 6b에 도시된 래치에 공급되는 화소데이터를 나타내는 도면.

도 8은 동기를 일치시키기 위해 도 6b에 도시된 래치에 공급되는 화소데이터를 나타내는 도면.

<도면의 주요부분에 대한 설명>

2 : 액정패널 4 : 데이터 구동 집적회로(IC)

6 : 테이프 캐리어 패키지(TCP) 8 : 데이터 인쇄회로기판(PCB)

10 : 신호 제어부 12 : 감마 전압부

14 : 쉬프트 레지스터부 16 : 래치부

15,115 : 쉬프트 레지스터 17,117 : 래치

18 : 디지털-아날로그 변환(DAC)부 20 : P 디코딩부

22 : N 디코딩부 24 : 멀티플렉서(MUX)부

26 : 출력 버퍼부 30,130 : 플립플롭

32,132 : 경로제공부 50,150 : 제 1 플립플롭

52,152 : 제 2 플립플롭 54,154 : 멀티플렉서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, 화질저하를 방지할 수 있도록 한 액정표시장치의 데이터 구동 장치 및 방법에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다. 액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor; 이하, "TFT"라함)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. TFT의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다. 구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 공통전극을 구동하기 위한 공통전압 발생부를 구비한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 게이트신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 공통전압 발생부는 공통전극에 공통전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다. 데이터 드라이버와 게이트 드라이버는 다수개의 집적회로(Integrated Circuit; 이하, IC라 함)로 집적화된다. 집적화된 데이터 구동 IC와 게이트 구동 IC 각각은 테이프 캐리어 패키지(Tape Carrier Package; 이하, TCP라 함) 상에 실장되어 탭(TAB; Tape Automated Bonding) 방식으로 액정패널에 접속되거나, COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.

도 1은 종래 액정표시장치의 데이터 구동 장치를 개략적으로 도시한 것으로, 데이터 구동 장치는 TCP(6)를 통해 액정패널(2)과 접속되어진 데이터 구동 IC들(4)과, TCP(6)를 통해 데이터 구동 IC들(4)과 접속되어진 데이터 인쇄회로기판(Printed Circuit Board; 이하, PCB라 함)(8)을 구비한다.

데이터 PCB(8)는 타이밍 제어부(도시하지 않음)로부터 공급되는 각종 제어신호들 및 데이터 신호들과 파워부(도시하지 않음)로부터의 구동전압신호들을 입력하여 데이터 구동 IC들(4)로 중계하는 역할을 한다. TCP(6)는 액정패널(2)의 상단부에 마련된 데이터 패드들과 전기적으로 접속됨과 아울러 데이터 PCB(8)에 마련된 출력 패드들과 전기적으로 접속된다. 데이터 구동 IC들(4)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널(2) 상의 데이터라인들에 공급한다.

이를 위하여, 데이터 구동 IC들(4) 각각은 도 2에 도시된 바와 같이 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부(14)와, 샘플링신호에 응답하여 화소데이터(VD)를 순차적으로 래치하여 동시에 출력하는 래치부(16)와, 래치부(16)로부터의 화소데이터(VD)를 화소전압신호로 변환하는 디지털-아날로그 변환부(이하, DAC부라 함)(18)와, DAC(18)로부터의 화소전압신호를 완충하여 출력하는 출력 버퍼부(26)를 구비한다. 또한, 데이터 구동 IC(4)는 타이밍 제어부(도시하지 않음)로부터 공급되는 각종 제어신호들과 화소데이터(VD)를 중계하는 신호 제어부(10)와, DAC부(18)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(12)를 추가로 구비한다. 이러한 구성을 가지는 데이터 구동 IC들(4) 각각은 n개씩의 데이터라인들(DL1 내지 DLn)을 구동하게 된다.

신호제어부(10)는 타이밍 제어부(도시하지 않음)로부터의 각종 제어신호들(SSP, SSC, SOE, REV, POL 등)과 화소데이터(VD)가 해당 구성요소들로 출력되게 제어한다.

감마전압부(12)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.

쉬프트 레지스터부(14)에 포함된 n/6개의 쉬프트 레지스터들은 신호제어부(10)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력한다.

래치부(16)는 쉬프트 레지스터부(14)로부터의 샘플링신호에 응답하여 신호 제어부(10)로부터의 화소데이터(VD)를 일정한위씩 순차적으로 샘플링하여 래치하게 된다. 이를 위하여 래치부(16)는 n개의 화소데이터(VD)를 래치하기 위해 n개의 래치들로 구성되고, 그 래치들 각각은 화소데이터(VD)의 비트수(3비트 또는 6비트)에 대응하는 크기를 갖는다. 특히 타이밍 제어부(도시하지 않음)는 전송주파수를 줄이기 위하여 화소데이터(VD)를 이븐 화소데이터(VDeven)와 오드 화소데이터(VDodd)로 나누어 각각의 전송라인을 통해 동시에 출력하게 된다. 여기서 이븐 화소데이터(VDeven)와 오드 화소데이터(VDodd) 각각은 적(R), 녹(G), 청(B) 화소데이터를 포함한다. 이에 따라 래치부(16)는 샘플링신호마다 신호 제어부(10)를 경유하여 공급되는 이븐 화소데이터(VDeven)와 오드 화소데이터(VDodd), 즉 6개의 화소데이터를 동시에 래치하게 된다. 이어서, 래치부(16)는 신호 제어부(10)로부터의 소스 출력 이네이블신호(SOE)에 응답하여 래치된 n개의 화소데이터들(VD)을 동시에 출력한다. 이 경우, 래치부(16)는 데이터반전 선택신호(REV)에 응답하여 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD)들을 복원시켜 출력하게 된다. 이는 타이밍 제어부에서 데이터전송시 전자기적 간섭(EMI)을 최소화하기 위하여 트랜지션되는 비트수가 기준치를 넘어서는 화소데이터(VD)들은 트랜지션 비트수가 줄어들게끔 변조하여 공급하기 때문이다.

DAC부(18)는 래치부(16)로부터의 화소데이터(VD)를 동시에 정극성 및 부극성 화소전압신호로 변환하여 출력하게 된다. 이를 위하여, DAC부(18)는 래치부(16)에 공통 접속된 P(Positive) 디코딩부(20) 및 N(Negative) 디코딩부(22)와, P 디코딩부(20) 및 N 디코딩부(22)의 출력신호를 선택하기 위한 멀티플렉서(MUX; 24)를 구비한다.

P 디코딩부(20)에 포함되는 n개의 P 디코더들은 래치부(16)로부터 동시에 입력되는 n개의 화소데이터들을 감마전압부(12)로부터의 정극성 감마전압들을 이용하여 정극성 화소전압신호로 변환하게 된다. N 디코딩부(22)에 포함되는 n개의 N 디코더들은 래치부(16)로부터 동시에 입력되는 n개의 화소데이터들을 감마 전압부(12)로부터의 부극성 감마전압들을 이용하여 부극성 화소전압신호로 변환하게 된다. 멀티플렉서부(24)에 포함되는 n개의 멀티플렉서들은 신호제어부(10)로부터의 극성제어신호(POL)에 응답하여 P 디코더(20)로부터의 정극성 화소전압신호 또는 N 디코더(22)로부터의 부극성 화소전압신호를 선택하여 출력하게 된다.

출력버퍼부(26)에 포함되는 n개의 출력버퍼들은 n개의 데이터라인들(D1 내지 Dn)들에 직렬로 각각 접속되어진 전압추종기(Voltage follower) 등으로 구성된다. 이러한 출력버퍼들은 DAC부(18)로부터의 화소전압신호들을 신호완충하여 데이터라인들(DL1 내지 DLn)에 공급하게 된다.

도 3a 및 도 3b는 도 2에 도시된 데이터 구동 IC(4) 내에서 쉬프트 레지스터(15) 및 래치(17)를 상세히 도시한 도면이다.

도 3a를 참조하면, 종래의 쉬프트 레지스터(15)는 소스 샘플링 클럭(SSC)에 대응되어 소스 스타트 펄스(SSP)를 순차적으로 샘플링하기 위한 플립플롭(30)과, 플립플롭(30)으로 공급되는 샘플링신호의 경로를 제공하기 위한 경로제공부(32)를 포함하는 다수의 쉬프트 스테이지(SST1 내지 SSTn)를 구비한다.

플립플롭(30)은 자신에게 공급되는 소스 샘플링 클럭(SSC) 및 소스 스타트 펄스(SSP)(또는 샘플링신호)에 대응하여 샘플링신호를 생성한다. 경로제공부(32)는 자신에게 공급되는 소스 스타트 펄스(SSP) 또는 샘플링신호를 자신이 접속된 플립플롭(30)으로 공급한다.

한편, 쉬프트 레지스터(15)는 제 1단자(40), 제 2단자(42), 제 3단자(44), 제 4단자(46) 및 제 5단자(48)를 구비한다.

제 1단자(40)는 쉬프트 레지스터(15)의 쉬프트 방향을 결정한다. 예컨대, 제 1단자(40)로 하이(High)의 신호가 입력되면 쉬프트 레지스터(15)의 쉬프트방향은 오른쪽으로 설정되고, 그 외의 경우는 쉬프트방향이 왼쪽으로 설정된다. 이 때, 제 1단자(40)가 입력단자에 접속되고, 출력단자가 경로제공부(32)에 접속되는 인버터(INT)에 의해 쉬프트방향이 왼쪽으로 설정된다.

제 2단자(42)는 신호제어부(10)로부터 소스 샘플링 클럭(SSC) 신호를 입력받는다.

제 3단자(44)는 제 1단자(40)로 하이(Hing)의 신호가 입력되면 신호제어부(10)로부터 소스 스타트 펄스(SSP) 신호를 입력받고, 그 외의 경우는 쉬프트 레지스터(15)로부터 발생된 캐리신호(Carry)를 다음단의 D-IC로 공급한다.

제 4단자(46)는 제 1단자(40)로 하이(Hing)의 신호가 입력되면 쉬프트 레지스터(15)로부터 발생된 캐리신호(Carry)를 다음단의 D-IC로 공급하고, 그 외의 경우는 신호제어부(10)로부터 소스 스타트 펄스(SSP) 신호를 입력받는다.

제 5단자들(SP1 내지 SPn)은 샘플링신호를 래치(17)로 순차적으로 공급한다.

여기서, 제 1 번째 쉬프트 스테이지(SST1)의 샘플링신호가 입력단자로 공급되고, 출력단자가 제 3단자(44)에 접속되는 제 1 버퍼(BF1)와, 제 n 번째 스테이지(STn)의 샘플링신호가 입력단자로 공급되고, 출력단자가 제 4단자(46)에 접속되는 제 2 버퍼(BF2)에 의해 제 3 및 제 4단자(44,46)의 역할이 달라진다. 즉, 제 1단자(40)로 하이(High)의 신호가 입력되면 제 1 버퍼(BF1)는 작동을 하지 않고, 제 2 버퍼(BF2)가 작동을 하게되어 제 3단자(44)는 소스 스타트 펄스(SSP)를 제 1 번째 쉬프트 스테이지(SST1)로 공급하고, 제 4단자(46)는 제 n 번째 쉬프트 스테이지(SSTn)로부터 캐리(Carry) 신호를 입력 받게 된다. 그리고, 제 1단자(40)로 로우(Low) 신호가 입력되면 제 1 버퍼(BF1)는 작동을 하고, 제 2 버퍼(BF2)가 작동을 하지 않게되어 제 3단자(44)는 제 n 스테이지(STn)로부터 캐리(Carry) 신호를 입력받고, 제 4단자(46)는 소스 스타트 펄스(SSP)를 제 1 번째 쉬프트 스테이지(SST1)로 공급하게 된다.

또한, 쉬프트 레지스터(15)는 쉬프트 레지스터의 쉬프트 방향에 따라 소스 스타트 펄스(SSP)를 제 1 번째 쉬프트 스테이지(SST1) 또는 제 n 번째 쉬프트 스테이지(SSTn)로 공급하기 위한 제 1 앤드 게이트(AND1) 및 제 2 앤드 게이트(AND2)를 구비한다.

제 1 앤드 게이트(AND1)는 제 1단자(40)의 출력과 제 3단자(44)의 출력이 입력단자로 공급되고, 출력단자가 제 1 번째 쉬프트 스테이지(SST1)로 공급된다. 이러한 제 1 앤드 게이트(AND1)는 제 1단자(40)로부터 "1"의 데이터를 공급받고, 제 3단자(44)로부터 공급되는 "1"의 데이터를 갖는 소스 스타트 펄스(SSP)에 의해 "1"을 출력하게 되어 소스 스타트 펄스(SSP)를 제 1 번째 쉬프트 스테이지(SST1)로 공급하게 된다. 이 때, 쉬프트 레지스터(15)는 제 1 번째 쉬프트 스테이지(SST1)로부터 오른쪽으로 쉬프트를 하게 된다. 한편, 제 1 앤드 게이트(AND1)는 제 1단자(40)로부터 "1"의 데이터를 공급받지 않으면 소스 스타트 펄스(SSP)를 제 1 번째 쉬프트 스테이지(SST1)로 공급하지 않는다.

제 2 앤드 게이트(AND2)는 인버터(INT)의 출력과 제 4단자(46)의 출력이 입력단자로 공급되고, 출력단자가 제 n 번째 쉬프트 스테이지(SSTn)로 공급된다. 이러한 제 2 앤드 게이트(AND2)는 제 1단자(40)로 "0"의 데이터가 입력되면 인버터

(INT)에 의해 "1"의 데이터를 입력받고, 제 4단자(46)로부터 공급되는 "1"의 데이터를 갖는 소스 스타트 펄스(SSP)에 의해 "1"을 출력하게 되어 소스 스타트 펄스(SSP)를 제 n 번째 쉬프트 스테이지(SSTn)로 공급하게 된다. 이 때, 쉬프트 레지스터(15)는 제 n 번째 쉬프트 스테이지(SSTn)로부터 왼쪽으로 쉬프트를 하게 된다. 한편, 제 2 앤드 게이트(AND2)는 인버터(INT)로부터 "1"의 데이터를 공급받지 않으면 소스 스타트 펄스(SSP)를 제 n 번째 쉬프트 스테이지(SSTn)로 공급하지 않는다.

한편, 제 i(i는 자연수)번째 쉬프트 스테이지(SSTi) 경로제어부(32)는 일측단자가 소스 스타트 펄스(SSP)를 출력하는 제 3 단자(44) 또는 제 4단자(46)에 접속되거나 제 i-1 번째 제 5단자(SPi-1)에 접속되고, 다른측단자가 제 1단자(40)에 접속되는 제 3 앤드 게이트(AND3)와, 일측단자가 인버터(INT)에 접속되고, 다른측단자가 i+1 번째 쉬프트 스테이지(SSTi+1)의 제 5단자(SPi+1)에 접속된 제 4 앤드 게이트(AND4)와, 입력단자가 제 3 앤드 게이트(AND3) 및 제 4 앤드 게이트(AND4)에 접속됨과 아울러 출력단자가 플립플롭(30)의 입력단자에 접속된 오어 게이트(OR)를 구비한다.

제 3 앤드 게이트(AND3)는 쉬프트 레지스터(15)가 오른쪽으로 쉬프트할 때 제 3단자(44)로부터 "1"의 데이터를 갖는 소스 스타트 펄스(SSP)를 공급받거나 제 5단자(48)로부터 "1"의 데이터를 갖는 이전단의 샘플링신호를 공급받음과 아울러 제 1단자(40)로부터 "1"의 데이터를 공급받으면 "1"의 데이터를 출력하게 된다.

제 4 앤드 게이트(AND4)는 쉬프트 레지스터(15)가 왼쪽으로 쉬프트할 때 제 4단자(46)로부터 "1"의 데이터를 갖는 소스 스타트 펄스(SSP)를 공급받거나 제 5단자(48)로부터 "1"의 데이터를 갖는 이전단의 샘플링신호를 공급받음과 아울러 인버터(INT)부터 "1"의 데이터를 공급받으면 "1"의 데이터를 출력하게 된다.

오어 게이트(OR)는 제 3 및 제 4 앤드 게이트(AND3,AND4)의 출력 중 어느 하나를 입력받아 플립플롭(30)으로 공급한다.

여기서 쉬프트 스테이지의 동작과정을 상세히 설명하면, 먼저 신호제어부(10)로부터 소스 샘플링 클럭(SSC) 및 소스 스타트 펄스(SSP)가 입력된다. 이 때, 쉬프트 레지스터(15)의 쉬프트 방향은 오른쪽으로 설정되어 있다고 가정한다. 신호제어부(10)로부터 입력된 소스 샘플링 클럭(SSC)은 제 1 번째 쉬프트 스테이지(SST1)에 포함된 플립플롭(30)의 클럭단자로 입력된다. 그리고, 신호제어부(10)로부터 입력된 소스 스타트 펄스(SSP)는 제 1 앤드 게이트(AND1)의 일측단자로 공급된다. 여기서, 제 1 앤드 게이트(AND1)의 다른측단자로 "1"의 데이터가 공급되기 때문에(즉, 오른쪽으로 쉬프트되기 때문에) 제 1 앤드 게이트(AND1)는 "1"의 데이터를 제 1 번째 쉬프트 스테이지(SST1)에 포함된 경로제어부(32)로 공급된다.

실제로 제 1 앤드 게이트(AND1)로부터 공급되는 "1"의 데이터는 제 3 앤드 게이트(AND3)의 일측단자로 입력된다. 이 때, 제 3 앤드 게이트(AND3)의 다른측 단자로 제 1단자(40)의 "1"의 데이터가 입력되기 때문에 제 3 앤드 게이트(AND3)는 "1"의 데이터를 오어 게이트(OR)로 출력한다. 제 3 앤드 게이트(AND3)로부터 "1"의 데이터를 입력받은 오어 게이트(OR)는 플립플롭(30)의 입력단자로 "1"의 데이터 신호를 공급한다.

한편, 제 2단자(42)로 입력된 소스 샘플링 클럭(SSC) 신호는 제 1 번째 쉬프트 스테이지(SST1)의 플립플롭(30)으로 공급된다. 이 때, 제 1 번째 쉬프트 스테이지(SST1)의 플립플롭(30)의 입력단자로 "1"의 데이터가 입력되기 때문에 제 1 번째 쉬프트 스테이지(SST1)의 플립플롭(30)은 "1"의 데이터를 제 1 번째 제 5 단자(SP1)단자로 출력한다. 여기서, 제 1 번째 제 5단자(SP1)로 출력되는 "1"의 샘플링신호는 제 2 번째 쉬프트 스테이지(SST2)의 경로제어부(32)로 입력된다.

제 2 번째 쉬프트 스테이지(SST2)의 경로제어부(32)로 입력된 "1"의 샘플링신호는 제 3 앤드 게이트(AND3)의 일측단자로 입력된다. 이 때, 제 3 앤드 게이트(AND3)의 다른측 단자로 제 1단자(40)의 "1"의 데이터가 입력되기 때문에 제 3 앤드 게이트(AND3)는 "1"의 데이터를 오어 게이트(OR)로 출력한다. 제 3 앤드 게이트(AND3)로부터 "1"의 데이터를 입력받은 오어 게이트(OR)는 플립플롭(30)의 입력단자로 "1"의 데이터 신호를 공급한다.

한편, 제 2단자(42)로 입력된 소스 샘플링 클럭(SSC) 신호는 제 2 번째 쉬프트 스테이지(SST2)의 플립플롭(30)으로 공급된다. 이 때, 제 2 번째 쉬프트 스테이지(SST2)의 플립플롭(30)의 입력단자로 "1"의 데이터가 입력되기 때문에 제 2 번째 쉬프트 스테이지(SST2)의 플립플롭(30)은 "1"의 데이터를 제 2 번째 제 5 단자(SP2)단자로 출력한다. 여기서, 제 2 번째 제 5단자(SP2)로 출력되는 "1"의 샘플링신호는 제 3 번째 쉬프트 스테이지(SST3)의 경로제어부(32)로 입력된다.

실제로 쉬프트 레지스터(15)는 이와 같은 동작을 반복하면서 순차적으로 샘플링신호(즉 "1"의 데이터)를 제 1 번째 제 5단자(SP1) 내지 제 n 번째 제 5단자(SPn)로 공급하게 된다.

도 3b를 참조하면, 래치(17)는 쉬프트 레지스터(15)에 의해 순차적으로 샘플링된 샘플링신호에 따라 래치된 데이터를 순차적으로 출력하기 위한 제 1 플립플롭(50)과, 제 1 플립플롭(50)으로부터 출력되는 데이터를 순차적으로 래치함과 아울러

러 소스 출력 이네이블신호(SOE)에 대응하여 래치된 n개의 화소데이터를 동시에 출력하는 제 2 플립플롭(52)과, 데이터 반전 선택신호(REV)에 대응하여 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD)들을 복원 및 시분할하여 출력하는 멀티플렉서(54)를 포함하는 다수의 래치 스테이지들(RST1 내지 RSTn)을 구비한다.

제 1 플립플롭(50)은 자신에게 공급되는 샘플링신호 및 화소데이터(VD)에 대응하여 자신에게 래치된 화소데이터(VD)를 제 2 플립플롭(52)으로 공급한다. 제 2 플립플롭(52)은 자신에게 공급되는 n개의 화소데이터(VD)를 래치한 후 소스 출력 이네이블신호(SOE)에 대응하여 동시에 멀티플렉서(54)로 공급한다. 멀티플렉서(54)는 신호제어부(10)로부터 공급되는 데이터반전 선택신호(REV)에 대응하여 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD)를 복원 및 시분할 하여 출력한다.

한편, 래치(17)는 제 6단자(60), 제 7단자(62) 및 제 8단자(64)를 구비한다.

제 6단자(60)는 신호제어부(10)로부터 n개의 화소데이터(VD)를 입력받는다. 제 7단자(62)는 신호제어부(10)로부터 래치된 n개의 화소데이터(VD)를 동시에 출력하기 위한 소스 출력 이네이블신호(SOE)를 입력받는다. 제 8단자(64)는 신호제어부(10)로부터 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD)를 복원하기 위한 데이터반전 선택신호(REV)를 입력받는다.

여기서 래치 스테이지의 동작과정을 상세히 설명하면, 먼저 쉬프트 레지스터(15)로부터 출력된 샘플링신호가 입력됨과 아울러 신호제어부(10)로부터 n 개의 화소데이터(VD)가 입력된다. 쉬프트 레지스터(15)로부터 출력된 샘플링신호는 제 1 번째 래치 스테이지(RST1)에 포함된 제 1 플립플롭(50)의 클럭단자로 입력된다. 그리고, 신호제어부(10)로부터 입력된 화소데이터(VD)는 제 1 번째 래치 스테이지(RST1)에 포함된 제 1 플립플롭(50)의 입력단자로 공급된다. 그러면 제 1 번째 래치 스테이지(RST1)에 포함된 제 1 플립플롭(50)에 래치되어 있던 화소데이터(VD)가 제 1 번째 래치 스테이지(RST1)에 포함된 제 2 플립플롭(52)의 입력단자로 공급되고, 제 1 번째 래치 스테이지(RST1)에 포함된 제 1 플립플롭(50)에는 새로운 화소데이터(VD)가 래치된다. 그 후, 쉬프트 레지스터(15)로부터 출력된 샘플링신호는 제 2 번째 래치 스테이지(RST2)에 포함된 제 1 플립플롭(50)의 클럭단자로 입력된다. 그리고, 신호제어부(10)로부터 입력된 화소데이터(VD)는 제 2 번째 래치 스테이지(RST2)에 포함된 제 1 플립플롭(50)의 입력단자로 공급된다. 그러면 제 2 번째 래치 스테이지(RST2)에 포함된 제 1 플립플롭(50)에 래치되어 있던 화소데이터(VD)가 제 2 번째 래치 스테이지(RST2)에 포함된 제 2 플립플롭(52)의 입력단자로 공급되고, 제 2 번째 래치 스테이지(RST2)에 포함된 제 1 플립플롭(50)에는 새로운 화소데이터(VD)가 래치된다.

실제로, 래치(17)는 쉬프트 레지스터(15)로부터 순차적으로 샘플링신호를 입력받아 각각의 래치 스테이지(RST1 내지 RSTn)에 포함된 제 1 플립플롭(50)에 래치되어 있던 화소데이터(VD)를 각각의 래치 스테이지(RST1 내지 RSSTn)에 포함된 제 2 플립플롭(52)으로 순차적으로 래치하게 된다. 즉, 마지막 래치 스테이지(RSSTn)의 제 2 플립플롭(52)에 화소데이터(VD)가 래치될 때 까지 제 1 내지 제 n-1 래치 스테이지(RST1 내지 RSTn-1)에 포함된 제 2 플립플롭(52)에는 화소데이터(VD)가 래치되어 있다.

그 후, 신호제어부(10)로부터 소스 출력 인에이블(SOE) 신호가 제 2 플립플롭(52)의 클럭단자에 입력된다. 이에 따라, 제 2 플립플롭(52)에 래치되어 있던 1 라인의 모든 화소데이터(VD)가 동시에 멀티플렉서(54)로 출력된다. 이 때, 신호제어부(10)로부터 멀티플렉서(54)에 입력되는 데이터반전 선택신호(REV)에 대응하여 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD)들을 복원시켜 시분할하여 출력하게 된다.

한편, 액정표시장치는 게이트하이전압(Vgh)이 공급되는 스캐닝기간 동안, 액정셀에 화소데이터(VD)가 공급되고 스캐닝기간을 제외한 나머지 프레임기간에 액정셀에 공급된 화소데이터전압을 유지하여 화상을 프레임 기간 동안 표시하게 된다. 이에 따라, 액정표시장치는 유지특성 때문에 동화상에서 표시화상이 흐릿하게 된다. 이러한 지각영상의 차는 움직임을 추종하는 눈에서 일시적으로 지속되는 영상의 적분효과에 기인한다. 따라서, 액정표시장치의 응답속도가 빠르다 하더라도, 눈의 움직임과 매 프레임의 정적영상(static image) 사이의 불일치로 인하여 관람자는 동화상에서 표시화상을 흐릿하게 보게 된다. 이를 방지하기 위하여, 도 4에 도시된 바와 같이 1 라인분의 화소데이터(VD)가 출력되는 1 수평기간(1 Hsync)(즉, 게이트가 온 되어 있는 기간) 동안 래치(17)로 공급되는 화소데이터(VD)는 이미지데이터(Image data)와 함께 블랙 데이터(Black data)를 삽입하는 임펄스(Impulse) 구동을 이용한다.

그러나, 이러한 블랙 데이터(Black data)는 동화상에서 표시화상을 흐릿하게 보게 되는 것을 방지하는 것일 뿐 실제 화상을 표시하는 데이터가 아니므로 전송상의 소모적인 시간낭비가 될 수 있다. 다시말해서, 블랙 데이터(Black data)는 실제 화상을 표시하는 데이터가 아님에도 불구하고 이미지 데이터(Image data)처럼 소스 샘플링 클럭(SSP)에 따라 순차적으로 샘플링되어 블랙 데이터(Black data)를 플립플롭에 모두 래치한 후 동시에 출력하게 되므로 전송상 소모적인 시간낭비가

될 수 있다. 또한, 도 5에 도시된 바와 같이 이미지 데이터(Image data)가 공급된 후 블랙 데이터(Black data)가 공급되기 전에 TFT는 턴-오프되는데, 이 때 TFT는 어느 정도의 시간을 유지한 후 턴-오프 되기 때문에 동기가 맞지 않아 블랙 데이터(Black data)가 TFT로 공급되어 충전(Charging) 특성이 저하됨으로써 화질을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화질저하를 방지할 수 있도록 한 액정표시장치의 데이터 구동 장치 및 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 의한 액정표시장치의 데이터 구동장치는 순차적으로 공급되는 제 1 샘플링신호 및 동시에 공급되는 제 2 샘플링신호를 생성하는 쉬프트 레지스터부와, 제 1 샘플링신호에 대응하여 상기 이미지 데이터를 순차적으로 래치하여 동시에 출력함과 아울러 상기 제 2 샘플링신호에 대응하여 상기 블랙 데이터를 동시에 래치하여 출력하는 래치부를 구비한다.

상기 액정표시장치의 데이터 구동장치에서 상기 제 1 샘플링신호는 상기 쉬프트 레지스터부로 공급되는 소스 스타트 펄스에 의해 순차적으로 출력되는 것을 특징으로 한다.

상기 액정표시장치의 데이터 구동장치에서 상기 제 2 샘플링신호는 상기 쉬프트 레지스터부로 공급되는 블랙 인에이블 신호에 의해 동시에 출력되는 것을 특징으로 한다.

상기 액정표시장치의 데이터 구동장치에서 상기 쉬프트 레지스터부는 소스 샘플링 클럭에 대응하여 소스 스타트 펄스를 순차적으로 샘플링하기 위한 플립플롭과, 상기 플립플롭으로 공급되는 상기 제 1 및 제 2 샘플링신호의 경로를 제공하기 위한 경로제공부를 포함하는 다수의 쉬프트 스테이지를 구비한다.

상기 액정표시장치의 데이터 구동장치에서 상기 플립플롭은 자신에게 공급되는 소스 샘플링 클럭과 상기 소스 스타트 펄스 및 전단 쉬프트 스테이지의 제 1 및 제 2 샘플링신호 중 어느 하나에 대응하여 상기 제 1 및 제 2 샘플링신호를 생성하는 것을 특징으로 한다.

상기 액정표시장치의 데이터 구동장치에서 상기 경로제공부는 자신에게 공급되는 상기 소스 스타트 펄스 및 블랙 인에이블 신호 중 어느 하나를 자신이 접속된 상기 플립플롭으로 공급하는 것을 특징으로 한다.

본 발명의 실시예에 의한 액정표시장치의 데이터 구동방법은 쉬프트 레지스터부로 소스 스타트 펄스 및 블랙 인에이블 신호 중 어느 하나가 공급되는 단계와, 소스 스타트 펄스가 공급되는 기간동안 제 1 샘플링 신호를 순차적으로 출력하는 단계와, 블랙 인에이블 신호가 공급되는 기간동안 제 2 샘플링 신호를 동시에 출력하는 단계를 포함한다.

상기 액정표시장치의 데이터 구동방법은 상기 제 1 샘플링 신호에 대응하여 화상을 표시하는 이미지 데이터가 순차적으로 래치되는 것을 특징으로 한다.

상기 액정표시장치의 데이터 구동방법은 상기 제 2 샘플링신호에 대응하여 화상을 비표시하는 블랙 데이터가 동시에 래치되는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 6a 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 6a 및 도 6b는 본 발명의 실시예에 따른 액정표시장치의 데이터 구동 장치 내에서 쉬프트 레지스터(115) 및 래치(117)를 상세히 나타내는 도면이다.

도 6a를 참조하면, 본 발명의 실시예에 의한 쉬프트 레지스터(115)는 소스 샘플링 클럭(SSC)에 대응되어 소스 스타트 펄스(SSP)를 순차적으로 샘플링하기 위한 플립플롭(130)과, 플립플롭(130)으로 공급되는 샘플링신호의 경로를 제공하기 위한 경로제공부(132)를 포함하는 다수의 쉬프트 스테이지(SST1 내지 SSTn)를 구비한다.

플립플롭(130)은 자신에게 공급되는 소스 샘플링 클럭(SSC) 및 소스 스타트 펄스(SSP)(또는 샘플링신호)에 대응하여 샘플링신호를 생성한다. 경로제공부(132)는 자신에게 공급되는 소스 스타트 펄스(SSP) 또는 샘플링신호를 자신이 접속된 플립플롭(130)으로 공급한다.

한편, 쉬프트 레지스터(115)는 제 1단자(140), 제 2단자(142), 제 3단자(144), 제 4단자(146), 제 5단자들(SP1 내지 SPn) 및 제 6단자(148)를 구비한다.

제 1단자(140)는 쉬프트 레지스터(115)의 쉬프트 방향을 결정한다. 예컨대, 제 1단자(140)로 하이(High)의 신호가 입력되면 쉬프트 레지스터(115)의 쉬프트방향은 오른쪽으로 설정되고, 그 외의 경우는 쉬프트방향이 왼쪽으로 설정된다. 이 때, 제 1단자(140)가 입력단자에 접속되고, 출력단자가 경로제공부(132)에 접속되는 인버터(INT)에 의해 쉬프트방향이 왼쪽으로 설정된다.

제 2단자(142)는 신호제어부(미도시)로부터 소스 샘플링 클럭(SSC) 신호를 입력받는다.

제 3단자(144)는 제 1단자(40)로 하이(Hing)의 신호가 입력되면 신호제어부로부터 소스 스타트 펄스(SSP) 신호를 입력받고, 그 외의 경우는 쉬프트 레지스터(115)로부터 발생된 캐리신호(Carry)를 다음단의 D-IC로 공급한다.

제 4단자(146)는 제 1단자(140)로 하이(Hing)의 신호가 입력되면 쉬프트 레지스터(115)로부터 발생된 캐리신호(Carry)를 다음단의 D-IC로 공급하고, 그 외의 경우는 신호제어부로부터 소스 스타트 펄스(SSP) 신호를 입력받는다.

제 5단자들(SP1 내지 SPn)은 샘플링신호를 래치(117)로 순차적으로 공급한다.

제 6단자(148)는 신호제어부로부터 블랙 인에이블(BEO) 신호를 입력받는다.

여기서, 제 1 번째 쉬프트 스테이지(SST1)의 샘플링신호가 입력단자로 공급되고, 출력단자가 제 3단자(144)에 접속되는 제 1 버퍼(BF1)와, 제 n 번째 쉬프트 스테이지(SSTn)의 샘플링신호가 입력단자로 공급되고, 출력단자가 제 4단자(146)에 접속되는 제 2 버퍼(BF2)에 의해 제 3 및 제 4단자(144,146)의 역할이 달라진다. 즉, 제 1단자(140)로 하이(High)의 신호가 입력되면 제 1 버퍼(BF1)는 작동을 하지 않고, 제 2 버퍼(BF2)가 작동을 하게되어 제 3단자(144)는 소스 스타트 펄스(SSP)를 제 1 번째 쉬프트 스테이지(SST1)로 공급하고, 제 4단자(146)는 제 n 번째 쉬프트 스테이지(SSTn)로부터 캐리(Carry) 신호를 입력 받게 된다. 그리고, 제 1단자(140)로 로우(Low) 신호가 입력되면 제 1 버퍼(BF1)는 작동을 하고, 제 2 버퍼(BF2)가 작동을 하지 않게되어 제 3단자(144)는 제 n 번째 쉬프트 스테이지(SSTn)로부터 캐리(Carry) 신호를 입력 받고, 제 4단자(146)는 소스 스타트 펄스(SSP)를 제 1 번째 쉬프트 스테이지(SST1)로 공급하게 된다.

또한, 쉬프트 레지스터(115)는 쉬프트 레지스터의 쉬프트 방향에 따라 소스 스타트 펄스(SSP)를 제 1 번째 쉬프트 스테이지(SST1) 또는 제 n 번째 쉬프트 스테이지(SSTn)로 공급하기 위한 제 1 앤드 게이트(AND1) 및 제 2 앤드 게이트(AND2)를 구비한다.

제 1 앤드 게이트(AND1)는 제 1단자(140)의 출력과 제 3단자(144)의 출력이 입력단자로 공급되고, 출력단자가 제 1 번째 쉬프트 스테이지(SST1)로 공급된다. 이러한 제 1 앤드 게이트(AND1)는 제 1단자(40)로부터 "1"의 데이터를 공급받고, 제 3단자(144)로부터 공급되는 "1"의 데이터를 갖는 소스 스타트 펄스(SSP)에 의해 "1"을 출력하게 되어 소스 스타트 펄스(SSP)를 제 1 번째 쉬프트 스테이지(SST1)로 공급하게 된다. 이 때, 쉬프트 레지스터(115)는 제 1 번째 쉬프트 스테이지(SST1)로부터 오른쪽으로 쉬프트를 하게 된다. 한편, 제 1 앤드 게이트(AND1)는 제 1단자(140)로부터 "1"의 데이터를 공급받지 않으면 소스 스타트 펄스(SSP)를 제 1 번째 쉬프트 스테이지(SST1)로 공급하지 않는다.

제 2 앤드 게이트(AND2)는 인버터(INT)의 출력과 제 4단자(146)의 출력이 입력단자로 공급되고, 출력단자가 제 n 번째 쉬프트 스테이지(SSTn)로 공급된다. 이러한 제 2 앤드 게이트(AND2)는 제 1단자(140)로 "0"의 데이터가 입력되면 인버터(INT)에 의해 "1"의 데이터를 입력받고, 제 4단자(146)로부터 공급되는 "1"의 데이터를 갖는 소스 스타트 펄스(SSP)에 의해 "1"을 출력하게 되어 소스 스타트 펄스(SSP)를 제 n 번째 쉬프트 스테이지(SSTn)로 공급하게 된다. 이 때, 쉬프트 레지스터(115)는 제 n 번째 쉬프트 스테이지(SSTn)로부터 왼쪽으로 쉬프트를 하게 된다. 한편, 제 2 앤드 게이트(AND2)는 인버터(INT)로부터 "1"의 데이터를 공급받지 않으면 소스 스타트 펄스(SSP)를 제 n 번째 쉬프트 스테이지(SSTn)로 공급하지 않는다.

한편, 제 i (i 는 자연수)번째 쉬프트 스테이지(SST i) 경로제어부(132)는 일측단자가 소스 스타트 펄스(SSP)를 출력하는 제 3단자(144) 또는 제 4단자(146)에 접속되거나 제 $i-1$ 번째 제 5단자(SPi-1)에 접속되고, 다른측단자가 제 1단자(140)에 접속되는 제 3 앤드 게이트(AND3)와, 일측단자가 인버터(INT)에 접속되고, 다른측단자가 제 $i+1$ 번째 쉬프트 스테이지(SST $i+1$)의 제 5단자(SPi+1)에 접속된 제 4 앤드 게이트(AND4)와, 입력단자가 제 3 앤드 게이트(AND3) 및 제 4 앤드 게이트(AND4)에 접속됨과 아울러 출력단자가 플립플롭(130)의 입력단자에 접속된 오어 게이트(OR)를 구비한다.

제 3 앤드 게이트(AND3)는 쉬프트 레지스터(115)가 오른쪽으로 쉬프트할 때 제 3단자(144)로부터 "1"의 데이터를 갖는 소스 스타트 펄스(SSP)를 공급받거나 제 5단자(SP)로부터 "1"의 데이터를 갖는 이전단의 샘플링신호를 공급받음과 아울러 제 1단자(140)로부터 "1"의 데이터를 공급받으면 "1"의 데이터를 출력하게 된다.

제 4 앤드 게이트(AND4)는 쉬프트 레지스터(115)가 왼쪽으로 쉬프트할 때 제 4단자(146)로부터 "1"의 데이터를 갖는 소스 스타트 펄스(SSP)를 공급받거나 제 5단자들(SP1 내지 SPn)로부터 "1"의 데이터를 갖는 이전단의 샘플링신호를 공급받음과 아울러 인버터(INT)부터 "1"의 데이터를 공급받으면 "1"의 데이터를 출력하게 된다.

오어 게이트(OR)는 제 3 앤드 게이트(AND3), 제 4 앤드 게이트(AND4) 및 제 6단자(148)의 출력 중 어느 하나를 입력받아 플립플롭(130)으로 공급한다.

여기서 쉬프트 스테이지의 동작과정을 상세히 설명하면, 먼저 신호제어부(10)로부터 소스 샘플링 클럭(SSC) 및 소스 스타트 펄스(SSP)가 입력된다. 이 때, 쉬프트 레지스터(115)의 쉬프트 방향은 오른쪽으로 설정되어 있다고 가정한다. 신호제어부(10)로부터 입력된 소스 샘플링 클럭(SSC)은 제 1 번째 쉬프트 스테이지(SST1)에 포함된 플립플롭(130)의 클럭단자로 입력된다. 그리고, 신호제어부로부터 입력된 소스 스타트 펄스(SSP)는 제 1 앤드 게이트(AND1)의 일측단자로 공급된다. 여기서, 제 1 앤드 게이트(AND1)의 다른측단자로 "1"의 데이터가 공급되기 때문에(즉, 오른쪽으로 쉬프트되기 때문에) 제 1 앤드 게이트(AND1)는 "1"의 데이터를 제 1 번째 쉬프트 스테이지(SST1)에 포함된 경로제어부(132)로 공급된다.

실제로 제 1 앤드 게이트(AND1)로부터 공급되는 "1"의 데이터는 제 3 앤드 게이트(AND3)의 일측단자로 입력된다. 이 때, 제 3 앤드 게이트(AND3)의 다른측 단자로 제 1단자(140)의 "1"의 데이터가 입력되기 때문에 제 3 앤드 게이트(AND3)는 "1"의 데이터를 오어 게이트(OR)로 출력한다. 제 3 앤드 게이트(AND3)로부터 "1"의 데이터를 입력받은 오어 게이트(OR)는 플립플롭(130)의 입력단자로 "1"의 데이터 신호를 공급한다.

한편, 제 2단자(142)로 입력된 소스 샘플링 클럭(SSC) 신호는 제 1 번째 쉬프트 스테이지(SST1)의 플립플롭(130)으로 공급된다. 이 때, 제 1 번째 쉬프트 스테이지(SST1)의 플립플롭(130)의 입력단자로 "1"의 데이터가 입력되기 때문에 제 1 스테이지(ST1)의 플립플롭(130)은 "1"의 데이터를 제 1 번째 제 5 단자(SP1)단자로 출력한다. 여기서, 제 1 번째 제 5단자(SP1)로 출력되는 "1"의 샘플링신호는 제 2 번째 쉬프트 스테이지(SST2)의 경로제어부(132)로 입력된다.

제 2 번째 쉬프트 스테이지(SST2)의 경로제어부(132)로 입력된 "1"의 샘플링신호는 제 3 앤드 게이트(AND3)의 일측단자로 입력된다. 이 때, 제 3 앤드 게이트(AND3)의 다른측 단자로 제 1단자(140)의 "1"의 데이터가 입력되기 때문에 제 3 앤드 게이트(AND3)는 "1"의 데이터를 오어 게이트(OR)로 출력한다. 제 3 앤드 게이트(AND3)로부터 "1"의 데이터를 입력받은 오어 게이트(OR)는 플립플롭(130)의 입력단자로 "1"의 데이터 신호를 공급한다.

한편, 제 2단자(142)로 입력된 소스 샘플링 클럭(SSC) 신호는 제 2 번째 쉬프트 스테이지(SST2)의 플립플롭(130)으로 공급된다. 이 때, 제 2 번째 쉬프트 스테이지(SST2)의 플립플롭(130)의 입력단자로 "1"의 데이터가 입력되기 때문에 제 2 번째 쉬프트 스테이지(SST2)의 플립플롭(130)은 "1"의 데이터를 제 2 번째 제 5 단자(SP2)단자로 출력한다. 여기서, 제 2 번째 제 5단자(SP2)로 출력되는 "1"의 샘플링신호는 제 3 번째 쉬프트 스테이지(SST3)의 경로제어부(132)로 입력된다.

실제로 쉬프트 레지스터(115)는 이와 같은 동작을 반복하면서 순차적으로 샘플링신호(즉 "1"의 데이터)를 제 1 번째 제 5 단자(SP1) 내지 제 n 번째 제 5단자(SPn)로 공급하게 된다.

그 후, 각각의 쉬프트 스테이지의 오어 게이트(OR)에는 신호제어부로부터 블랙 인에이블(BOE) 신호가 입력된다. 이러한 블랙 인에이블(BOE) 신호는 이미지 데이터(Image data) 공급 후 블랙 데이터(Black data)를 공급하기 위한 샘플링신호를 생성한다. 여기서, 블랙 데이터(Black data)는 계속 동일한 값(00000000 혹은 11111111)이 전달되므로 블랙 데이터(Black data)를 공급할 때 블랙 인에이블(BOE) 신호를 공급하여 블랙 데이터(Black data)를 공급하기 위한 샘플링신호를 동시에 래치(117)로 공급한다.

도 6b를 참조하면, 래치(117)는 쉬프트 레지스터(115)에 의해 순차적으로 샘플링된 샘플링신호에 따라 래치된 데이터를 순차적으로 출력하기 위한 제 1 플립플롭(150)과, 제 1 플립플롭(150)으로부터 출력되는 데이터를 순차적으로 래치함과 아울러 소스 출력 이네이블신호(SOE)에 대응하여 래치된 n개의 화소데이터를 동시에 출력하는 제 2 플립플롭(152)과, 데이터반전 선택신호(REV)에 대응하여 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD)들을 복원 및 시분할하여 출력하는 멀티플렉서(154)를 포함하는 다수의 래치 스테이지들(RST1 내지 RSTn)을 구비한다.

제 1 플립플롭(150)은 자신에게 공급되는 샘플링신호 및 화소데이터(VD)에 대응하여 자신에게 래치된 화소데이터(VD)를 제 2 플립플롭(152)으로 공급한다. 제 2 플립플롭(152)은 자신에게 공급되는 n개의 화소데이터(VD)를 래치한 후 소스 출력 이네이블신호(SOE)에 대응하여 동시에 멀티플렉서(154)로 공급한다. 멀티플렉서(154)는 신호제어부로부터 공급되는 데이터반전 선택신호(REV)에 대응하여 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD)를 복원 및 시분할 하여 출력한다.

한편, 래치(117)는 제 6단자(160), 제 7단자(162) 및 제 8단자(164)를 구비한다.

제 6단자(160)는 신호제어부로부터 n개의 화소데이터(VD)를 입력받는다. 제 7단자(162)는 신호제어부로부터 래치된 n개의 화소데이터(VD)를 동시에 출력하기 위한 소스 출력 이네이블신호(SOE)를 입력받는다. 제 8단자(164)는 신호제어부로부터 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD)를 복원하기 위한 데이터반전 선택신호(REV)를 입력받는다.

한편, 화소데이터(VD)는 실제 화상을 표시하는 이미지 데이터(Image data)와 동화상에서 표시화상을 흐릿하게 보게 되는 것을 방지하는 블랙 데이터(Black data)로 나뉘어 진다. 여기서 블랙 데이터(Black data)는 실제 화상을 표시하지는 않는다.

여기서 래치 스테이지의 동작과정을 상세히 설명하면, 먼저 쉬프트 레지스터(115)로부터 출력된 샘플링신호가 입력됨과 아울러 신호제어부로부터 화소데이터(VD) 중 이미지 데이터(Image data)가 입력된다. 쉬프트 레지스터(115)로부터 출력된 샘플링신호는 제 1 번째 래치 스테이지(RST1)에 포함된 제 1 플립플롭(150)의 클럭단자로 입력된다. 그리고, 신호제어부로부터 입력된 화소데이터(VD) 중 이미지 데이터(Image data)는 제 1 번째 래치 스테이지(RST1)에 포함된 제 1 플립플롭(150)의 입력단자로 공급된다. 그러면 제 1 번째 래치 스테이지(RST1)에 포함된 제 1 플립플롭(150)에 래치되어 있던 화소데이터(VD) 중 이미지 데이터(Image data)가 제 1 번째 래치 스테이지(RST1)에 포함된 제 2 플립플롭(152)의 입력단자로 공급되고, 제 1 번째 래치 스테이지(RST1)에 포함된 제 1 플립플롭(150)에는 화소데이터(VD) 중 새로운 이미지 데이터(Image data)가 래치된다. 그 후, 쉬프트 레지스터(115)로부터 출력된 샘플링신호는 제 2 번째 래치 스테이지(RST2)에 포함된 제 1 플립플롭(150)의 클럭단자로 입력된다. 그리고, 신호제어부로부터 입력된 화소데이터(VD) 중 이미지 데이터(Image data)는 제 2 번째 래치 스테이지(RST2)에 포함된 제 1 플립플롭(150)의 입력단자로 공급된다. 그러면 제 2 번째 래치 스테이지(RST2)에 포함된 제 1 플립플롭(150)에 래치되어 있던 화소데이터(VD) 중 이미지 데이터(Image data)가 제 2 번째 래치 스테이지(RST2)에 포함된 제 2 플립플롭(152)의 입력단자로 공급되고, 제 2 번째 래치 스테이지(RST2)에 포함된 제 1 플립플롭(150)에는 화소데이터(VD) 중 새로운 이미지 데이터(Image data)가 래치된다.

실제로, 래치(117)는 쉬프트 레지스터(115)로부터 순차적으로 샘플링신호를 입력받아 각각의 래치 스테이지(RST1 내지 RSTn)에 포함된 제 1 플립플롭(150)에 래치되어 있던 화소데이터(VD) 중 이미지 데이터(Image data)를 각각의 래치 스테이지(RST1 내지 RSTn)에 포함된 제 2 플립플롭(152)으로 순차적으로 래치하게 된다. 즉, 마지막 래치 스테이지(RSTn)의 제 2 플립플롭(152)에 화소데이터(VD) 중 이미지 데이터(Image data)가 래치될 때 까지 제 1 내지 제 n-1 번째 래치 스테이지(RST1 내지 RSTn-1)에 포함된 제 2 플립플롭(152)에는 화소데이터(VD) 중 이미지 데이터(Image data)가 래치되어 있다.

그 후, 신호제어부로부터 소스 출력 인에이블(SOE) 신호가 제 2 플립플롭(152)의 클럭단자에 입력된다. 이에 따라, 제 2 플립플롭(152)에 래치되어 있던 1 라인의 모든 화소데이터(VD) 중 이미지 데이터(Image data)가 동시에 멀티플렉서(154)로 출력된다. 이 때, 신호제어부로부터 멀티플렉서(154)에 입력되는 데이터반전 선택신호(REV)에 대응하여 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD) 중 이미지 데이터(Image data)를 복원시켜 시분할하여 출력하게 된다.

그 후, 블랙 인에이블(BOE) 신호에 의해 쉬프트 레지스터(115)로부터 동시에 샘플링된 샘플링신호가 입력됨과 아울러 신호제어부로부터 화소데이터(VD) 중 블랙 데이터(Black data)가 입력된다. 쉬프트 레지스터(115)로부터 출력된 샘플링신호는 모든 래치 스테이지(RST1 내지 RSTn)에 포함된 제 1 플립플롭(150)의 클럭단자로 동시에 입력된다. 그리고, 신호제어부로부터 입력된 화소데이터(VD) 중 블랙 데이터(Black data)는 모든 래치 스테이지(RST1 내지 RSTn)에 포함된 제

1 플립플롭(150)의 입력단자로 공급된다. 그러면 모든 래치 스테이지(RST1 내지 RSTn)에 포함된 제 1 플립플롭(150)에 래치되어 있던 화소데이터(VD) 중 블랙 데이터(Black data)가 모든 래치 스테이지(RST1 내지 RSTn)에 포함된 제 2 플립플롭(152)의 입력단자로 공급된다.

그 후, 신호제어부로부터 소스 출력 인에이블(SOE) 신호가 모든 래치 스테이지(RST1 내지 RSTn)에 포함된 제 2 플립플롭(152)의 클럭단자에 입력된다. 이에 따라, 제 2 플립플롭(152)에 래치되어 있던 1 라인의 모든 화소데이터(VD) 중 블랙 데이터(Black data)가 동시에 멀티플렉서(154)로 출력된다. 이 때, 신호제어부로부터 멀티플렉서(154)에 입력되는 데이터반전 선택신호(REV)에 대응하여 트랜지션 비트수가 줄어들게끔 변조된 화소데이터(VD) 중 블랙 데이터(Black data)를 복원시켜 시분할하여 출력하게 된다.

따라서, 실제 화상을 표시하지 않는 블랙 데이터(Black data)를 하나의 클럭동안에 출력할 수 있으므로 도 7에 도시된 바와 같이 블랙 데이터(Black data)의 전송시간을 줄일 수 있으므로 그 만큼 이미지 데이터(Image data)를 공급할 수 있는 시간이 길어지게 되어 화질을 향상시킬 수 있게 된다.

또한, 도 8에 도시된 바와 같이 화소데이터(VD) 중 이미지 데이터(Image data)가 공급된 후 일정기간(A) 동안 데이터를 공급하지 않은 후 블랙 데이터(Black data)를 공급함으로써 TFT의 차징(Charging) 특성을 개선하여 화질을 향상시킬 수 있다.

이를 상세히 설명하면, 이미지 데이터(Image data)가 공급된 후 블랙 데이터(Black data)가 공급되기 전에 TFT는 턴-오프되는데, 이 때 TFT는 어느 정도의 시간을 유지한 후 턴-오프 되기 때문에 동기가 맞지 않아 블랙 데이터(Black data)가 TFT로 공급되어 차징(Charging) 특성이 저하됨으로써 화질을 저하시키게 된다. 이에 따라, TFT가 턴-오프되는 시간동안 데이터를 공급하지 않으므로써 이후 블랙 데이터가 공급되더라도 TFT에 영향을 미치지 않으므로 화질이 저하되는 것을 방지할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 데이터 구동 장치 및 방법은 쉬프트 레지스터에 블랙 인에이블 신호를 공급하여 실제 화상을 표시하지 않는 블랙 데이터를 하나의 클럭동안에 동시에 출력할 수 있으므로 블랙 데이터 출력시간을 줄여 화질저하가 되는 것을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

이미지 데이터 및 블랙 데이터를 포함하는 화소데이터를 이용하여 구동되는 액정표시장치의 데이터 구동장치에 있어서,

소스 스타트 펄스에 의해 제 1 샘플링신호들을 발생하고 상기 제 1 샘플링신호들을 래치부로 순차적으로 공급하고 블랙 인에이블 신호에 의해 제 2 샘플링신호들을 발생하고 상기 제2 샘플링신호들을 상기 래치부로 동시에 공급하는 쉬프트 레지스터부와,

상기 제 1 샘플링신호들에 대응하여 상기 이미지 데이터를 순차적으로 래치하여 동시에 출력함과 아울러 상기 제 2 샘플링신호들에 대응하여 상기 블랙 데이터를 동시에 래치하여 출력하는 래치부를 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동장치.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제 1 항에 있어서,

상기 쉬프트 레지스터부는 소스 샘플링 클럭에 대응하여 소스 스타트 펄스를 순차적으로 샘플링하기 위한 플립플롭과, 상기 플립플롭으로 공급되는 상기 제 1 및 제 2 샘플링신호의 경로를 제공하기 위한 경로제공부를 포함하는 다수의 쉬프트 스테이지를 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동장치.

청구항 5.

제 4 항에 있어서,

상기 플립플롭은 자신에게 공급되는 소스 샘플링 클럭과 상기 소스 스타트 펄스 및 전단 쉬프트 스테이지의 제 1 및 제 2 샘플링신호 중 어느 하나에 대응하여 상기 제 1 및 제 2 샘플링신호를 생성하는 것을 특징으로 하는 액정표시장치의 데이터 구동장치.

청구항 6.

제 4 항에 있어서,

상기 경로제공부는 자신에게 공급되는 상기 소스 스타트 펄스 및 블랙 인에이블 신호 중 어느 하나를 자신이 접속된 상기 플립플롭으로 공급하는 것을 특징으로 하는 액정표시장치의 데이터 구동장치.

청구항 7.

쉬프트 레지스터부로 소스 스타트 펄스 및 블랙 인에이블 신호 중 어느 하나가 공급되는 단계와,

상기 소스 스타트 펄스가 공급되는 기간동안 제 1 샘플링 신호를 순차적으로 출력하는 단계와,

상기 블랙 인에이블 신호가 공급되는 기간동안 제 2 샘플링 신호를 동시에 출력하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 데이터 구동방법.

청구항 8.

제 7 항에 있어서,

상기 제 1 샘플링 신호에 대응하여 화상을 표시하는 이미지 데이터가 순차적으로 래치되는 것을 특징으로 하는 액정표시장치의 데이터 구동방법.

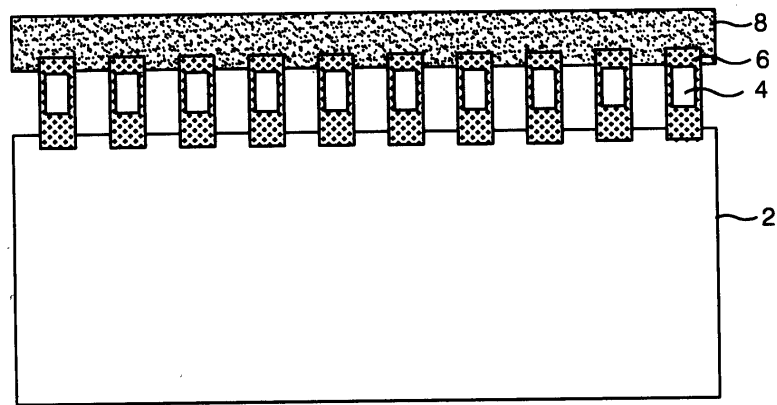
청구항 9.

제 7 항에 있어서,

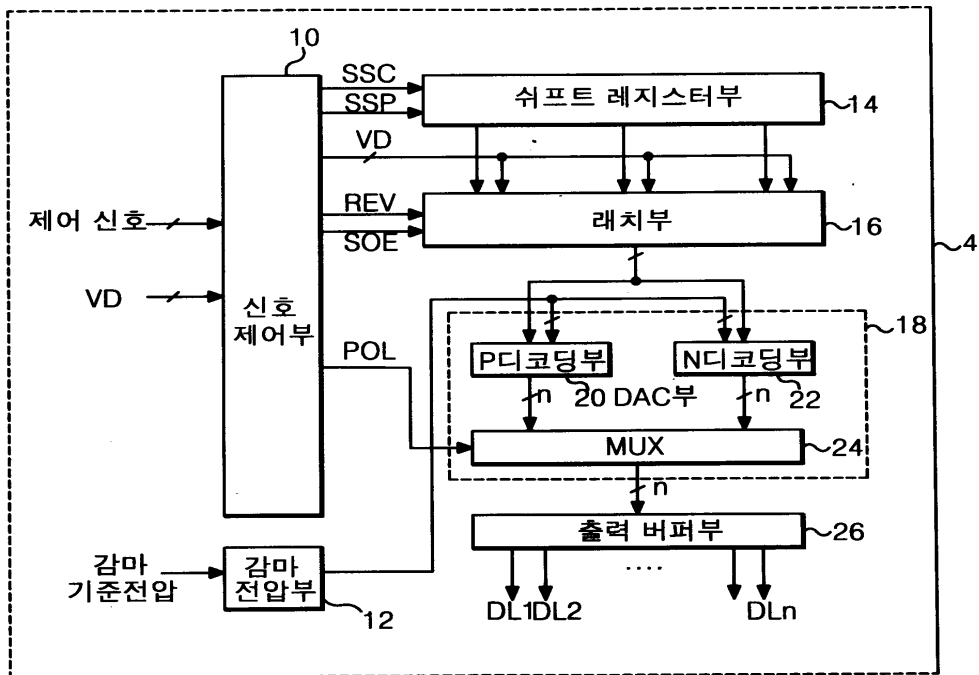
상기 제 2 샘플링신호에 대응하여 화상을 비표시하는 블랙 데이터가 동시에 래치되는 것을 특징으로 하는 액정표시장치의 데이터 구동방법.

도면

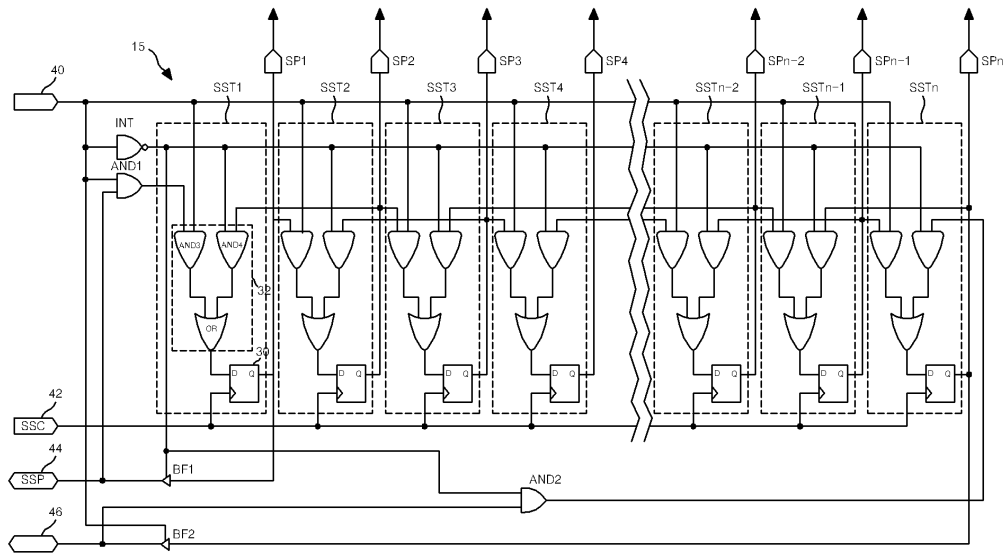
도면1



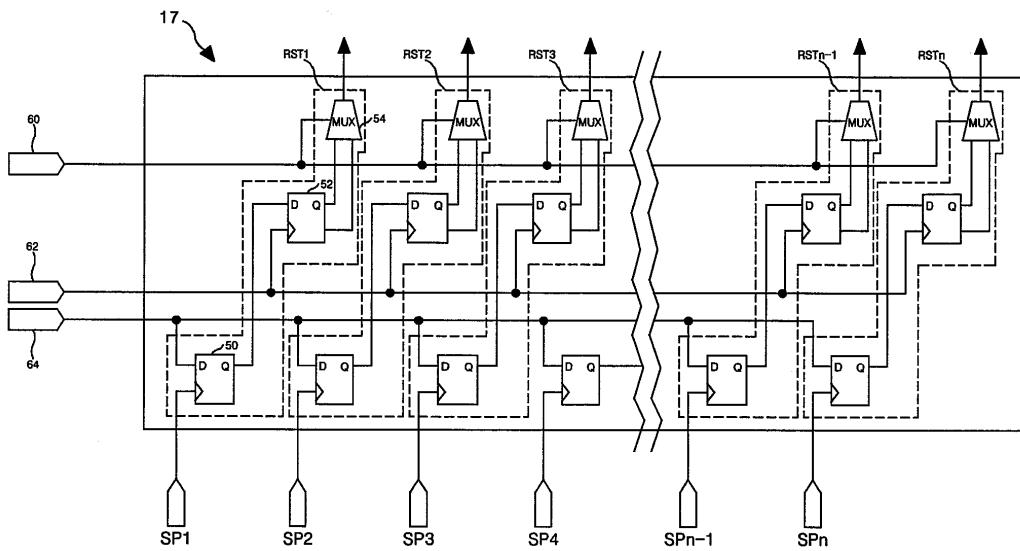
도면2



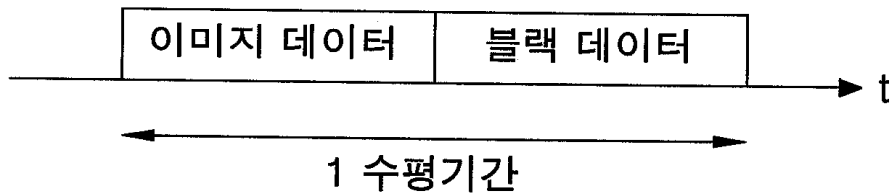
도면3a



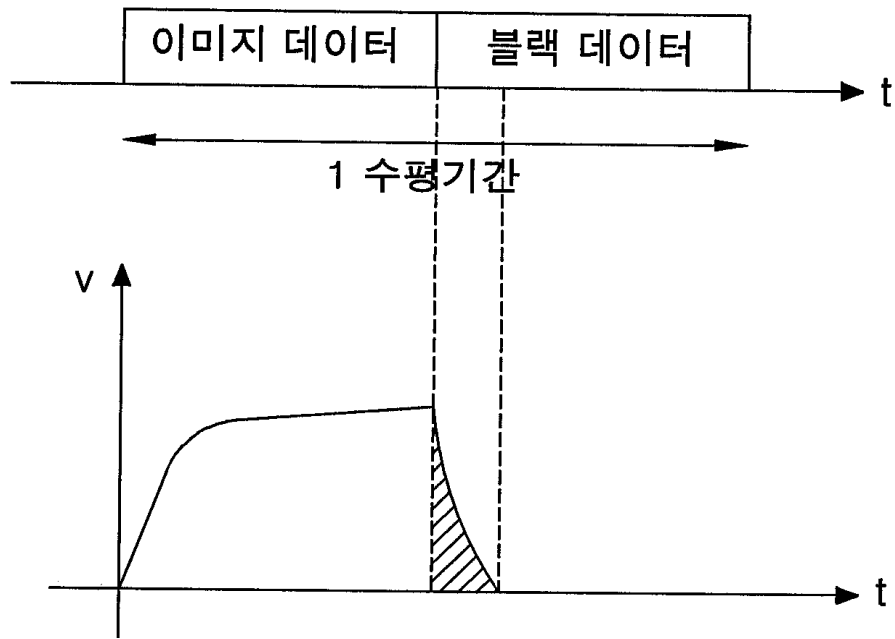
도면3b



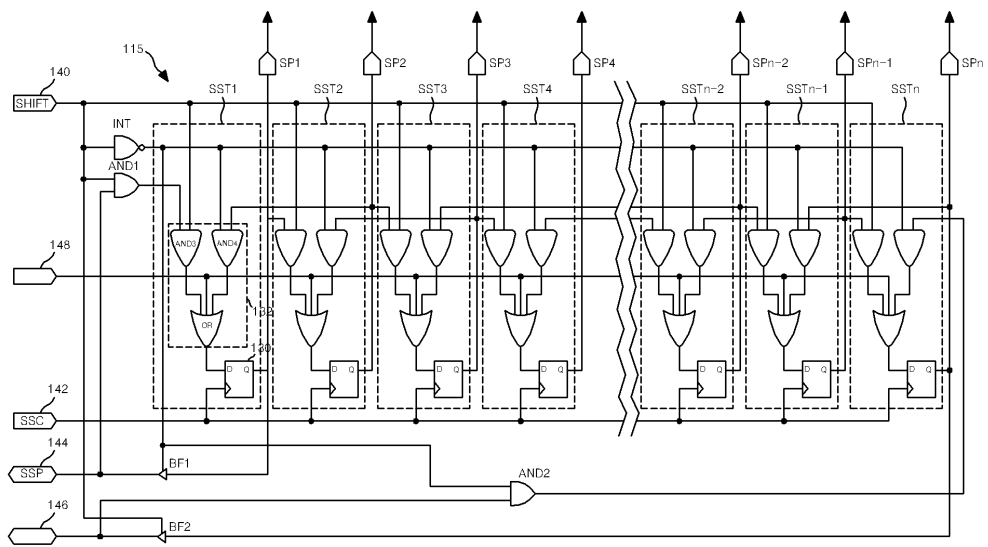
도면4



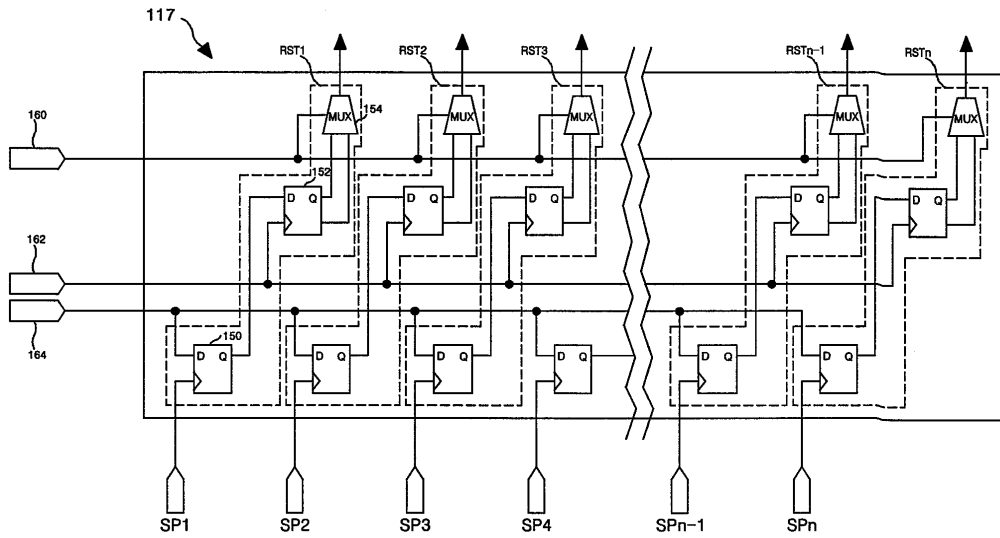
도면5



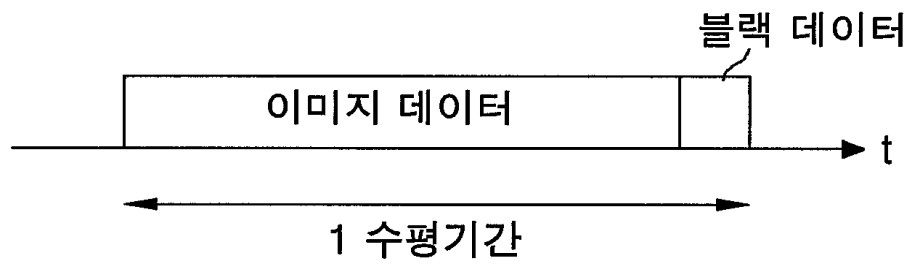
도면6a



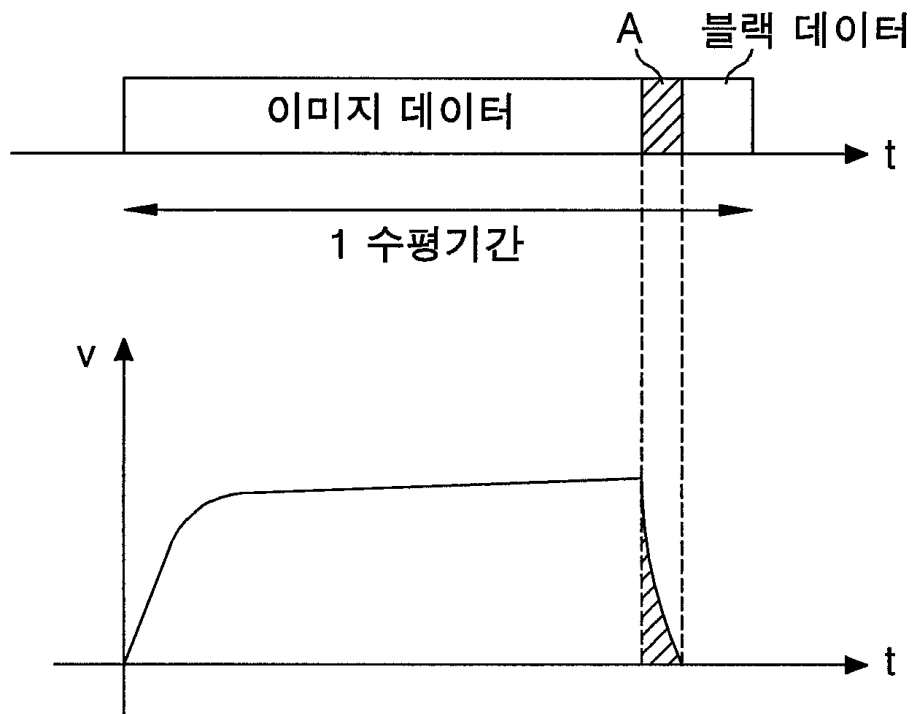
도면6b



도면7



도면8



专利名称(译)	用于驱动液晶显示装置的装置和方法		
公开(公告)号	KR100552906B1	公开(公告)日	2006-02-22
申请号	KR1020030045242	申请日	2003-07-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HONGCHUL 김홍철		
发明人	김홍철		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G2310/0286 G09G2320/04 G09G2320/0252		
代理人(译)	杨镐		
其他公开文献	KR1020050003752A		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种能够防止图像质量下降的液晶显示装置的数据驱动装置和方法。根据本发明的液晶显示器的数据驱动器包括：移位寄存器单元，用于顺序地产生要同时提供的第一采样信号和第二采样信号；以及锁存单元，用于顺序地锁存对应于第一采样信号的图像数据，并且同时锁存对应于第二采样信号的黑色数据并输出锁存的数据。图6a

