

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸ (45) 공고일자 2006년01월25일
G09G 3/36 (2006.01) (11) 등록번호 10-0545602

(24) 등록일자 2006년01월17일

(21) 출원번호 10-2003-0049404

(65) 공개번호 10-2004-0010265

(22) 출원일자 2003년07월18일

(43) 공개일자 2004년01월31일

(30) 우선권주장 JP-P-2002-00211802 2002년07월19일 일본(JP)

(73) 특허권자 엔이씨 일렉트로닉스 가부시키키가이샤
일본 211-8668 가나가와췁 가와사끼시 나까하라꾸 시모누마베 1753

(72) 발명자 데시로기요시유키
일본가나가와췁가와사끼시나까하라꾸시모누마베1753엔이씨일렉트로
닉스코포레이션내

노세다까시
일본가나가와췁가와사끼시나까하라꾸시모누마베1753엔이씨일렉트로
닉스코포레이션내

(74) 대리인 장수길
이중희
구영창

심사관 : 이병우

(54) 영상 데이터 전송 방법, 표시 제어 회로 및 액정 표시 장치

요약

표시 제어 회로로부터 소스 드라이버 등의 신호선 구동 회로에 영상 데이터를 일부 시리얼화하여 전송하는 기술에 있어서, 영상 데이터를 패러렐-시리얼(parallel-to-serial) 변환하기 전의 패러렐 데이터의 단계에서 시리얼화 후의 데이터순의 데이터 비교 ①과 ②를 순차적으로 행하여, 데이터의 비트 반전 수가 과반수 이상인지의 여부를 판단하여 전송 데이터의 반전/비반전의 제어를 행한다. 영상 데이터의 일부 시리얼화에 의해 동작 속도가 고속화된 데이터에 대해 반전/비반전의 제어를 행하는 경우와 비교하여, 비교기, 반전/비반전 판정 회로 등의 동작 속도를 저감할 수 있다.

대표도

도 1

색인어

영상 데이터, 비트 반전/비반전, 패러렐 데이터, 신호선 구동 회로

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1 실시예에 있어서의 입력 및 출력되는 영상 데이터의 신호 형식을 나타내는 도면.
 도 2는 2-비트 비교에 의한 본 실시예의 표시 제어 회로의 구성을 나타내는 도면.
 도 3은 제1 실시예의 동작의 타이밍 차트를 나타내는 도면.
 도 4는 본 발명의 제2 실시예에 있어서의 입력 및 출력되는 영상 데이터의 신호 형식을 나타내는 도면.
 도 5는 본 발명의 4-비트 비교에 의한 제2 실시예의 구성을 나타내는 도면.
 도 6은 제2 실시예의 동작의 타이밍 차트를 나타내는 도면.
 도 7은 제2 실시예의 시리얼 데이터의 타이밍 차트를 나타내는 도면.
 도 8은 종래의 액정 표시 장치의 시스템 구성을 나타내는 도면.
 도 9는 표시 제어 회로와 신호선 구동 회로의 사이의 데이터 전송에서의 비트 반전수의 제어를 도시하는 개념도.
 도 10은 데이터 전송예를 나타내는 개념도.
 도 11은 적(R), 녹(G) 및 청(B)의 24 비트의 입력 영상 데이터의 비트 반전의 제어에 의해 얻어지는 영상 데이터의 예를 나타내는 도면.
 도 12는 일례로서 2 대 1로 시리얼 전송하는 경우의 데이터 버스의 데이터 형식과 반전 신호의 타이밍 차트를 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

C1, C2, C3, C4 : 비교기

J1, J2, J3, J4 : 반전/비반전 판정 회로

T1, T2 : 패러렐-시리얼 변환 회로

P1, P2 : 반전/비반전 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시의 제어에 관한 것으로, 특히 액정 표시 패널에 영상 데이터를 전송하는 표시 제어 회로를 포함하는 액정 표시 장치에 관한 것이다.

최근, 컴퓨터, 텔레비전 등의 표시 화상이 고정밀화 되고, 이들의 영상 데이터(화상 데이터)를 취급하는 액정 표시 장치는 화소수와 계조 수의 증가에 따라 데이터 버스의 갯수, 데이터 전송 속도가 매년 증가하고 있다.

도 8은, 종래의 액정 표시 장치의 시스템 구성을 나타내는 도면이다. 이 장치는 퍼스널 컴퓨터(PC) 등의 화상 묘화 장치(2A)와 액정 표시 장치(1A)를 포함하고, 액정 표시 장치(1A)는 화상 묘화 장치(2A)에서 패러렐 데이터 등의 영상 데이터 및 해당 영상 데이터와 관련된 동기 데이터 등을 입력받아 내부 버스에 소정의 영상 데이터 및 제어 신호를 출력하는 표시 제어 회로(타이밍 컨트롤러)(11A)와, 표시 제어 회로(11A)로부터의 영상 데이터 및 주지의 동기 신호(HCK: 영상 데이터를 결합하는 타이밍 신호, STH: 수평 스타트 펄스 등)으로 이루어지는 신호측 제어 신호와, 기준 계조 전압 발생 회로(12A)로부터의 기준 계조 전압을 입력받아, 영상 데이터를 계조 전압으로서 신호선에 출력하는 신호선 구동 회로(소스 드라이버)(14A)와, 표시 제어 회로(11A)의 주사측 제어 신호를 입력받아 주사선을 선택/주사하는 신호를 출력하는 주사선 구동 회로(게이트 드라이버)(13A)와, 매트릭스형의 신호선 및 주사선을 포함하고, 교점에는 TFT 트랜지스터의 소스/게이트 전극이, 화소 전극에는 드레인 전극이 각각 접속된 액정 표시 패널(15A)를 포함한다.

이러한 액정 표시 장치에서는, 장치 내부의 표시 제어 회로(11A)로부터 및 표시 제어 회로(11A)로 입력되고 출력되는 영상 데이터가 패러렐 데이터로서 복수의 신호선으로 구성되는 데이터 버스를 통하여 전송되고 있지만, 액정 표시 패널의 대형화와 화소수의 증대 및 표시 화상의 고정밀화 등에 의해 영상 데이터의 비트수가 증가하고, 출력 영상 데이터의 연속하는 전후의 데이터(각각 "전 데이터(previous data)", "후 데이터(subsequent data)" 라고 한다) 사이에서의 비트의 반전수(비트 반전수)도 증가하여, 비트 반전수가 크면, 데이터의 스위칭에 의해 버스로부터의 고조파 성분의 복사가 증대하여 전자기 방해(EMI: electromagnetic interference)가 발생한다.

따라서, 이러한 전자기 복사를 억제하는 방법으로서, 영상 데이터의 전 데이터에 대한 후 데이터의 비트 반전수를 데이터 순으로 비교하여, 비트 반전수가 데이터의 비트수의 과반수가 되는 후 데이터는 영상 데이터로 전환되어, 그 논리 레벨을 반전시키는 데이터 처리를 행함으로써, 데이터 사이의 비트 반전수를 일정하게 1/2 미만으로 제어하고, 동시에, 논리 레벨이 반전되었는지를 표시하는 반전 신호(POL2)를 상기 신호측 제어 신호 중 하나에 추가하여 양 신호를 액정 표시 장치 내에서 전송하는 방법이 제안되었다(JP-P2001-356737A).

도 9는 표시 제어 회로와 신호선 구동 회로의 사이의 데이터 전송에서 비트 반전수를 제어하는 것을 도시하는 개념도이다. 또한, 도 10은 데이터 전송의 예를 도시하는 개념도이다. 표시 제어 회로(11A)에는 비트 비교기(112)와 반전/비반전 회로(1)(114) 등이 설치되어 있다. 표시 제어 회로(11A)에서는, 입력 영상 데이터를 입력받아, 직전에 보낸 데이터(전 데이터)(111)와 지금 보내는 데이터(후 데이터)(113)를 비트 비교기(112)에서 비교하고, 해당 영상 데이터의 비트수의 과반수가 되는지에 대한 비교 결과에 기초하여 반전/비반전 회로(1)(114)에서 후 데이터를 반전 또는 비반전하여 데이터 버스에 출력하고, 동시에, 신호측 제어 신호 중 하나의 신호선의 반전 신호(POL2)를 활성화(논리 상태가 "H" 레벨) 등으로 한다.

또한, 신호선 구동 회로(14A)에는 반전/비반전 회로(2)(141)와 데이터를 저장하는 데이터 레지스터(142)가 설치되어 있다. 반전/비반전 회로(2)(141)는 데이터 버스를 통하여 입력되는 영상 데이터와 반전 신호를 수신하고, 데이터별로 반전 신호에 기초하여, 반전 신호가 "H" 레벨인 경우에는 입력된 영상 데이터를 반전하여 데이터 레지스터(142)에 출력하고, 반전 신호가 "H" 레벨이 아닌 경우("L" 레벨)에는 입력된 영상 데이터를 그대로 데이터 레지스터(142)에 출력하도록 제어하여, 원래의 데이터를 재생하고 데이터 레지스터(142)에 래치하여 그 후의 계조 전압의 변환에 대비하도록 한다.

도 11은 적(R), 녹(G) 및 청(B)의 24 비트 입력 영상 데이터의 비트 반전의 제어를 행하여 얻은 영상 데이터의 예를 나타내는 도면이다. 첫번째로 도시된 24 비트의 패러렐 데이터 R7(0) ... R0(0), G7(0) ... G0(0), B7(0) ... B0(0)는 비반전 신호로서, 그 반전 신호는 "L" 레벨이고, 두번째로 도시된 24 비트의 패러렐 데이터 R7(1)^ ... R0(1)^, G7(1)^, G0(1)^, B7(1)^ ... B0(1)^는 반전 신호(^는 반전을 나타냄)이고, 그의 반전 신호는 "H" 레벨이며, 이하 동일하다.

또한, 영상 데이터의 비트수가 증가하는 것에 대처하기 위하여 데이터 버스의 갯수를 줄이기 위한 방법으로서, 패러렐 데이터의 일부를 시리얼화하여 비트수를 줄이는 방법이 고려되고 있다. 또한, 이러한 영상 데이터에 대해서도 비트 반전수의 제어를 행하는 것도 고려될 수 있다.

도 12는, 일례로서 2 대 1의 비율로 시리얼 전송하는 경우 데이터 버스의 데이터 형식과 반전 신호의 타이밍 차트를 나타내는 도면이다. 이는 24 비트의 패러렐 데이터의 입력 영상 데이터에 대하여, 홀수 비트에 짝수 비트를 시분할적으로 다중하는 형식으로 일부(2 비트)가 시리얼화된 12 비트의 패러렐 데이터 형식을 갖고 있다. 여기서 클럭 CH는 일부를 시리얼화하기 전의 입력 영상 데이터의 클럭 신호이고, 클럭 HCK는 일부를 시리얼화한 후의 12 비트 패러렐 데이터의 클럭 신호이다. 상기 도면으로부터 알 수 있는 바와 같이, 12 비트 패러렐 데이터의 데이터 레이트(데이터 속도)는 24 비트 패러렐 데이터의 것보다 2배 고속화된다.

상술한 바와 같이 액정 표시 장치에서는, 표시 화면의 대형화 및 화상의 고정밀화 등에 의해 화소수 및 계조 수가 증가함에 따라 데이터 버스 갯수와 데이터 전송 속도가 증가하고 있고, 그로 인해 전자기 장애를 억제하고 데이터 버스의 갯수를 삭감하는 것이 중요하다. 여기서 전자기 장애를 억제하기 위해서는 데이터의 논리 레벨의 반전 제어를 행하는 것이 효과적이고, 또한, 데이터 버스 갯수를 삭감하기 위해서는 패러렐 데이터를 일부 시리얼화하는 것이 효과적이다.

그런데, 패러렐 데이터를 일부 시리얼화하면, 일부 시리얼화된 영상 데이터의 데이터 속도가 시리얼화되는 비트수 배만큼 증가하게 되어, 데이터의 논리 레벨의 반전 제어의 동작 속도도 동일한 비율로 고속화되어, 종래의 논리 레벨의 반전 제어를 함에 있어서는 그 회로 동작이 고속화(예를 들면, 도 9에 도시하는 비트 비교기, 반전/비반전 회로 등은 패러렐 데이터가 시리얼화된 만큼 고속 동작이 요구된다)되어, 화소수 및 계조 수의 증가에 대응하기 곤란해진다는 문제가 발생한다. 또한, 논리 레벨의 반전 제어를 위한 스위칭에 의한 전자기 장애 등도 새로운 문제가 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 영상 데이터의 고정밀 표시 등에 있어서도 효과적으로 전자기 장애를 억제할 수 있게 하는 영상 데이터 전송 방법, 표시 제어 회로 및 액정 표시 장치를 제공하는 것이다.

또한, 본 발명의 목적은 영상 데이터를 전송하는 데이터 버스 갯수를 데이터의 일부 시리얼화에 의해 감소시키더라도 전자기 장애를 억제하기 위한 데이터의 반전 처리를 하는 동작 속도가 고속화하지 않도록 하는 영상 데이터 전송 방법, 표시 제어 회로 및 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 영상 데이터 전송 방법은, 패러렐 데이터로 구성되는 입력 영상 데이터를 일부 시리얼화한 출력 영상 데이터로서 신호선 구동 회로에 전송하는 영상 데이터 전송 방법으로서, 상기 출력 영상 데이터의 연속 시퀀스의 전에 위치한 데이터와 후에 위치한 데이터 사이의 비트 반전수가 상기 출력 영상 데이터의 비트수의 과반수 이상인 경우에, 후속하는 상기 출력 영상 데이터의 논리 상태를 반전시키는 반전 처리가, 상기 패러렐 데이터로 구성되는 상기 입력 영상 데이터의 단계에서 행해지는 것을 특징으로 한다.

본 발명의 영상 데이터 전송 방법은, 3×2^n -비트 패러렐(예를 들면, $n = 3, 3 \times 8 = 24$)의 입력 영상 데이터를 2^m -비트(예를 들면, $m=1, 2^1 = 2$)(n, m : 자연수, $n > m$) 단위로 시리얼화하여, $3 \times 2^{(n-m)}$ -비트 패러렐(예를 들면 $3 \times 2^2 = 12$)의 출력 영상 데이터로서 신호선 구동 회로에 전송하는 영상 데이터 전송 방법으로서, 상기 출력 영상 데이터의 $3 \times 2^{(n-m)}$ -비트 패러렐(예를 들면, 12)의 전 데이터와 후 데이터와의 사이의 비트 반전수가 $3 \times 2^{(n-m-1)}$ (예를 들면, 6) 이하가 되도록, 상기 출력 영상 데이터의 $3 \times 2^{(n-m)}$ -비트 패러렐(예를 들면, 12) 데이터에 대응하는 상기 입력 영상 데이터의 $3 \times 2^{(n-m)}$ -비트(예를 들면, 12)마다 후속 비트의 극성을 반전 또는 비반전하는 것을 특징으로 한다.

본 발명의 표시 제어 회로는, 패러렐 데이터로 구성되는 입력 영상 데이터(예를 들면, 도 1의(a))를 입력받아 각 입력 영상 데이터의 각 부분을 제1 비트(예를 들면, 홀수 비트)와 제2 비트(예를 들면, 짝수 비트)의 2 비트 단위(예를 들면, 도 1의 R7(0), R6(0))로 시리얼화함으로써 얻어진 영상 데이터를 출력 영상 데이터(예를 들면, 도 1의(b))로서 신호선 구동 회로에 전송하는 표시 제어 회로에 있어서,

전 데이터(예를 들면, 도 1의 데이터 1)의 제2 비트(예를 들면, 도 1의 R6(0))의 비반전 비트와, 후 데이터(예를 들면, 도 1의 데이터 2)의 제1 비트(예를 들면, 도 1의 R7(1))의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제1 비교 판정 수단(예를 들면, 도 2의 C1, J1 등)과,

전 데이터(예를 들면, 도 1의 데이터 1)의 제2 비트(예를 들면, 도 1의 R6(0))의 반전 비트와, 후 데이터(예를 들면, 도 1의 데이터 2)의 제1 비트(예를 들면, 도 1의 R7(1))의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제2 비교 판정 수단(예를 들면, 도 2의 I1, C2, J2 등)과,

후 데이터(예를 들면, 도 1의 데이터 2)의 제1 비트(예를 들면, 도 1의 R7(1))의 비반전 비트와, 후 데이터(예를 들면, 도 1의 데이터 2)의 제2 비트(예를 들면, 도 1의 R6(1))의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제3 비교 판정 수단(예를 들면, 도 2의 C3, J3 등)과,

후 데이터(예를 들면, 도 1의 데이터 2)의 제1 비트(예를 들면, 도 1의 R7(1))의 반전 비트와, 후 데이터(예를 들면, 도 1의 데이터 2)의 제2 비트(예를 들면, 도 1의 R6(1))의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제4 비교 판정 수단(예를 들면, 도 2의 I2, C4, J4 등)과,

상기 제1 비교 판정 수단 및 제2 비교 판정 수단 중 어느 하나의 판정 결과의 출력, 및 상기 제3 비교 판정 수단 및 제4 비교 판정 수단 중 어느 하나의 판정 결과의 출력을 각각 선택하고 출력하는 제1 선택 수단 및 제2 선택 수단을 포함하고, 상기 제1 선택 수단은 1개 데이터 앞의 입력 영상 데이터에 기초한 제2 선택 수단의 출력에 의해 제어되고, 제2 선택 수단은 제1 선택 수단의 출력에 의해 제어되는 선택 수단(예를 들면, 도 2의 S1, S2, D3 등)과,

상기 선택 수단의 제1 선택 수단의 출력 및 제2 선택 수단의 출력에 기초하여, 각각 후 데이터의 제1 비트 및 후 데이터의 제2 비트를 반전 또는 비반전하여 출력하고, 상기 반전 또는 비반전을 표시하는 반전 신호를 출력하는 출력 수단(예를 들면, 도 2의 P1, P2, D6, D7, D8, D9 등)과,

상기 출력 수단의 출력을 2 비트 단위로 시리얼화하여 출력 영상 데이터 및 출력 반전 신호로서 출력하는 패러렐-시리얼 변환 회로(예를 들면, 도 2의 T1, T2 등)를 포함하는 것을 특징으로 한다.

본 발명의 표시 제어 회로는, 3×2^m -비트 패러렐의 입력 영상 데이터를 입력하여, 제1 비트, 제2 비트, ..., 및 제 2^m 비트를 2^m -비트(n, m : 자연수, $n > m$) 단위로 시리얼화한 출력 영상 데이터로서 신호선 구동 회로에 전송하는 표시 제어 회로로서, 2^m -비트 단위의 전 데이터의 제 2^m 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제1 비교 판정 수단과, 2^m -비트 단위의 전 데이터의 제 2^m 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제2 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제3 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제1 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제4 비교 판정 수단과, ..., 2^m -비트 단위의 후 데이터의 제 2^m-1 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제 2^m 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제 $2 \times 2^m-1$ 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제 2^m-1 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제 2^m 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제 2×2^m 비교 판정 수단과,

상기 제1 비교 판정 수단 및 제2 비교 판정 수단 중 어느 하나의 판정 결과의 출력, 상기 제3 비교 판정 수단 및 제4 비교 판정 수단 중 어느 하나의 판정 결과의 출력, ..., 및 제 $2 \times 2^m-1$ 비교 판정 수단 및 제 2×2^m 비교 판정 수단 중 어느 하나의 판정 결과의 출력을 각각 선택하고 출력하는 제1 선택 수단, 제2 선택 수단, ..., 제 2^m 선택 수단을 포함하고, 상기 제1 선택 수단은 1개 데이터 앞의 입력 영상 데이터에 기초한 제 2^m 선택 수단의 출력에 의해 제어되며, 제2 선택 수단은 제1 선택 수단의 출력에 의해 제어되고, ..., 제 2^m 선택 수단은 제 2^m-1 선택 수단의 출력에 의해 제어되는 선택 수단과,

상기 선택 수단들의 제1 선택 수단, 제2 선택 수단, ..., 제 2^m 선택 수단의 출력에 기초하여, 상기 후 데이터의 제1 비트, 제2 비트, ..., 제 2^m 비트를 각각 반전 또는 비반전하여 출력하고, 상기 반전 또는 비반전을 나타내는 반전 신호를 출력하는 출력 수단과,

상기 출력 수단의 출력을 2^m -비트 단위로 시리얼화하여 출력 영상 데이터 및 출력 반전 신호로서 출력하는 패러렐-시리얼 변환 회로를 갖는 것을 특징으로 한다.

본 발명의 액정 표시 장치는, 패러렐 데이터로 구성되는 입력 영상 데이터를 입력하여, 각 입력 영상 데이터를 제1 비트와 제2 비트의 2-비트 단위로 시리얼화하여 얻어진 영상 데이터를 출력 영상 데이터로서 전송하는 표시 제어 회로와, 상기 출력 영상 데이터를 입력하는 신호선 구동 회로를 포함하는 액정 표시 장치로서, 상기 표시 제어 회로는,

전 데이터(예를 들면, 도 1의 데이터 1)의 제2 비트(예를 들면, 도 1의 R6(0))의 비반전 비트와, 후 데이터(예를 들면, 도 1의 데이터 2)의 제1 비트(예를 들면, 도 1의 R7(1))의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제1 비교 판정 수단(예를 들면, 도 2의 C1, J1 등)과,

전 데이터(예를 들면, 도 1의 데이터 1)의 제2 비트(예를 들면, 도 1의 R6(0))의 반전 비트와, 후 데이터(예를 들면, 도 1의 데이터 2)의 제1 비트(예를 들면, 도 1의 R7(1))의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제2 비교 판정 수단(예를 들면, 도 2의 I1, C2, J2 등)과,

후 데이터(예를 들면, 도 1의 데이터 2)의 제1 비트(예를 들면, 도 1의 R7(1))의 비반전 비트와, 후 데이터(예를 들면, 도 1의 데이터 2)의 제2 비트(예를 들면, 도 1의 R6(1))의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제3 비교 판정 수단(예를 들면, 도 2의 C3, J3 등)과,

후 데이터(예를 들면, 도 1의 데이터 2)의 제1 비트(예를 들면, 도 1의 R7(1))의 반전 비트와, 후 데이터(예를 들면, 도 1의 데이터 2)의 제2 비트(예를 들면, 도 1의 R6(1))의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제4 비교 판정 수단(예를 들면, 도 2의 I2, C4, J4 등)과,

상기 제1 비교 판정 수단 및 제2 비교 판정 수단 중 어느 하나의 판정 결과의 출력, 상기 제3 비교 판정 수단 및 제4 비교 판정 수단 중 어느 하나의 판정 결과의 출력을 각각 선택하여 출력하는 제1 선택 수단 및 제2 선택 수단을 포함하고, 상기 제1 선택 수단은 1개 데이터 앞의 입력 영상 데이터에 기초한 제2 선택 수단의 출력에 의해 제어되고, 제2 선택 수단은 제1 선택 수단의 출력에 의해 제어되는 선택 수단(예를 들면, 도 2의 S1, S2, D3 등)과,

상기 선택 수단들의 제1 선택 수단의 출력 및 제2 선택 수단의 출력에 기초하여, 후 데이터의 제1 비트 및 후 데이터의 제2 비트를 각각 반전 또는 비반전하여 출력하고, 상기 반전 또는 비반전을 나타내는 반전 신호를 출력하는 출력 수단(예를 들면, 도 2의 P1, P2, D6, D7, D8, D9 등)과,

상기 출력 수단의 출력을 2-비트 단위로 시리얼화하여 출력 영상 데이터 및 출력 반전 신호로서 출력하는 패러렐-시리얼 변환 회로(예를 들면, 도 2의 T1, T2 등)를 포함하는 것을 특징으로 한다.

본 발명의 액정 표시 장치는, 3×2^n -비트 패러렐의 입력 영상 데이터를 입력하여, 제1 비트, 제2 비트, ..., 및 제 2^m 비트의 2^m -비트(n, m 자연수, $n > m$) 단위로 시리얼화한 영상 데이터를 출력 영상 데이터로서 출력하는 표시 제어 회로와, 상기 출력 영상 데이터를 입력하는 신호선 구동 회로를 포함하는 액정 표시 장치로서, 상기 표시 제어 회로는,

2^m -비트 단위의 전 데이터의 제 2^m 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제1 비교 판정 수단과, 2^m -비트 단위의 전 데이터의 제 2^m 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제2 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제3 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제1 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제4 비교 판정 수단과, ..., 2^m -비트 단위의 후 데이터의 제 2^m-1 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제 2^m 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제 $2 \times 2^m-1$ 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제 2^m-1 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제 2^m 비트의 비반전 비트를 비교하여 비트 반전수가 과반수 이상인지의 여부를 판정하는 제 2×2^m 비교 판정 수단과,

상기 제1 비교 판정 수단 및 제2 비교 판정 수단 중 어느 하나의 판정 결과의 출력, 상기 제3 비교 판정 수단 및 제4 비교 판정 수단 중 어느 하나의 판정 결과의 출력, ..., 및 제 $2 \times 2^m-1$ 비교 판정 수단 및 제 2×2^m 비교 판정 수단 중 어느 하나의 판정 결과의 출력을 각각 선택하여 출력하는 제1 선택 수단, 제2 선택 수단, ..., 및 제 2^m 선택 수단을 포함하고, 상기 제1 선택 수단은 1개 데이터 앞의 입력 영상 데이터에 기초한 제 2^m 선택 수단의 출력에 의해 제어되고, 제2 선택 수단은 제1 선택 수단의 출력에 의해 제어되고, ..., 제 2^m 선택 수단은 제 2^m-1 선택 수단의 출력에 의해 제어되는 선택 수단과,

상기 선택 수단들의 제1 선택 수단, 제2 선택 수단, ..., 제2^m 선택 수단의 출력에 기초하여, 상기 후 데이터의 제1 비트, 제2 비트, ..., 및 제2^m 비트를 각각 반전 또는 비반전하여 출력하고, 상기 반전 또는 비반전을 나타내는 반전 신호를 출력하는 출력 수단과,

상기 출력 수단의 출력을 2^m-비트 단위로 시리얼화하여 출력 영상 데이터 및 출력 반전 신호로서 출력하는 패러렐-시리얼 변환 회로를 포함하는 것을 특징으로 한다.

표시 제어 회로로부터 소스 드라이버 등의 신호선 구동 회로에 영상 데이터를 일부 시리얼화하여 전송하는 방법에 있어서, 영상 데이터를 패러렐-시리얼 변환하기 전 패러렐 데이터의 단계에서, 시리얼화 후의 데이터에 대응하는 데이터를 순차적으로 비교하여 비트 반전수가 과반수 이상인지의 여부에 의해 패러렐 데이터의 반전/비반전을 제어한다. 영상 데이터를 일부 시리얼화한 후 고속화된 데이터의 반전/비반전 제어를 행하는 경우와 비교하여, 비교기, 반전/비반전 판정 회로 등의 동작 속도를 저감할 수 있다.

본 발명의 목적, 특징 및 장점들은 이하의 상세한 설명과 도면을 참조하여 더욱 명백해 질 것이다.

<실시예>

다음으로, 본 발명의 영상 데이터 전송 방법, 표시 제어 회로 및 액정 표시 장치의 일 실시예를 도면을 참조하여 설명한다.

도 1은 본 발명의 제1 실시예에 있어서의 입력 및 출력되는 영상 데이터의 신호 형식을 나타내는 도면이다. 본 실시예에서, 입력 영상 데이터(DATA)는 적(R), 녹(G) 및 청(B) 각각의 휘도 신호에 대응하는 3개의 패러렐 8 비트 데이터, 즉 24 패러렐 비트의 계조(gradation) 표시 데이터를 대상으로 하고, 출력 영상 데이터는 데이터 버스 갯수가 1/2인 일부 시리얼화한 12 비트의 데이터를 대상으로 한다. 구체적으로, 입력 영상 데이터는 도 1의 (a)에 도시된 R0-R7, G0-G7, B0-B7의 24 비트의 패러렐 데이터이고, 출력 영상 데이터는 도 1의 (b)에 도시된 24 비트 패러렐 데이터의 홀수 비트(예를 들면, R7(1), R7(2))와 짝수 비트(예를 들면, R6(1), R6(2))를 2 비트(인접하는 2-비트) 단위로 시리얼화(예를 들면, R7(1)와 R6(1), R7(2)와 R6(2))한 12 시리즈의 데이터(예를 들면, R7-R6, R5-R4, ..., G1-G0, 및 B1-B0, 이하, 시리얼 데이터라 함)이다.

본 실시예에서는, 도 1의 (a)에 도시한 바와 같이 입력 영상 데이터의 24 비트의 패러렐 데이터(데이터 1, 데이터 2, 데이터 3)에 대하여 패러렐 데이터 단계에서 인접하는 2-비트 단위(예를 들면, R7(0)와 R6(0), R7(1)와 R6(1), R7(2)와 R6(2), ...)로 반전/비반전 처리를 행함으로써, 12개의 시계열적인 데이터 시스템 중의 패러렐 비트 간의 데이터의 반전수(비트 반전수)가 총 비트수(12 비트)의 절반 이하가 되도록 제어한다. 도 1을 이용하여 본 실시예의 처리의 개요를 설명한다.

도 1의 (b)에 도시된 본 실시예의 시리얼 변환 후 데이터 R7-R6(R6(0), R7(1), R6(1), R7(2), R6(2), ...)의 한 시스템은, 도 1의 (a)에 도시된 각 패러렐 데이터 1, 2, 3, ...의 최상위측의 인접하는 2 비트를 시리얼화한 것이다. 유사하게, 다른 데이터 R5-R4, ..., G1-G0, ..., B1-B0도 도 1의 (a)의 최상위부터 최하위측으로 순차적으로 각각 인접하는 2 비트를 시리얼화한 것이다.

본 실시예에서는, 도 1의 (a)의 최상위측의 인접하는 2 비트(R7(0)과 R6(0), R7(1)과 R6(1), R7(2)와 R6(2), ...)에 관하여, ① 입력 영상 데이터의 연속하는 시퀀스 내에서 이전에 위치하는 데이터("전 데이터(previous data)"라 함)(data 1)의 인접하는 2 비트(R7(0)과 R6(0))중 짝수 비트(R6(0))와, 입력 영상 데이터의 연속하는 시퀀스 내에서, 동일한 자릿수(동일한 위치)에 있는, 이후에 위치하는 데이터("후 데이터(subsequent data)"라 함)(data 2)의 인접하는 2 비트(R7(1)과 R6(1))중 홀수 비트(R7(1))를 비교하여 데이터에 변화가 있는지의 여부를 검출하고, 이어서, ② 동일 위치에서 후 데이터(데이터 2)의 동행하는 인접 2 비트(R7(1)과 R6(1))인 홀수 비트(R7(1))와 짝수 비트(R6(1))를 비교하여 데이터에 변화가 있는지의 여부를 검출한다. 또한, 최상위측으로부터 하위측으로 순차적으로 위치하는 인접하는 2 비트 각각에 대해서도, 전 데이터와 후 데이터 사이에서 유사한 비교 동작 ① 및 ②를 동시에 행하여, 그 모든 비교 결과에 기초하여, 비트 반전수가 과반수인지 여부를 판정하고, 전 데이터 및 후 데이터의 반전/비반전을 제어를 행한다.

여기서, 모든 인접하는 2 비트의 비교 동작 ① 및 ②에 있어서, 비교의 기준이 되는 전 데이터가 출력 영상 데이터로서 반전되어 출력되었는지의 여부가 불분명하므로, 각 비교 동작에 있어서의 짝수 비트와 홀수 비트에 대하여, 그 비반전의 데이

터와 반전의 데이터를 미리 작성하여, 그들 각각과 후 데이터와의 비교를 행하고, 이전의 비교 동작 ② 및 ①에 기초하여, 그들중 어느 하나를 선택한다. 즉, 비교 동작 ②의 결과가 비교 동작 ①에 사용되고 비교 동작 ①의 결과가 비교 동작 ②에 사용된다.

그리고, 이상에서 언급한 비교 동작 ① 또는 ②의 결과에 기초하여, 입력 영상 데이터의 반전/비반전의 제어를 행하여, 패러렐 데이터로서 출력하고, 또한 데이터 단위로 반전되어 있는지의 여부에 대한 정보를 반전 신호(POL2)로서 패러렐하게 출력하여, 그 각각을 시리얼 데이터로 변환하여 출력한다.

(구성의 설명)

도 2는, 2 비트 비교에 의한 본 실시예의 액정 표시 장치의 구성을 나타내는 도면이다.

본 실시예의 회로 구성은, 입력 영상 데이터의 24 비트 패러렐 데이터 중, 인접하는 2-비트 단위의 홀수 비트를 입력하는 12개의 입력 단자(DATA1)와, 유사하게 짝수 비트를 입력하는 12개의 입력 단자(DATA2)를 지니고, 짝수 비트의 입력을 1 클럭(1 HCK분) 지연하는 12개의 지연 회로(D1); 각 지연 회로(D1)의 출력 및 그 출력을 반전 회로(I1)에 의해 반전한 신호에 대해 홀수 비트를 각각 비교하는 12개의 비교기(C1, C2); 홀수 비트 및 그 홀수 비트를 반전 회로(I2)에 의해 반전한 신호에 대해 짝수 비트를 각각 비교하는 12개의 비교기(C3, C4); 및 각 비교기(C1, C2, C3, C4)의 출력을 각각 입력하여 그의 반전/비반전을 판정하는 반전/비반전 판정 회로(J1, J2, J3, J4)를 포함하고,

반전/비반전 판정 회로(J1, J2, J3, J4)의 출력을 선택하고 출력하는 셀렉터(S1, S2) - 셀렉터(S2)는 셀렉터(S1)의 출력에 의해 제어되고, 셀렉터(S1)는 셀렉터(S2)의 출력을 1 클럭 지연하는 지연 회로(D3)의 출력에 의해 제어됨 - ; 및 셀렉터(S1)의 출력을 1 클럭 지연하는 지연 회로(D2)를 포함하고,

입력 영상 데이터의 홀수 비트 및 짝수 비트를 각각 1 클럭 지연하는 지연 회로(D4, D5); 지연 회로(D4, D5)의 출력에 대해 반전/비반전의 제어를 각각 행하는 12개의 반전/비반전 회로(P1, P2); 각 반전/비반전 회로(P1, P2)의 출력을 1 클럭 지연하여 홀수 비트 및 짝수 비트로서 각각 출력하는 지연 회로(D8, D9); 지연 회로(D8, D9)로부터의 홀수 비트 및 짝수 비트에 대한 반전 신호 POL2(S0) 및 반전 신호 POL2(S1)를 각각 출력하는, 지연 회로(D2) 및 지연 회로(D3)의 출력을 각각 1 클럭 지연하는 지연 회로(D6, D7); 및 각 신호 및 비트를 패러렐-시리얼 변환하는 패러렐-시리얼 변환 회로(T1, T2)를 더 포함한다.

여기서, 각 지연 회로(D1 ~ D9)는, 예를 들면 클럭 CLK 단자 및 리셋 단자를 갖는 D형 플립플롭 회로(F/F)로 구성되어, 예를 들면 초기 상태로 리셋하는 것이 가능하고, 데이터의 지연은 데이터에 동기될 클럭으로 데이터를 래치함으로써 실현한다.

본 실시예의 각 부의 기능은 아래와 같다.

지연 회로(D1)는, 짝수 비트를 홀수 비트와 비교하기 위해서 1 클럭(1 HCK 분)의 시간차를 제거하는 기능을 갖는다. 반전 회로(I1, I2)는 시계열 데이터의 비교를 행하기 위한 기준이 되는 전 데이터(1 클럭 이전의 데이터)를 반전함으로써, 전 데이터가 반전되어 있는 경우의 비교를 가능하게 한다. 비교기(C1 ~ C4)는, 2개의 입력 데이터를 비교하여, 그 논리 상태가 일치하는 경우에 논리 "L"(로우 레벨)을, 그 논리 상태가 불일치인 경우에 논리 "H"(하이 레벨)을 출력하는 기능을 갖는다.

특히, 비교기(C1, C2)는, 소정의 패러렐 데이터의 인접하는 2 비트의 짝수 비트를 기준으로 취하여, 동일 위치에 위치하는 다음의 패러렐 데이터의 인접하는 2 비트의 홀수 비트와 비교하는 비교기이고, 비교기(C1)는 상기 짝수 비트와 상기 홀수 비트와의 비교를 행하고, 비교기(C2)는, 상기 짝수 비트를 반전한 것과 상기 홀수 비트와의 비교를 행한다. 또한, 비교기(C3, C4)는, 동일 위치에 위치한 상기 다음의 패러렐 데이터의 인접하는 2 비트의 홀수 비트를 기준으로 취하여, 상기 인접하는 2 비트의 짝수 비트를 비교하는 비교기이고, 비교기(C3)는 상기 홀수 비트와 상기 짝수 비트와의 비교를 행하고, 비교기(C4)는, 상기 홀수 비트를 반전한 것과 상기 짝수 비트와의 비교를 행하는 것이다. 또한, 상술한 바와 같이 상기 소정의 상기 패러렐 데이터의 인접하는 2 비트와 상기 다음의 상기 패러렐 데이터의 인접하는 2 비트는, 2 비트 시리얼 데이터(일부 시리얼화된 영상 데이터)의 시계열 연속 4 비트에 상당하고, 비교기는 전 패러렐 데이터의 대응하는 4 비트를, 결과적으로 2-비트 시리얼 데이터가 되는 2-비트 단위로 순차 비교하는 기능을 갖는다.

반전/비반전 판정 회로(J1 ~ J4)는, 비교기(C1 ~ C4)의 각 출력을 입력으로 하여, 12 세트의 비교기의 각각의 출력의 "L" 상태의 수가 절반이상인지 여부를 판정하고, "L" 상태의 수가 절반보다 많은("H" 상태의 수가 절반이하)인 경우에 "L" 상태를 출력하고, "L" 상태의 수가 절반이하("H" 상태의 수가 절반보다 많은)인 경우에 "H" 상태를 출력한다.

셀렉터(S1)는, 지연 회로(D3)의 출력(d)에 의해 제어되고, 출력(d)이 "L" 일 때, 반전/비반전 판정 회로(J1)의 출력을 선택하여 출력하고, 출력(d)이 "H"일 때, 반전/비반전 판정 회로(J2)의 출력을 선택하여 출력하는 기능을 갖는다. 셀렉터(S2)는, 셀렉터(S1)의 출력 (a)에 의해 제어되고, 출력(a)이 "L"일 때, 반전/비반전 판정 회로(J3)의 출력을 선택하여 출력하고, 출력(a)이 "H"일 때, 반전/비반전 판정 회로(J4)의 출력을 선택하여 출력하는 기능을 갖는다.

지연 회로(D4, D5)는, 홀수 비트 및 짝수 비트를 1 클럭 지연하여, 지연 회로(D2, D3)로부터의 판정 출력 (c) 및 (d)와 동작 타이밍 상의 차이를 제거하는 기능을 갖는다. 반전/비반전 회로(P1, P2)는, 12 세트를 포함하고, 인접하는 2 비트의 순차 홀수 비트 및 짝수 비트의 반전의 유무를 판정 회로의 판정 출력 (c) 및 (d)에 기초하여 확인하는 기능을 갖는다.

1 세트의 지연 회로(D6, D7)는, 판정 회로로부터의 반전 신호를 1 클럭 지연하여 패러렐로 출력하고, 12 세트의 지연 회로(D8, D9)는, 12 세트의 반전/비반전 회로(P1, P2)로부터의 패러렐 데이터를 1 클럭 지연하여, 패러렐로 출력하는 기능을 갖는다.

패러렐-시리얼 변환 회로(T1)은, 지연 회로(D6, D7)의 패러렐 출력을 시리얼 신호로 변환하여 반전 신호로서 출력하는 기능을 갖는다. 패러렐-시리얼 변환 회로(T2)는, 12 세트의 지연 회로(D8, D9)로부터의 홀수 비트 및 짝수 비트의 24개의 패러렐 출력을 일부 시리얼화한 12 계통의 시리얼 데이터로 변환하여 출력 영상 데이터로서 상기 반전 신호와 대응하여 출력하는 기능을 갖는다.

(동작의 설명)

다음에, 도 2에 도시하는 제1 실시예의 동작에 대하여, 도 1의 데이터 어레이를 참조하여, 이하 상세히 설명한다.

본 실시예의 비교기(C1, C2, C3, C4)는, 동작상으로는 최상위층의 패러렐 데이터의 인접하는 2 비트의 비교 처리를 행하는 비교기이지만, 편의상, 남은 인접하는 2 비트의 비교 처리를 적절하게 행하는 비교기를 포함하는 것으로 하고 설명한다. 또한, 12개의 반전/비반전 회로 등도 마찬가지다. 또한, 본 실시예의 동작에 있어서 입력 영상 데이터의 데이터 1의 R6(0)는, 반전/비반전 처리에 있어서 비반전으로서 취급되고, 각 지연 회로(D1 ~ D9)를 구성하는 플립플롭 회로(F/F)에 대해 초기 조건으로서 그 출력이 "L"로 리셋되었다고 가정한다. 이하, 데이터 2의 입력 시점 이후의 동작을 설명한다.

초기 상태에서 지연 회로(D3)의 출력이 "L"이므로, 셀렉터(S1)는, 비교의 기준이 되는 데이터 1의 짝수 비트(R6(0) 등)가 반전되지 않고 입력되는 비교기 (C1)이 접속된 반전/비반전 판정 회로(J1)의 판정 결과의 출력을 선택한다. 반전/비반전 판정 회로(J1)는, R6(0)와 R7(0) 및 남은 인접하는 2 비트의 비교 결과에 기초하여 비트 반전 수가 과반수인지 여부를 판정하여 홀수 비트(R7(1) 등)가 반전되어 있는지 여부에 대한 판정 결과를 출력한다.

i) 여기서, 임시로, 반전/비반전 판정 회로(J1)가 비트 반전 수가 절반 이하라고 판정한 경우, J1의 출력 (a)는 "L"로 되어, 동일한 데이터 2의 입력 시간에 셀렉터(S2)는 비교의 기준이 되는 데이터 2의 홀수 비트(R7(0) 등)가 반전되지 않고 입력되는 12개의 비교기(C3)에 접속된 반전/비반전 판정 회로(J3)의 출력을 선택한다. 반전/비반전 판정 회로(J3)는, R7(1)와 R6(1) 및 남은 인접하는 2 비트의 비교 결과를 입력하여, 비트 반전 수가 과반수인지 여부를 판단하고 데이터 2의 짝수 비트(R6(1) 등)가 반전되어 있는지 여부에 대한 판정 결과를 출력한다.

ii) 또한, 반대로, 반전/비반전 판정 회로(J1)가 비트 반전 수는 과반수라고 판정한 경우, J1의 출력 (a)은 "H"로 되어, 셀렉터(S2)는, 비교의 기준이 되는 데이터 2의 홀수 비트(R7(1) 등)가 반전된 12개의 비교기(C4)에 접속된 반전/비반전 판정 회로(J4)의 출력을 선택한다. 반전/비반전 판정 회로(J4)는, R7(1)^(^는 반전을 나타냄)와 R6(1) 및 남은 인접하는 2 비트의 비교 결과를 입력하여, 비트 반전 수가 과반수인지 여부에 대한 판정 결과를 출력한다.

어느 경우에도, 셀렉터(S1)의 출력 (a)은 지연 회로(D2)에 의해 1 클럭 지연된 출력 (c)가 되고, 셀렉터(S2)의 출력 (b)은 지연 회로(D3)에 의해 1 클럭 지연된 출력 (d)가 되며, 이는 다음의 데이터 3의 입력 시점에서 각각 반전/비반전 회로(P1, P2)에 의한 반전/비반전용 제어 신호가 되고, 지연 회로(D6, D7)를 통하여 반전 신호로서 패러렐-시리얼 변환 회로(T1)에 출력된다.

반전/비반전 회로(P1, P2)는, 각각 지연 회로(D4, D5)를 통하여 상기 인접하는 2 비트의 홀수 비트와 짝수 비트가 1 클럭 지연된 데이터 2를 이미 입력하고 있어, 각 데이터 2는 반전/비반전의 제어 신호인 출력 (c) 및 (d)에 의해, 논리 상태가 제어되어 출력된다.

즉, 반전/비반전 판정 회로(J1)가 비트 반전 수를 절반이하라고 판정한 경우에는, 출력 (c)(출력 (a))은 "L"이고, 반전/비반전 회로(P1)는, 지연 회로(D4)로부터의 홀수 비트의 논리 상태를 비반전(R7(1))으로서 출력하고, 반전/비반전 판정 회로(J1)가 비트 반전 수를 과반수라고 판정한 경우에는, 출력 (c)(출력 (a))은 "H"이고, 반전/비반전 회로(P1)는, 지연 회로(D4)로부터의 홀수 비트의 논리 상태를 반전(R7(1)[^])으로서 출력하고, 이는 지연 회로(D8)를 통하여 출력(h)으로서 패러렐-시리얼 변환 회로(T2)로 출력한다. 또한, 셀렉터(S1)의 출력 상태에 의해 선택될 반전/비반전 판정 회로(J3, J4)의 출력 상태에 의해 결정되는 셀렉터(S2)의 출력 (d)(출력 (b))을 제어 신호로서 취함으로써, 반전/비반전 회로(P2)는 지연 회로(D5)로부터의 짝수 비트의 논리 상태를 반전 또는 비반전하여 출력하고, 상기 출력은 지연 회로(D9)를 통해 출력 (i)로서 패러렐-시리얼 변환 회로(T2)로 출력한다.

패러렐-시리얼 변환 회로(T2)는, 논리 상태가 제어된 인접하는 2 비트를 시리얼 데이터로 변환하여 출력하고, 패러렐-시리얼 변환 회로(T1)는, 반전 신호(e) 및 (f)를 시리얼 데이터로 변환하여, 상기 인접하는 2 비트의 시리얼 신호의 극성의 제어 결과를 나타내는 반전 신호 POL2로서 상기 시리얼 데이터와 동기하여 출력한다.

상기 언급한 바와 같이 입력 영상 데이터에 있어서의, 전 데이터 1(도 1 참조)의 짝수 비트, 후 데이터 2(도 1 참조)의 홀수 비트, 및 후 데이터 2의 짝수 비트의 3 비트를 단위로 하는 데이터의 논리 상태에 대한 반전/비반전의 제어와, 패러렐 데이터를 시리얼 데이터로 변환하는 신호 처리는, 후속 데이터 3 및 그 이후에 대해서도 마찬가지로 행해진다. 예를 들면, 데이터 2의 인접하는 2 비트(R7(1), R6(1))의 처리의 종료 결과인 출력 (b)가 "H"라고 가정하면, 다음의 3 비트를 단위로 하는 처리에서는, 셀렉터(S1)가 반전/비반전 판정 회로(J2)의 판정 결과를 선택하여, 그 출력 (a)의 "L" 또는 "H"에 기초하여 셀렉터(S2)가 반전/비반전 판정 회로(J3 또는 J4)의 판정 결과를 출력하고, 이들의 출력에 기초하여, 1 클럭 지연 후 반전/비반전 회로(P1, P2)에 있어서 대응하는 데이터 3의 인접하는 2 비트에 대해 반전/비반전의 제어가 행하여진다.

도 3은, 본 실시예의 동작의 타이밍 차트를 나타내는 도면이다. 동 도면은 입력 영상 데이터로서 24 비트로 이루어지는 패러렐 데이터를 각 12 비트의 홀수 비트와 짝수 비트로 나누어 도시하며, 반전 신호의 출력 (a)~(f)가 도시되어 있고, 반전/비반전의 처리 후의 패러렐 데이터에 대하여 반전/비반전 회로(P1)로부터 출력되는 12 비트의 홀수 비트가 도시되어 있는 타이밍차트이다. 이하, 본 실시예의 동작을 도 3에 도시하는 예를 이용하여, 입력 영상 데이터의 입력 시점 t1, t2, t3, ...의 순으로 설명한다.

동 도면에 있어서, t1 시점까지의 패러렐 데이터는 전부 0로 취하고, t2 시점 이후, 동 도면에 도시하는 패러렐 데이터가 입력하여, 초기 상태로서는 지연 회로를 구성하는 플립플롭은 전부 0(리셋) 상태로 한다. 이 경우, t1 시점에서 출력 (a) ~ (f)은 모두 "L"이다.

t2 시점: 파선으로 둘러싼 t2 시점의 데이터의 입력 상태에서는, 지연 회로(D3)의 출력 (d)은 "L"이므로, 셀렉터(S1)는, 홀수 비트(101000100100)와 직전 (t1)에 보낸 짝수 비트(000000000000)와의 비교 결과의 비트 반전 수를 판정하는 반전/비반전 판정 회로(J1)의 출력을 선택한다. 이 때의 비트 반전 수는 4이므로 출력 (a)은 "L"이 된다. 이 때문에 셀렉터(S2)는, 홀수 비트(101000100100)와 짝수 비트(110100111010)와의 비교 결과의 비트 반전 수를 판정하는 반전/비반전 판정 회로(J3)의 출력을 선택한다. 이 때의 비트 반전 수는 6이므로 출력 (b)은 "H"가 된다.

동시에 t2 시점에서, 지연 회로(D2)의 출력 (c)은 "L"이므로, 반전/비반전 회로(P1)는 도 3에 도시한 바와 같이 출력 홀수 비트 (g)(000000000000)를 출력한다. 지연 회로(D3)의 출력 (d)도 "L"이므로, 도시하지 않지만, 출력 짝수 비트 (000000000000)를 출력한다. 또한, 지연 회로(D6, D7)로부터의 반전 신호 (e) 및 (f)도 모두 "L"이고, 지연 회로(D8, D9)로부터 출력된 데이터도 전부 (000000000000)이다.

t3 시점: t3 시점에서는, 지연 회로(D3)의 출력 (d)은 "H"이므로, 셀렉터(S1)는, 반전/비반전 판정 회로(J2)의 출력을 선택한다. 반전/비반전 판정 회로(J2)는 홀수 비트(110111010110)와 직전(t2)에 보낸 짝수 비트(110100111010)의 반전 비트(001011000101)와의 비교 결과의 비트 반전 수를 판정하며, 이 때의 비트 반전 수는 7이므로, 출력 (a)은 "H"가 된다. 이 때문에 출력 (a)에 기초하여 셀렉터(S2)는 반전/비반전 판정 회로(J4)의 출력을 선택한다. 반전/비반전 판정 회로(J4)는 홀수 비트(110111010110)의 반전 비트(001000101001)와 짝수 비트(010110011001)의 비교 결과를 출력한다. 이 때의 비트 반전 수는 6이므로, 출력 (b)은 "H"가 된다.

동시에 t3 시점에서는, 지연 회로(D2, D3)의 출력(c) 및 (d)는 각각 "L" 및 "H"가 되므로, 반전/비반전 회로(P1)는 출력 홀수 비트로서 도 3에 도시한 바와 같이 1 클럭 전의 홀수 비트(101000100100)를 출력한다. 또한, 반전/비반전 회로(P2)는, 도시하지 않지만 1 클럭 전의 짝수 비트(110100111010)의 반전 비트(001011000101)를 출력한다. 또한, 지연 회로(D6, D7)로부터의 반전 신호 (e) 및 (f)는 "L"로 남아있고, 지연 회로(D8, D9)로부터 출력된 데이터도 (000000000000)이다.

t4 시점: t4 시점에서는 지연 회로(D2, D3)의 출력 (c) 및 (d)가 각각 "H" 및 "H"로 되므로, 반전/비반전 회로(P1)는, 출력 홀수 비트로서 도 3에 도시하는 t3 시점의 홀수 비트(110111010110)의 반전 비트(001000101001)를 출력한다. 이 때, 반전/비반전 회로(P2)는, 도시하지 않지만 t3 시점의 짝수 비트(010110011001)의 반전 비트(101001100110)를 출력한다. 또한, 동시에 지연 회로(D8, D9)는, t3 시점에서 반전/비반전 회로(P1, P2)가 이미 출력한 데이터를 출력하고, 지연 회로(D6, D7)는, 출력 (e) 및 (f)으로서 t3 시점에서 지연 회로(D2, D3)가 이미 출력한 반전 신호 "L" 및 "H"를 각각 출력한다.

이하, 마찬가지로 패러렐 데이터로 구성되는 입력 영상 데이터의 각 데이터의 입력 시점에서의, 상기 입력 영상 데이터의 연속하는 시퀀스 내의 전 데이터의 짝수 비트와 상기 입력 영상 데이터의 연속하는 시퀀스 내의 후 데이터의 홀수 비트와의 비교에 의한 비트 반전 수의 판정 결과와, 상기 후 데이터의 홀수 비트와 상기 후 데이터의 짝수 비트와의 비교에 의한 비트 반전 수의 판정 결과를 출력하는 처리; 및 1 클럭 이후의 상기 판정 결과에 기초하여, 1 클럭 전의 입력 영상 데이터에 대한 반전/비반전의 제어를 행하는 처리의 반복에 의해, 지연 회로(D8, D9)로부터 출력되는 패러렐 데이터가 패러렐-시리얼 변환 회로(T2)를 통하여 시리얼 데이터의 출력 영상 데이터가 된 상태에서 전 데이터와 후 데이터 사이의 비트 반전 수가 절반 이하가 되도록 극성 반전의 제어가 행하여진다. 동시에 지연 회로(D6, D7)로부터 출력되는 반전 신호는 패러렐-시리얼 변환 회로(T1)를 통하여 시리얼 데이터가 되어, 상기 직렬 데이터의 영상 데이터와 동기하는 시리얼 반전 신호로서 출력된다. 이 반전 신호는, 상술한 바와 같이 표시 패널의 구동 회로 등의 수신부에서의 시리얼 데이터를 패러렐 데이터로 변환 시의 본래의 영상 데이터의 재생을 위한 제어 신호가 된다.

이상의 실시예에서는, 상기 전 데이터의 짝수 비트와 상기 후 데이터의 홀수 비트의 비교와, 상기 후 데이터의 홀수 비트와 동 데이터의 짝수 비트의 비교에 의해, 일부 시리얼화한 후의 연속 2 비트가 되는 후 데이터의 홀수 비트 및 짝수 비트의 반전 또는 비반전을 제어하는 것이지만, 시리얼화의 비트 수를 더욱 증가시키고, 데이터 버스 수를 보다 삭감하도록 한 경우에도 본 발명은 적용 가능하다.

(제2 실시예)

도 4는, 본 발명의 제2 실시예에 있어서의 입력 및 출력될 영상 데이터의 신호 형식을 나타내는 도면이다. 제2 실시예로서는 일부 시리얼화하는 영상 데이터의 비트 수를 4 비트로 한 예이다.

입력 영상 데이터는, 적(R), 녹(G) 및 청(B)의 각각의 휘도 신호에 대응하는 3개의 패러렐 8 비트, 즉 24 비트의 패러렐 데이터를 갖는 계조 표시 데이터이다. 구체적으로는, 도 4의 (a)에 도시한 바와 같이, 입력 영상 데이터는 R0 ~ R7, G0 ~ G7, B0 ~ B7의 24 비트 패러렐 데이터이고, 출력 영상 데이터는, 도 4의 (b)에 도시한 바와 같이, 상기 24 비트 패러렐 데이터를 4 비트(예를 들면 R7(1), R6(1), R5(1), R4(1)) 단위로 시리얼화(예를 들면 R7(0), R6(0), R5(0), R4(0), R7(1), R6(1), R5(1), R4(1), ..., "4 비트 시리얼(bit serial)"이라고 함)하여 얻어진 6 계열의 데이터(예를 들면 R7 - R4, R3 - R0, G7 - G4, G3 - G0, B7 - B4, B3 - B0)이다.

본 실시예에서는, 상기 패러렐 데이터(입력 영상 데이터)를 시리얼 데이터(출력 영상 데이터)로 변환하기 전에 데이터의 반전 처리가 행하여지고, 6 계통으로 구성되는 시계열 데이터 사이의 비트 반전 수는, 총 비트 수(6 비트)의 절반 이하로 제어된다.

도 5는, 본 발명의 4 비트 비교에 의한 제2 실시예의 구성을 나타내는 도면이다.

본 실시예의 회로 구성은, 입력 영상 데이터의 24 비트 패러렐 데이터 중, 한 홀수 비트 걸리의 데이터(the data of every other odd bit)를 입력하는 6개의 입력 단자 DATA 11; 한 짝수 비트 걸리의 데이터를 입력하는 6개의 입력 단자 DATA 12; 다른 홀수 비트 걸리의 데이터(the data of the remaining every other odd bit)를 입력하는 6개의 입력 단자 DATA 13; 및 다른 짝수 비트 걸리의 데이터를 입력하는 6개의 입력 단자 DATA 14를 가지고,

입력 단자 DATA 14의 다른 짝수 비트 걸리의 데이터를 1 클럭(1 HCK분) 지연하는 6개의 지연 회로(D11); 각 지연 회로(D11)의 출력 및 그 출력을 반전 회로(I11)에 의해 반전한 데이터에 대하여 입력 단자 DATA 11의 한 홀수 비트 걸리의 데이터를 각각 비교하는 6개의 비교기(C11, C12); 입력 단자 DATA 11의 1개 걸리의 홀수 비트 및 그 홀수 비트를 반전 회로(I12)에 의해 반전한 데이터에 대하여 입력 단자 DATA 12의 한 짝수 비트 걸리의 데이터를 각각 비교하는 6개의 비교기(C13, C14); 입력 단자 DATA 12의 한 짝수 비트 걸리의 데이터에 대하여 입력 단자 DATA 13의 다른 홀수 비트 걸리의 데이터를 각각 비교하는 비교기(C15, C16); 입력 단자 DATA 13의 다른 홀수 비트 걸리의 데이터에 대하여 입력 단자 DATA 14의 다른 짝수 비트 걸리의 데이터를 각각 비교하는 비교기(C17, C18); 및

6개의 비교기(C11, C12) 각각, 6개의 비교기(C13, C14) 각각, 6개의 비교기(C15, C16) 각각 및 6개의 비교기(C17, C18) 각각의 출력을 입력하여, 반전/비반전을 각각 판정하는 반전/비반전 판정 회로(J11, J12), 반전/비반전 판정 회로(J13, J14), 반전/비반전 판정 회로(J15, J16) 및 반전/비반전 판정 회로(J17, J18)를 포함하는 비교 판정 회로를 포함하고,

반전/비반전 판정 회로(J11, J12), 반전/비반전 판정 회로(J13, J14), 반전/비반전 판정 회로(J15, J16), 반전/비반전 판정 회로(J17, J18)의 출력을 각각 선택하여 출력하는 셀렉터(S11, S12, S13, S14)를 포함하고, 셀렉터(S12)는 셀렉터(S11)의 출력에 의해 제어되고, 셀렉터(S13)는 셀렉터(S12)의 출력에 의해 제어되며, 셀렉터(S14)는 셀렉터(S13)의 출력에 의해 제어되고, 셀렉터(S11)은 셀렉터(S14)의 출력을 1 클럭 지연하는 지연 회로(D15)의 출력에 의해 제어되고, 또한, 셀렉터(S11, S12, S13)의 출력을 각각 1 클럭 지연하는 지연 회로(D12, D13, D14)와, 각 지연 회로(D12, D13, D14, D15)의 출력을 각각 1 클럭 지연하여 반전 신호 (i), (j), (k), (l)를 출력하는 지연 회로(D20, D21, D22, D23)을 포함하고,

또한, 6개의 입력 단자 DATA 11의 입력 영상 데이터의 한 홀수 비트 걸리의 데이터, 6개의 입력 단자 DATA 12의 한 짝수 비트 걸리의 데이터, 6개의 입력 단자 DATA 13의 다른 홀수 비트 걸리의 데이터, 및 6개의 입력 단자 DATA 14의 다른 짝수 비트 걸리의 데이터를 각각 입력하여, 각각 1 클럭 지연하는 6개의 플립플롭 회로(F/F)(D16, D17, D18, D19); 지연 회로(D12, D13, D14, D15)의 출력에 대한 반전/비반전의 제어를 각각 행하는 반전/비반전 회로(P11, P12, P13, P14); 반전/비반전 회로(P11, P12, P13, P14) 각각의 출력을 각각 1 클럭 지연하는 6개의 지연 회로(D24, D25, D26, D27); 지연 회로(D24, D25, D26, D27)로부터의, 한 홀수 비트 걸리의 데이터, 한 짝수 비트 걸리의 데이터, 다른 홀수 비트 걸리의 데이터, 다른 짝수 비트 걸리의 데이터를 패러렐-시리얼 변환하는 패러렐-시리얼 변환 회로(T12); 및 지연 회로(D20, D21, D22, D23)의 출력 (i), (j), (k), (l)을 패러렐-시리얼 변환하는 패러렐-시리얼 변환 회로(T11)를 포함한다.

제2 실시예의 개개의 회로 기능은, 취급하는 데이터의 비트 수 등에 있어서 다르더라도 제1 실시예의 것과 실질적으로는 마찬가지이다. 즉, 6개의 비교기는 패러렐 6-비트 데이터의 반전/비반전을 검출하고, 비교 판정 회로를 구성하는 반전/비반전 판정 회로는 비트 반전 수가 3 이상인지 여부를 판정하고, 반전/비반전 회로는 6-비트의 데이터의 반전/비반전을 행한다. 또한, 4개의 셀렉터는 제어 신호 "L" 또는 "H"에 기초하여 각각 상측(상기 제어 신호가 "L"인 경우) 또는 하측(상기 제어 신호가 "H"인 경우)의 반전/비반전 판정 회로의 판정 결과를 출력하고, 패러렐-시리얼 변환 회로(T11)는 4개의 반전 신호를 순차 시리얼화하여 출력하고, 패러렐-시리얼 변환 회로(T12)는, 각각 6개의 지연 회로(D24, D25, D26, D27)로부터의 6-비트 데이터를 비트 단위로 순차 시리얼화하여 출력한다.

도 6은 본 실시예의 동작의 타이밍차트를 나타내는 도면이다. 동 도면은 입력 영상 데이터로서의 24-비트의 패러렐 데이터를 각 6 비트로 구성되는 1개 간격의 2개의 홀수 비트 A, B와, 1개 간격의 2개의 짝수 비트 A, B로 나누어 도시함과 동시에, 반전 신호의 출력(a)~(l)과, 반전/비반전의 처리 후의 패러렐 데이터를 반전/비반전 회로 P11로부터 출력되는 6 비트의 홀수 비트만을 도시한 타이밍차트이다. 이하, 본 실시예의 동작을 도 6의 예에 의해, 입력 영상 데이터의 입력 시점 t1, t2, t3, ...의 순으로 설명한다.

동 도면에 있어서, t1 시점까지의 패러렐 데이터는 전부 0으로 하고, t2 시점 이후, 동 도면에 도시하는 패러렐 데이터가 입력되어, 초기 상태에서는 지연 회로를 구성하는 각 D형 플립플롭 회로는 전부 0(리셋) 상태로 한다. 이 경우, t1 시점에서 출력 (a)~(l)은 모두 "L"이다.

t2 시점: t2 시점의 데이터의 입력 상태에서, 출력 (h)는 "L"이므로, 셀렉터 S11은, 홀수 비트 A(110100)와 직전(t1)에 보낸 짝수 비트 B(000000)와의 비교 결과의 비트 반전 수를 판정하는 반전/비반전 판정 회로 J11의 출력을 선택한다. 이 때의 비트 반전 수는 3이므로, 출력 (a)는 "H"가 된다. 이 때문에, 셀렉터 S12는, 홀수 비트 A^(^는 반전을 나타냄) (001011)과 짝수 비트 A(100111)과의 비교 결과의 비트 반전 수를 판정하는 반전/비반전 판정 회로 J14의 출력을 선택한다. 이 때의 비트 반전 수는 3이므로, 출력 (b)는 "H"가 된다. 이 때문에, 셀렉터 S13은, 짝수 비트 A^(011000)과 홀수 비트 B(000010)과의 비교 결과의 비트 반전 수를 판정하는 반전/비반전 판정 회로 J16의 출력을 선택한다. 이 때의 비트 반전 수는 3이므로, 출력 (c)는 "H"가 된다. 이 때문에, 셀렉터 S14는 홀수 비트 B^(111101)과 짝수 비트 B(110100)과의 비교 결과의 비트 반전 수를 판정하는 반전/비반전 판정 회로 J18의 출력을 선택한다. 이 때의 비트 반전 수는 2이므로, 출력 (d)는 "L"가 된다.

동시에, t2 시점에서는, 지연 회로 D12의 출력 (e)는 "L"이므로, 반전/비반전 회로 P11은 도 6에 도시한 바와 같이 출력 홀수 비트 A(000000)를 출력한다. 지연 회로 D13~D15의 출력 (f)~(h)도 전부 "L"이므로, 도시하지 않지만 출력 짝수 비트 A, 출력 홀수 비트 B, 및 출력 짝수 비트 B로서 어느 경우에도 (000000)을 출력한다. 또, 지연 회로 D20~D23로부터의 반전 신호 (i)~(l)도 모두 "L"이고, 지연 회로 D24~D27의 출력 데이터도 전부 (000000)이다.

t3 시점: t3 시점에서는, 지연 회로 D15의 출력 (h)는 "L"로 남아 있으므로, 셀렉터 S11은 홀수 비트 A(101001)와 직전 (t2)에 보낸 짝수 비트 B(110100)와의 비교 결과의 비트 반전 수를 판정하는 반전/비반전 판정 회로 J11의 출력을 선택한다. 이 경우, 비트 반전 수는 4이므로, 출력 (a)는 "H"가 된다. 이하, 마찬가지로 하여, 셀렉터 S12~S14는, 출력 (b)~(d)로서 각각 "H", "H", 및 "H"를 출력한다.

동시에, t3 시점에서는, 지연 회로 D12의 출력 (e)는 "H"가 되고, 반전/비반전 회로 P11은 출력 홀수 비트 A로서 1 클럭 전의 홀수 비트 A(110100)를 반전한 홀수 비트 A^(001011)를 출력한다. 또한, 지연 회로 D13, D14의 출력 (f)와 (g)도 각각 "H"가 되므로, 반전/비반전 회로 P12와 P13은, 도시하지 않지만 각각 1 클럭 전의 짝수 비트 A 및 홀수 비트 B의 각 반전인 짝수 비트 A^ 및 홀수 비트 B^를 출력한다. 더욱, 지연 회로 D15의 출력 (h)는 "L"로 있으므로, 반전/비반전 회로 P14는, 도시하지 않지만 1 클럭 전의 짝수 비트 B를 출력한다. 또, 지연 회로 D20~D23으로부터의 반전 신호 (i)~(l)는 "L"을 유지하고 있고, 지연 회로 D24~D27의 출력 데이터 역시 (000000)이다.

t4 시점: t4 시점에서는, 셀렉터 S11~S14 및 반전/비반전 회로 P11~P14의 각 동작은 t2 및 t3 시점의 동작과 마찬가지로이지만, 동시에 t3 시점에서 출력된 반전/비반전 회로 P11~P14로부터의 상기 각 데이터가 지연 회로 D24~D27로부터 출력되어, 지연 회로 D20~D23로부터 상기 각 데이터의 극성의 반전 제어의 내용을 나타내는 반전 신호 (i)~(l)로서, t3 시점에서 출력된 전술의 "H", "H", "H", 및 "L"이 출력된다.

이하 마찬가지로 하여, 패러렐 데이터로 이루어진 입력 영상 데이터의 각 데이터의 입력 시점에서, 상기 입력 영상 데이터의 연속 시퀀스의 전 데이터(previous data)의 짝수 비트 B와 상기 입력 영상 데이터의 연속 시퀀스의 후 데이터(subsequent data)의 홀수 비트 A와의 비교에 의한 비트 반전 수의 판정 결과와, 상기 후 데이터의 홀수 비트 A와 상기 후 데이터의 짝수 비트 A와의 비교에 의한 비트 반전 수의 판정 결과와, 상기 후 데이터의 짝수 비트 A와 상기 후 데이터의 홀수 비트 B와의 비교에 의한 비트 반전 수의 판정 결과와, 상기 후 데이터의 홀수 비트 B와 상기 후 데이터의 짝수 비트 B와의 비교에 의한 비트 반전 수의 판정 결과를 출력하는 처리, 및 1 클럭 뒤에 있어서 상기 각 판정 결과에 기초한 비트 반전/비반전 회로 P11~P14의 반전/비반전의 제어를 행하는 처리를 반복하는 것에 의해, 패러렐 데이터의 단계에서 반전/비반전의 제어를 행하고, 지연 회로 D24~D27로부터 출력되는 패러렐 데이터가 패러렐-시리얼 변환 회로 t12를 통하여 시리얼 데이터의 출력 영상 데이터로 된 상태에서 전 데이터 및 후 데이터의 비트 반전 수가 반 이하가 되도록 극성 반전의 제어가 행하여진다. 동시에, 지연 회로 D20~D23으로부터 출력되는 반전 신호는, 패러렐-시리얼 변환 회로 T11을 통하여 시리얼 데이터가 되어, 상기 시리얼화된 영상 데이터와 동기하는 시리얼 반전 신호로서 출력된다. 이 반전 신호는, 상술한 바와 같이 표시 패널의 구동 회로 등의 수신부에서 시리얼 데이터로부터 패러렐 데이터로의 변환 시의 본래의 영상 데이터의 재현을 위한 제어 신호가 된다.

도 7은 제2 실시예의 시리얼 데이터의 타이밍 차트를 나타내는 도면이다. 4-비트 단위로 시리얼화함으로써, 시리얼 데이터 수는 1/4이 되고 데이터 버스 수는 6개로 감소되어 있다.

(다른 실시예)

이상의 실시예에 있어서는, 영상 데이터의 일부 시리얼화로서, 2-비트 시리얼 및 4-비트 시리얼의 예를 설명하였지만, 본 발명은 입력 영상 데이터의 패러렐 데이터에 대하여, 일반적으로 2^m-비트 시리얼화하는 것에 적용 가능한 것은 분명하다.

예를 들면, 컬러 영상 데이터를 취급하는 경우와 같이, 3 × 2ⁿ-비트 패러렐의 입력 영상 데이터를 대상으로 하는 경우, 해당 입력 영상 데이터를 2^m-비트(n, m: 자연수, n > m) 단위로 시리얼화하여, 3 × 2^(n-m)-비트 패러렐의 출력 영상 데이터로서 소스 드라이버 등의 신호선 구동 회로에 전송하는 영상 데이터 전송에 있어서는, 상기 출력 영상 데이터의 3 × 2^(n-m)-비트 패러렐의 연속 시퀀스의 전 데이터와 후 데이터의 사이의 비트 반전 수가 (1/2)3 × 2^(n-m)(= 3 × 2^(n-m-1)) 이하가 되도록, 상기 출력 영상 데이터의 3 × 2^(n-m)-비트 패러렐의 데이터에 대응하는 상기 입력 영상 데이터의 각각의 3 × 2^(n-m)-비트 마다 후속 비트의 극성을 반전 또는 비반전하는 제어를 행하는 기술을 채용하는 것이 가능하다.

또한, 이 경우의 표시 제어 회로 등으로서는, 도 2와 도 5에 도시하는 비교기, 반전/비반전 판정 회로, 셀렉터, 반전/비반전 회로 및 패러렐-시리얼 변환 회로 등을 본 발명의 원리에 기초하여 증설함으로써 실현 가능하다.

더욱, 입력 영상 데이터의 일부 시리얼화로서 2-비트 단위의 홀수 비트와 짝수 비트의 조합 및 연속하는 4-비트 단위의 조합의 예를 나타내었지만, 이들 조합은 표시 제어 회로측의 패러렐-시리얼 변환과 신호선 구동 회로(소스 드라이버)측의 시리얼-패러렐 변환과의 상호변환 알고리즘을 정합시키는 것으로도 임의로 설정할 수 있다. 이것은 일반적으로 2^m-비트 단위의 시리얼화에 있어서도 마찬가지다.

또한, 이상의 실시예에서는, 반전 또는 비반전의 처리는, 시리얼 변환 전의 패러렐 데이터에 대해 수행되기 때문에, 비교의 기준으로 되는 데이터인 시리얼 시의 전 데이터는, 시리얼화 전에 반전하여 있는지의 여부를 판단할 수 없기 때문에, 장치 구성 상의 이유로, 전 데이터의 반전 데이터와 비반전 데이터를 각각 사용하여 각 데이터를 후 데이터와 비교하도록 하고 있지만, 반전 데이터와 비반전 데이터를 미리 준비하는 구성으로 하는 것이 필수적인 것은 아니고, 비트 반전 수의 판정 결과에 기초하여, 적절하게, 반전 데이터를 작성하여 비교하는 처리 구성으로 할 수 있는 것은 분명하다.

이상 설명한 바와 같이 본 발명은, 액정 표시 장치의 구동 회로 등에 대한 입력 영상 데이터의 전송에 관한 것으로, 해당 전송 데이터의 입력 영상 데이터를 일부 시리얼화함으로써, 데이터 버스 개수를 감소시킨 영상 데이터에 관한 것이고, 그 원리는, 패러렐-시리얼 변환에 의해 일부 시리얼화되는 입력 영상 데이터, 즉, 일부 시리얼화하기 전의 패러렐 상태의 데이터에 있어서, 시리얼화 후에 전 데이터와 후 데이터의 관계가 되는 데이터를 추출하고 비교하여, 그 결과에 기초하여 해당 후 데이터에 상당하는 패러렐 데이터의 반전 또는 비반전을 행함으로써, 일부 시리얼화 후에 영상 데이터의 후 데이터가 전 데이터에 대하여 그 비트 반전 수가 과반수가 되지 않도록 함과 함께, 상기 반전 또는 비반전을 행할 때에, 그 반전 또는 비반전의 정보인 반전 신호들도 상기 패러렐 데이터에 대응하여 패러렐로 생성한다. 그리고, 각각의 데이터를 시리얼화함으로써, 일부 시리얼화한 영상 데이터와 반전 신호를 출력하는 것이다.

이들의 데이터는 액정 패널의 소스 드라이버 등의 신호선 구동 회로에 전송되고, 일부 시리얼화한 영상 데이터는 반전 신호에 의해 극성의 반전/비반전의 제어이전의 상태로 복귀되어, 패러렐-시리얼 변환에 대응하는 주지의 시리얼-패러렐 변환에 의해 원래의 패러렐 데이터의 입력 영상 데이터로 복원된다. 복원된 입력 영상 데이터를 계조(gradation) 전압으로 변환하고, 그 전압을 신호선 및 TFT를 통하여 화소 전극에 공급하는 동작이 행해지는 것은 물론이다.

발명의 효과

본 발명에 따르면, 패러렐 데이터의 입력 영상 데이터를 비교하고 반전한 후에 일부 시리얼화하는 패러렐-시리얼 변환을 행하여, 패러렐 비트 수를 삭감한 출력 영상 데이터와, 해당 출력 영상 데이터의 반전 정보를 갖는 반전 신호를 생성하여, 액정 표시 장치의 소스 드라이버 등의 신호선 구동 회로에 전송하도록 구성되어 있음으로써, 종래의 표시 제어 회로와 같이, 패러렐-시리얼 변환을 행한 후에 데이터의 비교 및 반전/비반전을 행하는 구성과 비교하여, 유사한 데이터 버스 파형을 실현하면서, 비트 반전 수의 억제를 위한 데이터 처리의 동작 속도를 고속화하지 않는다.

이 때문에, 출력 영상 데이터의 데이터 버스 개수를 삭감할 수 있고, 데이터의 비트 반전 수를 억제할 수 있음으로써, 해당 데이터 버스로부터의 전자기 복사 및 데이터의 반전/비반전의 제어에 있어서의 스위칭 동작에 의한 전자기 복사를 억제하고, 전자기 방해의 발생을 방지하는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

패러렐(parallel) 데이터로 구성되는 입력 영상 데이터를 일부 시리얼화(serialize)한 출력 영상 데이터로서 신호선 구동 회로에 전송하는 액정 표시 장치의 영상 데이터 전송 방법으로서,

상기 출력 영상 데이터의 연속 시퀀스의 전후에 위치한 데이터 사이의 비트 반전 수가 출력 영상 데이터의 비트 수의 과반수 이상인 경우에, 후속하는 출력 영상 데이터의 논리 상태를 반전시키는 반전 처리를 패러렐 데이터로 구성되는 상기 입력 영상 데이터의 단계에서 행하는 것을 특징으로 하는 영상 데이터 전송 방법.

청구항 2.

3×2^n -비트 패러럴의 입력 영상 데이터를 2^m -비트 (n, m : 자연수, $n > m$) 단위로 시리얼화하여, $3 \times 2^{(n-m)}$ -비트 패러럴의 출력 영상 데이터로서 신호선 구동 회로에 전송하는 액정 표시 장치의 영상 데이터 전송 방법으로서,

상기 출력 영상 데이터의 $3 \times 2^{(n-m)}$ -비트 패러럴의 전에 위치한 데이터와 후에 위치한 데이터와의 사이의 비트 반전 수가 $3 \times 2^{(n-m-1)}$ 이하가 되도록, 상기 출력 영상 데이터의 $3 \times 2^{(n-m)}$ -비트 패러럴 데이터에 대응하는 상기 입력 영상 데이터의 $3 \times 2^{(n-m)}$ -비트마다 후속 비트의 극성을 반전 또는 비반전하는 것을 특징으로 하는 영상 데이터 전송 방법.

청구항 3.

패러럴 데이터로 구성되는 입력 영상 데이터를 입력하여, 각 입력 영상 데이터를 제1 비트와 제2 비트의 2-비트 단위로 시리얼화하여 얻어진 영상 데이터를 출력 영상 데이터로서 신호선 구동 회로에 전송하는 표시 제어 회로로서,

전 데이터(previous data)의 제2 비트의 비반전 비트와, 후 데이터(subsequent data)의 제1 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제1 비교 판정 수단;

전 데이터의 제2 비트의 반전 비트와, 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제2 비교 판정 수단;

후 데이터의 제1 비트의 비반전 비트와, 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제3 비교 판정 수단;

후 데이터의 제1 비트의 반전 비트와, 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제4 비교 판정 수단;

상기 제1 비교 판정 수단 및 제2 비교 판정 수단 중 어느 하나의 판정 결과의 출력, 및 상기 제3 비교 판정 수단 및 제4 비교 판정 수단 중 어느 하나의 판정 결과의 출력을 각각 선택하고 출력하는 제1 선택 수단 및 제2 선택 수단을 포함하는 선택 수단 - 상기 제1 선택 수단은 1개 데이터 앞의 입력 영상 데이터에 기초한 상기 제2 선택 수단의 출력에 의해 제어되고, 상기 제2 선택 수단은 상기 제1 선택 수단의 출력에 의해 제어됨 - ;

상기 선택 수단의 상기 제1 선택 수단의 출력 및 상기 제2 선택 수단의 출력에 기초하여, 각각 후 데이터의 제1 비트 및 후 데이터의 제2 비트를 반전 또는 비반전하여 출력하고, 상기 반전 또는 비반전을 나타내는 반전 신호를 출력하는 출력 수단; 및

상기 출력 수단의 출력을 2-비트 단위로 시리얼화하여 출력 영상 데이터 및 출력 반전 신호로서 출력하는 패러럴-시리얼 변환 회로

를 포함하는 것을 특징으로 하는 표시 제어 회로.

청구항 4.

3×2^n -비트 패러럴의 입력 영상 데이터를 입력하여, 제1 비트, 제2 비트, ..., 및 제 2^m 비트의 2^m -비트 (n, m : 자연수, $n > m$) 단위로 시리얼화한 출력 영상 데이터로서 신호선 구동 회로에 전송하는 표시 제어 회로로서,

2^m -비트 단위의 전 데이터의 제 2^m 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제1 비교 판정 수단과, 2^m -비트 단위의 전 데이터의 제 2^m 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제2 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제2

비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제3 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제1 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제4 비교 판정 수단과, ..., 2^m -비트 단위의 후 데이터의 제 2^m-1 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제 2^m 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제 $2 \times 2^m-1$ 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제 2^m-1 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제 2^m 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제 2×2^m 비교 판정 수단;

상기 제1 비교 판정 수단 및 제2 비교 판정 수단 중 어느 하나의 판정 결과의 출력, 상기 제3 비교 판정 수단 및 제4 비교 판정 수단 중 어느 하나의 판정 결과의 출력, ..., 및 상기 제 $2 \times 2^m-1$ 비교 판정 수단 및 상기 제 2×2^m 비교 판정 수단 중 어느 하나의 판정 결과의 출력을 각각 선택하고 출력하는 제1 선택 수단, 제2 선택 수단, ..., 및 제 2^m 선택 수단을 포함하는 선택 수단 - 상기 제1 선택 수단은 1개 데이터 앞의 입력 영상 데이터에 기초한 제 2^m 선택 수단의 출력에 의해 제어되고, 상기 제2 선택 수단은 상기 제1 선택 수단의 출력에 의해 제어되고, ..., 상기 제 2^m 선택 수단은 상기 제 2^m-1 선택 수단의 출력에 의해 제어됨 -;

상기 선택 수단들의 상기 제1 선택 수단, 상기 제2 선택 수단, ..., 및 상기 제 2^m 선택 수단의 출력에 기초하여, 상기 후 데이터의 제1 비트, 제2 비트, ..., 및 제 2^m 비트를 각각 반전 또는 비반전하여 출력하고, 상기 반전 또는 비반전을 나타내는 반전 신호를 출력하는 출력 수단; 및

상기 출력 수단의 출력을 2^m -비트 단위로 시리얼화하여 출력 영상 데이터 및 출력 반전 신호로서 출력하는 패러렐-시리얼 변환 회로

를 포함하는 것을 특징으로 하는 표시 제어 회로.

청구항 5.

패러렐 데이터로 구성되는 입력 영상 데이터를 입력하여, 각 입력 영상 데이터를 제1 비트와 제2 비트의 2-비트 단위로 시리얼화하여 얻어진 영상 데이터를 출력 영상 데이터로서 전송하는 표시 제어 회로와, 상기 출력 영상 데이터를 입력하는 신호선 구동 회로를 포함하는 액정 표시 장치로서,

상기 표시 제어 회로는,

전 데이터의 제2 비트의 비반전 비트와, 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제1 비교 판정 수단;

전 데이터의 제2 비트의 반전 비트와, 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제2 비교 판정 수단;

후 데이터의 제1 비트의 비반전 비트와, 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제3 비교 판정 수단;

후 데이터의 제1 비트의 반전 비트와, 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부에 대한 판정 결과를 출력하는 제4 비교 판정 수단;

상기 제1 비교 판정 수단 및 상기 제2 비교 판정 수단 중 어느 하나의 판정 결과의 출력, 및 상기 제3 비교 판정 수단 및 상기 제4 비교 판정 수단 중 어느 하나의 판정 결과의 출력을 각각 선택하여 출력하는 제1 선택 수단 및 제2 선택 수단을 포함하는 선택 수단 - 상기 제1 선택 수단은 1개 데이터 앞의 입력 영상 데이터에 기초한 상기 제2 선택 수단의 출력에 의해 제어되고, 상기 제2 선택 수단은 상기 제1 선택 수단의 출력에 의해 제어됨 - ;

상기 선택 수단들의 상기 제1 선택 수단의 출력 및 상기 제2 선택 수단의 출력에 기초하여, 후 데이터의 제1 비트 및 후 데이터의 제2 비트를 각각 반전 또는 비반전하여 출력하고, 상기 반전 또는 비반전을 나타내는 반전 신호를 출력하는 출력 수단; 및

상기 출력 수단의 출력을 2-비트 단위로 시리얼화하여 출력 영상 데이터 및 출력 반전 신호로서 출력하는 패러렐-시리얼 변환 회로

를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

3×2^m -비트 패러렐의 입력 영상 데이터를 입력하여, 제1 비트, 제2 비트, ..., 및 제 2^m 비트의 2^m -비트(n, m : 자연수, $n > m$) 단위로 시리얼화한 영상 데이터를 출력 영상 데이터로서 출력하는 표시 제어 회로와, 상기 출력 영상 데이터를 입력하는 신호선 구동 회로를 포함하는 액정 표시 장치로서,

상기 표시 제어 회로는,

2^m -비트 단위의 전 데이터의 제 2^m 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제1 비교 판정 수단과, 2^m -비트 단위의 전 데이터의 제 2^m 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제2 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제1 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제3 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제1 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제2 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제4 비교 판정 수단과, ..., 2^m -비트 단위의 후 데이터의 제 2^m-1 비트의 비반전 비트와 2^m -비트 단위의 후 데이터의 제 2^m 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제 $2 \times 2^m-1$ 비교 판정 수단과, 2^m -비트 단위의 후 데이터의 제 2^m-1 비트의 반전 비트와 2^m -비트 단위의 후 데이터의 제 2^m 비트의 비반전 비트를 비교하여 비트 반전 수가 과반수 이상인지의 여부를 판정하는 제 2×2^m 비교 판정 수단;

상기 제1 비교 판정 수단 및 상기 제2 비교 판정 수단 중 어느 하나의 판정 결과의 출력, 상기 제3 비교 판정 수단 및 상기 제4 비교 판정 수단 중 어느 하나의 판정 결과의 출력, ..., 및 상기 제 $2 \times 2^m-1$ 비교 판정 수단 및 상기 제 2×2^m 비교 판정 수단 중 어느 하나의 판정 결과의 출력을 각각 선택하여 출력하는 제1 선택 수단, 제2 선택 수단, ..., 및 제 2^m 선택 수단을 포함하는 선택 수단 - 상기 제1 선택 수단은 1개 데이터 앞의 입력 영상 데이터에 기초한 상기 제 2^m 선택 수단의 출력에 의해 제어되고, 상기 제2 선택 수단은 상기 제1 선택 수단의 출력에 의해 제어되고, ..., 상기 제 2^m 선택 수단은 상기 제 2^m-1 선택 수단의 출력에 의해 제어됨 - ;

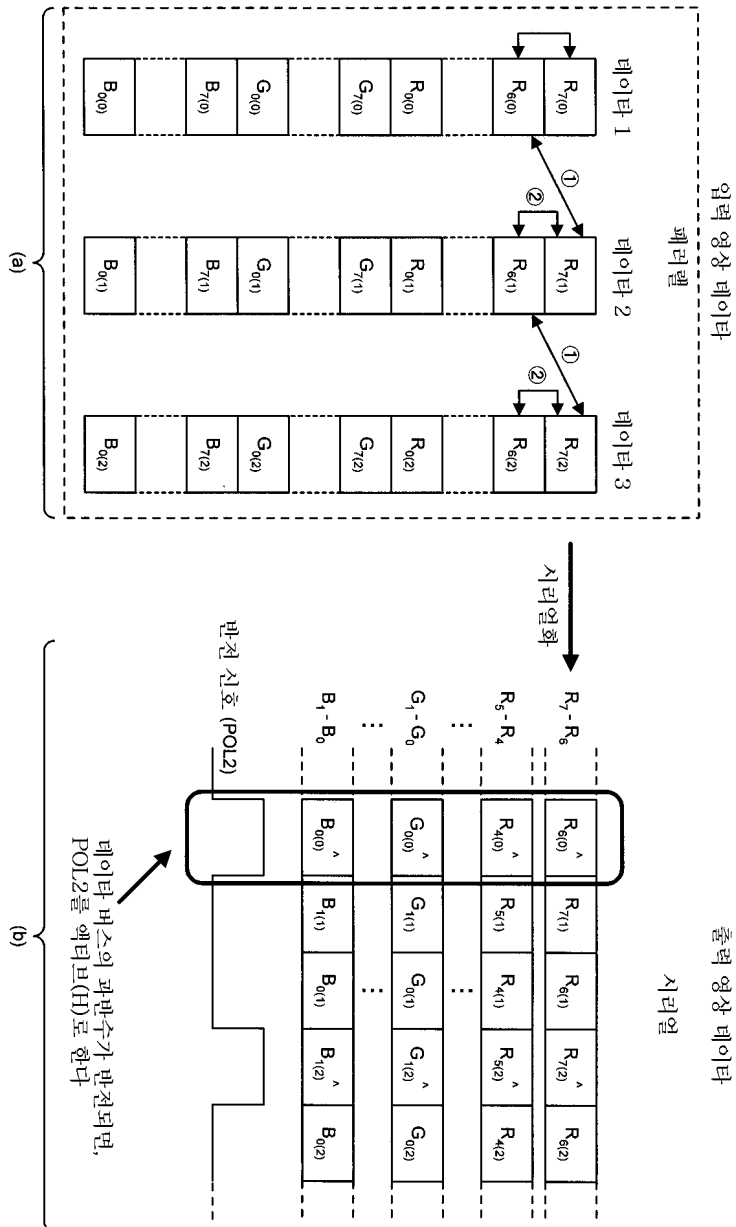
상기 선택 수단들의 상기 제1 선택 수단, 상기 제2 선택 수단, ..., 및 상기 제 2^m 선택 수단의 출력에 기초하여, 상기 후 데이터의 제1 비트, 제2 비트, ..., 및 제 2^m 비트를 각각 반전 또는 비반전하여 출력하고, 상기 반전 또는 비반전을 나타내는 반전 신호를 출력하는 출력 수단; 및

상기 출력 수단의 출력을 2^m -비트 단위로 시리얼화하여 출력 영상 데이터 및 출력 반전 신호로서 출력하는 패러렐-시리얼 변환 회로

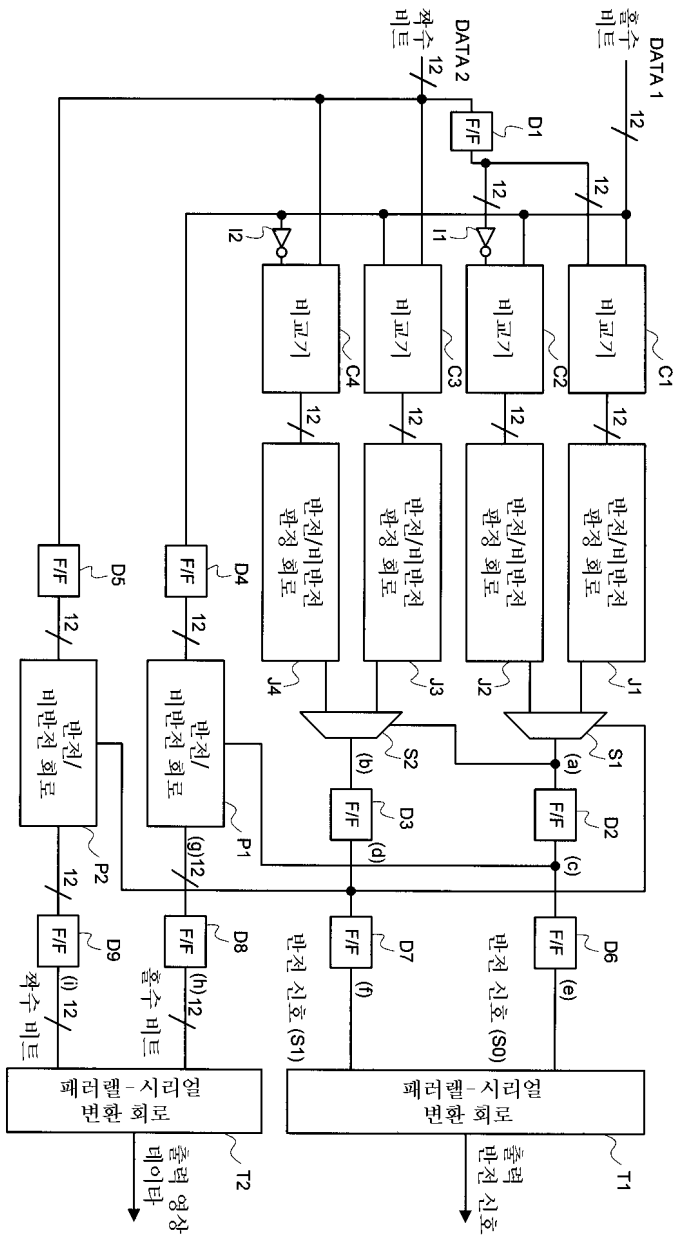
를 포함하는 것을 특징으로 하는 액정 표시 장치.

도면

도면1

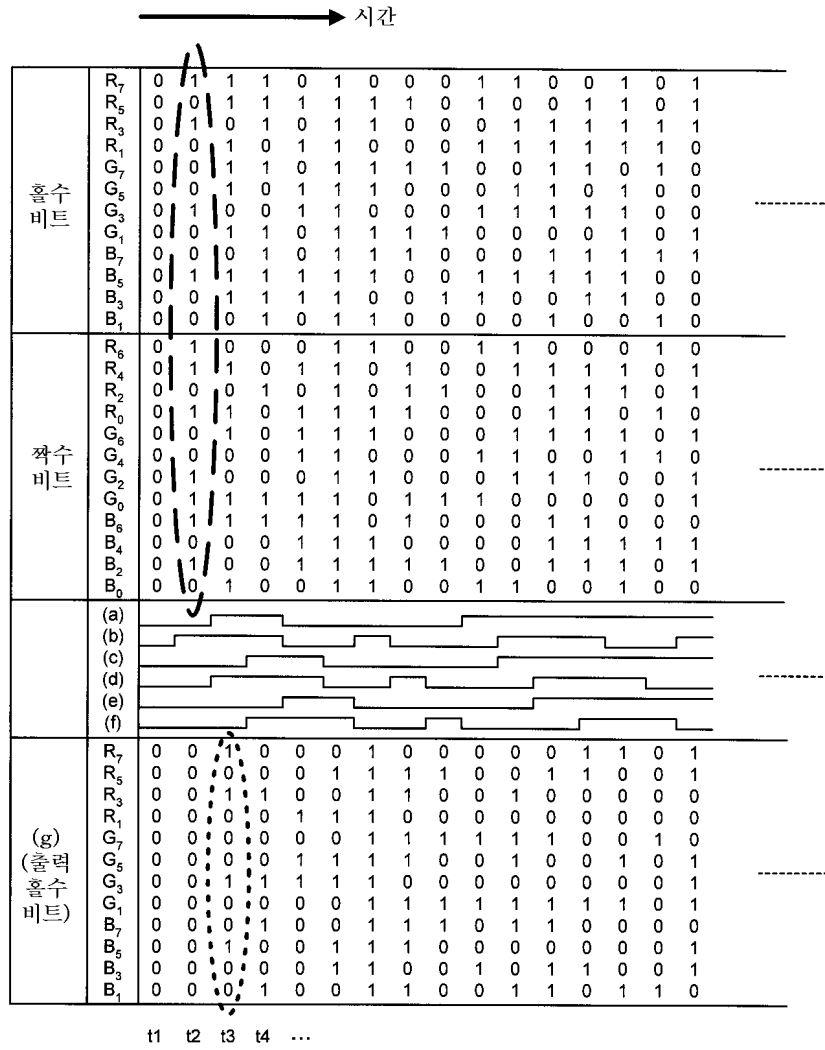


도면2

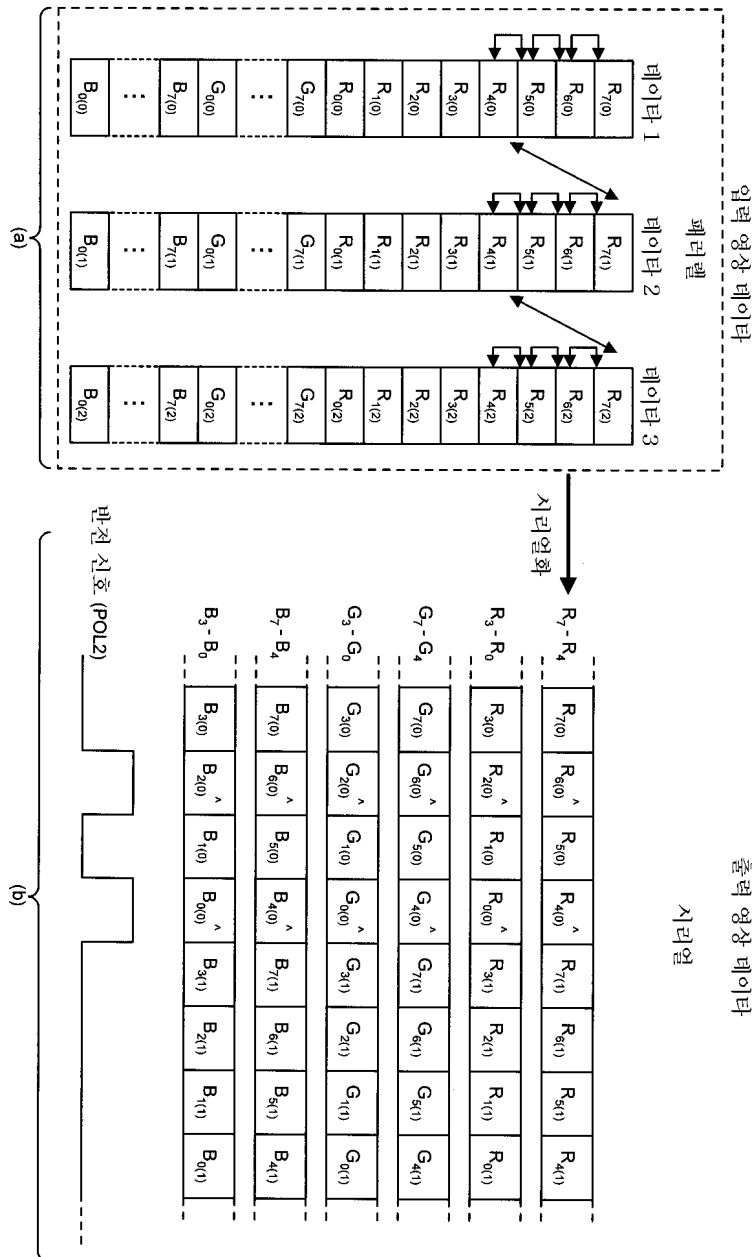


*이 예에서, 입력 영상 데이터는 24비트를 갖는다(R, G, B 각각의 8비트를 가짐)
 *반전 신호(S0)는 홀수 비트에 대한 반전 신호이고, 반전 신호(S1)는 짝수 비트에 대한 반전 신호이다
 *점(a)~(f)는 도 2의 타이밍 차트의 관측점이다
 *각 F/F는 클럭 및 리셋 단자를 갖는다

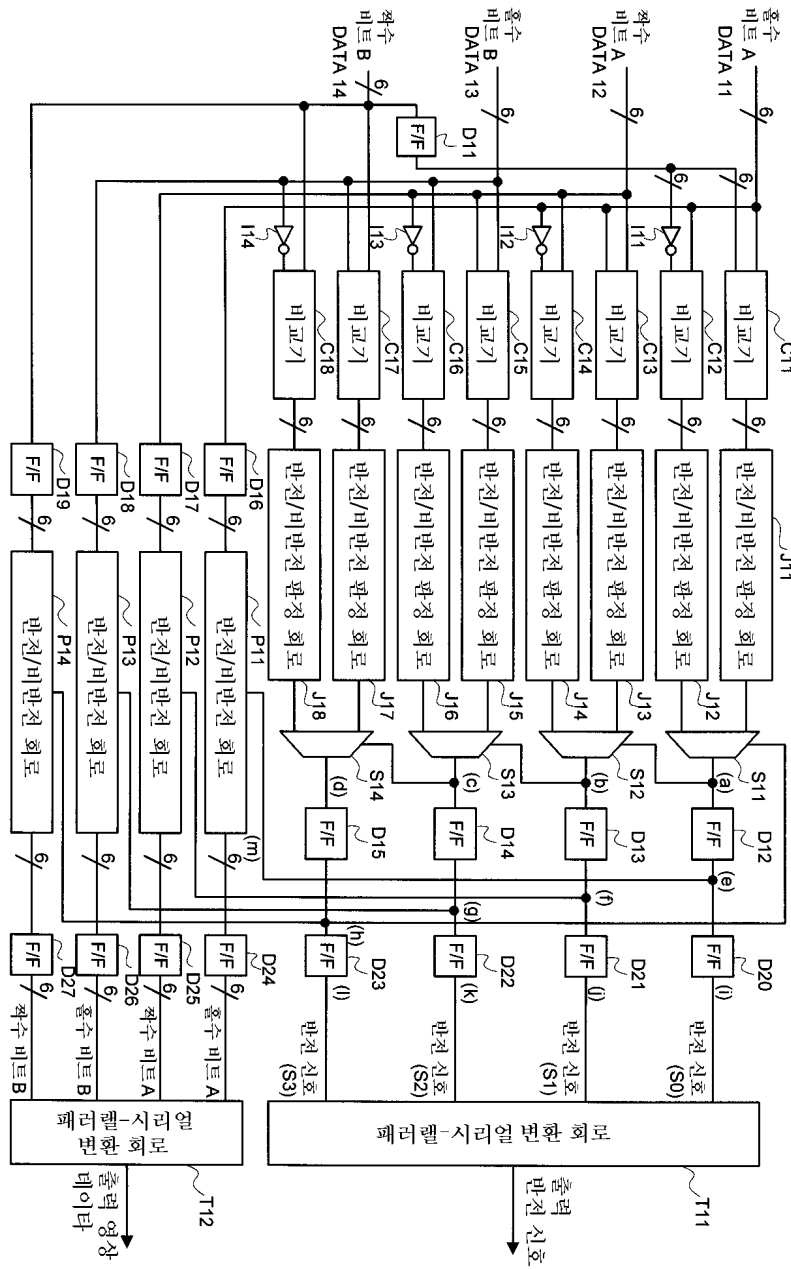
도면3



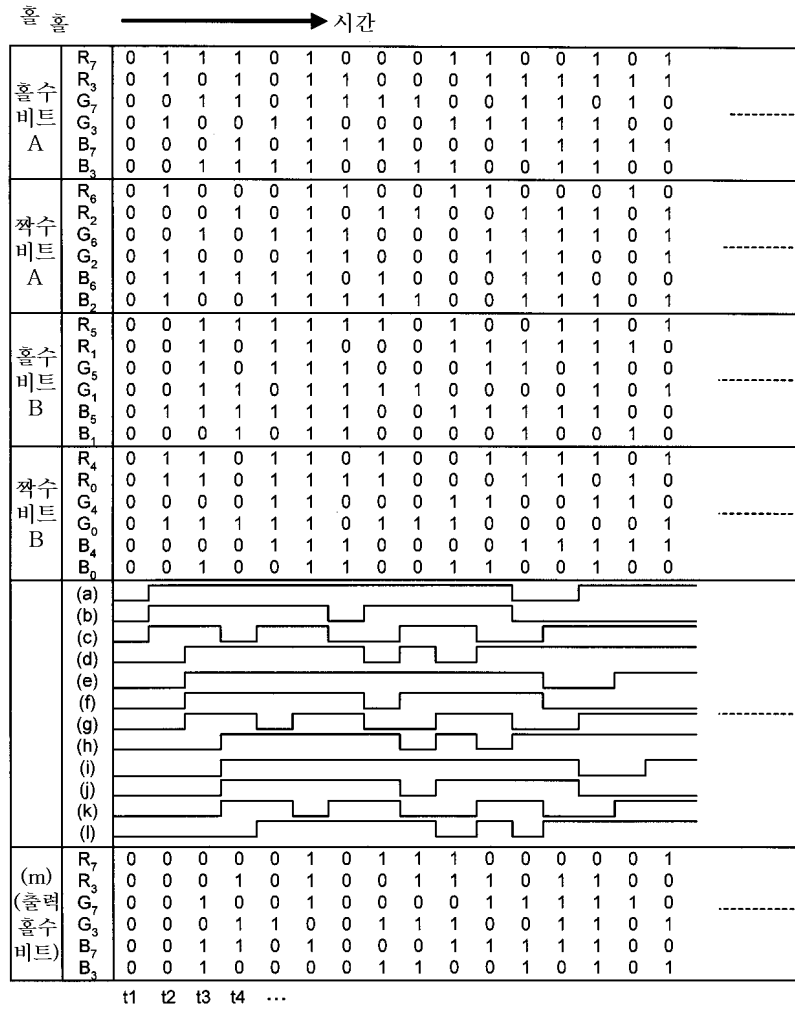
도면4



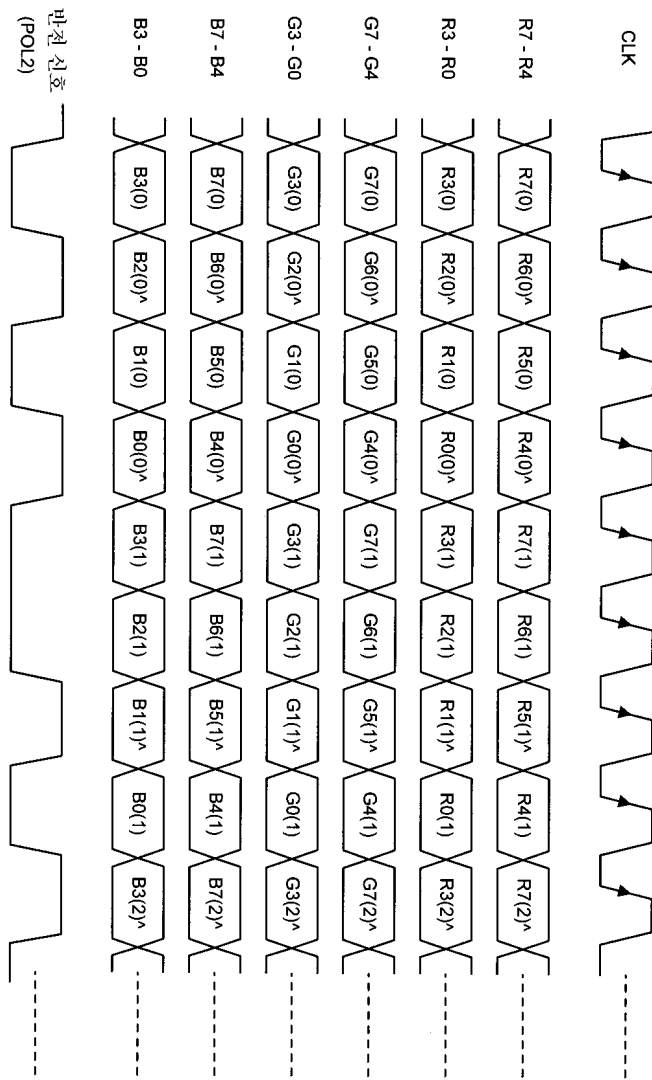
도면5



도면6

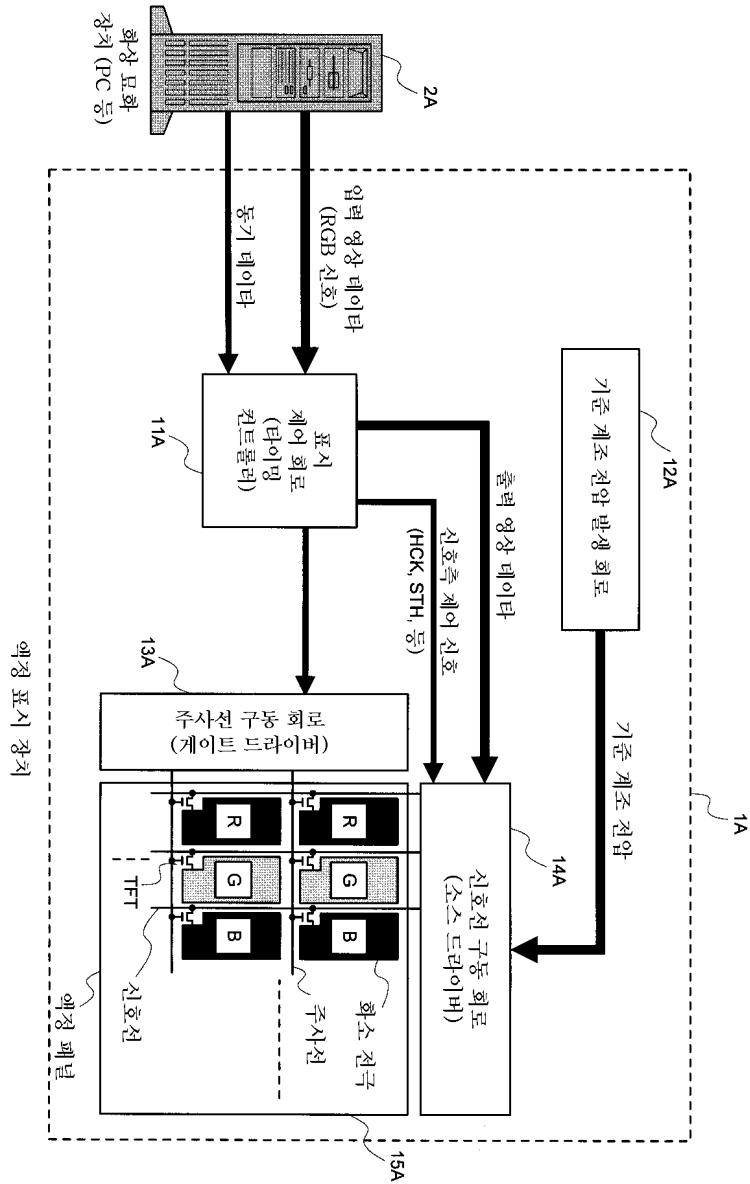


도면7

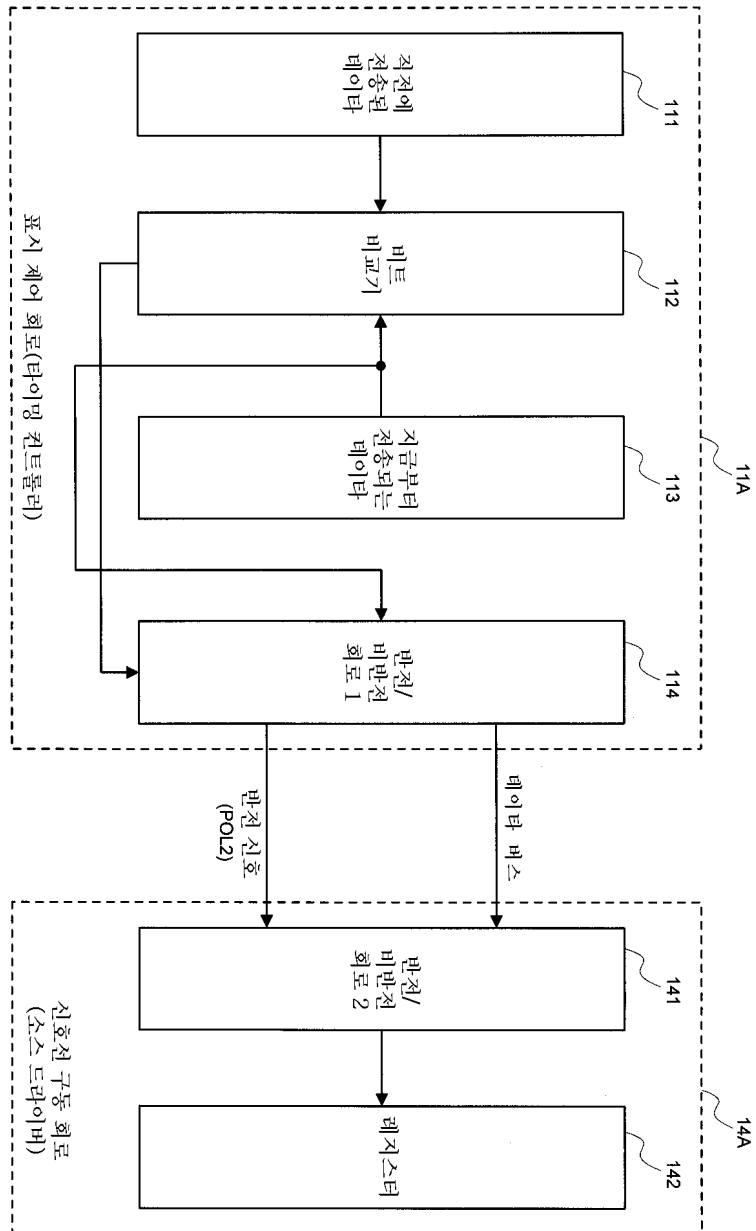


도면8

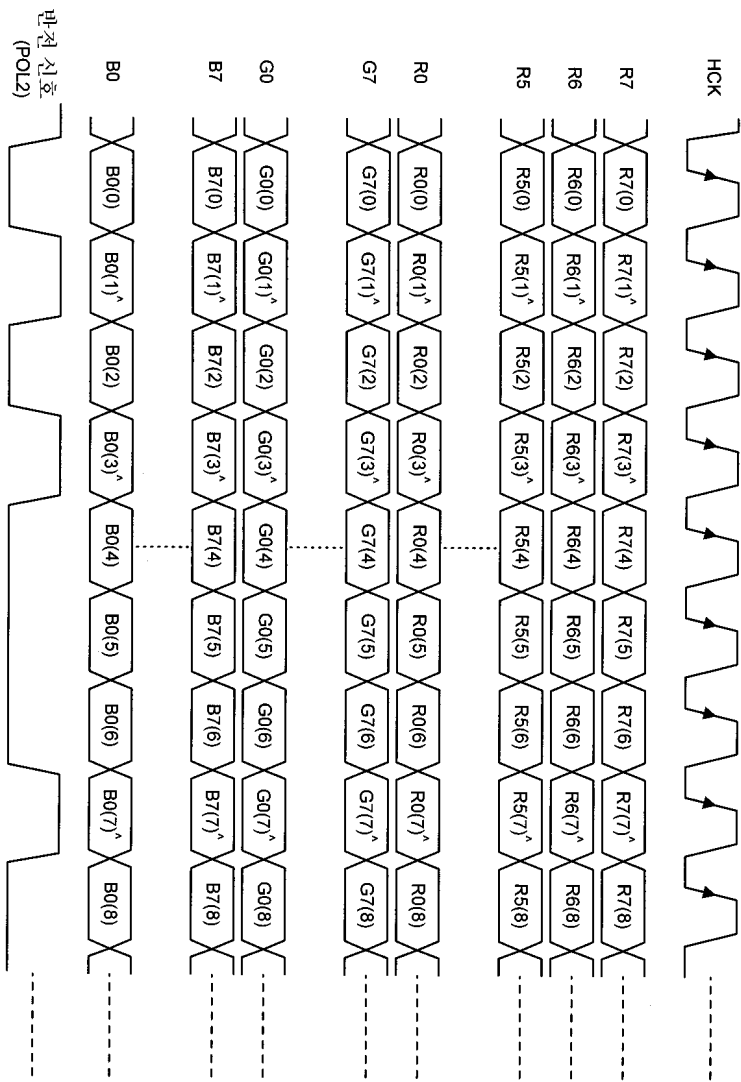
(종래 기술)



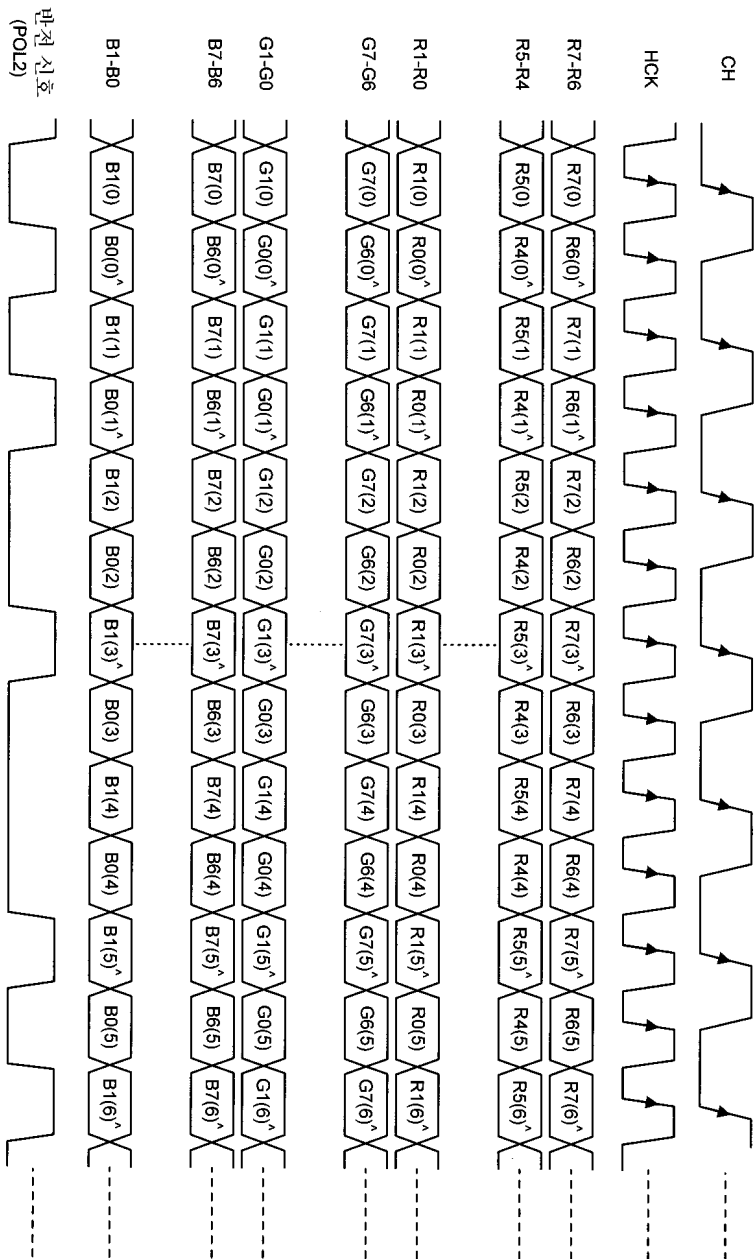
도면9



도면 11



도면 12



专利名称(译)	图像数据传输方法，显示控制电路和液晶显示装置		
公开(公告)号	KR100545602B1	公开(公告)日	2006-01-25
申请号	KR1020030049404	申请日	2003-07-18
[标]申请(专利权)人(译)	瑞萨电子株式会社		
申请(专利权)人(译)	瑞萨电子株式会社		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	TESHIROGI YOSHIYUKI 데시로기요시유키 NOSE TAKASHI 노세다카시		
发明人	데시로기요시유키 노세다카시		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/00		
CPC分类号	G09G2330/06 G09G3/3611 G09G5/006		
代理人(译)	LEE, JUNG HEE CHANG, SOO KIL		
优先权	2002211802 2002-07-19 JP		
其他公开文献	KR1020040010265A		
外部链接	Espacenet		

摘要(译)

在部分串行化视频数据以将其从显示控制电路传输到诸如源极驱动器的信号线驱动电路的技术中，数据比较①（1和①之后的数据顺序为2）在对视频数据进行并行-串行转换之前，在并行数据的阶段中顺序地进行，并且确定数据的比特反转数是否大于一半以控制反转/与对运算速度变为数据的数据的反转/非反转进行控制的情况相比，可以减小比较器的运算速度，反转/非反转确定电路等。通过部分序列化视频数据来提高。

