

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.⁷
 G09G 3/20

(45) 공고일자 2005년12월16일
 (11) 등록번호 10-0536871
 (24) 등록일자 2005년12월08일

(21) 출원번호	10-2003-0025972	(65) 공개번호	10-2003-0084728
(22) 출원일자	2003년04월24일	(43) 공개일자	2003년11월01일

(30) 우선권주장	JP-P-2002-00125028	2002년04월25일	일본(JP)
------------	--------------------	-------------	--------

(73) 특허권자	샤프 가부시키가이샤 일본 오사카후 오사카시 아베노구 나가이케조 22방 22고
-----------	---

(72) 발명자	사까구찌노부히사 일본 나라켄 텐리시 이소노까미조506-1-비205
----------	---

(74) 대리인	주성민 구영창
----------	------------

심사관 : 강윤석

(54) 표시 구동 장치 및 그것을 이용한 표시 장치

요약

표시 구동 장치는 계조 수분의 기준 전압을 발생시키는 계조 전압 발생 회로와, 상기 기준 전압 중에서 표시 데이터에 따른 기준 전압을 선택하여 출력하는 DA 변환 회로를 구비하고, 액티브 매트릭스 방식의 표시 패널의 데이터 신호선에 대하여 계조 표시용 전압을 인가하는 것으로, 계조 전압 발생 회로 내에, 상한 전압과 하한 전압 사이의 전압값을 갖는 계조 수분의 기준 전압을 발생시키는 저항 분할 회로와, 상한 전압 및 하한 전압을 발생시키는 조정 회로가 제공되어 있다. 그리고, 계조 전압 발생 회로 외부의 전자 볼륨으로 조정한 참조 전압을 조정 회로에 공급하고, 참조 전압에 기초하여 상한 전압 및 하한 전압의 양방을 변화시킨다. 이에 의해, 제조 비용을 증가시키지 않고 액정 재료나 액정 패널의 특성에 따라 그 특성을 용이하게 변경할 수 있는 표시 구동 장치 및 그것을 이용한 표시 장치를 제공할 수 있다.

대표도

도 1

색인어

계조, 극성, 펠스, 샘플링, 표시 구동 장치, 계조 전압 발생 회로

명세서

도면의 간단한 설명

도 1은 본 발명의 실시의 일 형태에 따른 소스 드라이버가 구비하는 계조 전압 발생 회로의 회로 구성을 나타내는 회로도.

도 2는 본 발명의 실시의 일 형태에 따른 액정 표시 장치의 개략의 구성을 나타내는 블록도.

도 3은 본 발명의 실시의 일 형태에 따른 액정 패널의 개략의 구성을 나타내는 회로도.

도 4는 액정 표시 장치에서의 액정 구동 과정의 일례를 도시하는 도면.

도 5는 액정 표시 장치에서의 액정 구동 과정의 다른 일례를 도시하는 도면.

도 6은 본 발명의 실시의 일 형태에 따른 소스 드라이버의 개략의 구성을 나타내는 블록도.

도 7은 도 1의 계조 전압 발생 회로 내에서의 조정 회로의 부분의 구성을 나타내는 회로도.

도 8은 도 6의 소스 드라이버에 있어서의 대향 전극 구동 회로의 회로 구성을 나타내는 회로도.

도 9는 극성 반전용 신호와, 대향 전극 구동 전압과, 소스 드라이버 출력 단자로부터의 정극성 및 부극성에 의한 계조 표시 용 아날로그 전압과의 관계를 나타내는 도면.

도 10은 본 발명의 다른 실시 형태에 따른 소스 드라이버의 개략의 구성을 나타내는 블록도.

도 11은 도 10의 소스 드라이버에 있어서의 계조 전압 발생 회로의 회로 구성을 나타내는 회로도.

도 12는 도 10의 소스 드라이버에 있어서의 대향 전극 구동 회로의 회로 구성을 나타내는 회로도.

도 13은 관련 기술의 액정 표시 장치의 개략의 블록 구성예를 도시하는 도면.

도 14는 관련 기술의 소스 드라이버의 개략의 구성을 나타내는 블록도.

도 15는 관련 기술의 소스 드라이버가 포함하는 기준 전압 발생 회로의 개략의 구성을 도시하는 도면.

도 16은 도 15의 기준 전압 발생 회로가 포함하는 저항 분할 회로를 구성하는 상세한 설명도.

도 17은 관련 기술의 소스 드라이버가 포함하는 DA 변환 회로와 출력 회로의 개략의 구성을 도시하는 도면.

도 18은 『보정을 행한 경우에 있어서의, 계조 표시 데이터와 액정 구동 출력 전압과의 관계를 나타내는 도면.

도 19는 주사 신호를 도시하는 타이밍차트.

도 20은 주사 신호와, 데이터 신호와, 대향 전극에 인가되는 전압과의 타이밍차트.

도 21은 액정 표시 장치가 라인 반전 구동법을 이용하여 구동되는 경우에 있어서의 2개의 연속하는 프레임에서의 각 화소 내의 전류의 극성을 나타내는 도면으로, (a)는 임의의 프레임에서의 각 화소 내의 전류의 극성을 나타내는 도면이고, (b)는 (a)의 프레임에 계속되는 다음의 프레임에서의 각 화소 내의 전류의 극성을 나타내는 도면.

도 22는 본 발명에 따른 다른 실시 형태에서 사용 가능한 연산 증폭기의 예를 나타내는 회로도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 액정 패널

2 : 소스 드라이버

2A : 소스 구동 회로

3 : 게이트 드라이버

3A : 게이트 구동 회로

4 : 컨트롤러

5 : 액정 구동 전원

6 : 전자 불륨(전압 조정기)

7 : 대향 전극(공통 전극)

21 : 대향 전극 구동 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 방식의 액정 패널이나 EL(electroluminescent; 일렉트로루미네센스) 패널 등의 표시 패널을 구동하는 표시 구동 장치, 및 그것을 이용한 표시 장치에 관한 것이다.

액정 표시 장치나 EL 디스플레이 등과 같은 매트릭스형의 표시 장치에 있어서의 여러가지의 표시 방식 중, 고정밀한 표시를 행할 수 있는 방식으로서 스위칭 소자에 TFT(Thin Film Transistor; 박막 트랜지스터)를 이용한 액티브 매트릭스 방식이 있다.

관련 기술(related art)로서는 액티브 매트릭스 방식의 표시 장치의 대표적인 예인 TFT 방식의 액정 표시 장치를, 그 블록 구성을 나타내는 도 13에 기초하여 설명한다.

이 액정 표시 장치는 액정 표시부와 그것을 구동하는 액정 구동 장치로 구성되어 있다. 상기 액정 표시부는 TFT 방식의 액정 패널(901)을 포함하고 있다.

이 액정 패널(901) 내에는 도시하지 않은 액정 표시 소자와, 대향 전극(공통 전극)(907)이 형성되어 있다. 한편, 이 액정 구동 장치는 각각 IC(Integrated Circuit; 집적 회로)로 이루어지는 복수의 소스 드라이버(902)로 구성된 소스 구동 회로(902A)와, 각각 IC로 이루어지는 복수의 게이트 드라이버(903)로 구성된 게이트 구동 회로(903A)와, 컨트롤러(904)와, 액정 구동 전원(905)과, 대향 전극(907)의 전위를 제어하기 위한 대향 전극 구동 회로(906)를 포함하고 있다.

소스 드라이버(902)나 게이트 드라이버(903)는, 일반적으로는 배선을 형성한 절연 필름 상에 IC 칩을 탑재한, 예를 들면 TCP(Tape Carrier Package; 테이프 캐리어 패키지)를 액정 패널(901)의 ITO(Indium Tin Oxide; 산화 인듐 주석) 등으로 이루어지는 단자 상에 실장하여, 접속하거나, IC 칩을 ACF(Anisotropic Conductive Film; 이방성 도전막)를 사이에 두고, 직접 액정 패널(901)의 ITO 등으로 이루어지는 단자에 열압착하여 실장하여, 접속하는 방법으로 구성되어 있다. 도 13에서는 이들 구성을 기능별로 분리한 형태로 나타내고 있다.

컨트롤러(904)는 디지털화된 표시 데이터(예를 들면, 적, 녹, 청에 대응하는 RGB의 각 신호) D 및 각종 제어 신호를 소스 드라이버(902)에 출력함과 함께, 각종 제어 신호를 게이트 드라이버(903)에도 출력하고 있다. 소스 드라이버(902)에의 주된 제어 신호는 수평 동기 신호(래치 신호), 소스 드라이버용 스타트 펄스 신호 및 소스 드라이버용 클럭 신호 등이 있으며, 도면에서는 S1로 나타내고 있다. 한편, 게이트 드라이버(903)에의 주된 제어 신호는 수직 동기 신호나 게이트 드라이버용 클럭 신호 등이 있으며, 도면에서는 S2로 나타내고 있다. 또, 도면에서, 각 IC 칩을 구동하기 위한 전원은 생략되어 있다.

액정 구동 전원(905)은 소스 드라이버(902)나 게이트 드라이버(903)로 액정 패널 표시용 전압(후술하는 참조 전압 VR 등)을 공급하는 것이다.

외부로부터 입력된 표시 데이터는 컨트롤러(904)를 통해 디지털 신호를 소스 드라이버(902)로 상기 표시 데이터 D로서 입력된다.

소스 드라이버(902)는 컨트롤러(904)로부터 입력된 표시 데이터 D를 시분할로 내부에 래치하고, 그 후 컨트롤러(904)로부터 입력되는 수평 동기 신호(래치 신호 LS(도 14 참조)라고도 함)에 동기하여 DA(디지털-아날로그) 변환을 행한다. 그리고, 소스 드라이버(902)는 DA 변환에 의해 얻어진 계조 표시용 아날로그 전압(계조 표시용 전압; 데이터 신호)을, 액정 구동 전압 출력 단자로부터, 도시하지 않은 소스 신호선(데이터 신호선)을 통하여, 그 액정 구동 전압 출력 단자에 대응한, 액정 패널(901) 내의 액정 표시 소자(도시 생략)로 각각 출력한다. 게이트 드라이버(903)는 도시하지 않는 게이트 신호선(주사 신호선)에 주사 신호를 출력하여, 게이트 신호선을 선택한다.

도 14는 상기 소스 드라이버(902)의 블록 구성을 나타내고 있다. 이하, 기본적인 부분만 설명한다. 또한, 여기서는 최종단 이외의 단의 소스 드라이버(902)에 대하여 설명하지만, 최종단의 소스 드라이버(902)도 캐스케이드 출력 신호 S를 출력하지 않는 점 이외에는 마찬가지의 구성이다.

상기 소스 드라이버(902)는 입력 래치 회로(1011), 시프트 레지스터 회로(1012), 샘플링 메모리 회로(1013), 홀드 메모리 회로(1014), 레벨 시프터 회로(1015), DA 변환 회로(1016), 출력 회로(1017), 및 기준 전압 발생 회로(1019)를 구비하고 있다.

컨트롤러(904)로부터 전송되어 온 각 표시 데이터(디지털 신호) DR·DG·DB(예를 들면, 각 6비트)는, 일단 입력 래치 회로(1011)로 래치된다. 또, 각 표시 데이터 DR·DG·DB는, 각각 적, 녹, 청에 대응하고 있다.

한편, 표시 데이터 DR·DG·DB의 전송을 제어하기 위한 스타트 펄스 신호 SP는 클럭 신호 CK에 동기를 취하여, 시프트 레지스터 회로(1012) 내에 전송되고, 시프트 레지스터 회로(1012)의 각단(플립플롭)으로부터 샘플링 메모리 회로(1013)에 출력 신호 S로서 출력됨과 함께 시프트 레지스터 회로(1012)의 최종단으로부터 차단의 소스 드라이버(902)에 캐스케이드 출력 신호 S(차단의 소스 드라이버(902)의 스타트 펄스 신호 SP)로서 출력된다.

이 시프트 레지스터 회로(1012)의 각단으로부터의 출력 신호에 동기하여 앞의 입력 래치 회로(1011)로 래치된 표시 데이터 DR·DG·DB는 시분할로 샘플링 메모리 회로(1013) 내에 일단 기억됨과 함께, 다음의 홀드 메모리 회로(1014)에 출력된다.

1수평 동기 기간의 표시 데이터가 샘플링 메모리 회로(1013)에 기억되면, 홀드 메모리 회로(1014)는 수평 동기 신호(래치 신호 LS)에 기초하여 샘플링 메모리 회로(1013)로부터의 출력 신호를 수신하여, 다음의 레벨 시프터 회로(1015)로 출력함과 함께, 다음의 수평 동기 신호가 입력될 때까지 그 표시 데이터를 유지한다.

레벨 시프터 회로(1015)는 홀드 메모리 회로(1014)로부터의 출력 신호(표시 데이터)의 신호 레벨을, 차단의 DA 변환 회로(1016)로 액정 패널(901)에의 인가 전압(아날로그 전압)으로 변환 가능한 범위에 적합시키기 위해서, 승압 등에 의해 변환하는 회로이다.

기준 전압 발생 회로(1019)는 액정 구동 전원(905)(도 13 참조)으로부터의 참조 전압 VR에 기초하여, 계조 수분의 계조 표시용 아날로그 전압을 발생시켜, DA 변환 회로(1016)에 출력한다.

DA 변환 회로(1016)는 기준 전압 발생 회로(1019)로부터 공급되는 계조 수분의 아날로그 전압(계조 표시용 전압) 중에서, 레벨 시프터 회로(1015)로 레벨 변환된 표시 데이터에 따른 아날로그 전압을 선택한다. 이 계조 표시를 나타내는 아날로그 전압은 출력 회로(1017)를 통하여, 각 액정 구동 전압 출력 단자(이하, 간단히 출력 단자라고 기재함)(1018)로부터 액정 패널(901)의 각 소스 신호선으로 출력된다.

출력 회로(1017)는 기본적으로는 버퍼 회로이고, 예를 들면 차동 증폭 회로를 이용한 전압 팔로워 회로로 구성되는 것이다.

다음으로, 본 발명에 특히 관계하는 기준 전압 발생 회로(1019) 및 DA 변환 회로(1016)에 대하여, 이들의 회로 구성을 보다 상세히 설명한다.

도 15는 관련 기술로서의, 기준 전압 발생 회로(1019)의 회로 구성예를 나타내고 있다. RGB에 대응하는 디지털 표시 데이터가 각각 예를 들면 6비트로 구성되어 있는 경우(18비트 컬러인 경우), 기준 전압 발생 회로(1019)는 $2^6=64$ 종류의 계조 표시에 대응하는 64종류의 아날로그 전압 $V_0 \sim V_{63}$ 을 출력한다. 이하, 그 구체적인 구성에 대하여 설명한다.

기준 전압 발생 회로(1019)는 저항기 $R_0 \sim R_7$ 이 직렬로 접속된 저항 분할 회로로 구성되어 있으며, 가장 간단한 구성으로 되어 있다.

상기한 저항기 $R_0 \sim R_7$ 의 각각은, 8개의 저항 소자가 직렬로 접속되어 구성되어 있다. 예를 들면, 저항기 R_0 에 대하여 설명하면, 도 16에 도시한 바와 같이, 8개의 저항 소자 $R_{01}, R_{02}, \dots, R_{08}$ 이 직렬 접속되어 저항기 R_0 이 구성되어 있다.

또한, 다른 저항기 $R_1 \sim R_7$ 에 대해서도, 상기한 저항기 R_0 과 마찬가지로, 8개의 저항 소자가 직렬 접속된 구성이다. 따라서, 기준 전압 발생 회로(1019)는 합계 64개의 저항 소자가 직렬 접속되어 구성되어 있게 된다.

또한, 기준 전압 발생 회로(1019)는 9종류의 참조 전압 $V'_0, V'_8, \dots, V'_{56}, V'_{64}$ 에 대응하는 9개의 중간조 전압 입력 단자를 포함하고 있다. 그리고, 저항기 R_0 의 일단에, 참조 전압 V'_{64} 에 대응하는 중간조 전압 입력 단자가 접속되어 있는 한편, 저항기 R_0 의 타단, 즉 저항기 R_0 과 저항기 R_1 과의 접속점에, 참조 전압 V'_{56} 에 대응하는 중간조 전압 입력 단자가 접속되어 있다.

이하, 서로 이웃하는 각 저항기 $R_1, R_2, R_3, R_4, \dots, R_6, R_7$ 의 접속점에, 참조 전압 $V'_{48}, V'_{40}, \dots, V'_{8}$ 에 대응하는 중간조 전압 입력 단자가 접속되어 있다. 그리고, 저항기 R_7 에 있어서의 저항기 R_6 의 접속점은 반대측에, 참조 전압 V'_{0} 에 대응하는 중간조 전압 입력 단자가 접속되어 있다.

이 구성에 의해, 64개의 저항 소자가 서로 이웃하는 2저항 소자 사이의 노드로부터 출력되는 전압 $V_1 \sim V_{63}$ 과, 참조 전압 V'_{0} 으로부터 그대로 얻어지는 전압 V_0 을 합하여, 합계 64종류의 계조 표시용 아날로그 전압 $V_0 \sim V_{63}$ 을 얻을 수 있다. 결국, 기준 전압 발생 회로(1019)가 저항 분할 회로로 구성되는 경우, 계조 표시용 아날로그 전압인 전압 $V_0 \sim V_{63}$ 은 기준 전압 발생 회로(1019)로부터 DA 변환 회로(1016)에 입력된다.

또, 일반적으로는 양단의 2개의 중간조 전압 입력 단자에는, 항상 참조 전압 V'_{0} 및 V'_{64} 가 입력되는 한편, 남는 $V'_{8} \sim V'_{56}$ 에 대응하는 7개의 중간조 전압 입력 단자는 미세 조정용으로서 사용되고, 실제로는 이를 7개의 단자에는 전압이 입력되지 않는 경우도 있다.

다음으로, DA 변환 회로(1016)에 대하여 설명한다. 도 17은 관련 기술로서의, DA 변환 회로(1016)의 일 구성예를 나타내고 있다. 또, 도 17에서, 참조 부호(1017)는 먼저 나타낸 출력 회로이고, 여기서는 전압 팔로워 회로로 구성되어 있다.

DA 변환 회로(1016)에서는 6비트의 디지털 신호로 이루어지는 표시 데이터에 따라, 입력된 64종류의 전압 $V_0 \sim V_{63}$ 중의 1개가 선택되어 출력되도록 아날로그 스위치가 배치되어 있다. 즉, 6비트의 디지털 신호로 이루어지는 표시 데이터의 각각(Bit0 ~ Bit5)에 따라, 상기 아날로그 스위치가 온/오프된다. 이에 의해, 입력된 64종류의 전압 중의 1개가 선택되어 출력 회로(1017)로 출력된다. 또, 아날로그 스위치는, 예를 들면 MOS(metal oxide semiconductor) 트랜지스터나 트랜스미션 케이트 등으로 구성된다.

이하에, 이 아날로그 스위치의 배치를 설명한다.

6비트의 디지털 신호(표시 데이터)는 Bit0이 최하위 비트(LSB; Least Significant Bit)이고, Bit5가 최상위 비트(MSB; Most Significant Bit)이다. 상기 아날로그 스위치(이하, 간단히 스위치라고 함)는 2개로 1조의 스위치쌍을 구성하고 있다. Bit0에는 32조의 스위치쌍(64개의 스위치)이 대응하고 있으며, Bit1에는 16조의 스위치쌍(32개의 스위치)이 대응하고 있다.

이하, Bit마다 개수가 2분의 1이 되어, Bit5에는 1조의 스위치쌍(2개의 스위치)이 대응하게 된다. 따라서, 합계로, $2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 1 = 63$ 조의 스위치쌍(126개의 스위치)이 존재한다.

Bit0에 대응하는 스위치의 일단은 앞의 전압 $V_0 \sim V_{63}$ 이 입력되는 단자로 되어 있다. 그리고, 상기 스위치의 타단은 2개 1조로 접속됨과 함께, 또한 다음의 Bit1에 대응하는 스위치의 일단에 접속되어 있다. 이후, 이 구성이 Bit5에 대응하는 스위치까지 반복된다. 최종적으로는, Bit5에 대응하는 스위치로부터 1개의 선이 인출되고, 출력 회로(1017)에 접속되어 있다.

Bit0~Bit5에 대응하는 스위치를, 각각 스위치군 $SW_0 \sim SW_5$ 라고 부르기로 한다. 스위치군 $SW_0 \sim SW_5$ 의 각 스위치는 6비트의 디지털 신호(표시 데이터) Bit0~Bit5에 의해, 이하와 같이 제어된다. 스위치군 $SW_0 \sim SW_5$ 에서는 대응하는 Bit가 0(Low 레벨)일 때에는 각 2개 1조의 아날로그 스위치의 한쪽(도면에서는 하측의 스위치)이 ON하고, 반대로 대응하는 Bit가 1(High 레벨)일 때에는 다른 아날로그 스위치의 한쪽(도면에서는 상측의 스위치)이 ON한다.

도면에서는 Bit0~Bit5가 (111111)이고, 모든 스위치쌍에 있어서 상의 스위치가 온하고, 하의 스위치가 오프로 되어 있다. 이 경우, DA 변환 회로(1016)로부터는 전압 V_{63} 이 출력 회로(1017)에 출력된다.

마찬가지로, 예를 들면 Bit0~Bit5가 (111110)이면, DA 변환 회로(1016)로부터는 전압 V_{62} 가 출력 회로(1017)에 출력되고, (000001)이면 전압 V_1 이 출력되고, (000000)이면 전압 V_0 이 출력된다. 이와 같이 하여, 디지털 표시에 따른 계조 표시용 아날로그 전압 $V_0 \sim V_{63}$ 중에서 하나가 선택되어, 계조 표시가 실현된다.

상기한 기준 전압 발생 회로(1019)는 통상 1개의 소스 드라이버 IC에 1개 설치되어, 공유화하여 사용된다. 한편, DA 변환 회로(1016) 및 출력 회로(1017)는 각 출력 단자(1018)에 대응하여 형성되어 있다.

또한, 컬러 표시인 경우는 출력 단자(1018)는 각 색에 대응하여 사용되기 때문에, 그 경우에는 DA 변환 회로(1016) 및 출력 회로(1017)는 화소마다, 또한 1색당 각각 1회로가 사용된다.

즉, 액정 패널(901)의 긴 변 방향(수평 라인 방향)의 화소 수가 N이면, 적, 녹, 청의 각 색용의 출력 단자(1018)를, 각각 R, G, B에 첨자 n($n=1, 2, \dots, N$)을 붙여 나타내면, 이 출력 단자(1018)로서는 $R_1, G_1, B_1, R_2, G_2, B_2, \dots, R_N, G_N, B_N$ 이 있으며, 그 때문에, 3N개의 DA 변환 회로(1016) 및 출력 회로(1017)가 필요하게 된다.

상술한 관련 기술과 같은 액정 표시 장치는, 일본국 공개 특허 공보 「특개2000-183747호 공보」 (공개일: 평성12년 (2000년)6월 30일)(미국 특허 제6, 373, 419호에 대응)에 개시되어 있다.

그런데, 관련 기술인 실제의 액정 표시 장치에서의 계조 표시에서는, 액정 재료의 광 투과 특성과 사람의 시각 특성의 차이를 조정하여, 자연스러운 계조 표시를 행하기 위해서 γ 보정을 행하고 있다. 이 γ 보정으로서는 기준 전압 발생 회로(1019)로, 각종 계조 표시용 아날로그 전압값을, 내부 저항을 등분 분할하여 발생시키는 것이 아니라, 비등분으로 분할하여 발생시키는 방법이 일반적이다.

도 18은 상기 관련 기술로 γ 보정을 행한 경우에, 계조 표시 데이터(디지털 표시 데이터)와 액정 구동 출력 전압(계조 표시용 아날로그 전압)과의 관계를 나타내고 있다. 도 18에 도시한 바와 같이, 디지털 표시 데이터에 대한 계조 표시용 아날로그 전압값으로 지그재그선 특성을 갖게 하고 있다.

이 특성을 실현하기 위해서, 도 15에 도시한 기준 전압 발생 회로(1019)에서는 각 저항기 R_0, \dots, R_7 내를 등분으로 8분할함과 함께, 각 저항기 R_0, \dots, R_7 의 저항값으로서는 앞의 γ 보정을 실현할 수 있는 저항값으로 하고 있다.

즉, 예를 들면 저항기 R_0 을 구성하는 직렬로 접속된 8개의 저항 소자 $R_{01}, R_{02}, \dots, R_{08}$ 은 전부 동일한 저항값으로 함과 함께, 각 8개의 저항 소자를 묶은 형태로 구성되는 저항기 R_0, R_1, \dots, R_7 의 저항값의 비를, 앞의 γ 보정을 실현할 수 있는 비율로 바꿈으로써, γ 보정을 실현하고 있다.

상기 액정 패널(901)은 액정을 분극시키지 않기 때문에, 반전 구동(교류 구동)된다. 반전 구동의 방법에는, 소위 도트 반전 구동법과, 소위 라인 반전 구동법이 있다.

이후의 설명에서는 상기 액정 패널(901)의 화소(회소)의 배열이, 6행 5열이고, 6개의 게이트 신호선 및 5개의 소스 신호선에 의해 구동되는 것으로 가정한다.

우선, 관련 기술로서, 상술한 구성의 액정 표시 장치를 라인 반전 구동법을 이용하여 구동하는 경우의, 해당 액정 표시 장치의 거동을 설명한다.

도 19는 관련 기술로서의 상기 액정 표시 장치 내의 상기 게이트 드라이버(903)로부터 6개의 게이트 신호선에 각각 주어지는 주사 신호 S11a~S11f를 도시하는 타이밍차트이다.

도 20은 관련 기술로서의 상기 액정 표시 장치에 있어서, 상술한 주사 신호 S11a~S11f 중의 어느 하나의 주사 신호 S11과, 소스 드라이버(902)로부터 5개의 소스 신호선에 각각 주어지는 데이터 신호 중의 하나의 데이터 신호 S12와, 상기한 대향 전극(907)에 인가되는 대향 전극 구동 전압 S13과의 타이밍차트이다.

도 19와 도 20을 더불어 설명한다.

주사 신호 S11a~S11f는 미리 정하는 프레임 표시 기간 CH마다, 미리 정하는 단일한 수평 동기 기간 WH의 동안만큼, 하이 레벨을 각각 유지하고, 잔여 기간은 로우 레벨을 유지한다. 수평 동기 기간 단위로 복수의 주사 신호 S11a~S11f가 각각 하이 레벨을 유지하는 타이밍은 서로 다르다. 그 때문에, 어느 하나의 게이트 신호선 상의 화소의 행 내의 모든 화소에는 해당 어느 하나의 게이트 신호선에 주어진 주사 신호가 하이 레벨을 유지하는 동안에, 상기 유지시켜야 되는 전압이 기입된다. 게이트 신호선 상의 화소의 행은, 그 게이트 신호선에 게이트 단자가 접속된 복수의 TFT의 드레인 단자에, 각각 접속된 화소 전극을 포함하는 복수의 화소의 집합을 가리킨다.

대향 전극(907)에 인가되는 대향 전극 구동 전압 S13의 교류 성분의 주기는 수평 기간 WH와 동등하다. 즉, 라인 반전 구동법이 이용되는 경우, 통상 대향 전극(907)은 단일의 정전압(5V) 전원으로 수평 기간 WH와 동일한 주기로 교류 구동되고, 그 전위(대향 전극 구동 전압 S13)는 전원 전압 레벨(5V)과 GND 전압 레벨(0V) 사이에서 변화한다.

데이터 신호 S12(소스 드라이버(902)의 출력)의 교류 성분은 대향 전극(907)에 인가되는 대향 전극 구동 전압 S13의 교류 성분의 진폭 중심을 중심으로 하여, 수평 기간 WH 이하의 미리 정하는 주기로 변화한다. 데이터 신호 S12의 교류 성분의 진폭은 화소의 계조에 따라 변화한다. 화소의 계조가 최대인 경우, 즉 화소를 흑색으로 하는 경우의 데이터 신호 S12a의 교류 성분과, 화소의 계조가 최소인 경우, 즉 화소를 백색으로 하는 경우의 데이터 신호 S12b의 교류 성분은, 정확하게 극성이 반전한 형으로 되어 있다.

화소의 계조가 최대 및 최소인 경우의 데이터 신호 S12a 및 S12b의 진폭은, 어느 쪽도, 대향 전극(907)에 인가되는 대향 전극 구동 전압 S13의 교류 성분의 진폭보다 작다.

화살표 S14a·S14b는 화소에 상기 유지시켜야 되는 전압을 기입하기 위해서 상기 화소 내를 흐르는 전류의 극성, 즉 상기 화소에 상기 유지시켜야 되는 전압을 기입하는 시점에서, 상기 소스 신호선에 유지시키는 전압 S12b가, 대향 전극(907)에 유지되는 전압(대향 전극 구동 전압 S13)에 대하여 어떠한 대소 관계에 있는지를 나타낸다.

화살표 S14a·S14b가 상향이면, 상기 소스 신호선(데이터선)의 전압이 상기 대향 전극(907)의 센터 전압(S13)보다 높기 때문에, 화소 내를 흐르는 전류의 극성은 플러스가 된다. 화살표 S14a·S14b가 하향이면, 상기 소스 신호선의 전압이 상기 대향 전극(907)의 센터 전압(S13)보다 낮기 때문에, 화소 내를 흐르는 전류의 극성은 마이너스가 된다. 화소 내를 흐르는 전류의 극성이 플러스인 경우, 상기 전류는 소스 신호선으로부터 상기 화소를 통하여 상기 대향 전극(907)을 향하여 흐른다. 화소 내를 흐르는 전류의 극성이 마이너스인 경우, 상기 전류는 대향 전극(907)으로부터 상기 화소를 통하여 소스 신호선을 향하여 흐른다.

도 21의 (a)는 상기 액정 표시 장치가 상기 라인 반전 구동법을 이용하여 구동되는 경우에, 임의의 프레임(최초의 프레임으로 함)에 있어서, 액정 패널(901) 내의 모든 화소에 상기 유지시켜야 되는 전압을 각각 기입하기 위한, 모든 화소 내의 전류의 극성을, 각각 나타낸다.

도 21의 (b)는 상기 경우에, (a)의 프레임에 계속되는 다음의 프레임에 있어서, 상기 모든 화소 내의 전류의 극성을 각각 나타낸다. 행렬 형상으로 배열된 복수의 구형은 6행 5열의 상기 액정 패널(901) 내의 화소에 각각 상당한다. 상기 구형의 행은 상기 화소의 행에 각각 상당한다. 상기 구형의 열은 화소의 열, 즉 임의의 1개의 소스 신호선에 TFT를 개재하여 접속된 화소 전극을 포함하는 모든 화소의 집합에, 각각 상당한다. 화소에 흐르는 전류의 극성이 플러스인 경우, 상기 화소에 상당하는 구형 내에 「+」(정극성)를 그리고, 상기 극성이 마이너스인 경우, 상기 구형 내에 「-」(부극성)를 그리고 있다.

이상, TFT 방식의 액정 표시 장치의 계조 표시를 행하기 위한 구동 장치에 대하여 설명한다.

그런데, 지금까지의 액정 표시 장치는 텔레비전용 화면이나 퍼스널컴퓨터용 화면 등으로의 활용을 위해, 대화면화의 요구에 기초하여 개발이 진행되어 왔다. 그러나, 한편으로는 최근 급속하게 시장이 확대되고 있는 휴대 전화나 게임 기기 등의 활용을 위해, 휴대용 표시 장치에 적합한 액정 표시 장치 및 그에 탑재하는 액정 구동 장치도 요구되고 있다.

이 휴대 단말기의 용도에 합치한 액정 표시 장치 및 액정 구동 장치의 화면 사이즈는 기본적으로는 소형이다. 따라서, 이들 용도에 맞게 액정 구동 장치도, 소형, 경량, 저소비 전력화(전지 구동을 위해), 그위에 표시 품질의 향상, 저비용화 등이 강하게 요구된다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 기준 전압 발생 회로(1019)에서는, 다음과 같은 문제가 있다. 즉, 최적의 γ 보정을 행한 경우(도 18에 도시한 액정 구동 출력 전압의 지그재그선 특성)는 액정 패널(901)의 화소 수나 액정 재료의 종류에 따라 다르고, 액정 표시 장치마다 서로 다르다. 그리고, 소스 드라이버(902)에 내장되는 기준 전압 발생 회로(1019)의 저항 분할비는 소스 드라이버(902)의 설계 단계에서 결정되어 있다.

따라서, 적용하는 액정 패널(1)의 액정 재료의 종류나 액정 패널(1)의 화소 수에 따라 γ 보정 특성을 변경하는 경우에는 그 때마다 소스 드라이버(902)를 교체해야 하는 문제가 있다.

또, 관련 기술인 γ 보정 특성을 변경하는 방법으로서, 상기 기준 전압 발생 회로(902)의 중간조 전압 입력 단자 $V'_0 \sim V'_{64}$ 에 공급되는 참조 전압(복수의 중간조 전압)을 조정하는 방법도 고려된다. 그러나, 상기 조정 방법에서는 단자 수가 증가하거나 회로 규모가 커져, 제조 비용이 증가하는 문제가 있다.

본 발명은 상기 관련 기술의 문제점을 감안하여 이루어진 것으로, 그 목적은 제조 비용을 증가시키지 않고 액정 재료나 액정 패널의 특성에 따라 γ 보정 특성을 해당 γ 보정값 전압 범위 내에서 용이하게 변경할 수 있는 표시 구동 장치 및 그것을 이용한 표시 장치를 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 표시 구동 장치는 상기한 목적을 달성하기 위해서, 데이터 신호선을 구비하는 액티브 매트릭스 방식의 표시 패널에 대하여, 소정의 주기로 극성이 반전됨과 함께, 표시 데이터에 따라 변조되는 계조 표시용 전압을 해당 표시 패널의 데이터 신호선에 인가하는 표시 구동 장치로서, 계조 수분의 기준 전압을 발생시키는 계조 전압 발생기와, 상기 기준 전압 중에서 표시 데이터에 따른 기준 전압을 선택하여 계조 표시용 전압으로서 출력하는 디지털-아날로그 변환기를 포함하고, 상기 계조 전압 발생기는 상한 전압과 하한 전압 사이의 전압값을 갖는 계조 수분의 기준 전압을 발생시키는 기준 전압 발생기와, 상기 상한 전압 및 하한 전압을 발생시키는 상한·하한 전압 발생기를 포함하고, 상한·하한 전압 발생기는 외부의 전압 조정기로 조정된 입력 전압이 입력되고, 상한 전압 및 하한 전압의 양방을 동일한 입력 전압에 기초하여 변화시키도록 되어 있는 것을 특징으로 하고 있다.

상기 구성에 따르면, 외부의 전압 조정기로 입력 전압을 조정함으로써, 표시 구동 장치를 일일이 교체하지 않고, 표시 패널(액정 재료나 액정 패널)의 특성에 맞게 표시 장치의 γ 특성(표시 데이터의 휘도값에 대한 표시 패널의 표시 휘도의 특성)을 간단하게 조정할 수 있다.

또한, 상기 구성에서는 상한 전압의 발생과 하한 전압의 발생을 공통의 외부 전압으로 조정할 수 있기 때문에, 상기 상한 전압 및 하한 전압을 각각 조정하여 기준 전압 발생기에 외부로부터 공급하는 경우와 비교하여, 외부로부터 공급하는 전압이 적어, 구성을 간소화할 수 있음과 함께, γ 특성의 조정 작업이 용이하게 된다.

본 발명의 표시 장치는 상기한 목적을 달성하기 위해서, 상기한 어느 하나의 구성의 표시 구동 장치와, 상기 표시 구동 장치로부터 데이터 신호가 입력되는 데이터 신호선을 포함하는 액티브 매트릭스 방식의 표시 패널과, 상기 입력 전압을 표시 구동 장치에 공급함과 함께, 입력 전압을 조정 가능한 전압 조정기를 포함하는 것을 특징으로 하고 있다.

상기 구성에 따르면, 전압 조정기로 입력 전압을 조정함으로써, 표시 구동 장치를 일일이 교체재형성하지 않고, 표시 패널(액정 재료나 액정 패널)의 특성에 맞게 표시 장치의 γ 특성을 간단하게 조정할 수 있다.

또한, 상기 구성에서는 전압 조정기에 의한 입력 전압의 조정만으로 상한 전압 및 하한 전압의 양방을 조정할 수 있기 때문에, 상한 전압 및 하한 전압을 각각 조정하는 전압 조정기를 형성하는 경우와 비교하여, 구성을 간소화할 수 있음과 함께, γ 특성의 조정 작업이 용이하게 된다.

본 발명의 또 다른 목적, 특징, 및 우수한 점은 이하에 설명하는 기재에 의해 충분히 알 수 있을 것이다. 또한, 본 발명의 이 점은 첨부 도면을 참조한 다음의 설명으로 명백하게 될 것이다.

〈제1 실시 형태〉

본 발명의 실시의 일 형태에 대하여, 도 1 내지 도 9에 기초하여 설명하면, 다음과 같다.

도 2는 액티브 매트릭스 방식의 대표예인 TFT(박막 트랜지스터) 방식의 액정 표시 장치의 블록 구성을 나타내고 있다. 도 13에 기초하여 먼저 설명한 관련 기술과 마찬가지로, 이 액정 표시 장치는 액정 표시부와 그것을 구동하는 액정 구동 장치로 구성되어 있다. 상기 액정 표시부는 TFT 방식의 액정 패널(표시 패널)(1)을 포함하고 있다.

이 액정 패널(1) 내에는 도시하지 않는 액정 표시 소자와, 후술한 대향 전극(공통 전극)(7)이 형성되어 있다. 한편, 이 액정 구동 회로는 표시 구동 장치로서의 복수의 소스 드라이버(2)로 이루어지는 소스 구동 회로(2A)와, 복수의 게이트 드라이버(3)로 이루어지는 게이트 구동 회로(3A)와, 컨트롤러(4)와, 액정 구동 전원(5)과, 소스 드라이버(2)에 대하여 외부 부착(외부에 배치)된 전자 볼륨(전압 조정기)(6)과, 대향 전극(7)의 전위를 제어하기 위한 대향 전극 구동 회로(21)를 포함하고 있다.

소스 드라이버(2)나 게이트 드라이버(3)는, 일반적으로는 각각 IC 칩으로 이루어져, 이 IC 칩의 단자가, 액정 패널(1)의 ITO 등의 투명 도전체로 형성된 소스 신호선이나 게이트 신호선의 단자부에 대하여 접속됨으로써, 실장된다. 실장 방법으로서는, 일반적으로는 (1) 절연 필름 상에 배선을 형성하여 이루어지는 배선 기판 상에 상기 IC 칩을 탑재한 TCP(테이프 캐리어 패키지) 등의 회로 기판을, 액정 패널(1)의 소스 신호선이나 게이트 신호선의 단자부 상에 실장하여, 접속하는 방법, (2) 상기 IC 칩을 ACF(이방성 도전막)를 사이에 두고, 직접 액정 패널(1)의 소스 신호선이나 게이트 신호선의 단자부에 열압착하여 실장하여, 접속하는 방법 등을 이용할 수 있다.

본 실시 형태에서는 액정 표시 장치의 또 다른 소형화를 도모하기 위해서, 대향 전극 구동 회로(21)가, 소스 드라이버(2)에 내장되고, 소스 신호선을 구동하기 위한 회로 부분(후술하는 입력 래치 회로(12), 시프트 레지스터 회로(13), 샘플링 메모리 회로(14), 홀드 메모리 회로(15), 레벨 시프터 회로(16), 계조 전압 발생 회로(17), DA 변환 회로(18), 출력 회로(19), 및 셀렉터 회로(20))와, 대향 전극 구동 회로(21)가, 하나의 IC 칩으로 구성되어 있다. 이에 의해, 본 실시 형태에서는 또 다른 액정 표시 장치의 소형화에 대응할 수 있는 액정 구동 회로 및 그것을 이용한 액정 구동 장치를 제공할 수 있게 되어 있다.

컨트롤러(4)는, 디지털화된 표시 데이터(예를 들면, 적, 녹, 청에 대응하는 RGB의 각 신호) D 및 각종 제어 신호를 소스 드라이버(2)에 출력함과 함께, 각종 제어 신호를 게이트 드라이버(3)에도 출력하고 있다. 소스 드라이버(2)에의 주된 제어 신호는 수평 동기 신호(래치 신호), 소스 드라이버용 스타트 펄스 신호 및 소스 드라이버용 클럭 신호 등이 있으며, 도면에서는 S1로 나타내고 있다. 한편, 게이트 드라이버(3)에의 주된 제어 신호는 수직 동기 신호나 게이트 드라이버용 클럭 신호 등이 있으며, 도면에서는 S2로 나타내고 있다. 또, 도면에서, 각 IC를 구동하기 위한 전원은 생략되어 있다.

액정 구동 전원(5)은 소스 드라이버(2)나 게이트 드라이버(3)로, 액정 패널(1)에서의 계조 표시를 위한 표시용 전압(후술하는 전원 전압 VCC나 대향 전극 구동 전압 Vcom 등)을 공급하는 것이다.

외부로부터 입력된 표시 데이터는, 컨트롤러(4)를 통해 디지털 신호를 소스 드라이버(2)로 상기 표시 데이터 D로서 입력된다.

소스 드라이버(2)는 컨트롤러(4)로부터 입력된 표시 데이터 D를 시분할로 내부에 래치하고, 그 후 컨트롤러(4)로부터 입력되는 수평 동기 신호(래치 신호 LS(도 3 참조)라고도 함)에 동기하여 DA(디지털-아날로그) 변환을 행한다. 그리고, 소스 드라이버(2)는 DA 변환에 의해 얻어진 계조 표시용 아날로그 전압(계조 표시용 전압; 데이터 신호)을, 액정 구동 전압 출력 단자로부터, 후술하는 소스 신호선(데이터 신호선)(34)을 통하여, 그 액정 구동 전압 출력 단자에 대응한, 액정 패널(1) 내의 액정 표시 소자(도시 생략)로 각각 출력한다. 게이트 드라이버(3)는 후술하는 게이트 신호선(주사 신호선)(35)에 주사 신호를 출력하고, 후술하는 게이트 신호선(35)을 선택한다.

다음으로, 상기 액정 패널(1)에 대하여, 그 구성을 나타내는 도 3에 기초하여 설명한다.

액정 패널(1)에는 화소 전극(31), 액정인 화소 용량(32), 화소 용량(32)으로의 전압 인가를 온/오프하는 스위칭 소자로서의 TFT(33), 소스 신호선(데이터 신호선)(34), 게이트 신호선(35), 및 대향 전극(7)이 형성되어 있다. 도 3에 A로 나타내는 영역이, 하나의 화소, 즉 1화소분의 액정 표시 소자이다.

소스 신호선(34)에는 소스 드라이버(2)로부터 표시 대상의 화소의 밝기에 따른 계조 표시 전압(소스 신호, 데이터 신호)이 주어진다. 게이트 신호선(35)에는 게이트 드라이버(3)로부터, 세로 방향으로 배열된 TFT(33)가 순차적으로 온하도록 주사 신호(게이트 신호)가 주어진다.

온 상태의 TFT(33)를 통해, 해당 TFT(33)의 드레인에 접속된 화소 전극(31)에 소스 신호선(34)의 계조 표시 전압이 인가되면, 화소 전극(31)과 대향 전극(7) 사이의 화소 용량(32)에 전하가 축적된다. 이에 의해, 액정(화소 용량(32))의 광 투과율이 계조 표시 전압에 따라 변화하고, 표시가 이루어진다.

도 4 및 도 5에, 액정 구동 신호의 과정의 일례를 나타내고 있다. 이들 도면 중, 참조 부호(101, 111)는 소스 드라이버(2)로부터의 출력 신호(계조 표시 전압)의 과정, 참조 부호(102, 112)는 게이트 드라이버(3)로부터의 출력 신호(주사 신호)의 과정이다. 참조 부호(103, 113)는 대향 전극(7)의 전위를 나타내는 과정이고, 참조 부호(104, 114)는 화소 전극(31)의 전위를 나타내는 과정이다. 액정(화소 용량(32))에 인가되는 전압은 화소 전극(31)과 대향 전극(7)과의 전위차로, 도면에서 사선으로 나타내고 있다.

예를 들면, 도 4에서는 과정(112)으로 나타내는 게이트 드라이버(3)로부터의 출력 신호가 High 레벨일 때 TFT(33)가 온 하여, 구동 과정(111)으로 나타내는 소스 드라이버(2)로부터의 출력 신호와 대향 전극(7)의 전위(113)와의 차가 화소 용량(32)에 인가된다. 그 후, 구동 과정(112)으로 나타내는 게이트 드라이버(3)로부터의 출력 신호는 Low 레벨이 되어, TFT(33)는 오프 상태가 된다. 이 때, 화소 용량(32)에 전하가 보유되기 때문에, 화소 전극(31)의 전위는 온 상태일 때의 전위(구동 과정(111)으로 나타내는 소스 드라이버(2)로부터의 출력 신호의 전위)로 유지되어, 액정(화소 용량(32))에 인가되는 전압이 유지된다. 도 5인 경우도 마찬가지이다.

도 4와 도 5는, 액정에 인가되는 전압이 다른 경우를 나타내고 있으며, 도 4인 경우는 도 5인 경우와 비교하여 인가 전압이 높다. 이와 같이, 액정에 인가되는 전압을 아날로그 전압으로 하여 변화시킴으로써, 액정의 광 투과율을 아날로그적으로 바꾸고, 다계조 표시를 실현하고 있다. 표시 가능한 계조 수는 액정에 인가되는 아날로그 전압의 선택지의 수에 의해 결정된다.

그런데, 본 발명은 계조 표시용의 액정 구동 장치 중에서, 특히 큰 회로 규모 및 소비 전력을 차지하는 소스 드라이버(2) 중의 계조 표시 기준 전압 발생 회로(이후, 계조 전압 발생 회로라고 함)나 대향 전극 구동 회로(8)에 관한 것이므로, 이후 소스 드라이버(2)를 중심으로 액정 구동 장치의 설명을 행한다.

도 6은 본 발명에 따른 액정 구동 장치의 실시의 일 형태로서의 소스 드라이버(2)의 개략의 구성을 도시하고 있다. 상기 소스 드라이버(2)는 입력 래치 회로(12)와, 시프트 레지스터 회로(13)와, 샘플링 메모리 회로(14)와, 훌드 메모리 회로(15)와 레벨 시프터 회로(16)와, 계조 전압 발생 회로(계조 전압 발생기)(17)와, DA 변환 회로(디지털-아날로그 변환기)(18)와, 출력 회로(19)와, 셀렉터 회로(20)와, 대향 전극 구동 회로(21)로 구성되어 있다.

컨트롤러(4)(도 2 참조)로부터 전송되어 온, 디지털 표시 데이터 DR·DG·DB(예를 들면, 각 6비트)로 이루어지는 표시 데이터 D는, 일단 입력 래치 회로(12)로 래치된다. 또, 각 디지털 표시 데이터 DR·DG·DB는, 각각 적, 녹, 청에 대응하고 있다.

한편, 디지털 표시 데이터 DR·DG·DB의 전송을 제어하기 위한 스타트 펄스 신호 SP는 클럭 신호 CK에 동기를 취하고, 시프트 레지스터 회로(13) 내에 전송되고, 시프트 레지스터 회로(13)의 각단(플립플롭)으로부터 샘플링 메모리 회로(14)에 출력 신호 S로서 출력됨과 함께, 시프트 레지스터 회로(13)의 최종단으로부터 차단의 소스 드라이버(2)에 캐스케이드 출력 신호 S(차단의 소스 드라이버(2)의 스타트 펄스 신호 SP)로서 출력된다.

이 시프트 레지스터 회로(13)의 각단으로부터의 출력 신호에 동기하여, 앞의 입력 래치 회로(12)로 래치된 디지털 표시 데이터 DR·DG·DB는 시분할로 샘플링 메모리 회로(14) 내에 일단 기억됨과 함께, 다음의 홀드 메모리 회로(15)에 출력된다.

1수평 동기 기간의 표시 데이터(표시 패널의 1수평선(1계이트선)의 화소에 대응하는 표시 데이터)가 샘플링 메모리 회로(14)에 기억되면, 홀드 메모리 회로(15)는 수평 동기 신호(래치 신호 LS)에 기초하여 샘플링 메모리 회로(14)로부터의 출력 신호를 수신하고, 다음의 레벨 시프터 회로(16)에 출력함과 함께, 다음의 수평 동기 신호가 입력되기까지의 그 표시 데이터를 유지한다.

레벨 시프터 회로(16)는 홀드 메모리 회로(15)로부터의 출력 신호(표시 데이터)의 신호 레벨을, 차단의 DA 변환 회로(18)로 액정 패널(1)에의 인가 전압(아날로그 전압)으로 변환 가능한 범위에 적합시키기 위해서, 승압 등에 의해 변환하는 회로이다.

계조 전압 발생 회로(17)는 도 1에 도시한 바와 같이, 외부 부착으로써 참조 전압 입력 단자 Vref에 접속되는 전자 볼륨(6)으로부터의 참조 전압 Vref에 기초하여, 계조 표시용 아날로그 전압의 범위(하한 전압 VL로부터 상한 전압 VH까지의 범위)를, 일정한 폭(차)으로, 또한 상하로 조정 가능한 조정 회로(상한·하한 전압 발생기)(416)와, 후술하는 저항 분할 회로(412·413)에서의 γ 보정값을 조정하기 위한 전압 팔로워 회로(414·415)로 이루어지는 버퍼 회로(제1 버퍼)(411)와, 정극성 및 부극성의 교류 구동에 대응하기 위한 2개의 저항 분할 회로(기준 전압 발생기)(412·413)를 포함하고 있다. 저항 분할 회로(412·413)는, 각각 정극성의 복수의 계조 표시용 아날로그 전압(기준 전압 $V_{+0} \sim V_{+63}$) 및 부극성의 복수의 계조 표시용 아날로그 전압(기준 전압 $V_{-63} \sim V_{-0}$)을 발생시킨다. 전자 볼륨(6)은 저항 분할 회로(412·413)에서의 γ 보정값을 조정하기 위한 것이다.

즉, 계조 전압 발생 회로(17)는 계조 표시용 최상위 전압(기준 전압의 상한; 전압 V_{+63} 또는 V_{-0})을 정하는 상한 전압 VH와, 계조 표시용 최하위 전압(기준 전압의 하한; 전압 V_{+0} 또는 V_{-63})을 정하는 하한 전압 VL이 입력되고, 상한 전압 VH와 하한 전압 VL 사이의 전압값을 갖는 계조 수분의 기준 전압 $V_{+0} \sim V_{+63}$ 및 $V_{-63} \sim V_{-0}$ 을 저항 분할에 의해 발생시키는 저항 분할 회로(412·413)와, 상기 상한 전압 VH 및 하한 전압 VL을 발생시키는 조정 회로(416)를 구비하고 있다. 조정 회로(416)는 외부의 전자 볼륨(6)으로 조정된 가변의 참조 전압(입력 전압) Vref가 입력되고, 상한 전압 VH 및 하한 전압 VL의 양방을 동일한 참조 전압 Vref에 기초하여 변화시키도록 되어 있다.

또한, 본 실시의 형태에서의 저항 분할 회로(412·413)는 도 15에 도시한 관련 기술의 기준 전압 발생 회로(1019)인 경우와 마찬가지로, 64종류의 기준 전압을 작성하여 상한 전압 VH와 하한 전압 VL 사이의 중간 전압을 생성하는 것이지만, 정극성의 참조 전압 Vref에 대응하기 위한 정극성용 저항 분할 회로(양의 기준 전압 발생기)(412)와, 부극성의 참조 전압 Vref에 대응하기 위한 부극성용 저항 분할 회로(음의 기준 전압 발생기)(413)로 구성되어 있다. 즉, 저항 분할 회로(412·413)는 정극성의 참조 전압 Vref에 대응한 계조 수분의 정극성의 기준 전압 $V_{+0} \sim V_{+63}$ 을 발생시키는 정극성용 저항 분할 회로(412)와, 부극성의 참조 전압 Vref에 대응한 계조 수분의 부극성의 기준 전압 $V_{-63} \sim V_{-0}$ 을 발생시키는 부극성용 저항 분할 회로(413)로 구성되어 있다.

저항 분할 회로(412·413)에는 컨트롤러(4)로부터 극성 반전용 단자 PLO를 통해 입력되는 극성 반전용 신호 REV의 극성에 따라, 저항 분할 회로(412) 및 저항 분할 회로(413) 중의 한쪽(출력을 선택한 쪽)을 동작 상태로 하고, 다른 쪽을 동작 정지 상태로 하는 전환기가 부가되어 있다. 즉, 저항 분할 회로(412·413)는 극성 반전용 신호 REV와 다른 극성의 출력(계조 표시용 아날로그 전압)을 선택하고, 그에 따른 저항 분할 회로(412 또는 413)만이 동작하고, 정극성 또는 부극성의 기준 전압을 발생시키도록 구성되어 있다.

상기 전환기에는 정극성용 저항 분할 회로(412)에 부가된 극성 반전용 신호 REV가 입력되는 아날로그 스위치 SA와, 부극성용 저항 분할 회로(413)에 부가된 아날로그 스위치 SB와, 극성 반전용 신호 PLO의 극성을 반전하여 아날로그 스위치 SA에 공급하기 위한 인버터(419)가 부가되어 있다.

저항 분할 회로(412, 413)의 극성의 선택은 액정 구동 출력의 극성 반전용 단자 PLO로부터의 극성 반전용 신호 REV의 레벨("High" 레벨인지 "Low" 레벨인지)에 따라, 저항 분할 회로(412·413) 내에 형성된 아날로그 스위치 SA 및 아날로그 스위치 SB의 어느 한쪽을 개방(ON) 상태로 하고, 다른 한쪽은 차단(OFF) 상태로 하도록 구성되어 있다. 또, 여기서는 아날로그 스위치 SA·SB는 "High" 레벨의 극성 반전용 신호 REV(인가 전압)이 아날로그 스위치 SA·SB의 게이트에 인가됨으로써 저항 분할 회로(412·413)의 어느 한쪽만이 도통 상태가 되도록 구성되어 있다. 즉, 아날로그 스위치 SA·SB는 정극성의 신호가 입력되었을 때에만 도통 상태가 되도록 구성되어 있다.

저항 분할 회로(412)는 정극성의 참조 전압 Vref에 대응하기 위한 것으로, 기준이 되는 γ 보정을 행하기 위한 저항비를 갖는 저항기 RP0~RP5와, 극성 반전용 신호 REV의 극성에 의해 온·오프가 제어되는 아날로그 스위치 SA로 구성되어 있다. 통상, 상기 저항기 RP0~RP5는 고저항의 폴리실리콘(다결정 실리콘)에 의해 형성되어 있다.

저항기 RP0~RP5 중, 저항기 RP0에 있어서의 일단에는 버퍼 회로(411)에 있어서의 상한 전압용의 전압 팔로워 회로(414)의 출력이 접속되고, 저항기 RP0의 타단에는 저항기 RP1의 일단이 접속되어 있다. 저항기 RP1~RP4의 각각은 복수의 저항 소자가 직렬로 접속되어 구성되어 있다. 예를 들면, 저항기 RP1은 15개의 저항 소자(도시 생략)가 직렬 접속되어 구성되어 있다. 또한, 다른 저항기 RP2~RP4도, 16개의 저항 소자가 직렬 접속되어 구성되어 있다. 저항기 RP4의 타단에는 저항기 RP5의 일단이 접속되어 있다. 저항기 RP5의 타단에는 아날로그 스위치 SA를 개재하여 하한 전압용의 전압 팔로워 회로(415)의 출력이 접속되어 있다.

따라서, 저항 분할 회로(412)는 합계 65개의 저항 소자가 직렬 접속되어 구성되어 있게 된다.

한편, 정극성에 대응하기 위한 저항 분할 회로(412)와 마찬가지로, 부극성에 대응하기 위한 저항 분할 회로(413)도, 기준이 되는 γ 보정을 행하기 위한 저항비를 갖는 저항기 RN0~RN5와, 극성 반전용 신호 REV의 극성에 의해 온·오프가 제어되는 아날로그 스위치 SB로 구성되어 있다. 통상, 상기 저항기 RN0~RN5는 고저항의 폴리실리콘으로 형성되어 있다.

저항기 RN0~RN5 중, 저항기 RN0에 있어서의 일단에는 하한 전압용의 전압 팔로워 회로(415)의 출력이 접속되고, 저항기 RN0의 타단은 저항기 RN1의 일단에 접속된다. 저항기 RN1~RN4의 각각은, 복수의 저항 소자가 직렬로 접속되어 구성되어 있다. 예를 들면, 저항기 RN1은 15개의 저항 소자(도시 생략)가 직렬 접속되어 구성되어 있다. 또한, 다른 저항기 RN2~RN4도, 16개의 저항 소자가 직렬 접속되어 구성되어 있다. 저항기 RN4의 타단은 저항기 RN5의 일단과 접속되고, 저항기 RN5의 타단은 아날로그 스위치 SB를 통하여 상한 전압용 전압 팔로워 회로(414)의 출력이 접속된다.

따라서, 저항 분할 회로(413)도, 합계 65개의 저항 소자가 직렬 접속되어 구성되어 있게 된다.

다음으로, 상기한 조정 회로(416)의 구성에 대하여, 도 7에 기초하여 상세하게 설명한다.

조정 회로(416)는 액정 구동 전원(5)과 접지 전위 GND(고정 전압) 사이에 직렬 접속된 4개의 저항 소자로 이루어지는 저항 분할 회로(저항 분압기)로 형성되어 있다. 보다 상세하게는 조정 회로(416)는 전원 전압 Vcc의 공급점(노드) A와 상한 전압 VH 사이의 저항 소자(제1 저항기) R1과, 상한 전압 VH의 출력점과 참조 전압 Vref의 공급점(노드) B 사이의 저항 소자(제2 저항기) R2, 접지 전위 GND의 공급점(노드) C와 하한 전압 VL의 출력점 사이의 저항 소자(제4 저항기) R3, 및 참조 전압 Vref의 공급점 B와 하한 전압 VL 사이의 저항 소자(제3 저항기) R4로 구성되어 있다.

저항 소자 R1~R4는 저항 소자 R1의 저항값을 R1, 저항 소자 R2의 저항값을 R2, 저항 소자 R3의 저항값을 R3, 저항 소자 R4의 저항값을 R4로 하면,

$$R1:R2=R3:R4$$

를 만족하도록 저항값이 설정되어 있다. 또한, 참조 전압 입력 단자 Vref에는 외부로부터 전원 전압 VCC와 접지 전위 GND(=0V) 사이의 전압값으로 설정된 참조 전압 Vref가 입력되도록 되어 있다.

이와 같이 저항 소자 R1~R4의 저항비를 R1:R2=R3:R4로 함으로써, 노드 A에 생성되는 상한 전압 VH, 및 노드 C에 생성되는 하한 전압 VL은,

$$VH=Vref+ (VCC-Vref)\times R2/(R1+ R2)$$

$$=V_{ref} \times R1/(R1+R2) + VCC \times R2/(R1+R2)$$

$$VL=GND+ (V_{ref}-GND) \times R3/(R3+R4)$$

$$=GND \times R4/(R3+R4) + V_{ref} \times R3/(R3+R4)$$

$$=GND \times R2/(R1+R2) + V_{ref} \times R1/(R1+R2)$$

가 된다. 따라서, 상한 전압 VH와 하한 전압 VL과의 차(전압의 범위)는,

$$VH-VL=(VCC-GND) \times R2/(R1+R2)$$

이 되고, 전압 Vref의 값에 상관없이 일정하게 된다.

이로부터, 참조 전압 Vref의 전압값의 설정을 변경하는 것만으로, 계조 표시용의 기준 전압의 범위를 정하는 상한 전압 VH 및 하한 전압 VL의 전압값을, 전압차를 일정하게 유지하면서 가변 제어 할 수 있다.

다음으로, 이 점에 대하여, 구체예에 기초하여 설명한다. 예를 들면, 도 7에서 저항 소자 R1~R4의 저항비를 R1:R2=1:9, R3:R4=1:9로 하고, VCC=5V, GND=0V, Vref=2.5V일 때의 상한 전압 VH, 하한 전압 VL, 및 상한 전압 VH와 하한 전압 VL과의 차를 구하면, 다음과 같이 된다. 즉, 상한 전압 VH의 전압값은,

$$VH=V_{ref}+ (VCC-V_{ref}) \times R2/(R1+R2)$$

$$=2.5V+ 2.25V$$

$$=4.75V$$

가 된다. 하한 전압 VL의 전압값은,

$$VL=GND+ (V_{ref}-GND) \times R3/(R3+R4)$$

$$=0V+ 0.25V$$

$$=0.25V$$

가 된다. 상한 전압 VH와 하한 전압 VL과의 차는,

$$VH-VL=4.75V-0.25V=4.5V$$

가 된다.

또한, 참조 전압 Vref만을 3.0V로 변경하고, 다른 전압 조건을 동일(VCC=5V, GND=0V)하게 하였을 때의 상한 전압 VH, 하한 전압 VL, 및 상한 전압 VH와 하한 전압 VL과의 차를 구하면, 다음과 같이 된다. 즉, 상한 전압 VH의 전압값은,

$$VH=V_{ref}+ (VCC-V_{ref}) \times R2/(R1+R2)$$

$$=3.0V+ 1.80V$$

$$=4.80V$$

가 된다. 하한 전압 VL의 전압값은

$$VL=GND+ (V_{ref}-GND) \times R3/(R3+R4)$$

=0V+ 0.30V

=0.30V

가 된다. 상한 전압 VH와 하한 전압 VL과의 차는,

$$VH - VL = 4.80V - 0.30V = 4.5V$$

가 된다.

이와 같이 하여, 외부 부착으로써 입력 단자 Vref에 접속된 전압 조정기로서의 전자 볼륨(6)으로부터의 참조 전압 Vref에 따라, 계조 표시용의 64단계의 기준 전압 $V_{+0} \sim V_{+63}$ 또는 $V_{-63} \sim V_{-0}$ (하한 전압 VL로부터 상한 전압 VH까지의 범위)를, 일정한 폭(전압 차 VH-VL)으로, 또한 상하로 용이하게 조정이 가능하게 된다.

또한, 조정 회로(416)의 노드 B(도 7 참조)와 참조 전압 입력 단자 Vref 사이에는 도 1에 도시한 바와 같이, 전압 팔로워 회로(417)가 삽입되어 있다. 이 전압 팔로워 회로(17)는 저항 소자 R1~R4에 관통 전류가 흐름으로써 소비되는 전력을 저감시키기 위한 것이다. 전압 팔로워 회로(417)를 삽입함으로써, 저항 소자 R1~R4의 저항값을 높게 하고, 저항 소자 R1~R4에 흐르는 전류값을 억제할 수 있다. 이 결과, 소비 전력을 저감시킬 수 있다. 전압 팔로워 회로(417)를 삽입함으로써, 저 임피던스의 전압(참조 전압 Vref)을 저항 소자 R1~R4에 공급할 수 있다. 이에 의해, 저항 소자 R1~R4에 있어서 상한 전압 VH와 하한 전압 VL과의 차를 확실하게 일정하게 유지할 수 있다. 또, 조정 회로(416) 내의 전압 팔로워 회로(417)를 생략해도, 동작상, 문제를 일으키지 않는다.

셀렉터 회로(20)는 저항 분할 회로(412)로부터 출력되는 복수의 계조 표시용 아날로그 전압(기준 전압 $V_{+0} \sim V_{+63}$), 저항 분할 회로(413)로부터 출력되는 복수의 계조 표시용 아날로그 전압(기준 전압 $V_{-63} \sim V_{-0}$) 중 어느 한쪽의 조를, 상기 액정 구동 출력의 극성 반전용 단자 PLO로부터 공급되는 극성 반전용 신호 REV의 극성에 따라 선택하고, DA 변환 회로(18)로 출력시키는 것이다.

이 기준 전압은 출력 회로(38)를 통하여, 각 액정 구동 전압 출력 단자(40)(이하, 간단히 출력 단자라고 기재함)로부터 액정 패널(1)의 각 소스 신호선(34)으로 출력된다. 출력 회로(38)는 후술하는 차동 증폭 회로를 이용한 전압 팔로워 회로로 구성된다.

셀렉터 회로(20)는 극성 반전용 신호 REV에 의해 제어되는 하나의 아날로그 스위치(도시 생략)로 구성되어 있다. 셀렉터 회로(20)는 액정 구동 전압 출력 단자의 1출력마다 상기 정극성에 대응한 저항 분할 회로(412)로부터의 인가 전압 $V_{+0} \sim V_{+63}$ 또는 부극성에 대응한 저항 분할 회로(413)로부터의 인가 전압 $V_{-0} \sim V_{-63}$ 의 어느 한쪽을 극성 반전용 단자 PLO로부터 공급되는 극성 반전용 신호 REV의 "High" 레벨 또는 "Low" 레벨에 따라 선택하고, DA 변환 회로(18)로 출력시킨다. 또, 해당 아날로그 스위치는 인가 전압 "High" 레벨이 아날로그 스위치의 게이트에 인가됨으로써 도통 상태가 되도록 구성되어 있다.

하기의 표 1에, 상기한 극성 반전용 신호 REV와 셀렉터 회로(20)로 선택되는 인가 전압의 관계를 나타낸다.

[표 1]

극성 반전용 신호 REV	셀렉터 회로
"Low"	정극성 $V_{+0} \sim V_{+63}$
"High"	부극성 $V_{-0} \sim V_{-63}$

DA 변환 회로(18)는 계조 전압 발생 회로(17)로부터 공급되는 각종 계조 표시용 전압(아날로그 전압)으로부터, 레벨 시프터 회로(16)로 레벨 변환된 표시 데이터에 따른 아날로그 전압을 하나 선택한다.

이 계조 표시를 나타내는 아날로그 전압은 출력 회로(19)를 통하여, 각 액정 구동 전압 출력 단자(22)(이하, 간단히 출력 단자라고 기재함)로부터 액정 패널의 각 소스 신호선으로 출력된다. 출력 회로(19)는 차동 증폭 회로를 이용한 전압 팔로워 회로로 구성되는 것이다.

DA 변환 회로(18) 및 출력 회로(19)로서는, 먼저 설명한 관련 기술의 구성과 마찬가지로, 도 17에 도시한 DA 변환 회로(1016) 및 출력 회로(1017)가 적합하게 이용된다. DA 변환 회로(1016) 및 출력 회로(1017)에 대해서는 상술한 바와 같으므로, 여기서는 그 설명을 생략한다.

대향 전극 구동 회로(21)는 도 8에 도시한 바와 같이, 전원 전압을 버퍼링하는 제2 버퍼로서, 차동 증폭 회로(21a)를 이용한 전압 팔로워 회로(제2 버퍼)(21b)를 내장하고 있다. 대향 전극 구동 회로(21)는 극성 반전용 단자 PLO로부터 공급되는 극성 반전용 신호 REV를, 전압 팔로워 회로(21b)에서 저임피던스 변환을 행한 후에, 액정 패널(1)의 대향 전극(7)에 대향 전극 구동 전압 Vcom으로서 출력한다.

또, 상기 설명에서는 대향 전극 구동 회로(21)로서, 오페 증폭기(연산 증폭기)에 의한 전압 팔로워 회로(21b)를 구비하는 예를 들었지만, 이 구성에 한정되는 것은 아니다. 예를 들면, 다른 구성의 대향 전극 구동 회로(21)로서, 극성 반전용 신호 REV를 레벨 시프터 회로(예를 들면, 소스 드라이버(2) 내의 레벨 시프터 회로(16)와 동일한 회로)로, 일단 액정 구동 전압으로 레벨 시프트시킨 후, 출력 버퍼 회로(전압 팔로워 회로)를 통하여 출력시킴으로써 마찬가지의 효과를 실현할 수 있는 것은 물론이다. 또한, 전압 팔로워 회로(21b)를 이용하여 전압 레벨을 유지한 채 저 임피던스 변화하는 것이 아니라, 차동 증폭 회로를 반전 증폭 회로나 비반전 증폭 회로로서 이용하여, 입력 신호(전압 레벨)를 증폭해도 된다.

이상과 같이, 본 실시 형태에 따른 계조 전압 발생 회로(17)에서는 외부 부착으로써 하나의 입력 단자 Vref에 접속된 전자 볼륨(6)으로부터의 참조 전압 Vref에 기초하여, 계조 표시용의 64단계의 기준 전압 $V_{+0} \sim V_{+63}$ 또는 $V_{-63} \sim V_{-0}$ 의 범위(계조 표시용 아날로그 전압의 진폭 전압값)를, 상한 전압 VH 및 하한 전압에 의해, 일정한 전압 폭으로, 또한 용이하게 상하로 조정 가능하다.

또한, 계조 표시용의 64단계의 기준 전압 $V_{+0} \sim V_{+63}$ 또는 $V_{-63} \sim V_{-0}$ 을 용이하게 조정할 수 있으므로, 액정 패널(1)의 특성이나 액정 재료의 종류 등에 따라 γ 보정 특성(γ 특성)을 γ 보정값 전압 범위 내에서 용이하게 변경할 수 있다. 보다 상세하게 설명하면, 우선 상술한 바와 같이, γ 보정을 행하는 경우의 액정 구동 출력 전압의 지그재그선 특성은, 액정 재료의 종류나 액정 패널의 화소 수에 의해 다른 것이지만, 계조값이 같으면, 그 특성 곡선에 있어서의 각 계조 사이에서의 전압비는 동등한 것이 된다. 이 때문에, 이론적으로는 계조 전압 발생 회로(17)에 있어서의 상한 전압 VH 및 하한 전압 VL의 전압값을 조정하면, 원하는 γ 보정을 행할 수 있다. 그리고, 계조 전압 발생 회로(17)에서는 그 외부로부터 입력되는 참조 전압 Vref에 따라 상한 전압 VH 및 하한 전압 VL이 임의의 전압값을 갖는 직류 전압으로 조정되므로, 저항 분할 회로(412·413)에서의 바이어스값(계조 표시용 아날로그 전압값)은 참조 전압 Vref에 따라 조정된다. 따라서, 본 실시 형태의 구성에서는 참조 전압 Vref의 조정만으로 γ 보정 특성(γ 특성)을 용이하게 변경할 수 있다.

따라서, 본 실시 형태의 구성에 따르면, 소스 드라이버(2)를 일일이 교체하지 않고, 액정 재료나 액정 패널(1)의 특성에 맞게 γ 특성(γ 보정량)을 간단하게 조정할 수 있다. 또한, 상한 전압 VH와 하한 전압 VL과의 차가 일정하게 유지되기 때문에, 표시 패널(1)에 표시되는 화상의 콘트라스트를 대략 일정하게 유지할 수 있다. 그 때문에, 콘트라스트가 저하하거나, 콘트라스트가 너무 높아 폴리커(화면의 깜빡임)가 쉽게 지각되거나 하는 것을 회피하면서, 표시 패널(1)의 특성에 따른 γ 특성의 조정을 용이하게 행할 수 있다.

또, 컨트롤러는, 최고 휘도를 Lon, 최저 휘도를 Loff로 했을 때에, (Lon-Loff)/Loff로 표시되는, 동일 화상 내에서의 명암의 차의 크기를 나타내는 것으로 한다.

즉, 본 실시 형태의 계조 전압 발생 회로(17)에 있어서는, 저항 분할 회로(412·413)와 조정 회로(416)와의 조합에 따라, 내부에서 하나의 참조 전압 Vref로부터, 계조 표시용의 64단계의 기준 전압 $V_{+0} \sim V_{+63}$ 또는 $V_{-63} \sim V_{-0}$ 을 생성할 수 있다. 따라서, 도 15에 도시한 관련 기술의 계조 표시 기준 전압 발생 회로(1019)와 같이 9개의 중간조 전압 입력 단자 V0~V64를 형성할 필요가 없고, 외부로부터 참조 전압 Vref를 입력하기 위한 하나의 참조 전압 단자 Vref(및 전원 전압 VCC를 입력하기 위한 단자)를 형성하는 것만으로 충분하다. 따라서, 계조 전압 발생 회로(17)의 단자 수 및 회로 규모를 저감시킬 수 있기 때문에, 계조 전압 발생 회로(17)의 소형화를 도모할 수 있음과 함께, 계조 비용을 억제할 수 있다. 또한, 계조 전압 발생 회로(17)의 구성이 간소화됨으로써, 소스 드라이버(2)가 간단한 회로가 되어, 1칩화가 용이하게 된다.

또한, 계조 전압 발생 회로(17)를 구비하는 본 실시 형태의 액정 표시 장치에서는 중간조 기준 전압(기준 전압 $V_{+0} \sim V_{+63}$ 또는 $V_{-63} \sim V_{-0}$)을 내부에서 발생시키기 위해서, 계조 전압 발생 회로(17)의 외부로부터 중간조 기준 전압을 공급할 필요가 없다. 그 때문에, 액정 표시 장치에서의 전압 공급부의 구성을 간소화할 수 있어, 소형화를 도모할 수 있음과 함께, 제조 비용을 억제할 수 있다. 또한, 하나의 참조 전압 Vref를 전자 볼륨(6)으로 조정함으로써, 계조 표시용의 64단계의 기준 전압 $V_{+0} \sim V_{+63}$ 또는 $V_{-63} \sim V_{-0}$ 을 용이하게 조정할 수 있기 때문에, 참조 전압 Vref를 조정하기 위한 구성도 간소화할 수 있어, 소형화를 도모할 수 있음과 함께, 제조 비용을 억제할 수 있다.

또, 본 실시 형태에 따른 표시 구동 장치로서의 소스 구동 회로(2A)는 소스선을 구동하는 회로와 대향 전극 구동 회로(21)가 1칩(소스 드라이버(2))으로 구성된 것이므로, 또 다른 소형화가 도모되고 있다. 그 때문에, 또한 소형의 액정 구동 회로 및 액정 구동 장치의 제공을 실현할 수 있다.

또한, 본 실시 형태에 따른 표시 장치로서의 액정 표시 장치에서는, 참조 전압 Vref를 기준 전압 입력 단자 Vref에 공급함과 함께 기준 전압 Vref를 조정하기 위한 전자 볼륨(6)을 계조 전압 발생 회로(17)에 대하여 외부 부착하고 있다. 이에 의해, 계조 전압 발생 회로(17)에 있어서의 액정 구동 전원(5)을 신규로 교체하지 않고 \pm 보정값을 용이하게 조정할 수 있다.

또한, 본 실시 형태에서는 저항 분할 회로(412·413)와 조정 회로(416) 사이에, 상한 전압 VH 및 하한 전압 VL을 버퍼링하는 버퍼 회로(411)를 형성하고 있다. 액정 표시 부하(화소)는 용량성 부하이므로, 계조 표시용 아날로그 전압(기준 전압 $V_{+0} \sim V_{+63}$ 또는 $V_{-63} \sim V_{-0}$)의 각 레벨의 안정도가 특히 중요하다. 본 실시 형태에서는 상한 전압 VH 및 하한 전압 VL을, 버퍼 회로(411)를 통하여, 저항 분할 회로(412·413)에 있어서의 최대 전압 VH 및 최소 전압 VL이 입력되는 라인의 저항에 입력하고 있기 때문에, 입력 전압을 저 임피던스 변환하여 용량 부하에의 충방전 시의 전압 변동을 없애어, 계조 표시용 아날로그 전압의 안정화를 실현할 수 있다. 또한, 저항 분할 회로(412·413)에 흐르는 전류값을 억제할 수 있고, 소비 전력을 저감시킬 수 있다. 또, 버퍼 회로(411)의 추가는 큰 소비 전력의 증대를 초래하는 것이 아니다.

도 9에, 극성 반전용 신호 REV와, 대향 전극 구동 전압 Vcom과, 소스 드라이버 출력 단자로부터의 정극성 및 부극성에 의한 계조 표시용 아날로그 전압과의 관계를 나타낸다.

부극성 출력 기간인 경우에는, 도 9에 5개의 실선 및 파선으로 도시한 바와 같이, 계조 표시용 아날로그 전압으로서, 전압 VL에 가까운 00계조(16진 표시; 10진 표시에서는 0계조) 표시용 전압(계조 표시용 최하위 전압)으로부터 전압 VH에 가까운 3F 계조(16진 표시; 10진 표시에서는 63계조) 표시용 전압(계조 표시용 최상위 전압)까지의 각 계조 표시용 전압이 출력된다. 한편, 정극성 출력 기간인 경우에는 도 9에 5개의 실선 및 파선으로 도시한 바와 같이, 전압 VL에 가까운 3F 계조 표시용 전압으로부터 전압 VH에 가까운 00계조 표시용 전압까지의 각 계조 표시용 전압이 출력된다. 그리고, 각 계조 표시 전압과 대향 전극 구동 전압 Vcom과의 차가 실효 전압으로서 액정에 인가되어, 계조 표시가 이루어진다.

또, 본 실시 형태의 구성은 저항 분할 회로(412·413)를 2개의 저항 분할 회로(412·413)로 분할하여, 이들을 전환하는 아날로그 스위치 SA·SB를 형성하고 있었지만, 저항 분할 회로를 2개로 분할하지 않고, 아날로그 스위치 SA·SB를 생략할 수도 있다. 단, 상술한 바와 같이 저항 분할 회로(412·413)에 흐르는 관통 전류를 저감시키기 위해서는 저항 분할 회로(412·413)를 2개의 저항 분할 회로(412·413)로 분할하여, 이들을 전환하는 아날로그 스위치 SA·SB를 형성하는 것이 바람직하다. 또한, 버퍼 회로(제1 버퍼)(411)를 생략해도, 소비 전력은 증대하지만, \pm 보정값을 용이하게 조정할 수 있다고 하는 효과는 얻어진다.

또, 본 실시 형태의 구성에서는 저항 소자 R1~R4의 양단에는 전원 전압 VCC와 접지 전위 GND($=0V$)가 공급되어 있었지만, 저항 소자 R1~R4의 양단(전위점)의 전위는 상호 다른 전위로 유지되고 있으면, 특별히 한정되는 것은 아니다. 따라서, 예를 들면, 저항 소자 R3의 일단을 접지 전위 GND에 접속하는 대신에, 마이너스의 전원 전압을 출력하는 전원에 접속해도 상관없다.

〈제2 실시 형태〉

본 실시의 다른 실시 형태를 도 10 내지 도 12와 도 22에 기초하여 이하에 설명한다.

본 실시 형태의 발명은 제1 실시 형태의 계조 전압 발생 회로(17) 및 대향 전극 구동 회로(21)에 대하여 또 다른 저소비 전력화를 도모하는 것을 목적으로 하고 있다.

본 실시 형태에 따른 표시 장치로서의 소스 드라이버(2)는, 도 10에 도시한 바와 같이 제1 실시 형태의 소스 드라이버(2)에 대하여, "High" 레벨 또는 "Low" 레벨의 전압 레벨을 갖는 제어 신호 CTR이 인가되는 제어 단자 CTR을 새롭게 추가하고, 계조 전압 발생 회로(17)를 이 제어 신호 CTR에 기초하여 각부의 동작을 제어하도록 변경한 계조 전압 발생 회로(41)로 하고, 대향 전극 구동 회로(21)를 이 제어 신호 CTR에 기초하여 각부의 동작을 제어하도록 변경한 대향 전극 구동 회로(42)로 한 점 이외에는 제1 실시 형태의 소스 드라이버(2)와 동일한 구성을 구비하고 있다.

제어 단자 CTR에 인가되는 제어 신호 CTR이 "High" 레벨 및 "Low" 레벨 중 어느 하나인지에 따라, 계조 전압 발생 회로(41) 내에서의, 버퍼 회로(411)의 전압 팔로워 회로(414·415), 조정 회로(416)의 전압 팔로워 회로(417), 및 대향 전극 구동 회로(41)의 전압 팔로워 회로(41b)(전압 팔로워 회로(21b)와 마찬가지의 것)가 동작 또는 정지하도록 구성된다.

전압 팔로워 회로(414·415·417·21b)의 각각으로서 사용 가능한 연산 증폭기의 일례를 이하에 설명한다.

이 연산 증폭기는 제어 신호 CTR이 "High" 레벨인 통상의 구동 시에는 차동 증폭 회로로서 동작하는 한편, 제어 신호 CTR이 "Low" 레벨일 때에는 출력이 하이 임피던스 상태로 되어, 정지 상태로 된다.

도 22에 도시한 바와 같이, 연산 증폭기(381)에서는 DIS 단자에는 제어 신호 CTR이 입력되고, DISN 단자에는 도시하지 않은 인버터 회로를 통하여 반전된 제어 신호 CTR이 입력되어 있다. 또한, 도 22의 VB는 동작점을 정하는 차동쌍을 흐르는 정전류값을 설정하는 전압 입력 단자이다.

연산 증폭기(381)에서는 제어 신호 CTR이 High 레벨(Vdd 레벨)일 때, NchMOS 트랜지스터(3811·3812)가 ON 상태로 되어, 동작 전류가 공급됨과 함께, NchMOS 트랜지스터(3813) 및 PchMOS 트랜지스터(3814)는 OFF 상태로 되기 때문에 통상의 차동 증폭 회로로서 동작한다.

반대로, 제어 신호 CTR이 Low 레벨(GND 레벨)일 때, NchMOS 트랜지스터(3811·3812)가 OFF 상태로 되어, 동작 전류의 공급이 정지됨과 함께, NchMOS 트랜지스터(3813) 및 PchMOS 트랜지스터(3814)는 ON 상태로 된다. 따라서, 출력단의 NchMOS 트랜지스터(3815)와 PchMOS 트랜지스터(3816)를 OFF 상태, 즉 출력을 하이 임피던스 상태로 한다.

전압 팔로워 회로(414·415·417·42b)로서 연산 증폭기(381)를 이용한 경우, 연산 증폭기(381)의 동작으로서는, 우선 1수평 동기 기간 내에, 해당 아날로그 스위치의 게이트에 접속된 DIS 단자(제어 단자 CTR)에 "High" 레벨의 제어 신호 CTR이 공급되면 동작 상태로 된다. 이에 의해, 통상대로, 계조 전압 발생 회로(41) 내에서의, 버퍼 회로(411), 조정 회로(416)의 전압 팔로워 회로(417), 및 대향 전극 구동 회로(42)의 각각의 연산 증폭기(381)(전압 팔로워 회로(414·415·417·42b))가 동작된다.

한편, DIS 단자(제어 단자 CTR)에 인가 전압 "Low" 레벨이 공급되면, 계조 전압 발생 회로(41) 내에서의, 버퍼 회로(411), 조정 회로(416)의 전압 팔로워 회로(417), 및 대향 전극 구동 회로(42)의 각각의 연산 증폭기(381)(전압 팔로워 회로(414·415·417·42b))가 정지된다. 비 동작 시에는 연산 증폭기(381)(전압 팔로워 회로(414·415·417·42b)) 내의 소비 전류는 컷트되어, 출력단은 하이 임피던스 상태가 된다.

도 11, 도 12에, 상기에서 설명한 계조 전압 발생 회로(41) 및 대향 전극 구동 회로(42)의 일례를 나타낸다.

전압 팔로워 회로(414·415·417·42b)의 동작/비 동작의 전환은, 예를 들면 다음과 같이 행하는 것이 바람직하다. 예를 들면, 일정 시간 TI(TI는 1수평 기간 내의 값으로 함)가 경과하여, 화소 용량(액정)에의 충방전이 종료하면, 전압 팔로워 회로(414·415·417·42b)의 동작이 정지 상태로 되는 제어 신호를 입력하고, 수직 동기 블랭킹 기간에 있어서 전압 팔로워 회로(414·415·417·21b)의 동작을 정지하는, 등의 제어에 의해 전압 팔로워 회로(414·415·417·42b)에서의 소비 전력을 저감시킬 수 있다.

또는 휴대 전화 등, 휴대 기기에 사용하는 액정 표시 장치에 있어서, 대기 시간 동안이나, 대기 시간 동안에 주사 신호를 멈춰 TFT를 오프시켜 전하를 유지 상태로 하고 있을 때에 전압 팔로워 회로(414·415·417·42b)의 동작을 정지하는 것도 효과가 있다. 이에 의해서도, 소비 전력을 저감시킬 수 있다.

발명의 효과

본 발명의 표시 구동 장치는, 이상과 같이 계조 수분의 기준 전압을 발생시키는 계조 전압 발생기와, 상기 기준 전압 중에서 표시 데이터에 따른 기준 전압을 선택하여 계조 표시용 전압으로서 출력하는 디지털-아날로그 변환기를 포함하고, 상기 계조 전압 발생기는 상한 전압과 하한 전압 사이의 전압값을 갖는 계조 수분의 기준 전압을 발생시키는 기준 전압 발생기와, 상기 상한 전압 및 하한 전압을 발생시키는 상한·하한 전압 발생기를 구비하고, 상한·하한 전압 발생기는 외부의 전압 조정기로 조정된 입력 전압이 입력되고, 상한 전압 및 하한 전압의 양방을 동일한 입력 전압에 기초하여 변화시키도록 되어 있는 구성이다.

상기 구성에 따르면, 외부의 전압 조정기로 입력 전압을 조정함으로써, 표시 구동 장치를 일일이 교체하지 않고, 표시 패널의 특성에 맞게 표시 장치의 γ 특성을 간단히 조정할 수 있다고 하는 효과를 얻을 수 있다. 또한, 상기 구성에서는 공통의 외부 전압으로 상한 전압 및 하한 전압을 조정하고, 기준 전압의 범위를 조정할 수 있기 때문에, 외부로부터 공급하는 전압이 적으므로, 입력 단자의 수를 적게 억제할 수 있음과 함께, 회로 구성을 간소화할 수 있다고 하는 효과가 얻어진다.

상기 상한·하한 전압 발생기는 상한 전압과 하한 전압과의 차를 일정하게 유지하도록 구성되어 있는 것이 바람직하다.

상기 구성에 따르면, 상한 전압과 하한 전압과의 차가 일정하게 유지되기 때문에, 표시 패널에 표시되는 화상의 콘트라스트를 대략 일정하게 유지할 수 있다. 그 때문에, 콘트라스트가 저하하거나, 콘트라스트가 너무 높아 플리커(화면의 깜빡임)가 쉽게 지각되거나 하는 것을 회피하면서, 표시 패널의 특성에 따른 γ 특성의 조정을 용이하게 행할 수 있다. 즉, 상기 구성에 따르면, 표시되는 화상의 콘트라스트를 대략 일정하게 유지할 수 있기 때문에, 콘트라스트의 저하나, 콘트라스트의 과도한 상승에 따른 플리커의 발생을 회피하면서 γ 특성의 조정을 용이하게 행할 수 있다.

상기 상한·하한 전압 발생기는 입력 전압과 전원 전압으로부터 분압에 의해 상한 전압을 생성하는 제1 분압기와, 입력 전압과, 전원 전압과 다른 고정 전압(접지 전위나 다른 전원 전압 등)으로부터 분압에 의해 하한 전압을 생성하는 제2 분압기를 구비하는 것이 바람직하다. 또한, 제1 및 제2 분압기는 저항 분할로 구성되어 있는 것이 바람직하다.

상기 상한·하한 전압 발생기는 전원과 접지 전위 사이에 직렬 접속된 제1 내지 제4 저항기로 구성되고, 제2 저항기와 제3 저항기 사이의 노드에 외부의 전압 조정기로부터의 입력 전압이 공급되고, 또한 제1 저항기와 제2 저항기 사이의 노드에 상한 전압, 제3 저항기와 제4 저항기 사이의 노드에 하한 전압을 각각 발생시키도록 하고 있으며, 또한 제1 저항기의 저항값을 R1, 제2 저항기의 저항값을 R2, 제4 저항기의 저항값을 R3, 제3 저항기의 저항값을 R4로 하면,

R1:R2=R3:R4

를 만족하도록 저항값이 설정되어 있는 것이 보다 바람직하다.

상기 구성에 따르면, 저항 분할에 의해, 입력 전압에 따른 상한 전압 및 하한 전압을 안정적으로 생성할 수 있음과 함께, 상한 전압과 하한 전압과의 차를 일정하게 유지하는 것을 용이하게 실현할 수 있다.

본 발명의 표시 구동 장치는, 바람직하게는 상기 기준 전압 발생기는 계조 수분의 기준 전압을 저항 분할에 의해 생성하는 것이고, 상기 상한·하한 전압 발생기와 기준 전압 발생기 사이에는 상한 전압 및 하한 전압을 버퍼링하는 제1 버퍼가 개재되어 있는 구성이다.

상기 구성에 따르면, 상한 전압 및 하한 전압을 저 임피던스 변환하여 기준 전압 발생기에 공급하기 때문에, 표시 패널의 화소에의 충방전 시의 전압 변동을 없애어, 기준 전압의 안정화를 실현할 수 있음과 함께, 기준 전압 발생기에 흐르는 전류값을 억제할 수 있고, 소비 전력을 저감시킬 수 있다.

상기 제1 버퍼는 외부로부터 공급되는 제어 신호에 따라 동작 또는 정지할 수 있도록 되어 있어도 된다.

상기 구성에 따르면, 제1 버퍼의 동작이 불필요할 때에 제1 버퍼에 의한 동작을 정지시킴으로써, 또 다른 저소비 전력화를 도모할 수 있다.

본 발명의 표시 구동 장치는, 바람직하게는 전원으로부터 공급된 전원 전압을 이용하여 상기 표시 패널의 대향 전극을 구동하기 위한 대향 전극 구동 회로를 더 포함하고, 상기 대향 전극 구동 회로는 전원 전압을 버퍼링하는 제2 버퍼를 포함하고 있으며, 상기 제2 버퍼는 외부로부터 공급되는 제어 신호에 따라 동작 또는 정지할 수 있도록 되어 있는 구성이다.

상기 구성에 따르면, 제2 버퍼에 의해 전원 전압을 저 임피던스의 전압으로 변환할 수 있음과 함께, 제2 버퍼의 동작이 불필요할 때에 제2 버퍼에 의한 동작을 정지시킴으로써, 또 다른 저소비 전력화를 도모할 수 있다.

본 발명의 표시 구동 장치는, 바람직하게는 상기 표시 패널의 대향 전극을 구동하기 위한 대향 전극 구동 회로를 더 포함하고, 적어도 상기 계조 전압 발생기, 디지털-아날로그 변환기, 및 대향 전극 구동 회로가 하나의 집적 회로 내에 형성되어 있는 구성이다.

상기 구성에 따르면, 종래는 소스 드라이버 IC 내에 형성되어 있던 계조 전압 발생기나 디지털-아날로그 변환기 등과, 종래에는 소스 드라이버 IC와는 다른 IC에 형성되어 있던 대향 구동 전극 회로를, 1개의 IC에 형성하였기 때문에, 표시 구동 장치를 소형화할 수 있다. 또한, 이에 의해, 표시 장치의 소형화를 도모할 수 있다.

본 발명의 표시 구동 장치는, 바람직하게는 상기 기준 전압 발생기가, 계조 수분의 정극성의 기준 전압을 발생시키는 양의 기준 전압 발생기와, 계조 수분의 부극성의 기준 전압을 발생시키는 음의 기준 전압 발생기로 이루어지고, 상기 계조 전압 발생기가, 상기 계조 표시용 전압의 구성 반전 주기에 따라, 양 및 음의 기준 전압 발생기의 어느 한쪽을 동작 상태로 하고, 다른 한쪽을 동작 정지 상태로 하는 전환기를 더 포함하는 구성이다.

상기 구성에 따르면, 양 및 음의 기준 전압 발생기의 어느 한쪽의 동작이 정지되기 때문에, 기준 전압 발생기에 흐르는 관통 전류를 억제할 수 있다. 그 때문에, 소비 전력이 저감된 표시 구동 장치를 제공할 수 있다.

발명의 상세한 설명의 항에 있어서 이루어진 구체적인 실시 형태 또는 실시예는 어디까지나, 본 발명의 기술 내용을 분명히 하는 것이고, 그와 같은 구체예에만 한정하여 협의로 해석되어야 되는 것이 아니고, 본 발명의 정신과 다음에 기재하는 특허 청구 사항의 범위 내에서, 여러가지로 변경하여 실시할 수 있는 것이다.

(57) 청구의 범위

청구항 1.

데이터 신호선을 구비하는 액티브 매트릭스 방식의 표시 패널에 대하여, 소정의 주기로 극성이 반전됨과 함께, 표시 데이터에 따라 변조되는 계조 표시용 전압을 해당 표시 패널의 데이터 신호선에 인가하는 표시 구동 장치로서,

계조 수분의 기준 전압을 발생시키는 계조 전압 발생기와,

상기 기준 전압 중에서 표시 데이터에 따른 기준 전압을 선택하여 계조 표시용 전압으로서 출력하는 디지털-아날로그 변환기를 포함하고,

상기 계조 전압 발생기는,

상한 전압과 하한 전압 사이의 전압값을 갖는 계조 수분의 기준 전압을 발생시키는 기준 전압 발생기와,

상기 상한 전압 및 하한 전압을 발생시키는 상한·하한 전압 발생기를 포함하고,

상기 상한·하한 전압 발생기는 외부의 전압 조정기로 조정된 입력 전압이 입력되고, 상한 전압 및 하한 전압의 양방을 동일한 입력 전압에 기초하여 변화시키도록 되어 있는 표시 구동 장치.

청구항 2.

제1항에 있어서,

상기 상한·하한 전압 발생기는, 상기 상한 전압과 상기 하한 전압과의 차를 일정하게 유지하도록 구성되어 있는 표시 구동 장치.

청구항 3.

제1항에 있어서,

상기 상한·하한 전압 발생기는,

입력 전압과 전원 전압으로부터 분압에 의해 상한 전압을 생성하는 제1 분압기와,

입력 전압과, 전원 전압과 다른 고정 전압으로부터 분압에 의해 하한 전압을 생성하는 제2 분압기를 구비하는 표시 구동 장치.

청구항 4.

제2항에 있어서,

상기 상한·하한 전압 발생기는 서로 다른 전위로 유지된 두 개의 전위점 사이에 직렬 접속된 제1 내지 제4 저항기로 구성되고,

제2 저항기와 제3 저항기 사이의 노드에 외부의 전압 조정기로부터의 입력 전압이 공급되고, 또한 제1 저항기와 제2 저항기 사이의 노드에 상한 전압, 제3 저항기와 제4 저항기 사이의 노드에 하한 전압을 각각 발생시키도록 되어 있으며,

또한, 제1 저항기의 저항값을 R1, 제2 저항기의 저항값을 R2, 제4 저항기의 저항값을 R3, 제3 저항기의 저항값을 R4로 하면,

R1:R2=R3:R4

를 만족하도록 저항값이 설정되어 있는 표시 구동 장치.

청구항 5.

제4항에 있어서,

상기 제1 내지 제4 저항기는 전원과 접지 전위 사이에 직렬 접속되어 있는 표시 구동 장치.

청구항 6.

제1항에 있어서,

상기 기준 전압 발생기는 계조 수분의 기준 전압을 저항 분할에 의해 생성하는 것이며,

상기 상한·하한 전압 발생기와 상기 기준 전압 발생기 사이에는 상기 상한 전압 및 하한 전압을 버퍼링하는 제1 버퍼가 개재되어 있는 표시 구동 장치.

청구항 7.

제6항에 있어서,

상기 제1 버퍼는 외부로부터 공급되는 제어 신호에 따라 동작 또는 정지할 수 있도록 되어 있는 표시 구동 장치.

청구항 8.

제6항에 있어서,

상기 제1 버퍼는 전압 팔로워 회로로 구성되어 있는 표시 구동 장치.

청구항 9.

제1항에 있어서,

전원으로부터 공급된 전원 전압을 이용하여 상기 표시 패널의 대향 전극을 구동시키기 위한 대향 전극 구동 회로를 더 포함하고,

상기 대향 전극 구동 회로는 전원 전압을 버퍼링하는 제2 버퍼를 포함하고 있는 표시 구동 장치.

청구항 10.

제9항에 있어서,

상기 제2 버퍼는 외부로부터 공급되는 제어 신호에 따라 동작 또는 정지할 수 있도록 되어 있는 표시 구동 장치.

청구항 11.

제9항에 있어서,

상기 제2 버퍼가, 전압 팔로워 회로로 구성되어 있는 표시 구동 장치.

청구항 12.

제1항에 있어서,

상기 상한·하한 전압 발생기는 직렬 접속된 제1 내지 제4 저항기로 구성되고,

상기 외부의 전압 조정기로 조정된 입력 전압이 입력되는 입력 단자와, 제1내지 제4 저항기 사이에는 상기 입력 전압을 버퍼링하는 제3 버퍼가 개재되어 있는 표시 구동 장치.

청구항 13.

제12항에 있어서,

상기 제3 버퍼는 외부로부터 공급되는 제어 신호에 따라 동작 또는 정지할 수 있도록 되어 있는 표시 구동 장치.

청구항 14.

제12항에 있어서,

상기 제3 버퍼가, 전압 팔로워 회로로 구성되어 있는 표시 구동 장치.

청구항 15.

제1항에 있어서,

상기 표시 패널의 대향 전극을 구동시키기 위한 대향 전극 구동 회로를 더 포함하고,

적어도 상기 계조 전압 발생기, 디지털-아날로그 변환기, 및 대향 전극 구동 회로가 하나의 집적 회로 내에 형성되어 있는 표시 구동 장치.

청구항 16.

제1항에 있어서,

상기 기준 전압 발생기는 계조 수분의 정극성의 기준 전압을 발생시키는 양의 기준 전압 발생기와, 계조 수분의 부극성의 기준 전압을 발생시키는 음의 기준 전압 발생기로 이루어지고,

상기 계조 전압 발생기는 상기 계조 표시용 전압의 극성 반전 주기에 따라, 양의 기준 전압 발생기 및 음의 기준 전압 발생기의 어느 한쪽을 동작 상태로 하고, 다른 한쪽을 동작 정지 상태로 하는 전환기를 더 구비하는 표시 구동 장치.

청구항 17.

제16항에 있어서,

상기 전환기는,

양의 기준 전압 발생기에 부가된 극성 반전용 신호가 입력되는 제1 아날로그 스위치와,

음의 기준 전압 발생기에 부가된 제2 아날로그 스위치와,

극성 반전용 신호의 극성을 반전하여 아날로그 스위치에 공급하기 위한 인버터를 구비하고 있는 표시 구동 장치.

청구항 18.

데이터 신호선을 포함하는 액티브 매트릭스 방식의 표시 패널과,

상기 표시 패널에 대하여, 소정의 주기로 극성이 반전됨과 함께, 표시 데이터에 따라 변조되는 계조 표시용 전압을 해당 표시 패널의 데이터 신호선에 인가하는 표시 구동 장치,

상기 입력 전압을 표시 구동 장치에 공급함과 함께, 입력 전압을 조정 가능한 전압 조정기를 구비하고,

상기 표시 구동 장치는,

계조 수분의 기준 전압을 발생시키는 계조 전압 발생기와,

상기 기준 전압 중에서 표시 데이터에 따른 기준 전압을 선택하여 계조 표시용 전압으로서 출력하는 디지털-아날로그 변환기를 구비하고,

상기 계조 전압 발생기는,

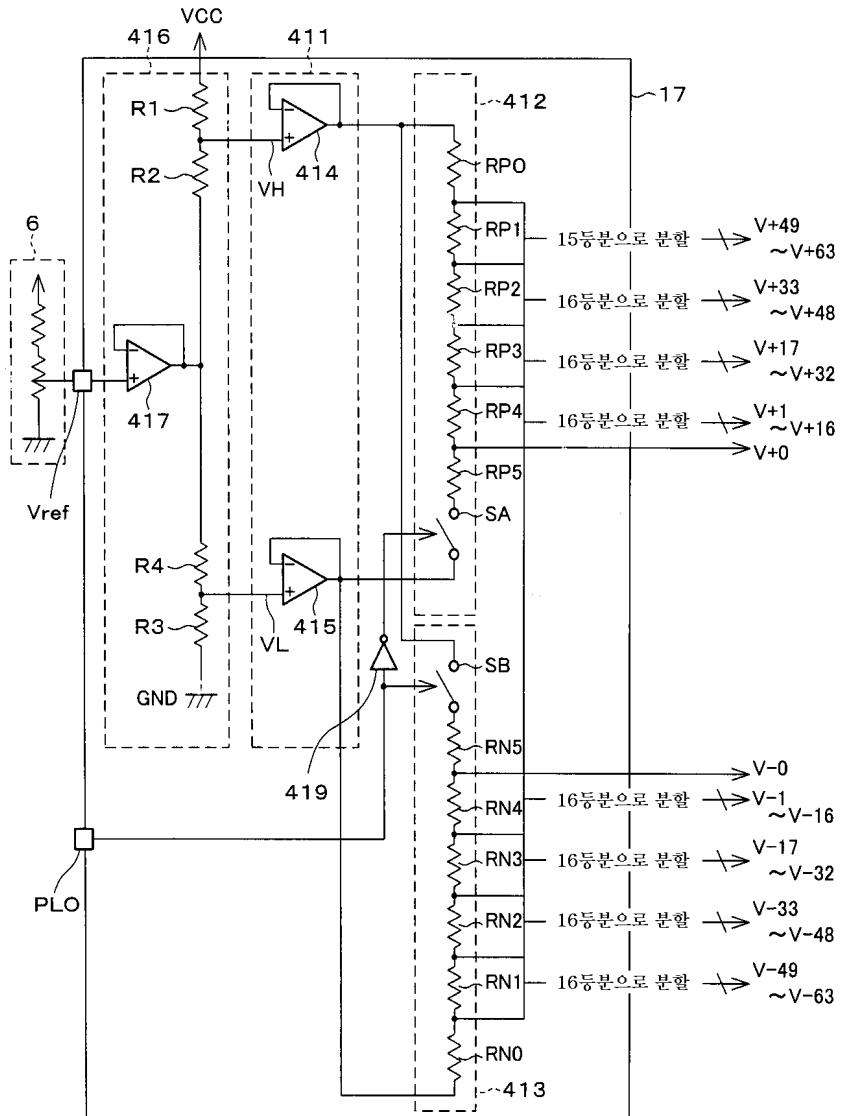
상한 전압과 하한 전압 사이의 전압값을 갖는 계조 수분의 기준 전압을 발생시키는 기준 전압 발생기와,

상기 상한 전압 및 하한 전압을 발생시키는 상한·하한 전압 발생기를 포함하고,

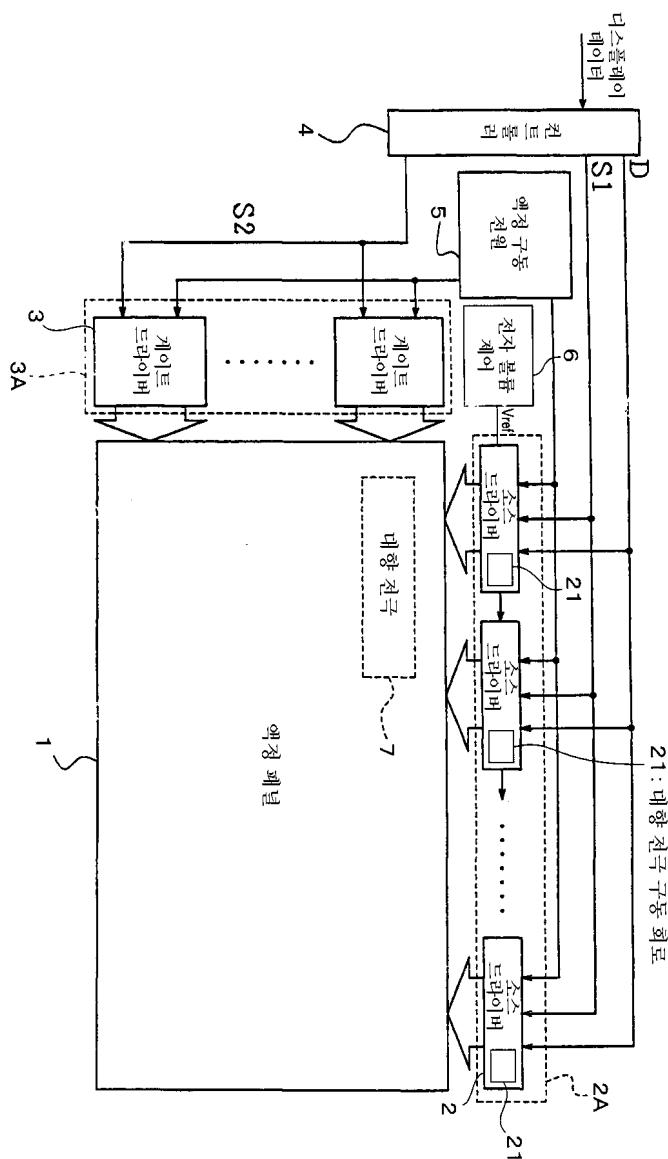
상기 상한·하한 전압 발생기는 상기 전압 조정기로 조정된 입력 전압이 입력되고, 상한 전압 및 하한 전압의 양방을 동일한 입력 전압에 기초하여 변화시키도록 되어 있는 표시 장치.

도면

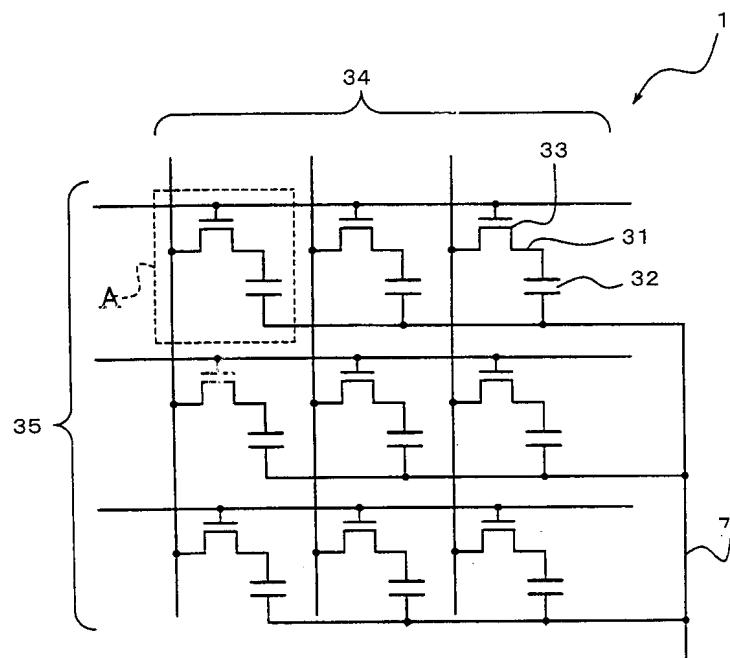
도면1



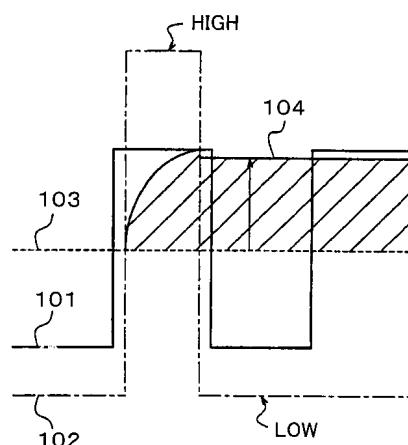
도면2



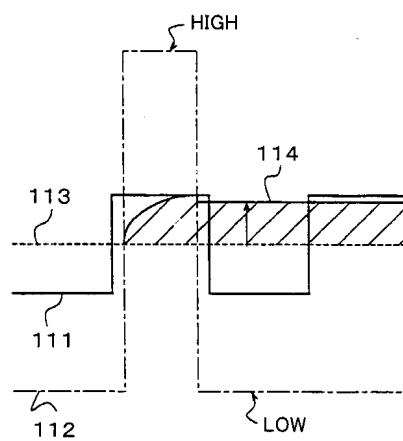
도면3



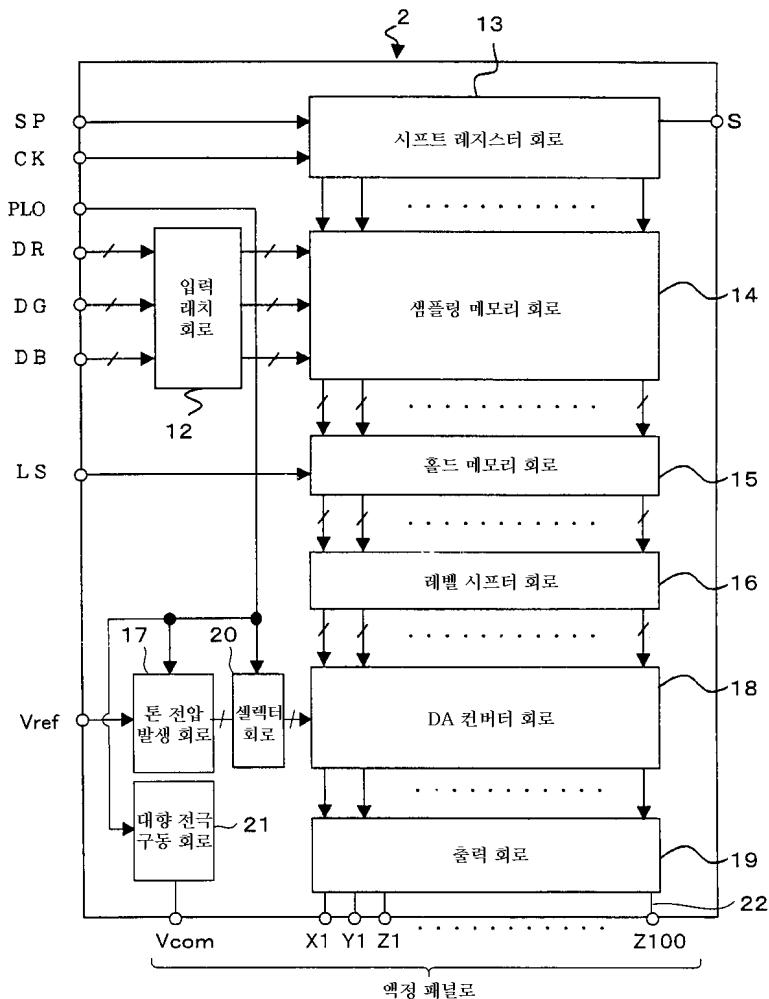
도면4



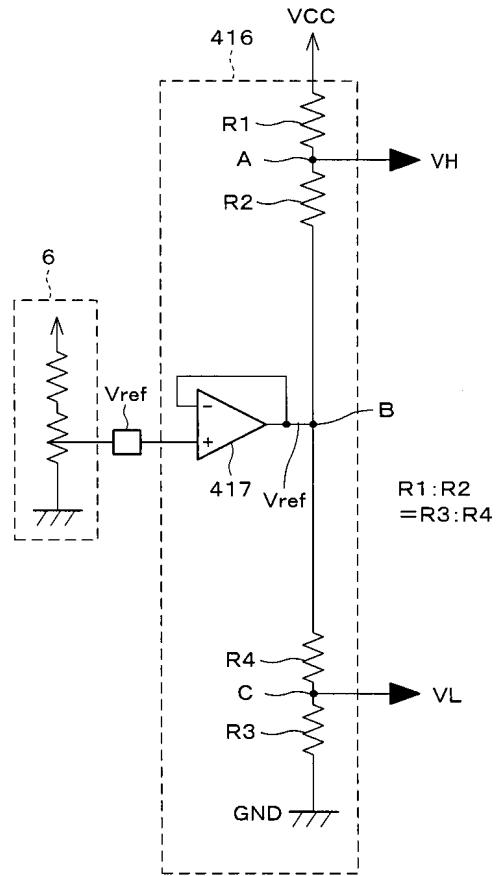
도면5



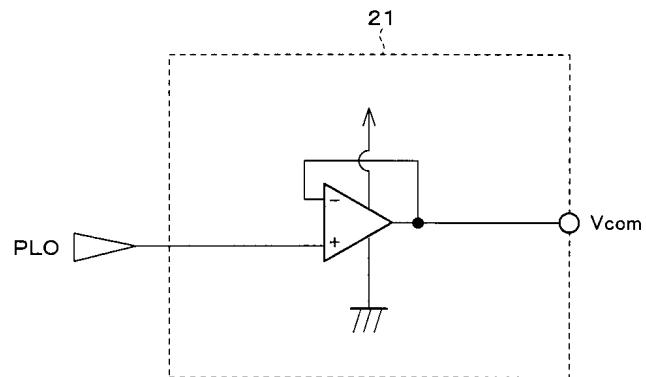
도면6



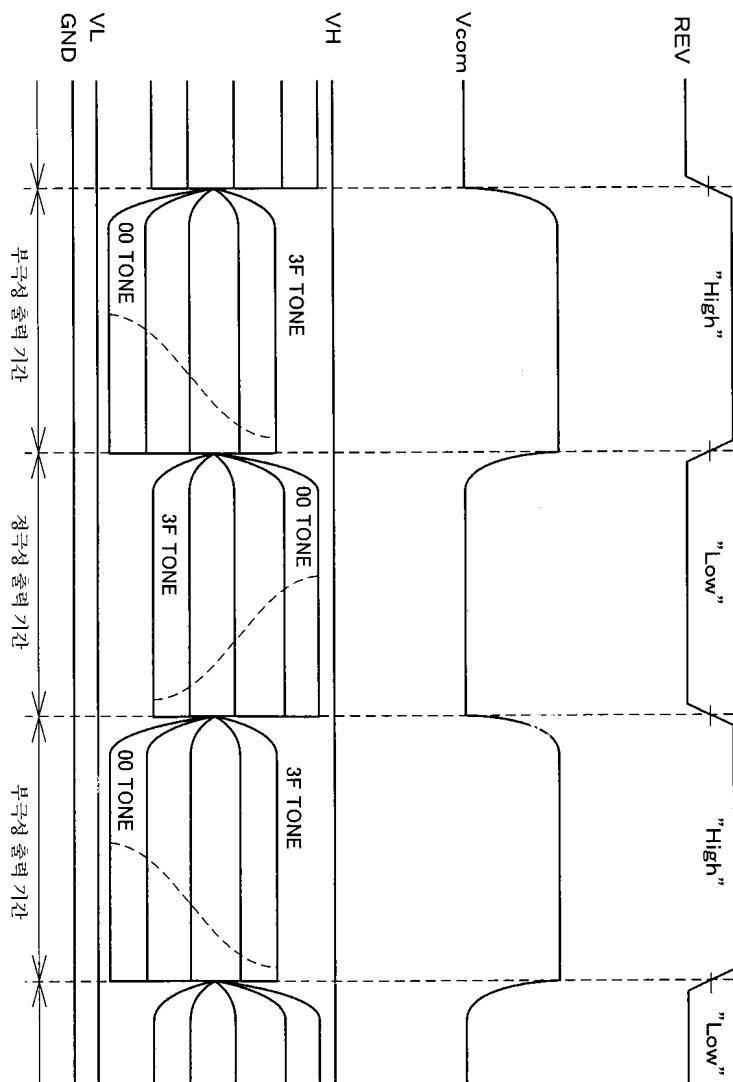
도면7



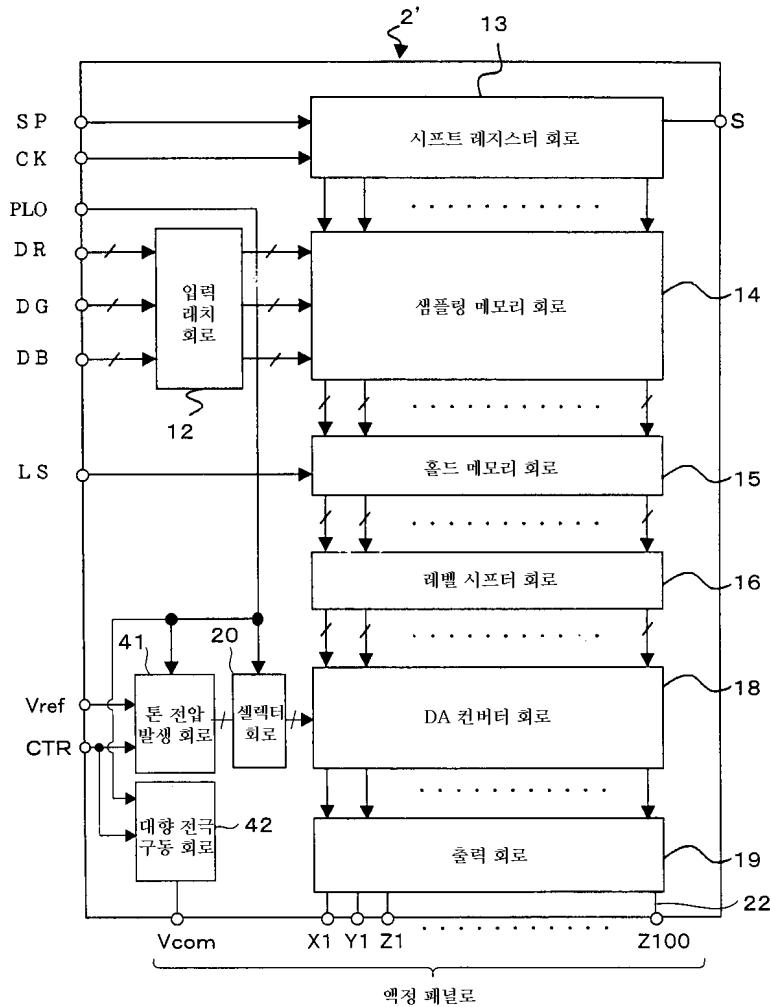
도면8



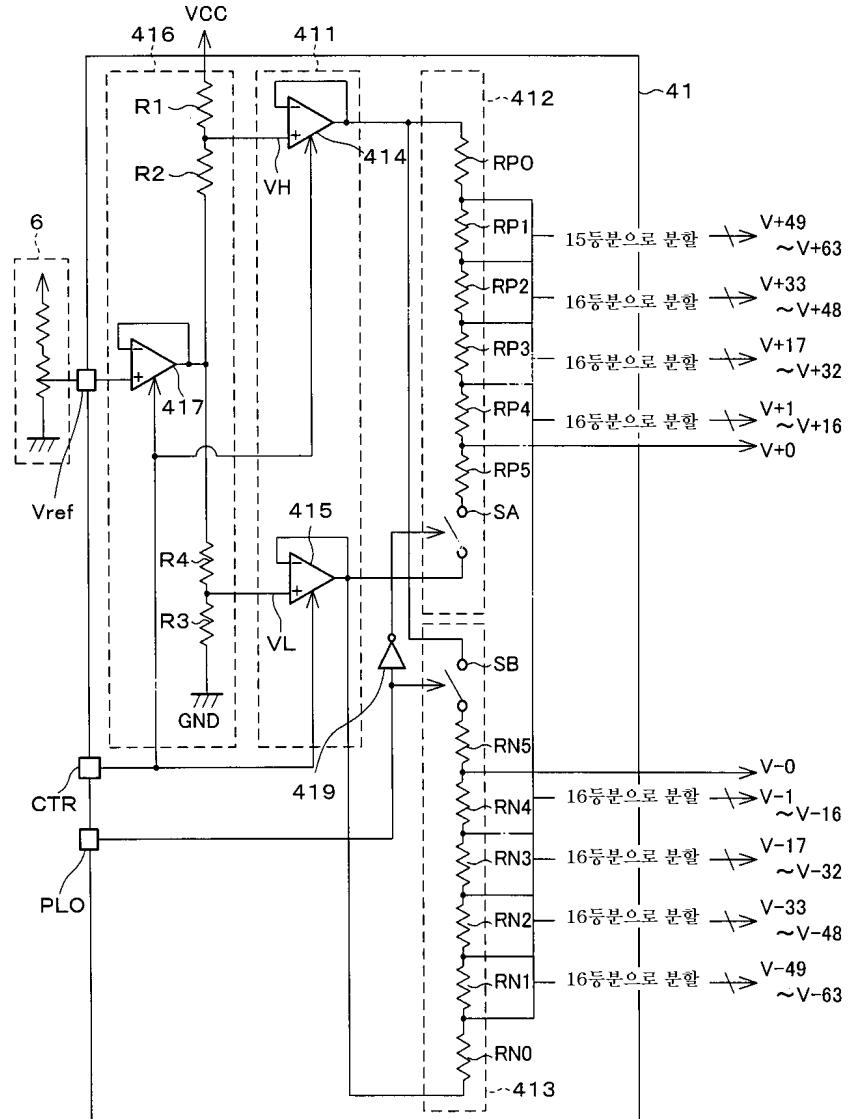
도면9



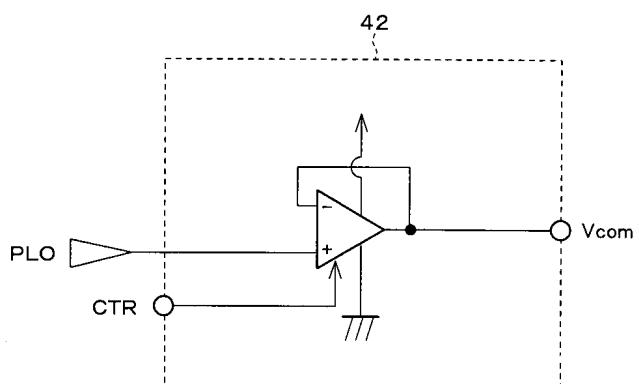
도면10



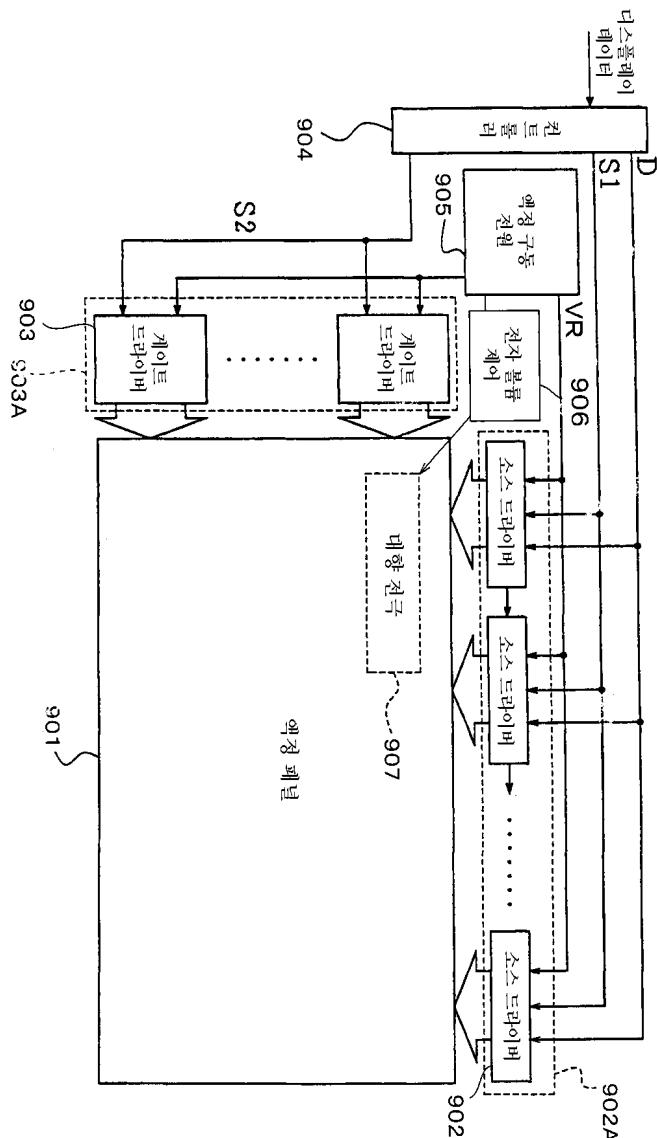
도면11



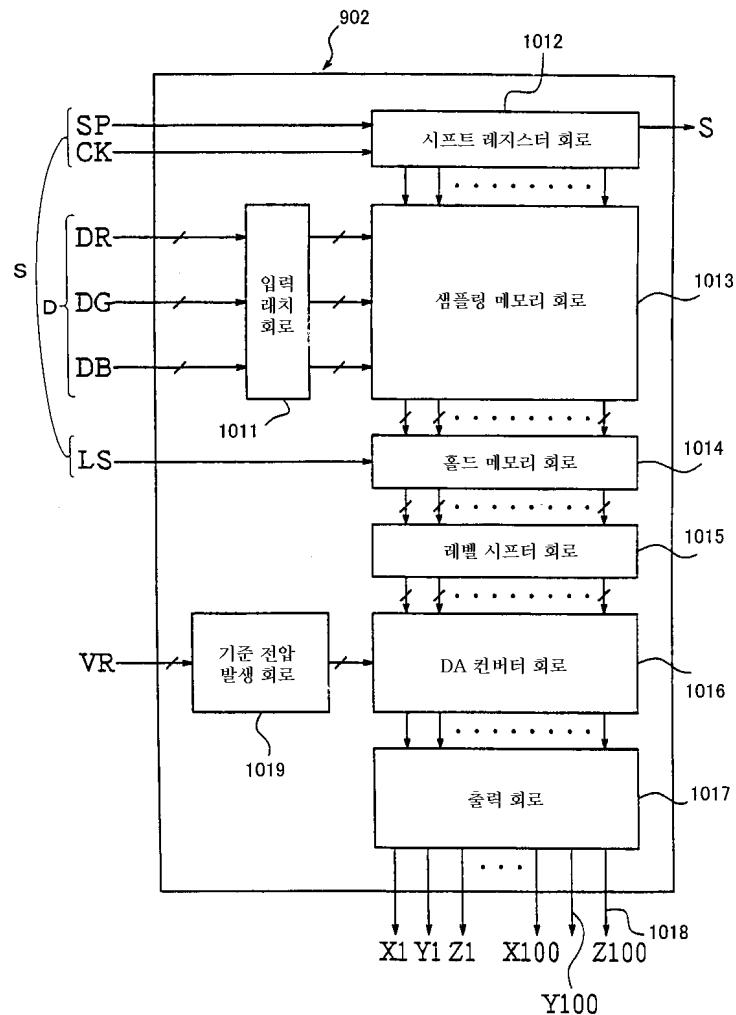
도면12



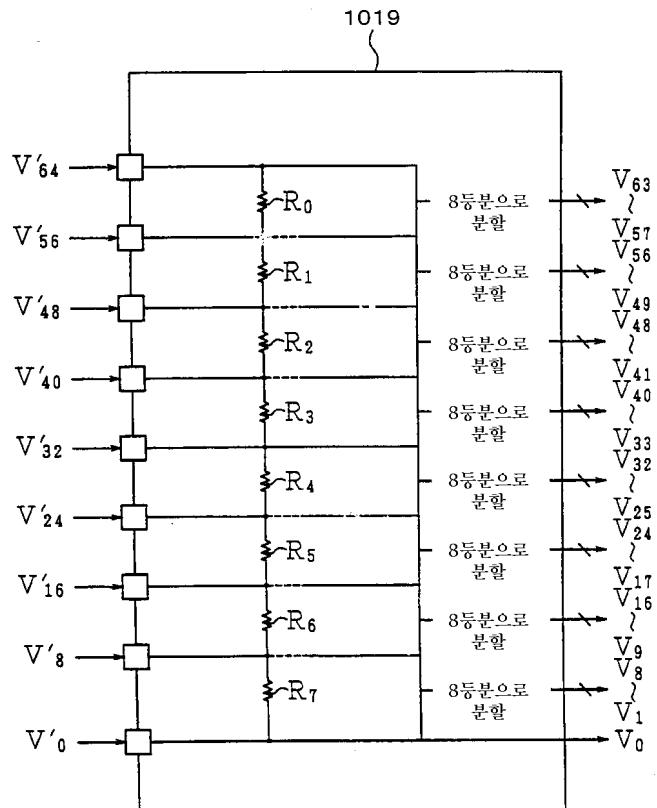
도면13



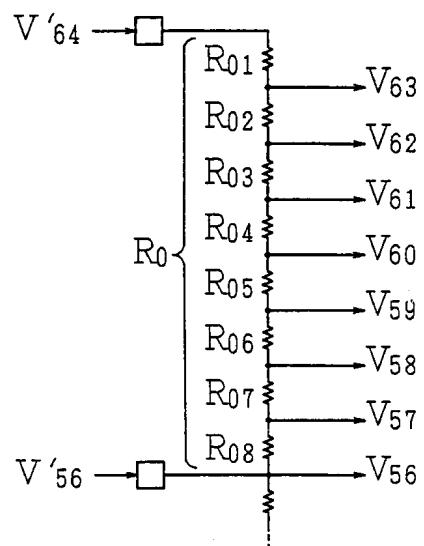
도면14



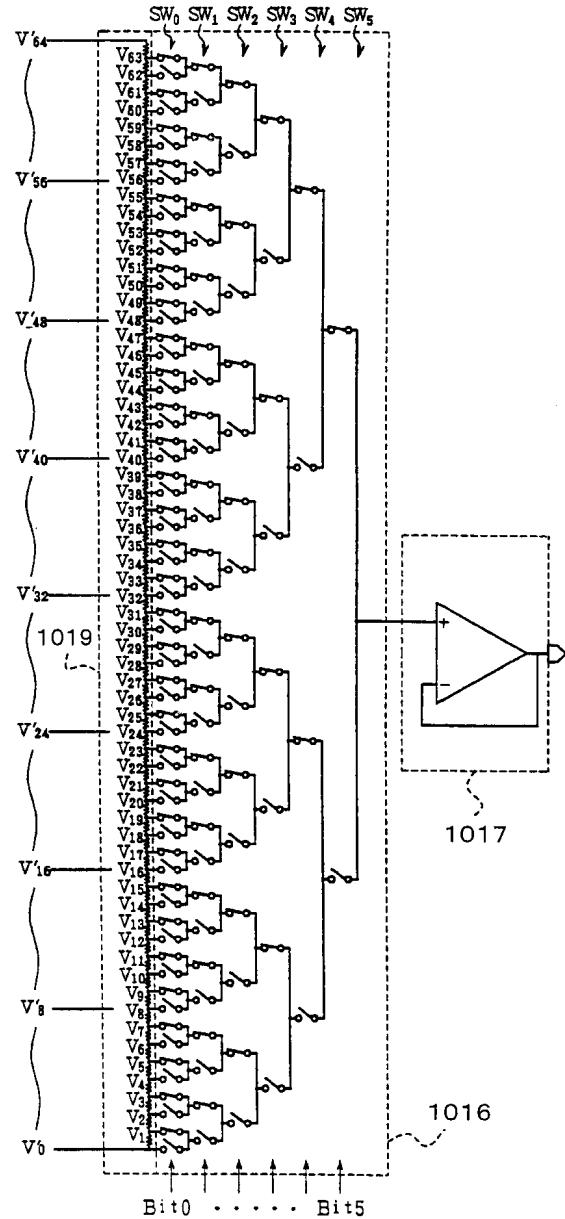
도면15



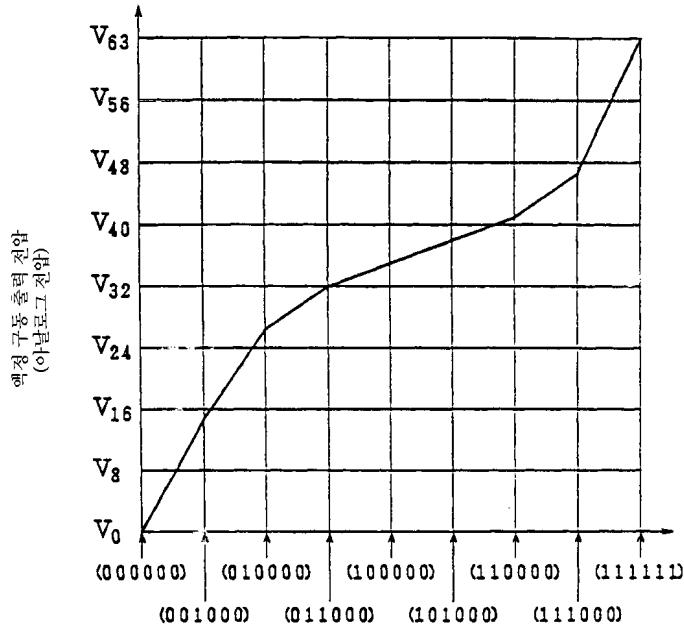
도면16



도면17

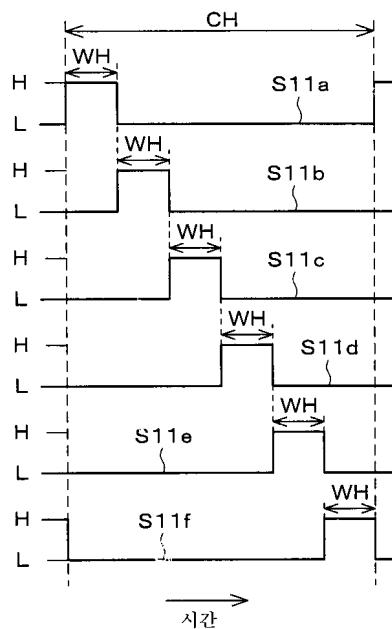


도면18

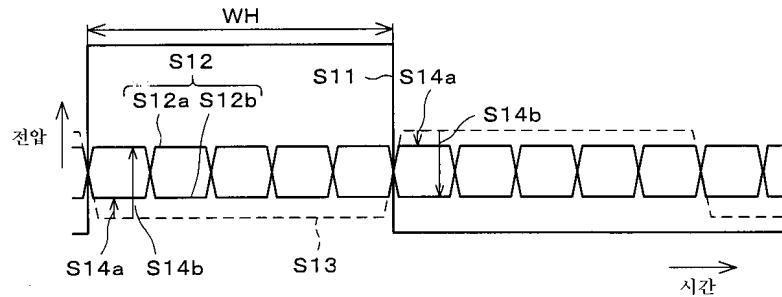


톤 디스플레이 데이터 (Bit 5, ... Bit 0)

도면19



도면20



도면21

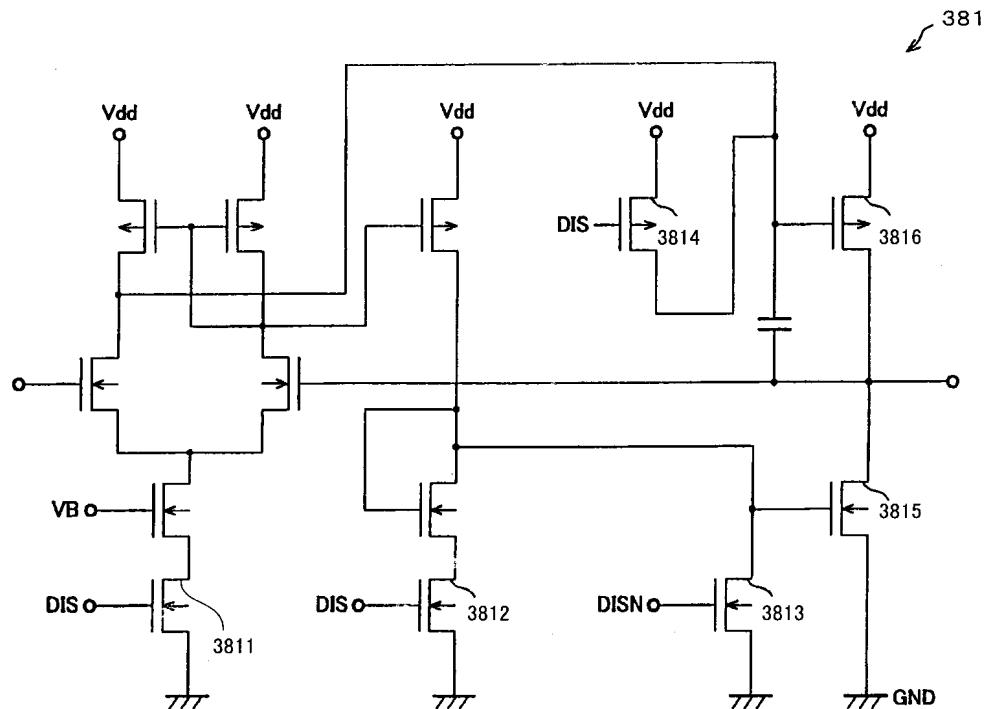
(a)

제1 프레임 행	열	1	2	3	4	5
1	+	+	+	+	+	+
2	-	-	-	-	-	-
3	+	+	+	+	+	+
4	-	-	-	-	-	-
5	+	+	+	+	+	+
6	-	-	-	-	-	-

(b)

제2 프레임 행	열	1	2	3	4	5
1	-	-	-	-	-	-
2	+	+	+	+	+	+
3	-	-	-	-	-	-
4	+	+	+	+	+	+
5	-	-	-	-	-	-
6	+	+	+	+	+	+

도면22



专利名称(译)	显示驱动装置和使用其的显示装置		
公开(公告)号	KR100536871B1	公开(公告)日	2005-12-16
申请号	KR1020030025972	申请日	2003-04-24
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SAKAGUCHI NOBUHISA		
发明人	SAKAGUCHI,NOBUHISA		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G3/3696 G09G3/3614 G09G3/3655 G09G3/3688 G09G2310/027 G09G2320/0276 G09G2330/021		
代理人(译)	CHU , 晟敏		
优先权	2002125028 2002-04-25 JP		
其他公开文献	KR1020030084728A		
外部链接	Espacenet		

摘要(译)

提供产生电阻分压的调节电路，产生具有在产生灰度电压的电路内的最大电压之间的电压值的灰度数的参考电压，以及关于数据信号线的灰度显示电压的下限电压。在有源矩阵方法的显示面板中，显示驱动器装置包括产生灰度数的参考电压的产生灰度电压的电路，以及DA转换电路和最大电压和下限电压。DA转换电路根据显示数据选择参考电压并在参考电压之间输出。并且，将作为发电灰度电压外部电子量的电路控制的参考电压提供给调节电路。基于参考电压改变下限电压和最大电压。根据液晶材料或液晶面板的特性，用于容易地改变 γ 特性的显示驱动器装置不会增加制造成本，并且由此可以提供使用该显示驱动器装置的显示装置。灰度，极性，脉冲，采样，显示驱动器装置，产生灰度电压的电路。

