(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G09G 3/36

(45) 공고일자 2002년10월12일
(11) 등록번호 10-0355312
(24) 등록일자 2002년09월23일

(21) 출원번호 10-2000-0000713
(22) 출원일자 2000년01월07일

(65) 공개번호 특2000-0053422
(43) 공개일자 2000년08월25일

(30) 우선권주장 11-20737 1999년01월28일 일본(JP)

(73) 특허권자
샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자
타마이시게키
일본국나라639-3114요시노군요시노쪼탄지94-1
사카구찌노부히사
일본국나라632-0004텐리시이찌노모토쪼2613-1-938

(74) 대리인
백덕열

심사관 : 정연우

(54) 표시용 구동장치 및 이를 사용한 액정모듈

요약

본 발명의 표시용 구동장치는, 화상데이터신호에 따라 액정패널을 구동하는 복수의 소스드라이버 LSI칩이 종속접속되고, 각 소스드라이버 LSI칩에, 클록신호에 동기하여 스타트 펄스신호를 시프트하여 전송하는 시프트 레지스터와, 이 시프트 레지스터의 출력에 따라 화상데이터신호를 샘플링하는 샘플링메모리와, 선택된 화상데이터신호를 래치신호에 의해 래치하는 홀드메모리가 제공된 표시용 구동장치에 있어서, 소스드라이버 LSI칩의 시프트 레지스터로부터 출력된 스타트 펄스신호를 지연시킴으로써 래치신호를 생성하는 지연회로를 제공하고, 이에 의해, 콘트롤러 등을 포함한 전체의 소형화가 가능함과 동시에 비용을 절감할 수 있다.

대표도
도 1

명세서

도면의 간단한 설명

도1은 본 발명에 관한 표시용 구동장치의 1 실시형태에 있어서의 소스드라이버 LSI칩의 구성을 도시한 블록도이다.

도2는 상기 표시용 구동장치를 사용한 액정모듈의 1 실시형태를 도시한 평면도이다.

도3은 상기 액정모듈에서의 콘트롤러의 부분을 확대하여 도시한 부분확대도이다.

도4는 상기 각 소스드라이버 LSI칩의 각종 신호를 도시한 타이밍챠트이다.

도5는 상기 각 소스드라이버 LSI칩의 지연회로의 회로구성의 1예를 도시한 회로도이다.

도6은 상기 각 소스드라이버 LSI칩의 지연회로의 회로구성의 1예를 도시한 회로도이다.

도7은 본 발명에 관한 상기 표시용 구동장치의 다른 실시형태에 있어서의 소스드라이버 LSI칩의 구성을 도시한 블록도이다.

도8은 본 발명에 관한 상기 표시용 구동장치를 사용한 액정모듈의 또 다른 실시형태를 도시한 평면도이다.

도9는 본 발명에 관한 상기 표시용 구동장치를 사용한 액정모듈의 또 다른 실시형태를 도시한 평면도이다.

도10은 상기 액정모듈에서의 소스드라이버 LSI칩의 구성을 도시한 블록도이다.

도11은 본 발명에 관한 상기 표시용 구동장치의 또 다른 실시형태에 있어서의 지연회로 및 입출력제어회로의 부분을 도시한 블록도이다.

도12는 본 발명에 관한 상기 표시용 구동장치의 또 다른 실시형태에 있어서의 소스드라이버 LSI칩의 구성을 도시한 블록도이다.

도13은 상기 액정모듈에 있어서의 액정패널의 TCP로의 탑재상태를 도시한 단면도이다.

도14는 종래 액정모듈의 구성을 도시한 평면도이다.

도15는 상기 액정모듈에서의 콘트롤러의 부분을 확대해 도시한 부분확대도이다.

도16은 상기 액정모듈에서의 소스드라이버 LSI칩의 구성을 도시한 블록도이다.

도17은 상기 각 소스드라이버 LSI칩의 각종신호를 도시한 타이밍챠트이다.

도18은 다른 종래 액정모듈에서의 소스드라이버 LSI칩의 구성을 도시한 블록도이다.

도19는 상기 액정모듈에서의 TCP간의 접속형태를 도시한 평면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화상데이터신호에 따라 액정표시소자 등의 표시소자를 구동하는 복수의 구동회로가 종속접속되어 있는 표시용 구동장치 및 이를 사용한 액정모듈에 관한 것이다.

종래의 액정표시장치에 사용하는 표시용 구동장치는, 도14에 도시한 바와 같이, 액정패널(54)을 구동하는 종속접속된 복수의 구동회로로서의 소스드라이버 LSI (Large Scale integrated circuit) 칩(51) 및 게이트드라이버 LSI칩(52)이 각 TCP (Tape Carrier Package)(53)에 탑재되어 있다. 또한, 상기 표시용 구동장치는, 액정패널(54)과 함께 액정모듈을 구성하고 있다. 또, TCP는 테이프·필름에 LSI칩을 붙인 박형의 패키지를 말한다.

이들 소스드라이버 LSI칩(51) 및 게이트드라이버 LSI칩(52)의 출력단자는, TCP(53)상의 TCP 배선을 통해, TCP(53)에 있어서의 액정패널(54)로의 출력단자에 대해 전기적으로 접속되어 있다. 또한, TCP(53)에 있어서의 액정패널(54)로의 출력단자는, 액정패널(54)상에 제공된 도시하지 않은 ITO(Indium Tin 0xide:인듐 주석 산화물)로 이루어지는 단자에, 예컨대, ACF(Anisotropic Conductive Film:이방성 도전막)을 통해 열압착되어 전기적으로 접속되어 있다. 본 설명에 의한 액정패널(54)의 화소수는, 800화소×3(RGB)(소스측)×600화소(게이트측)으로 한다.

소스드라이버 LSI칩(51)은, 각각 64계조의 표시를 행하는 동시에, 각각 100화소×3(RGB)를 구동하는 것으로 되어 있다. 따라서, 여기에서, 소스드라이버 LSI칩(51)은, 8개가 종속접속된 것으로 되어 있다. 이하, 소스드라이버 LSI칩(51)을 서로 구별할 필요가 있는 경우에는, 1 7단째의 소스드라이버 LSI칩(51)을 각각 제1 7 소스드라이버라 하고, 최종단의 소스드라이버 LSI칩(51)을 제8 소스드라이버라 한다.

게이트드라이버 LSI칩(52)에 대해, 여기서는, 2개가 종속접속된 것으로 되어 있다. 이하, 게이트드라이버 LSI칩(52)을 서로 구별할 필요가 있는 경우에는, 1단째의 게이트드라이버 LSI칩(52)을 제1 게이트드라이버라 하고, 최종단의 게이트드라이버 LSI칩(52)을 제2 게이트드라이버라 한다.

또한, 상기 표시용 구동장치는, 콘트롤러(56)가 제공된 플렉시블기판(55)을 구비하고, TCP(53)와 플렉시블기판(55)이 전기적으로 접속되어 있다. 구체적으로 설명하면, 소스드라이버 LSI칩(51) 및 게이트드라이버 LSI칩(52)에 전기적으로 접속된 TCP(53)위의 TCP 배선과, 콘트롤러(56)의 출력단자 R·G·B·LS·Vcc·GND·Vref·VLS·SSPI·SCK·GCK·GSPI(도15 참조)에 전기적으로 접속된 플렉시블기판(55)상의 배선이, 예컨대, ACF나 땜납 등을 통해 전기적으로 접속되어 있다.

이에 의해, 소스드라이버 LSI칩(51) 및 게이트드라이버 LSI칩(52)으로의 각종신호의 입출력이, TCP(53)상의 배선 및 플렉시블기판(55)상의 배선을 통해 행하여진다. 이하, 액정모듈에서의 각종신호의 유통경로에 대해 설명한다.

우선, 콘트롤러(56)의 출력단자 R·G·B에서 출력된 화상데이터신호 R·G·B와, 콘트롤러(56)의 출력단자 SCK에서 출력된 클록신호 CK와, 콘트롤러(56)의 출력단자 LS에서 출력된 래치신호 LS가, 플렉시블기판(55)상의 배선 및 TCP(53)상의 배선을 통해 공통신호로서 각 소스드라이버 LSI칩(51)에 입력된다.

한편, 스타트 펄스신호 SPI는, 콘트롤러(56)의 출력단자 SSPI에서 출력되고, 플렉시블기판(55)상의 배선을 통해 제1 소스드라이버의 입력단자 SPin에 입력된다. 입력된 스타트 펄스신호 SPI는 제1 소스드라이버 내부로 전송되어, 제1 소스드라이버의 출력단자 SPout로부터 스타트 펄스신호 SPO로서 출력된다. 출력된 스타트 펄스신호 SPO는, 다시 플렉시블기판(55)상의 배선을 통해 다음단의 제2 소스드라이버의 입력단자 SPin에 입력된다. 이하, 마찬가지로, 스타트 펄스신호 SPI가, 최종단의 제8 소스드라이버까지 시프트되면서 전송된다.

또한, 콘트롤러(56)의 출력단자 Vcc에서 출력된 LSI칩용의 전원전압 Vcc, 콘트롤러(56)의 출력단자 GND에 전기적으로 접속된 접지전위 GND, 콘트롤러(56)의 출력단자 Vref1 6으로부터 출력된 64비트 계조표시용 기준전압 Vref1 6 및 콘트롤러(56)의 출력단자 VLS에서 출력된 휘도조정용 전압(액정패널(54)로의 인가전압을 조정하기위한 전압) VLS도, 동일하게, 각 소스드라이버 LSI칩(51)에 공통으로 공급된다. 이들 전압 Vcc·Vref1 6·VLS를 공급하

는 배선 및 접지전위 GND를 공급하는 어스선(GND선)은, 전원관계선으로서 제공되고 있다. 이하, 전압 Vcc · Vref1 6 · VLS 및 접지전위 GND를 전원관계전압이라 한다.

한편, 각 게이트드라이버 LSI칩(52)에는, 콘트롤러(56)의 출력단자 GCK에서 출력된 게이트드라이버용의 클록신호 GCK, 콘트롤러(56)의 출력단자 Vcc에서 출력된 LSI칩용의 전원전압 Vcc, 콘트롤러(56)의 출력단자 GND에 전기적으로 접속된 접지전위 GND 및 콘트롤러(56)의 출력단자 Vref1 2로부터 출력된 액정패널(54)로의 인가전압용 기준전압 Vref 1 2가 공통으로 공급된다.

또한, 게이트드라이버용의 스타트 펄스신호 GSPI가 콘트롤러(56)의 출력단자 GSPI로부터 출력되고, 제1 게이트드라이버의 입력단자 GSPin에 입력된다. 입력된 스타트 펄스신호 GSPI는 제1 게이트드라이버내부를 클록신호 GCK에 동기를 취해 전송되어, 제1 게이트드라이버의 출력단자 GSPout에서 스타트 펄스신호 GSPO로서 다음단의 제2 게이트드라이버의 입력단자 GSPin에 입력된다.

다음, 본 발명에 관한 소스드라이버 LSI칩(51)의 회로구성에 대해, 도16의 블록도에 따라 상세히 설명함과 동시에, 소스드라이버 LSI칩(51)의 동작을 도17에 도시한 각 신호의 타이밍챠트를 참조하여 설명한다. 또한, 이하의 설명에서는, 도14에서 8개의 소스드라이버 LSI칩(51)중 하나에 대해 설명하지만, 각 소스드라이버 LSI칩(51)은 완전히 동일한 것이다, .

소스드라이버 LSI칩(51)은, 도16에 도시한 바와 같이, 시프트 레지스터(61),데이터래치회로(62), 샘플링메모리(63), 홀드메모리(64), 기준전압발생회로(65), D/A 컨버터(66) 및 출력회로(67)로 구성되어 있다.

시프트 레지스터(61)에는, 콘트롤러(56)의 출력단자 SSPI에서 출력된 스타트 펄스신호 SPI(도17 참조)가 소스드라이버 LSI칩(51)의 입력단자 SPin에서 입력된다. 스타트 펄스신호 SPI는, 후술하는 화상데이터신호 R · G · B의 수평동기신호와 동기를 취한 동기신호이다. 또한, 시프트 레지스터(61)에는, 콘트롤러(56)의 출력단자 SCK에서 출력된 클록신호 CK(도17 참조)가 소스드라이버 LSI칩(51)의 입력단자 CKin에서 입력된다.

시프트 레지스터(61)는, 스타트 펄스신호 SPI가 입력되면, 스타트 펄스신호 SPI를 시프트한다. 즉, 스타트 펄스신호 SPI를 스타트 펄스로 하여, 스타트 펄스신호 SPI의 하이 레벨기간에 입력된 클록신호 CK의 최초의 상승으로부터, 스타트 펄스신호 SPI의 시프트를 개시한다.

시프트 레지스터(61)에서 시프트된 스타트 펄스신호 SPI는, 스타트 펄스신호 SPO(도17 참조)로서 소스드라이버 LSI칩(51)의 출력단자 SPout에서 출력되고, 다음단의 소스드라이버 LSI칩(51)의 입력단자 SPin에 입력된다. 스타트 펄스신호 SPI는, 최종단의 소스드라이버 LSI칩(1)(도14에 도시한 제8 소스드라이버)까지 동일하게 시프트된다.

한편, 콘트롤러(56)의 각 R · G · B 단자로부터 출력되는 화상데이터신호 R · G · B(도17 참조)는, 도16에 도시한 바와 같이, 소스드라이버 LSI칩(51)의 입력단자 R1 6in · G1 6in · B1 6in에서 각각 병렬로 데이터래치회로(62)에 입력된다. 또한, 화상데이터신호 R · G · B는, 데이터래치회로(62)에 일시적으로 래치된 후, 샘플링메모리(63)에 전송된다. 또, 화상데이터신호 R · G · B는, R(Red) · G(Green) · B(Blue) 각각 6비트, 계 18비트로 이루어지는 칼라 디지탈 영상신호이다.

샘플링메모리(63)는, 시프트 레지스터(61)의 각 단의 출력신호에 의해 시분할로 전송되는 화상데이터신호 R · G · B를 샘플링하고, 콘트롤러(56)의 출력단자 LS에서 출력되는 후술하는 래치신호 LS(도17 참조)가 입력될 때까지 기억한다.

이들 화상데이터신호 R · G · B는, 이어서, 홀드메모리(64)에 입력되고, 1수평기간의 데이터가 홀드메모리(64)에 입력된 시점에서, 래치신호 LS의 하강에서 래치된다. 그리고, 홀드메모리(64)는, 다음 수평기간의 데이터가 샘플링메모리(63)로부터 홀드메모리(64)에 입력될 때 까지, 화상데이터신호 R · G · B의 1수평기간의 데이터를 유지하고, 그 사이,

화상데이터신호 R · G · B를 D/A 컨버터(66)에 출력한다. 이 때, 시프트 레지스터(61) 및 샘플링메모리(63)는, 다음 수평기간이 새로운 화상데이터신호 R · G · B의 취입을 행한다.

기준전압발생회로(65)는, 콘트롤러(56)의 출력단자 Vref1 6으로부터 출력되어 소스드라이버 LSI칩(51)의 입력단자 Vref1 6에 입력되는 기준전압 Vref1 6을 기초하여, 예컨대, 저항분할에 의해 계조표시에 사용하는 64레벨의 전압을 발생시킨다.

D/A컨버터(66)는, R · G · B 각각 6비트의 디지털 영상신호인 화상데이터신호 R · G · B를 아날로그신호로 변환한다. 출력회로(67)는, 콘트롤러(56)의 출력단자 VLS로부터 출력되어 소스드라이버 LSI칩(51)의 입력단자 VLS에 입력되는 휘도조정용전압 VLS에 의해 64레벨의 아날로그신호를 증폭하고, 출력단자 XO1 XO100 · YO1 YO100 · ZO1 ZO100로부터 액정패널(54)의 입력단자(도시하지 않음)로 출력한다.

출력단자 XO1 XO100, 출력단자 YO1 YO100 및 출력단자 ZO1 ZO100는, 화상데이터신호 R, 화상데이터신호 G 및 화상데이터신호 B에 각각 대응하는 단자군이고, 각각 100단자이다. 또한, 소스드라이버 LSI칩(51)의 단자 Vcc 및 단자 GND는, 소스드라이버 LSI칩(51)에 공급되는 전원용 단자이다. 도16에 있어서, 입력 또는 출력을 위한 버퍼회로의 기재는 생략하고 있다.

이상과 같이, 종래에는, TCP(53)에 탑재한 소스드라이버 LSI칩(51)을 종속접속하고, 플렉시블기판(55) 등을 통해, 공통신호 등의 각종신호나 전원관계전압을 소스드라이버 LSI칩(51)에 공급함으로써 액정모듈을 구성하고 있었다.

그러나, 최근, 액정모듈에 대한 시장에서의 저비용화 및 소형화에 대한 요구는 더욱 강하다. 이들 요구에 대한 하나의 대응책으로서, 도14에 있어서의 공통배선용의 플렉시블기판(55)(또는, 경우에 따라 플렉시블기판(55) 대신 사용되는 프린트기판)을 폐지한 구성의 액정모듈이 제안되어 있다.

이 액정모듈은, 도14의 구성에 있어서, 인접하는 TCP(53)를 전기적으로 접속함과 동시에, 소스드라이버 LSI칩(71)(후술함)에 제공된 A1선(알루미늄선) 등으로 이루어지는 내부배선을 사용함으로써, 공통신호 및 전원관계전압이 TCP(53) 내부를 통해 전달되도록 하여, 플렉시블기판(55)을 폐지한 것이다.

도18에 액정모듈에 사용하는 소스드라이버 LSI칩(71)의 블록도를 도시한다. 설명의 편의상, 상기 도14에 도시한 각 부재와 동일한 기능을 갖는 부재에는 동일한 부호를 부기하고 그 설명을 생략한다.

소스드라이버 LSI칩(71)은, 도18에 도시한 바와 같이, 소스드라이버 LSI칩(51)에 대해, 공통신호 및 전원관계전압을 공급하기 위한 출력단자 R1 6out · G1 6out · B1 6out · LSout · Vref1 6out · VLS · Vcc · GND를 추가하고, 이들을 입력단자 R1 6in · G1 6in · B1 6in · LSin · Vref1 6in · VLS · Vcc · GND에 각각 내부배선으로 전기적으로 접속한 것이다.

이에 의해, 공통신호인 화상데이터신호 R · G · B 및 래치신호 LS와, 전원관계전압인 계조표시용기준전압 Vref1 6, 휘도조정용 전압 VLS, 전원전압 Vcc 및 접지전위 GND가, 소스드라이버 LSI칩(71)의 내부를 통과하여 전달된다.

즉, 공통신호 R · G · B · LS 및 전원관계전압 Vref1 6 · VLS · Vcc · GND는, 우선, 도14의 구성과 동일하게 하여, 도시하지 않은 콘트롤러로부터 제1 소스드라이버의 입력단자 R1 6in · G1 6in · B1 6in · LS · Vrer1 6in · VLS · Vcc · GND에 각각 입력된다.

제1 소스드라이버에 입력된 공통신호 R · G · B · LS 및 전원관계전압 Vref1 6 · VLS · Vcc · GND는, 내부배선을 통해, 제1 소스드라이버의 출력단자 R1 6out G1 6out · B1 6out · LSout · Vref1 6out · VLS · Vcc · GND에서 출력된다. 제1 소스드라이버로부터 출력된 공통신호 R · G · B · LS 및 전원관계전압 Vref1 6 · VLS · Vcc · GND는, 인접하는 TCP(53)간의 전기적 접속에 의해, 다음단의 제2 소스드라이버의 입력단자 R1 6in · G1 6in · B1 6in · LSin · Vref1 6in · VLS · Vcc · GND에 각각 입력된다.

이하, 상기와 동일하게 하여, 공통신호 R · G · B · LS 및 전원관계전압 Vref1 6 · VLS · Vcc · GND가, 순차, 제2 소스드라이버로부터 최종단의 제8 소스드라이버까지 전송되고, 제3소스드라이버 제8 소스드라이버의 입력단자 R1 6in · G1 6in · B1 6in · LSin · Vref1 6in · VLS · Vcc · GND에 각각 입력된다.

소스드라이버 LSI칩(71)의 각 부의 동작은, 소스드라이버 LSI칩(51과 같다. 예컨대, 소스드라이버용의 스타트 펄스신호 SPI는, 입력단자 SPin로부터 입력되고, 내부의 시프트 레지스터(61)로 클록신호 CK에 동기를 취해 시프트되고, 스타트 펄스신호 SPO가 출력단자 SPout에서 출력된다.

또, 소스드라이버 LSI칩(71)에서는, 도18에 개략적으로 도시된 바와 같이, 액정패널(54)로의 출력단자 XO1 XO100 · YO1 YO100 · ZO1 ZO100가 1변에 배치되고, 그 변의 측방의 2변중 하나의 변에, 입력단자 SPin · CKin · R1 6in · G1 6in · B1 6in · LSin · Vref1 6in · VLSin · Vcc · GND가 배치되고, 또하나의 변에, 출력단자 SPout · CKout · R1 6out · G1 6out · B1 6out · LSout · Vref1 6out · VLS · Vcc · GND가 배치되어 있다. 여기서는, 입력이나 출력을 위한 버퍼회로는 생략한다.

소스드라이버 LSI칩(71)을 탑재한 액정모듈의 구성예를 도19에 도시한다. 여기서는, 소스드라이버 LSI칩(71)과 액정패널(54)만 도시한다.

소스드라이버 LSI칩(71)을 탑재한 TCP(53)위의 측부(액정패널(54)의 방향을 정면으로 한 측부)에 배치된 TCP배선(53a)을 서로 전기적으로 접속하기 위해, 인접하는 TCP(53)위의 TCP 배선(53a)들을 액정패널(54)상의 소스드라이버 접속용 배선(54d)을 통해 전기적으로 접속하는 것이다.

이 전기적접속은, 액정패널(54)의 하측 유리인 액정유리기판(54a) 상에 화소용 단자와 같은 ITO로 이루어지는 소스드라이버 접속용 배선(54d)을 배치하고, 전술한 TCP(53)상의 TCP 배선(53a)과 액정패널(54)상의 단자의 접속과 동시에, ACF를 통해 TCP(53)를 액정유리기판(54a)에 열압착함으로써 실현할 수 있다.

이 액정모듈에서는, 도시하지 않지만, 콘트롤러는, 별도의 플렉시블기판에 탑재하고, 액정패널(54)상의 소스드라이버 접속용 배선(4d)에 대해 전기적으로 접속함으로써 탑재할 수 있다.

또, TCP(53)위의 측부의 TCP 배선(53a)은, 입력단자 SPin · CKin · R1 6in · G1 6in · B1 6in · LSin · Vref1 6in · VLS · Vcc · GND 및 출력단자 SPout · CKout · R1 6out · G1 6out · B1 6out · LSout · Vref1 6out · VLS · Vcc · GND에 전기적으로 접속되어 있는 것으로, 도19에서는, 이들중 4개만 도시하고 있다. 또한, 소스드라이버 접속용 배선(54d)은, 도19에는 2개만 도시하고 있으나, 실제로는, 입력단자 SPin · CKin · R1 6in · G1 6in · B1 6in · LSin · Vref1 6in · VLS · Vcc · GND에 대응하는 수만큼 제공되어 있다.

이 방법은, 액정패널(54)상의 소스드라이버 접속용 배선(54d)를 사용하여 인접하는 TCP(53)를 전기적으로 접속하는 것이나, 다른 방법으로서, 인접하는 TCP (53)의 TCP 배선(53a)들을 중첩시켜 인접하는 TCP(53)를 전기적으로 접속해도 좋다. 인접하는 TCP(53)이 TCP 배선(53a)들을 중첩하여 TCP 배선(53a)을 접속하는 수법은 본 출원인에 의한 일본 공개특허공보 6-3684호(공개일:1994년 1월14일)에 기재되어 있다.

이상과 같이 하여, 인접하는 TCP(53)간의 공통신호 및 전원관계전압의 전달을 소스드라이버 LSI칩(71)의 내부배선과 TCP 배선(53a)을 통해 행하는 것에 의해, 공통신호나 전원관계전압을 각 소스드라이버 LSI칩(71)에 공급하기 위한 플렉시블기판(또는 프린트기판)을 폐지할 수 있다. 이에 따라, 액정모듈의 저가격화 및 소형화를 꾀할 수 있다.

그러나, 액정모듈에 대한 시장에서의 저가격화 및 소형화로의 요구는 엄격하여 더욱 검토할 필요가 있다. 이 때문에, 액정모듈의 전체 비용의 절감을 꾀하기 위해 콘트롤러도 포함한 표시용 구동장치에 대해, 가능한 한 회로규모의 감축이나 필요배선의 감소가 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은, 상기 종래의 과제에 비추어 이루어진 것으로, 그 목적은, 콘트롤러 등을 포함한 전체의 소형화가 가능함과 동시에 비용을 절감할 수 있는 표시용 구동장치 및 이를 사용한 액정모듈을 제공하는 것이다.

이들 목적을 달성하기 위해, 본 발명의 표시용 구동장치는, 화상데이터신호에 따라 표시소자를 구동하는 복수의 구동회로가 종속접속된 표시용 구동장치에 있어서, 상기 각 구동회로는, 시분할로 전송되는 상기 화상데이터신호의 소정량을 래치신호에 따라 래치하는 홀드메모리를 갖고, 이와 같이 래치된 화상데이터신호를 아날로그로 변환하여 상기 표시소자에 출력하며, 상기 복수의 구동회로중 최종단의 구동회로에, 상기 래치신호를 생성하는 래치신호생성회로가 제공된다.

상기 구성에 의하면, 복수의 구동회로가 종속접속되어 있고, 이들 구동회로는, 화상데이터신호에 따라 표시소자를 구동한다. 구체적으로는, 상기 각 구동회로내에는, 시분할로 전송되는 상기 화상데이터신호의 소정량을 래치신호에 따라 래치하는 홀드메모리가 제공되고, 상기 홀드메모리에 의해 래치된 화상데이터신호는 아날로그로 변환되어 상기 표시소자에 출력되도록 되어 있다.

이상과 같이, 표시용 구동장치내에서 래치신호를 생성할 수 있기 때문에, 종래와 같이 콘트롤러 등의 외부회로에서 래치신호를 공급할 필요가 없다. 따라서, 종래, 외부회로에서 래치신호를 공급하기 위해 필요했던, 외부회로의 래치신호에 관련되는 회로, 외부회로의 출력단자, 외부회로와 표시용 구동장치를 전기적으로 접속하는 래치신호용의 배선 등을 생략할 수 있다. 그 결과, 콘트롤러 등을 포함하는 표시용 구동장치 전체의 소형화가 가능해지고 또한 비용을 절감할 수 있다.

본 발명의 또 다른 목적, 특징 및 우수한 점은, 이하에 도시한 기재에 의해 충분히 이해될 것이다. 또한, 본 발명의 이점은 첨부도면을 참조한 다음 설명으로 명백하게 될 것이다.

발명의 구성 및 작용

〔실시형태 1〕

본 발명의 실시의 1형태에 대해 도1 내지 도6 및 도13에 따라 설명하면 이하와 같다.

본 실시형태의 표시용 구동장치는, 도2에 도시한 바와 같이, 액정표시소자(표시소자)로서의 액정패널(4)을 구동하는 종속접속된 복수의 구동회로로서의 소스드라이버 LSI칩(1) 및 게이트드라이버 LSI칩(2)이 각 TCP(3)에 탑재된 것이다. 또한, 상기 표시용 구동장치는, 액정패널(4)과 함께 액정모듈을 구성하고 있다. 또, 액정패널(4)의 화소수는, 800화소×3(RGB)(소스측)×600화소(게이트측)이다.

소스드라이버 LSI칩(1) 및 게이트드라이버 LSI칩(2)의 출력단자는, TCP(3)상의 TCP 배선을 통해, TCP(3)에 있어서의 액정패널(4)로의 출력단자에 대해 전기적으로 접속되어 있다. 그리고, TCP(3)에 있어서의 액정패널(4)로의 출력단자(TCP 배선)은, 도13에 도시한 바와 같이, 액정패널(4)의 액정유리기판(4a)상에 제공된 ITO로 이루어지는 단자(4b)에, 예컨대, ACF(4c)를 통해, 열압착되어 전기적으로 접속되고, 또한 고정되어 있다. 또한, 소스드라이버 LSI칩(1)(도13에서는, 부호 31로 기재함)는, 범프를 통해 TCP 배선(이너리드부)와 접속된다. 또한, 후술하는 플렉시블기판(5)의 배선과 TCP 배선도, ACF 또는 땜납에 의해 전기적으로 접속 및 고정된다. TCP 배선의 상기 접속부 이외는, 솔더레지스트로 보호되어 있다. 도13에서, 소스드라이버 LSI칩(31)을 보호하기 위한 밀봉재는 생략하고 있다.

소스드라이버 LSI칩(1)은, 각각 64계조의 표시를 행하는 동시에, 각각 100화소×3(RGB)를 구동하는 것으로 되어 있다. 따라서, 여기서는, 소스드라이버 LSI칩(1)은 8개가 종속접속된 것으로 되어 있다. 이하, 소스드라이버 LSI칩(1)을 서로 구별할 필요가 있는 경우에는, 1 7단째의 소스드라이버 LSI칩(1)을 각각 제1 7 소스드라이버라 하고, 최종단의 소스드라이버 LSI칩(1)을 제8 소스드라이버라 한다.

게이트드라이버 LSI칩(2)에 대해서는, 여기서는, 2개가 종속접속된 것으로 되어 있다. 이하, 게이트드라이버 LSI칩(2)을 서로 구별할 필요가 있는 경우에는, 1단째의 게이트드라이버 LSI칩(2)을 제1 게이트드라이버라 하고, 최종단의 게이트드라이버 LSI칩(2)을 제2 게이트드라이버라 한다.

또한, 상기 표시용 구동장치는, 콘트롤러(6)가 제공된 플렉시블기판(5)을 구비하고 있고, TCP(3)와 플렉시블기판(5)이 전기적으로 접속되어 있다. 구체적으로는, 소스드라이버 LSI칩(1) 및 게이트드라이버 LSI칩(2)에 전기적으로 접속된 TCP (3)상의 TCP 배선과, 콘트롤러(6)의 출력단자 R · G · B · Vcc · GND · Vref · VLS · SSPI · SCK · GCK · GSPI(도3 참조)에 전기적으로 접속된 플렉시블기판(5)상의 배선이, 예컨대, ACF나 땜납 등을 통해 전기적으로 접속되어 있다.

이에 의해, 소스드라이버 LSI칩(1) 및 게이트드라이버 LSI칩(2)으로의 신호의 입출력이, TCP(3)위의 배선 및 플렉시블기판(5)상의 배선을 통해 행하여진다.

우선, 콘트롤러(6)의 출력단자 R · G · B에서 출력된 화상데이터신호 R · G · B와, 콘트롤러(6)의 출력단자 SCK에서 출력된 클록신호 CK가, 플렉시블기판(5)상의 배선 및 TCP(3)위의 배선을 통해 공통신호로서 각 소스드라이버 LSI칩(1)에 입력된다.

한편, 스타트 펄스신호 SPI는, 콘트롤러(6)의 출력단자 SSPI에서 출력되고, 플렉시블기판(5)상의 배선을 통해 제1 소스드라이버의 입력단자 SPin에 입력된다. 입력된 스타트 펄스신호 SPI는, 제1 소스드라이버내부에 전송되어, 제1 소스드라이버의 출력단자 SPout로부터 스타트 펄스신호 SPO로서 출력된다. 출력된 스타트 펄스신호 SPO는, 다시 플렉시블기판(5)상의 배선을 통해 다음단의 제2 소스드라이버의 입력단자 SPin에 입력된다. 이하, 상기와 동일하게 하여, 스타트 펄스신호 SPI가 제2 소스드라이버로부터 최종단의 제8 소스드라이버까지 전송된다.

또한, 콘트롤러(6)의 출력단자 Vcc에서 출력된 LSI칩용의 전원전압 Vcc, 콘트롤러(6)의 출력단자 GND에 전기적으로 접속된 접지전위 GND, 콘트롤러(6)의 출력단자 Vref1 6으로부터 출력된 64비트 계조표시용 기준전압 Vref1 6 및 콘트롤러(6)의 출력단자 VLS에서 출력된 휘도조정용 전압(액정패널(4)로의 인가전압을 조정하기 위한 전압) VLS도, 동일하게, 각 소스드라이버 LSI칩(1)에 공통으로 공급된다. 이들 전압 Vcc · Vref1 6 · VLS를 공급하는 배선 및 접지전위 GND를 공급하는 접지선(GND선)은, 전원관계선으로서 제공되는 것이다. 이하, 전압 Vcc · Vref1 6 · VLS 및 접지전위 GND를 전원관계전압이라 한다.

이상의 점에 대해서는, 도14에 도시한 종래의 표시용 구동장치와 거의 같다. 종래 기술과의 차이는, 종래의 표시용 구동장치에서는 콘트롤러(56)의 출력단자 LS에서 래치신호 LS를 공급하는 것에 대해, 본 실시형태의 표시용 구동장치에서는 최종단의 제8 소스드라이버의 출력단자 SPDout에서 출력된 스타트 펄스신호를 래치신호 LS로서 이용하는 점에 있다.

즉, 본 실시형태에서는, 제8 소스드라이버에 있어서의 스타트 펄스신호용의 출력단자 SPDout와, 제1 소스드라이버 제8 소스드라이버에 있어서의 래치신호 LS 입력용의 입력단자 LSin을 접속하고, 제8 소스드라이버의 스타트 펄스신호를 래치신호 LS로서 각 소스드라이버 LSI칩(1)에 공급하고 있다.

이에 의해, 콘트롤러(6)로부터 래치신호 LS를 공급할 필요가 없게 되기 때문에, 콘트롤러(6)로부터 제1 소스드라이버에 래치신호 LS를 공급하기 위한 배선이나, 콘트롤러(6)의 출력단자 LS, 콘트롤러(6)내에서의 래치신호 LS의 출력에 관련되는 회로 등이 불필요하게 된다.

또한, 본 실시형태에서는, 제8 소스드라이버의 출력단자 SPDout에서 출력되는 스타트 펄스신호는, 통상의 출력인 스타트 펄스신호 SPO가 지연회로(13)에 의해 지연된 것으로 되어 있다. 제8 소스드라이버의 스타트 펄스신호 SPO를 그대로 래치신호 LS로서 사용하지 않는 이유는 다음과 같다.

도4의 입출력신호의 타이밍챠트에 도시한 바와 같이, 제8 소스드라이버의 스타트 펄스신호 SPO를 그대로 래치신호 LS로서 사용하고, 예컨대 래치신호 LS의 상승으로 홀드메모리(17)에 래치하는 경우, 데이터래치회로(14)나 샘플링메모리(15)에서의 화상데이터신호 R · G · B의 지연에 의해, 전송된 화상데이터신호 R · G · B를 정확히 래치할 수 없는 문제가 있다. 따라서, 본 실시형태에서는, 지연회로(13)에 의해 스타트 펄스신호에 지연시간을 발생시키고 있다.

소스드라이버 LSI칩(1)의 회로구성을, 도1의 블록도에 따라 상세히 설명함과 동시에, 소스드라이버 LSI칩(1)의 동작을 도4에 도시한 각 신호의 타이밍챠트도 참조하여 설명한다. 한편, 이하의 설명에서는, 도2에 있어서의 8개의 소스드라이버 VLSI칩(1)중 하나에 대해 설명하지만, 각 소스드라이버 LSI칩(1)은 완전히 동일한 것이다.

소스드라이버 LSI칩(1)은, 도1에 도시한 바와 같이, 시프트 레지스터(11), 데이터래치회로(14), 샘플링메모리(선택회로)(15), 홀드메모리(래치회로)(17), 기준전압 발생회로(18), D/A 컨버터(19) 및 출력회로(20)로 구성되어 있다.

시프트 레지스터(11)에는, 콘트롤러(6)의 출력단자 SSPI에서 출력된 스타트 펄스신호 SPI(도4 참조)가 소스드라이버 LSI칩(1)의 입력단자 SPin에서 입력된다. 스타트 펄스신호 SPI는, 후술하는 화상데이터신호 R · G · B의 수평동기신호와 동기를 취한 동기신호이다. 또한, 시프트 레지스터(11)에는, 콘트롤러(6)의 출력단자 SCK에서 출력된 클록신호 CK (도4 참조)가 소스드라이버 LSI칩(1)의 입력단자 CKin에서 입력된다.

시프트 레지스터(11)는, 스타트 펄스신호 SPI가 입력되면, 스타트 펄스신호 SPI를 시프트시킨다. 즉, 스타트 펄스신호 SPI를 스타트 펄스로 하여, 스타트 펄스신호 SPI의 하이 레벨기간에 입력된 클록신호 CK의 최초의 상승으로부터, 스타트 펄스신호 SPI의 시프트를 개시한다.

시프트 레지스터(11)에서 시프트된 스타트 펄스신호 SPI는, 스타트 펄스신호 SPO(도4 참조)로서 소스드라이버 LSI칩(1)의 출력단자 SPout에서 출력되어, 다음단의 소스드라이버 LSI칩(1)의 입력단자 SPin에 입력된다. 스타트 펄스신호 SPI는, 최종단의 소스드라이버 LSI칩(1)(도2에 도시한 제8 소스드라이버)까지 동일하게 시프트된다.

한편, 콘트롤러(6)의 각 R · G · B 단자로부터 출력되는 화상데이터신호 R · G · B(도4 참조)는, 도1에 도시한 바와 같이, 소스드라이버 LSI칩(1)의 입력단자 R1 6in · G1 6in · B1 6in으로부터 각각 병렬로 데이터래치회로(14)에 입력된다. 그리고, 화상데이터신호 R · G · B는, 데이터래치회로14로써 일시적으로 래치된 후, 샘플링메모리(15)로 전송된다. 화상데이터신호 R · G · B는, R(Red) · G(Green) · B (Blue) 각각 6비트, 계 18비트로 구성되는 칼라 디지탈 영상신호이다.

샘플링메모리(15)는, 시프트 레지스터(11)의 각 단의 출력신호에 의해 시분할로 전송되는 화상데이터신호 R · G · B를 샘플링하고, 후술하는 래치신호 LS(도4 참조)가 입력될 때까지 기억한다.

이들 화상데이터신호 R · G · B는, 이어서, 홀드메모리(17)에 입력되고, 1수평기간의 데이터가 홀드메모리(17)에 입력된 시점에서, 래치신호 LS의 하강에서 래치된다. 또한, 홀드메모리(17)는, 다음 수평기간의 데이터가 샘플링메모리(15)로부터 홀드메모리(17)에 입력될 때 까지, 화상데이터신호 R · G · B의 1수평기간의 데이터를 유지하고, 그 사이, 화상데이터신호 R · G · B를 D/A 컨버터(19)에 출력한다. 이 때, 시프트 레지스터(11) 및 샘플링메모리(15)는, 다음 수평기간이 새로운 화상데이터신호 R · G · B의 취입을 행한다.

기준전압발생회로(18)는, 콘트롤러(6)의 출력단자 Vref1 6로부터 출력되어 소스드라이버 LSI칩(1)의 입력단자 Vref1 6에 입력되는 기준전압 Vref1 6을 기초로, 예컨대, 저항분할에 의해 계조표시에 사용하는 64레벨의 전압을 발생시킨다.

D/A 컨버터(19)는, R · G · B 각각 6비트의 디지털 영상신호인 화상데이터신호 R · G · B를 아날로그신호로 변환한다. 그리고, 출력회로(20)는, 콘트롤러(6)의 출력단자 VLS에서 출력되어 소스드라이버 LSI칩(1)의 입력단자 VLS에 입력되는 휘도조정용전압 VLS에 의해 64레벨의 아날로그신호를 증폭하고, 출력단자 XO1 XO100 · YO1 YO100 · ZO1 ZO100로부터 액정패널(4)의 입력단자(도시하지 않음)로 출력한다.

출력단자 XO1 XO100, 출력단자 YO1 YO100 및 출력단자 ZO1 ZO100는, 화상데이터신호 R, 화상데이터신호 G, 및 화상데이터신호 B에 각각 대응하는 단자군이고, 각각 100단자이다. 또한, 소스드라이버 LSI칩(1)의 단자 Vcc 및 단자 GND는, 소스드라이버 LSI칩(1)에 공급되는 전원용 단자이다. 도1에서, 입력 또는 출력을 위한 버퍼회로의 기재는 생략하고 있다.

이상의 점은, 도18에 도시한 종래의 소스드라이버 LSI칩(51)과 동일하나, 본 실시형태의 소스드라이버 LSI칩(1)은, 시프트 레지스터(11)의 출력측에 지연회로(13)(래치신호 생성수단)을 제공한 점에서 소스드라이버 LSI칩(51)과 상이하다.

또한, 소스드라이버 LSI칩(1)에서는, 종래와 같은 타이밍으로 스타트 펄스신호 SPO가 출력되는 출력단자 SPout와, 지연회로(13)를 개재함으로써 소정의 지연시간만 지연시킨 타이밍으로 스타트 펄스신호가 출력되는 출력단자 SPDout를 제공하고 있다.

또한, 제1 소스-드라이버의 출력단자 SPout와 제2 소스드라이버의 입력단자 SPin을 전기적으로 접속하고 있다. 접속방법은, 이하, 상기와 동일하게 하여, 제2 7 소스드라이버의 출력단자 SPout와 제3 8 소스드라이버의 입력단자 SPin을 접속한다. 그리고, 제8 소스드라이버로부터의 출력단자 SPDout는, 제1 소스드라이버 제8 소스드라이버의 입력단자 LSin과 전기적으로 접속하고 있다.

지연회로(13)는, 도5에 도시한 바와 같이, 짝수개의 인버터회로(24)를 직렬로 접속함으로써 실현할 수 있다.

또한, 도6에 도시한 바와 같이, 지연회로(13)를 구성하는 인버터회로(24)의 복수개마다 스위치(25)를 제공해도 좋다. 스위치(25)를 개폐하는 것에 의해, 지연시간을 조정할 수 있다.

이 지연시간의 조정에 의해, 상기 도4에서 설명한 바와 같이, 소스드라이버 LSI칩(1)내부에서의 래치신호 LS와 화상데이터신호 R · G · B와의 타이밍 및 액정패널(4)상에 설치하였을 때의 래치신호 LS와 화상데이터신호 R · G · B의 타이밍을 조정하여, 최적화할 수 있다.

상기 지연회로(13)는, 커패시터와 저항을 조합한 CR 시정수에 의해 지연을 발생시키는 지연회로도 좋다.

이 스위치(25)의 개폐는, 예컨대, 메탈 옵션에 의해, 즉, 소스드라이버 LSI칩(1)을 구성하는 최상층의 메탈로 배선하는지의 여부에 따라 행하면 좋다. 메탈 옵션을 사용함으로써, 타이밍의 조정을 위한 개발기간을 단축할 수 있다.

또한, 스위치(25)를 개폐하는 별도의 수법으로서, 미리 최상층의 메탈으로 접속하여 스위치(25)를 폐상태로 하고, 그 후, 레이저 등에 의해 메탈을 절단하여 스위치(25)를 개방상태로 하는 레이저 절단 수법을 사용하는 것도 가능하게 된다. 이에 의해, 스위치(25)의 개폐를 용이하게 실현할 수 있다.

또, 본 실시형태의 표시용 구동장치에서는, 제1 소스드라이버 제7 소스드라이버는, 제8 소스드라이버와 같은 구성이지만, 제1 소스드라이버 제7 소스드라이버에 있어서의 지연회로(13)및 출력단자 SPDout는 생략가능하다. 즉, 제1 소스드라이버 제7 소스드라이버로서, 종래의 기술에서 설명한 종래의 소스드라이버 LSI칩(51)을 사용하는 것이 가능하다.

이상과 같이, 본 실시형태의 표시용 구동장치에 의하면, 콘트롤러(6)로부터 래치신호 LS를 공급하는 종래의 구성과 비교하여, 콘트롤러(6)로부터 송신하는 신호수를 감소시킬 수 있기 때문에, 콘트롤러(6)와 소스드라이버 LSI칩(1)을 전기적으로 접속하는 배선의 수를 감소시킬 수 있다. 따라서, 배선에 관한 비용을 절감할 수 있음과 동시에, 콘트롤러(6)와 소스드라이버 LSI칩(1)을 전기적으로 접속하는 배선이 제공되는 플렉시블기판(5)의 크기를 작게 할 수 있다.

또한, 상기 구성에 의하면, 콘트롤러(6)내부의 래치신호 LS에 관련되는 회로나 콘트롤러(6)의 출력단자 LS도 제거할 수 있고, 콘트롤러(6)의 비용도 절감할 수 있다. 따라서, 콘트롤러(6)도 포함하는 액정모듈에서, 더 한층의 경박단소화가 가능해져, 사용자의 필요성을 정확하게 파악한 액정표시장치를 구성할 수 있다.

또한, 상기 구성에 의하면, 최종단의 제8 소스드라이버에 있어서의 시프트 레지스터(11)의 출력측에 지연회로(13)를 제공하기 때문에, 1개의 지연회로(13)로부터 모든 소스드라이버 LSI칩(1)에 래치신호 LS를 공급할 수 있다. 따라서, 지연회로(13)의 설치에 의한 비용의 증대나 장치 크기의 확대를 억제할 수 있다.

〔실시형태 2〕

본 발명의 다른 실시형태에 대해 도7에 따라 설명하면 이하와 같다. 또, 설명의 편의상, 상기 실시형태 1에 도시한 각 부재와 동일한 기능을 갖는 부재에는 동일한 부호를 부기하고 그 설명을 생략한다.

도7에 도시한 바와 같이, 본 실시형태의 소스드라이버 LSI칩(21)은, 도1에 있어서 지연회로(13) 및 출력단자 SPDout를 생략하고 입력단자 LSin과 홀드메모리(17) 사이에 지연회로(23)를 삽입한 이외는, 실시형태 1의 소스드라이버 LSI칩(1)과 동일하다. 또한, 지연회로(23)는, 실시형태 1에 기술한 지연회로(13)와 동일하다.

본 실시형태의 표시용 구동장치 및 액정모듈은, 도시하지 않지만, 소스드라이버 LSI칩(1)을 소스드라이버 LSI칩(21)에 변경한 이외는, 실시형태 1의 표시용 구동장치 및 액정모듈과 동일하다.

본 실시형태에서, 상기 도4에 도시한 래치신호 LS는, 소스드라이버 LSI칩(21)내의 지연회로(23)의 출력에서 지연된 타이밍으로 홀드메모리(17)에 입력된다.

본 실시형태의 표시용 구동장치 및 액정모듈은, 실시형태 1과 같이, 소스드라이버 LSI칩(21)내부에서의 래치신호 LS와 화상데이터신호 R · G · B의 타이밍 및, 액정패널(4)상에 설치하였을 때의 래치신호 LS와 화상데이터신호 R · G · B의 타이밍을 조정하여 최적화할 수 있는 효과가 얻어진다.

또한, 본 실시형태에서는, 소스드라이버 LSI칩(21)에 있어서의 홀드메모리(17)의 입력측(입력단자 LSin과 홀드메모리(17) 사이)에 지연회로(23)를 제공하기 때문에, 어떤 소스드라이버 LSI칩(21)에 있어서도, 시프트 레지스터(11)로부터 출력된 스타트 펄스신호 SPO를 그대로 출력시키는 것만으로도 충분하다. 따라서, 소스드라이버 LSI칩(21)은, 실시형태 1의 소스드라이버 LSI칩(1)과 비교하여, 지연회로(13)로부터의 출력신호를 출력하는 출력단자 SPDout를 생략할 수 있기 때문에, 염가로 또한 효율적으로 제조할 수 있다.

〔실시형태 3〕

본 발명의 또 다른 실시형태에 대해 도8에 따라 설명하면 이하와 같다. 설명의 편의상, 상기 실시형태 1에 도시한 각 부재와 동일한 기능을 갖는 부재에는 동일한 부호를 부기하고 그 설명을 생략한다.

본 실시형태의 표시용 구동장치 및 액정모듈은, 플렉시블기판(5)상에 지연회로(33)를 제공함으로써, 종래의 소스드라이버 LSI칩(51)을 사용하여, 실시형태 1과 같은 효과를 얻는 것이다.

본 실시형태의 표시용 구동장치에서는, 제8 소스드라이버의 출력단자 SPout와 지연회로(33)의 입력단자 IN을 전기적으로 접속함과 동시에, 지연회로(33)의 출력단자 OUT와 제1 소스드라이버 제8 소스드라이버의 각각의 입력단자 LSin을 전기적으로 접속하고 있다.

지연회로(33)는, 실시형태 1에서 설명한 짝수개의 인버터회로(24)를 직렬로 접속한 것도 좋고, 커패시터와 저항을 조합한 CR 시정수에 의해 지연을 발생시키는 지연회로도 좋다.

본 실시형태의 구성에서는, 공통신호 및 전력을 공급하기 위한 플렉시블기판(5)상의 회로에 변경을 가함으로써, 종래의 소스드라이버 LSI칩(51)을 그대로 이용하여 본 발명의 표시용 구동장치를 실현할 수 있다. 따라서, 실시형태 1과 같은 효과를 얻음과 동시에, 다음과 같은 효과가 얻어진다.

즉, 종래의 표시용 구동장치에 있어서의 플렉시블기판(5)상의 회로만을 변경하면 되기 때문에, 소스드라이버 LSI칩(51) 을 변경하는 것보다 제조장치의 변경이 적어진다. 따라서, 비용이 절감될 수 있다. 또한, 지연회로(33)의 설계변경과, 소스드라이버 LSI칩(51)의 설계변경을 독립적으로 할 수 있기 때문에, 설계변경의 자유도가 향상된다.

〔실시형태 4〕

본 발명의 또 다른 실시형태에 대해 도9 및 도13에 따라 설명하면, 이하와 같다. 설명의 편의상, 상기 실시형태 1에 도시한 각 부재와 동일한 기능을 갖는 부재에는 동일한 부호를 부기하고 그 설명을 생략한다.

본 실시형태의 액정모듈은, 도9에 도시한 바와 같이, 실시형태 1의 액정모듈에서, 인접하는 TCP(3)를 전기적으로 접속함과 동시에, 소스드라이버 LSI칩(31)(후술함)에 제공된 A1선(알루미늄선)등으로 이루어지는 내부배선을 사용함으로써, 공통신호 및 전원관계전압이 TCP(3)내부를 통해 전달하도록 하여, 공통신호 및 전원관계전압을 공급하기위한 플렉시블기판(5)을 폐지한 것이다.

인접하는 소스드라이버 LSI칩(31)간의 신호선 및 전원관계선의 30라인(R,G,B 각 6비트, SCK, Vcc, GND, Vref 16, VLS, SSPI 및 LS)은, 소스드라이버 LSI칩(31)의 내부배선 및 TCP(3)상의 TCP 배선과, 인접하는 TCP(3)상의 TCP 배선들을 전기적으로 접속하는 액정패널(4)상의 접속용배선(도19 참조)를 통해, 각 TCP에 전기적으로 접속되어 있다. TCP(3)간의 전기적접속은, 도19와 동일하게 하여, 액정패널(4)의 하측 유리인 액정유리기판(4a)상에 화소용 단자와 같은 ITO로 이루어지는 접속용 배선을 배치하고, TCP(3)를 ACF를 통해 액정유리기판(4a)에 열압착함으로써 실현할 수 있다.

단, 제8 소스드라이버의 출력단자 SPDout와 입력단자 LSin은, TCP(3)상의 TCP배선, 액정패널(4)상의 접속용배선 및 ACF를 통해 전기적으로 접속되어 있다.

또한, 플렉시블기판(5A)에 탑재된 콘트롤러(6)로부터의 29라인의 신호선 및 전원관계선과, 제1 소스드라이버가 탑재된 TCP(3)는, TCP(3)간의 전기적접속과 동일하게 하여, 쌍방의 소정의 단자를 ACF를 통해 액정패널(4)상의 접속용 배선에 열압착함으로써, 액정패널(4)상의 접속용배선을 통해 전기적으로 접속되어 있다.

다음, 액정패널(4)과 소스드라이버 LSI칩(31)과의 접속형태를 도13에 따라 설명한다. 도13에는 우단의 플렉시블기판(5)을 도시하고 있으나, 이는 본 실시형태에서는 불필요하다.

액정패널(4)의 단자(4b)와 TCP(3)의 TCP 배선은, ACF(4c)을 통해 열압착에 의해 전기적으로 접속되고, 또한, 고정되어 있다. 소스드라이버 LSI칩(31)은 범프를 통해 TCP 배선(이너리드부)과 접속된다. TCP 배선의 상기 접속부 이외는, 솔더레지스트로 보호되어 있다. 도13에서, 소스드라이버 LSI칩(31)을 보호하기 위한 밀봉재는 생략한다.

다음, 상기 표시용 구동장치에 사용하는 소스드라이버 LSI칩(31)의 회로구성을 도10의 블록도에 따라 설명한다.

소스드라이버 LSI칩(31)은, 도10에 도시한 바와 같이, 소스드라이버 LSI칩(1)에 대해, 공통신호 및 전원관계전압을 공급하기위한 출력단자 R1 6out · G1 6out · B1 6out · LSout · Vref1 6out · VLS · Vcc · GND를 추가하고, 이들을 입력단자 R1 6in · G1 6in · B1 6in · LSin · Vref1 6in · VLS · Vcc · GND에 각각 내부배선으로 전기적으로 접속한 것이다.

이에 의해, 공통신호인 화상데이터신호 R · G · B 및 래치신호 LS와, 전원관계전압인 계조표시용 기준전압 Vref1 6, 휘도조정용 전압 VLS, 전원전압 Vcc 및 접지전위 GND가 소스드라이버 LSI칩(31)의 내부를 통과하여 전달된다.

즉, 공통신호 R · G · B 및 전원관계전압 Vref1 6 · VLS · Vcc · GND는, 우선, 실시형태 1의 구성과 동일하게 하여, 콘트롤러(6)로부터 제1 소스드라이버의 입력단자 R1 6in · G1 6in · B1 6in · Vref1 6in · VLS · Vcc · GND에 각각 입력된다.

제1 소스드라이버에 입력된 공통신호 R · G · B 및 전원관계전압 Vref1 6 · VLS · Vcc · GND는, 내부배선을 통해, 제1 소스드라이버의 출력단자 R1 6out · G1 6out · B1 6out · Vref1 6out · VLS · Vcc · GND에서 출력된다. 제1 소스드라이버로부터 출력된 공통신호 R · G · B 및 전원관계전압 Vref1 6 · VLS · Vcc · GND는, 인접하는 TCP(3)간의 전기적 접속에 의해, 다음단의 제2 소스드라이버의 입력단자 R1 6in · G1 6in · B1 6in · Vref1 6in · VLS · Vcc · GND에 각각 입력된다.

이하, 상기와 동일하게 하여, 공통신호 R · G · B 및 전원관계전압 Vref1 6 · VLS · Vcc · GND가, 순차, 제2 소스드라이버로부터 최종단의 제8 소스드라이버까지 전송되고, 제3소스드라이버 제8 소스드라이버의 입력단자 R1 6in · G1 6in · B1 6in · Vref1 6in · VLS · Vcc · GND에 각각 입력된다.

이상의 점은, 도18에 도시한 종래의 소스드라이버 LSI칩(71)과 동일하나, 본 실시형태의 소스드라이버 LSI칩(31)은, 소스드라이버 LSI 칩(31)내의 시프트 레지스터(11)의 출력단에 지연회로(13)가 제공되는 점에서 소스드라이버 LSI 칩(71)과 상이하다. 지연회로(13)의 구성은, 실시형태 1에서 설명한 것과 같다.

또한, 소스드라이버 LSI칩(31)에서는, 종래와 같은 타이밍으로 스타트 펄스신호 SPO가 출력되는 출력단자 SPout와, 지연회로(13)를 개재함으로써 소정의 지연시간만 지연한 타이밍으로 스타트 펄스신호가 출력되는 출력단자 SPDout를 제공하고 있다.

또한, 본 실시형태에서는, 제1 소스드라이버의 출력단자 SPout와 제2 소스드라이버의 입력단자 SPin을 전기적으로 접속하고 있다. 이하, 상기와 동일하게 하여, 제2 7 소스드라이버의 출력단자 SPout와 제3 8 소스드라이버의 입력단자 SPin을 접속하고 있다. 그리고, 제8 소스드라이버로부터의 출력단자 SPDout는, 제1 소스드라이버 제8 소스드라이버의 입력단자 LSin과 전기적으로 접속하고 있다.

또한, 소스드라이버 LSI칩(31)에서는, 소스드라이버 LSI칩(1)에 대해, 래치신호 LS를 출력하기 위한 출력단자 LSout를 추가하고, 이들을 입력단자 LSin에 내부배선으로 전기적으로 접속하고 있다. 이에 의해, 래치신호 LS가, 소스드라이버 LSI칩(31)의 내부를 통과하여 전달된다.

즉, 우선, 실시형태 1의 구성과 동일하게, 래치신호 LS, 공통신호 R · G · B 및 전원관계전압 Vref1 6 · VLS · Vcc · GND는, 제8 소스드라이버의 출력단자 SPDout에서 제8 소스드라이버의 입력단자 LSin에 입력된다.

이어서, 제8 소스드라이버의 입력단자 LSin에 입력된 래치신호 LS는, 내부배선을 통해 제8 소스드라이버의 출력단자 LSout에서 출력되어, 인접하는 TCP(3)사이의 전기적접속에 의해, 제7 소스드라이버의 입력단자 LSin에 입력된다.

이하, 상기와 동일하게, 래치신호 LS가, 순차, 제7 소스드라이버로부터 제1 소스드라이버까지 전송되어, 제1 소스드라이버 제6소스드라이버의 입력단자 LSin에 각각 입력된다.

소스드라이버 LSI칩(31)에서는, 도18에 개략적으로 도시되어 있는 바와 같이, 액정패널(4)로의 출력단자 XO1 XO100 · YO1 YO100 · ZO1 ZO100가 1변에 배치되어, 그의 변의 측방의 2변중 하나의 변에, 입력단자 SPin · CKin · R1 6in · G1 6in · B1 6in · Vref1 6in · VLS · Vcc · GND와 출력단자 LSout가 배치되고, 또하나의 변에, 출력단자 SPout · CKout · R1 6out · G1 6out · B1 6out · Vref1 6out · VLS · Vcc · GND와 출력단자 LSout이 배치되

어 있다. 여기서는, 입력이나 출력을 위한 버퍼회로는 생략하고 있다.

이상과 같이 하여, 본 실시형태에서는, 인접하는 TCP(3)사이의 공통신호 및 전원관계전압의 전달을 소스드라이버 LSI칩(31)의 내부배선과 TCP 배선을 통해 행함으로써, 공통신호나 전원관계전압을 각 소스드라이버 LSI칩(1)에 공급하기 위한 플렉시블기판(또는 프린트기판)을 폐지할 수 있다. 따라서, 표시용 구동장치 및 액정모듈의 저가격화 및 소형화를 꾀할 수 있다.

또, 본 실시형태에서는, 액정패널(4)상의 접속용배선을 사용하여 인접하는 TCP(3)를 전기적으로 접속했으나, 인접하는 TCP(3)의 TCP 배선들을 중첩하여 인접하는 TCP(3)를 전기적으로 접속해도 좋다. 인접하는 TCP(3)의 TCP 배선들을 중첩하여 TCP 배선을 접속하는 수법은, 본 출원인에 의한 상기 공개특허공보 6-3684호에 기재되어 있다.

〔실시형태 5〕

본 발명의 또 다른 실시형태에 대해 도11에 따라 설명하면 이하와 같다. 설명의 편의상, 상기 실시형태 4에 도시한 각 부재와 동일한 기능을 갖는 부재에는 동일한 부호를 부기하고 그 설명을 생략한다.

본 실시형태의 표시구동회로는, 도11에 도시한 바와 같이, 실시형태 4의 소스드라이버 LSI칩(31)에 있어서의 지연회로(13)의 출력측에, 입출력제어회로(절체 수단)(47)을 제공하여 입출력을 제어함으로써, 출력단자 SPDout를 폐지한 것이다.

입출력제어회로(47)는, NAND게이트(42), NOR게이트(43), 인버터회로(44), P채널 MOS(Metal Oxide Semiconductor) 트랜지스터(45) 및 N채널 MOS 트랜지스터(46)로 이루어지고, 입출력 제어단자로부터 입력되는 신호에 의해 제어된다.

지연회로(13)의 출력단자는, NAND게이트(42) 및 NOR게이트(43)의 각각의 일방의 입력단자와 접속되어 있다. 입출력제어단자는, NOR게이트(43)의 타방의 입력단자와 인버터회로(44)의 입력단자에 접속된다. 인버터회로(44)의 출력은, NAND게이트(42)의 입력과 접속되어 있다.

NAND게이트(42)의 출력은 P채널 MOS 트랜지스터(45)의 게이트에 접속되고, NOR게이트(43)의 출력은 N채널 MOS 트랜지스터(46)의 게이트에 접속되어 있다.

P채널 MOS 트랜지스터(45)의 소스는 단자 Vcc와 접속되어 있다. 한편, P채널 MOS 트랜지스터(45)의 드레인은, N채널 MOS 트랜지스터(46)의 드레인, 각 소스드라이버 LSI칩(1)의 LSin 및 LSout 및 홀드메모리(17)와 접속되어 있다. 또한, N채널 MOS 트랜지스터(46)의 소스는 접지되어 있다.

제1 소스드라이버 제7 소스드라이버에 대해서는, 입출력제어단자를 소스드라이버 LSI칩(31) 외부에서 단자 Vcc와 접속하고, 입출력제어단자에 전원전압 Vcc을 입력시킨다. 이에 의해, P채널 MOS 트랜지스터(45)및 N채널 MOS 트랜지스터(46)는 오프되어, 하이 임피던스상태로 된다. 따라서, 입력단자 LSin에서 입력된 신호가 흐르는 것으로 된다.

또한, 인접하는 소스드라이버 LSI칩(31)사이에서는, 전단의 소스드라이버 LSI칩(31)의 출력단자 SPout에서의 신호가 다음단의 소스드라이버 LSI칩(31)의 입력단자 SPin에 출력된다.

한편, 제8 소스드라이버에 대해서는, 입출력제어단자를 단자 GND에 접속하여 접지전위 GND로 한다. 이에 의해, P채널 MOS 트랜지스터(45) 및 N채널 MOS 트랜지스터(46)가 동작가능해지는 한편, 입력단자 LSin은 개방상태로 된다. 이 때문에, 지연회로(13)의 출력이 홀드메모리(17)및 출력단자 LSout에 출력된다.

입출력제어단자를 단자 Vcc 또는 단자 GND에 접속하기 위해서는, 예컨대 액정패널(4)상의 접속용배선에 있어서, 단자 Vcc가 단자 GND와 접속함으로써 실현할 수 있다.

이상과 같이, 입출력제어회로(절체 수단)(47)에 의해 신호의 입출력을 제어함으로써, 출력단자 SPDout를 폐지할 수 있다. 이에 의해, 소스드라이버 LSI칩(31)내부에서 스타트 펄스신호 SPO와 래치신호 LS가 접속가능해져, 제8 소스드라이버의 출력단자 SPDout와 각 소스드라이버 LSI칩(31)의 입력단자 LSin 사이를 접속하기위한 액정패널(4)상의 접속용 배선이 불필요해진다.

〔실시형태 6〕

본 발명의 또 다른 실시형태에 대해 도12에 따라 설명하면 이하와 같다. 설명의 편의상, 상기 실시형태 1에 도시한 각 부재와 동일한 기능을 갖는 부재에는 동일한 부호를 부기하고 그 설명을 생략한다.

도12에 도시한 바와 같이, 본 실시형태의 소스드라이버 LSI칩(41)은, 지연회로(13)및 출력단자 SPDout를 생략하고 입력단자 LSin과 홀드메모리(17) 사이에 지연회로(23)를 삽입한 이외는, 실시형태 4의 소스드라이버 LSI칩(31)와 동일하다. 또, 지연회로(23)는 실시형태 1에서 기술한 지연회로(13)와 동일하다.

본 실시형태의 표시용 구동장치 및 액정모듈은, 도시하지 않지만, 소스드라이버 LSI칩(31)을 소스드라이버 LSI칩(41)으로 변경한 이외는, 실시형태 4의 표시용 구동장치 및 액정모듈과 동일하다.

본 실시형태에서는, 전번의 도4에 도시한 래치신호 LS는, 소스드라이버 LSI칩(21)내의 지연회로(23)의 출력으로 지연된 타이밍으로 홀드메모리(17)에 입력된다.

본 실시형태의 표시용 구동장치 및 액정모듈은, 실시형태 1과 같이, 소스드라이버 LSI칩(21)내부에서의 래치신호 LS와 화상데이터신호 R · G · B와의 타이밍, 및, 액정패널(4)상에 설치하였을 때의 래치신호 LS와 화상데이터신호 R · G · B의 타이밍을 조정하여 최적화할 수 있는 효과가 얻어진다.

또, 실시형태 4 6의 소스드라이버 LSI칩(31,41)에서는, 래치신호를 출력하는 단자와 단자 LSout, 래치신호를 입력하는 단자와 단자 LSin을 고정하지 않고, 기존의 입출력버퍼회로를 삽입하여, 입출력제어단자에 의해 래치신호를 입력 또는 출력하는 2개의 입출력단자 LSin/out의 입출력을 절환가능하게 하는 편이 바람직하다.

이에 의해, 소스드라이버 LSI칩(31,41)은, 공통신호 및 전원관계전압을 공급하기위한 플렉시블기판(5)을 사용한 액정모듈(예컨대, 실시형태 1)에서도, 입출력단자 LSin/out의 입출력을 절환하는 것만으로 사용가능하게 되어, 사용범위가 확대된다.

이상과 같이, 본 발명을 설명하였으나, 본 발명의 요지를 일탈하지 않은 범위내에서, 많은 변경이나 조합이 가능한 것은 말할 필요도 없다.

예컨대, 실시형태 4에서는, 콘트롤러(6)를 플렉시블기판(5A)에 탑재한 형태를 설명하였지만, 콘트롤러(6)를 소스드라이버LSI칩(31)과 상기와 동일하게 하여 액정패널(4)상에 설치해도 좋다.

또한, 실시형태 1 및 실시형태 4에 있어서, 지연회로(13)의 지연시간이 미소한 경우는, 제1 소스드라이버 제7 소스드라이버의 출력단자 SPDout를 다음단의 소스드라이버(제2 소스드라이버 제8 소스드라이버)의 입력단자 SPin과 접속해도, 문제는 일어나지 않는다. 즉, 출력단자 SPout를 폐지해도 좋다.

또한, 각 실시형태에 있어서, 시프트 레지스터(11)와 출력단자 SPout 사이에, 출력단자 SPout에서 출력시키는 신호를 지연회로(13)의 출력신호와 시프트 레지스터(11)의 출력신호와의 사이에서 절체하는 스위치(절체 수단)을 제공하고, 출력단자 SPDout를 폐지해도 좋다. 즉, 출력단자 SPout 및 출력단자 SPDout를 공유화해도 좋다. 이에 의해, 소스드라이버 LSI칩(1 또는 31)의 단자수를 감소시킬 수 있다.

또한, 도11과 같이, 출력단자 SPout와 입력단자 LS 사이에 게이트나 MOS 트랜지스터같은 회로를 삽입하고, 이들 회로에서의 지연에 의해 지연회로를 불필요하게 하는 것도 가능하다. 즉, 삽입한 게이트나 MOS 트랜지스터와 같은 회로를 래치신호생성수단으로서 이용할 수 있다.

또한, 액정패널(4)의 화소수는, SVGA(800×RGB×600)에 한정되지 않는다. 본 발명은, XGA, SXGA등, 모든 화소수의 액정패널(4)에 대응하는 것이 가능하다.

또, 상기 설명에서는, 액정모듈에 사용하는 액정구동장치를 예로 설명하였지만, 본 발명의 표시용 구동장치는, 액정구동장치에 한하지 않고, 복수의 구동회로를 종속접속하고, 스타트 펄스신호를 클록신호에 동기시켜 전송하여, 어떤 주기로 래치를 행해 이루어지는 표시용 구동장치에 적용할 수 있다. 예컨대, 플라즈마 디스플레이 등의 다른 표시장치에 있어서의 표시용 구동장치에도 적용가능하다.

또한, 본 발명의 표시용 구동장치는, 액정구동장치에 한하지 않고, 매트릭스형표시장치의 X방향 및 Y방향으로 제공되고, 스타트 펄스신호를 클록신호에 동기하여 전송하여, 스타트 펄스신호에 의해 화상신호를 시분비교적 선택하여, 수평동기주기로 스타트 펄스신호에 래치를 행하여 표시하는 매트릭스형 표시장치의 소스드라이버에 극히 유효하다.

발명의 효과

본 발명에 관한 표시용 구동장치는, 이상과 같이, 화상데이터신호에 따라 표시소자를 구동하는 복수의 구동회로가 종속접속되어 되어, 상기 각 구동회로에, 클록신호에 동기하여 스타트 펄스신호를 시프트하여 전송하는 시프트 레지스터와, 시프트 레지스터의 출력에 따라 화상데이터신호를 선택하는 선택회로와, 선택된 화상데이터신호를 래치신호에 의해 래치하는 래치회로가 제공된 표시용 구동장치에 있어서, 최종단의 구동회로의 시프트 레지스터로부터 출력된 스타트 펄스신호에 따라 래치신호를 생성하는 래치신호생성수단이 제공되는 구성이다.

이에 의해, 표시용 구동장치내에서 래치신호를 생성할 수 있기 때문에, 콘트롤러 등의 외부회로에서 래치신호를 공급할 필요가 없게 된다. 따라서, 종래에는 외부회로에서 래치신호를 공급하기 위해 필요하였던, 외부회로내의 래치신호에 관련되는 회로, 외부회로의 출력단자, 외부회로와 표시용 구동장치를 전기적으로 접속하는 래치신호용의 배선등을 생략할 수 있다. 그 결과, 콘트롤러 등을 포함하는 전체의 소형화가 가능함과 동시에 비용을 절감할 수 있다.

상기 래치신호생성수단은, 최종단의 구동회로의 시프트 레지스터로부터 출력된 스타트 펄스신호를 지연시킴에 따라 래치신호를 생성하는 지연회로인 것이 바람직하다. 이 경우, 상기 구성은, 스타트 펄스신호를 지연시키는 지연회로를 사용하기 때문에, 비교적 염가로 래치신호를 생성할 수 있다. 또한, 상기 구성에 있어서, 지연시간의 조정이 가능한 지연회로를 사용하면, 래치신호를 용이하게 조정하는 것이 가능해진다.

또, 상기 지연회로는, 메탈 옵션 또는 레이저 커트에 의해 지연시간이 조정가능한 것이 바람직하다.

상기 지연회로는, 최종단의 구동회로에서의 시프트 레지스터의 출력측에 제공되는 것이 바람직하다. 이 경우, 1개의 지연회로에서 모든 구동회로에 래치신호를 공급할 수 있기 때문에, 지연회로의 설치로의한 비용의 증대나 장치 크기의 확대를 억제할 수 있다.

상기 지연회로는, 모든 구동회로에서의 시프트 레지스터의 출력측에 제공되고, 상기 각 구동회로에 의한 지연회로의 출력측에는, 지연회로에서 출력된 신호와 외부에서 입력된 래치신호의 어느 일방이 선택적으로 래치회로에 입력되도록 래치회로로의 입력신호를 절체하는 절체 수단이 제공되는 것이 바람직하다.

이 경우, 절체 수단에 의해, 최종단의 구동회로로부터 출력한 래치신호를 다른 구동회로의 래치회로로 입력시키는 한편, 최종단의 구동회로의 지연회로에서 출력된 래치신호를 외부로 출력시키지 않고 최종단의 구동회로의 래치회로에 직접 입력시킬 수 있다.

이에 의해, 최종단의 반도체장치의 지연회로에서 출력된 신호를 출력하기위한 출력단자와, 최종단의 반도체장치의 래치회로에 입력시키는 신호를 입력하기 위한 입력단자와의 사이를 전기적으로 접속하기 위한 외부배선이 불필요하게 된다. 따라서, 배선수를 감소시킴과 동시에, 표시용 구동장치를 보다 소형화할 수 있다.

상기 지연회로는, 모든 구동회로에서의 래치회로의 입력측에 제공되는 것이 바람직하다. 이 경우, 최종단의 구동회로에서도 다른 구동회로에서도, 시프트 레지스터로부터 출력된 스타트 펄스신호를 그대로 출력시키는 것만으로도 충분하다. 따라서, 모든 구동회로를 동일한 구성으로 하여도, 지연회로의 설치에 의한 단자수의 증가를 피할 수 있다. 따라서, 효율적으로 제조할 수 있는 염가의 표시용 구동장치를 제공할 수 있다.

본 발명에 관한 액정모듈은, 이상과 같이, 상기 구성을 갖는 표시용 구동장치와, 상기 표시용 구동장치에 의해 구동되는 표시소자로서의 액정표시소자를 구비하고 있다. 이 액정모듈에 의하면, 표시용 구동장치내에 래치신호를 생성할 수 있기 때문에, 액정모듈에 구비되는 콘트롤러등의 외부회로에서 래치신호를 공급할 필요가 없다. 따라서, 종래 필요하던 외부회로내의 래치신호에 관련되는 회로, 외부회로의 출력단자, 외부회로와 표시용 구동장치를 전기적으로 접속하는 래치신호용의 배선등을 생략할 수 있다. 그 결과, 액정모듈의 소형화가 가능함과 동시에, 비용을 절감할 수 있다.

상기 각 구성의 표시용 구동장치는, 액정표시장치에 구비되는 액정패널 등의 액정표시소자를 구동하는 액정구동장치로서 바람직하고, 특히, 매트릭스구동방식의 액정표시장치에 구비되는, 데이터선에 표시용의 데이터신호를 공급하기 위한 소스드라이버로서 바람직하다.

발명의 상세한 설명에 있어서의 구체적인 실시형태 또는 실시예는, 어디까지나 본 발명의 기술내용을 밝히는 것으로, 그와 같은 구체예에만 한정하여 협의에 해석되는 것이 아니라, 본 발명의 정신과 특허청구범위내에서 여러 가지로 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1.

화상데이터신호에 따라 표시소자를 구동하는 복수의 구동회로가 종속접속된 표시용 구동장치로서,

상기 각 구동회로는, 시분할로 전송되어 오는 상기 화상데이터신호의 소정량을 래치신호에 따라 래치하는 홀드메모리를 갖고, 이와 같이 래치한 화상데이터신호를 아날로그 신호로 변환하여 상기 표시소자에 출력하며,

상기 복수의 구동회로중 최종단의 구동회로에, 상기 래치신호를 생성하는 래치신호생성회로가 제공되는 표시용 구동장치.

청구항 2.

제1항에 있어서, 상기 구동회로는,

클록신호에 동기하여 스타트 펄스신호를 시프트하여 전송하는 시프트 레지스터;

상기 시프트 레지스터의 각 단의 출력신호에 따라서 시분할로 전송되어 오는 상기 화상데이터신호를 샘플링하고 기억하는 샘플링메모리;

소정량의 상기 화상데이터신호를 래치신호에 따라 래치하는 홀드메모리; 및

래치한 상기 화상데이터신호를 아날로그 신호로 변환하여 상기 표시소자에 출력하는 출력회로를 갖고,

상기 래치신호생성회로는 지연회로인 표시용 구동장치.

청구항 3.

제2항에 있어서, 상기 지연회로는, 상기 시프트 레지스터의 출력을 지연시키고, 상기 지연회로의 출력을 다른 구동회로의 홀드메모리에 상기 래치신호로서 전송하는 표시용 구동장치.

청구항 4.

제2항에 있어서, 상기 지연회로는, 직렬로 접속된 짝수개의 인버터회로로 이루어지는 표시용 구동장치.

청구항 5.

제4항에 있어서, 짝수개의 인버터회로를 단락하는 적어도 하나의 스위치가 제공된 표시용 구동장치.

청구항 6.

제2항에 있어서, 상기 지연회로는 콘덴서 및 저항으로 이루어지는 표시용 구동장치.

청구항 7.

제6항에 있어서, 상기 지연회로는, 상기 시프트 레지스터의 출력을 지연시키고, 상기 지연회로의 출력을 다른 구동회로의 홀드메모리에 상기 래치신호로서 전송하는 표시용 구동장치.

청구항 8.

화상데이터신호에 따라 표시소자를 구동하는 복수의 구동회로가 종속접속된 표시용 구동장치로서,

상기 각 구동회로는, 시분할로 전송되어 오는 상기 화상데이터신호의 소정량을 래치신호에 따라 래치하는 홀드메모리를 구비하고, 래치한 상기 화상데이터신호를 아날로그 신호로 변환하여 상기 표시소자에 출력하며,

최종단의 구동회로까지 전송된 스타트 펄스 신호에 따라 상기 래치신호를 생성하는 래치신호생성회로를 구비하고, 이 래치신호생성회로는 상기 구동회로 외부에 설치되는 표시용 구동장치.

청구항 9.

제7항에 있어서, 상기 지연회로는 각 구동회로에 있어서 시프트 레지스터의 출력측에 제공되고,

상기 각 구동회로에서의 지연회로의 출력측에는, 지연회로에서 출력된 신호와 외부에서 입력된 래치신호의 어느 일방이 선택적으로 래치회로에 입력되도록 상기 홀드메모리에 대한 입력신호를 절체하는 절체 수단이 제공되는 표시용 구동장치.

청구항 10.

제9항에 있어서, 상기 절체 수단은, NAND게이트, NOR게이트, 인버터회로, P채널 MOS트랜지스터 및 N채널 MOS 트랜지스터로 이루어지고, 상기 지연회로의 출력은, 상기 NAND게이트 및 상기 NOR게이트의 각각의 일방의 입력단자와 접속되고, 상기 입력신호의 절체를 입력하기 위한 입출력제어단자는 상기 NOR게이트의 타방의 입력단자와 상기 인버터회로의 입력단자와 접속되고,

상기 NAND게이트의 출력단자는 상기 P채널 MOS 트랜지스터의 게이트에 접속되고, 상기 NOR게이트의 출력단자는 상기 N채널 MOS 트랜지스터의 게이트에 접속되는 동시에, 상기 P채널 MOS 트랜지스터의 소스는, 동작전원과 접속되어 있는 한편, 상기 P채널 MOS 트랜지스터의 드레인은, 상기 N채널 MOS 트랜지스터의 드레인, 상기 각 구동회로의 상기 홀드메모리와 접속되고, 상기 N채널 MOS 트랜지스터의 소스는 접지되어 있는 표시용 구동장치.

청구항 11.

화상데이터신호에 따라 표시소자를 구동하는 복수의 구동회로가 종속접속되고, 상기 각 구동회로에 클록신호에 동기하여 스타트 펄스신호를 시프트하여 전송하는 시프트 레지스터와, 시프트 레지스터의 출력에 따라 화상데이터신호를 선택하는 선택회로와, 선택된 화상데이터신호를 래치신호에 의해 래치하는 래치회로가 제공된 표시용 구동장치로서,

최종단의 구동회로의 시프트 레지스터로부터 출력된 스타트 펄스신호에 따라 래치신호를 생성하는 래치신호생성수단이 제공되는 것을 특징으로 하는 표시용 구동장치.

청구항 12.

제11항에 있어서, 상기 래치신호생성수단은 상기 스타트 펄스신호를 지연하는 지연회로이고, 이 지연회로의 출력을 상기 래치신호로서 출력하는 것을 특징으로 하는 표시용 구동장치.

청구항 13.

제12항에 있어서, 상기 지연회로는 최종단의 구동회로의 상기 시프트 레지스터의 출력측에 제공되는 것을 특징으로 하는 표시용 구동장치.

청구항 14.

제13항에 있어서, 상기 지연회로는, 모든 구동회로에서의 시프트 레지스터의 출력측에 제공되고,

상기 각 구동회로에 있어서의 지연회로의 출력측에는, 지연회로에서 출력된 신호와 외부에서 입력된 래치신호와의 어느 일방이 선택적으로 래치회로에 입력되도록 래치회로로의 입력신호를 절체하는 절체 수단이 제공되는 표시용 구동장치.

청구항 15.

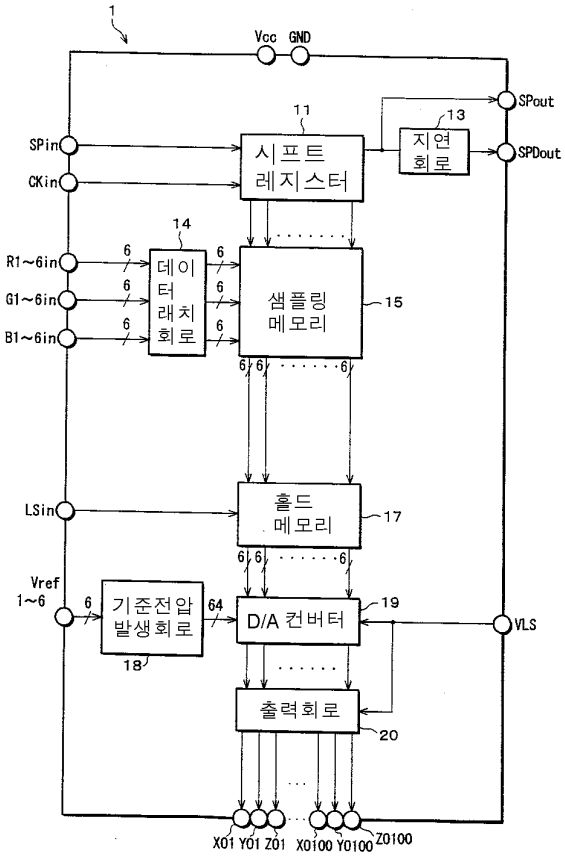
제12항에 있어서, 상기 지연회로는, 모든 구동회로에서의 래치회로의 입력측에 제공되는 것을 특징으로 하는 표시용 구동장치.

청구항 16.

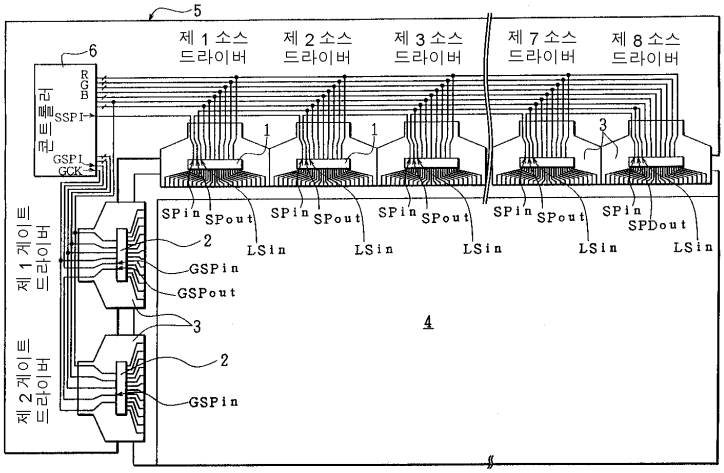
화상데이터신호에 따라 표시소자를 구동하는 복수의 구동회로가 종속접속되고, 상기 각 구동회로에, 클록신호에 동기하여 스타트 펄스신호를 시프트하여 전송하는 시프트레지스터와, 시프트 레지스터의 출력에 따라 화상데이터신호를 선택하는 선택회로와, 선택된 화상데이터신호를 래치신호에 의해 래치하는 래치회로가 제공되고, 최종단의 구동회로의 시프트 레지스터로부터 출력된 스타트 펄스신호에 따라 래치신호를 생성하는 래치신호생성수단이 제공된 표시용 구동장치와, 상기 표시용 구동장치에 의해 구동되는 액정표시소자를 포함하는 액정모듈.

도면

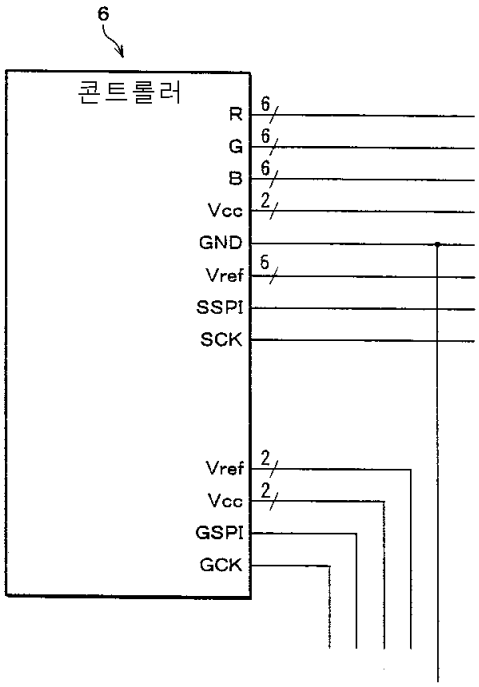
도면 1


1
Vcc
GND
SPout
SPDout
SPin
CKin
11
시프트 레지스터
13
지연 회로
14
R1~6in
G1~6in
B1~6in
6
데이터 래치 회로
샘플링 메모리
15
LSin
홀드 메모리
17
Vref 1~6
기준전압 발생회로
18
64
D/A 컨버터
19
VLS
출력회로
20
X01 Y01 Z01
X0100 Y0100 Z0100

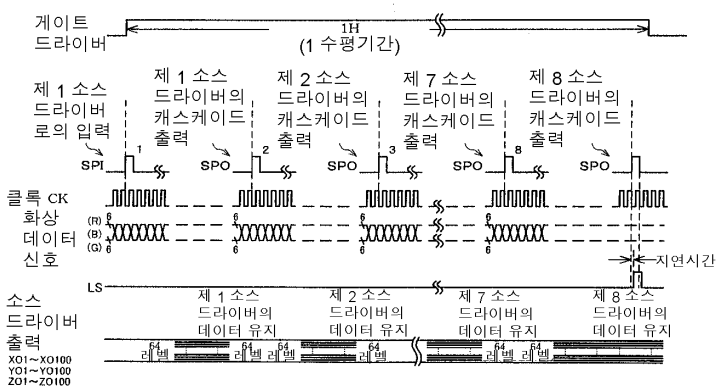
도면 2


5
6
제 1 소스 드라이버
제 2 소스 드라이버
제 3 소스 드라이버
제 7 소스 드라이버
제 8 소스 드라이버
콘트롤러
R
G
B
SSPI
GSPI
GCK
SPin
SPout
LSin
SPDout
제 1 게이트 드라이버
제 2 게이트 드라이버
GSPin
GSPout
1
2
3
4

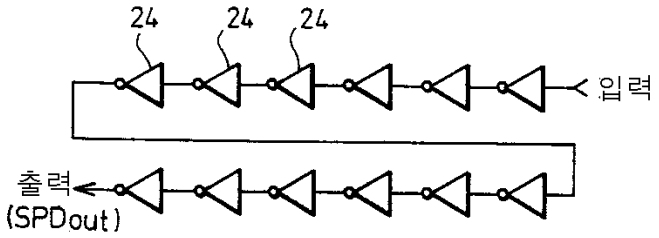
도면 3


6
콘트롤러
R
G
B
Vcc
GND
Vref
SSPI
SCK
Vref
Vcc
GSPI
GCK

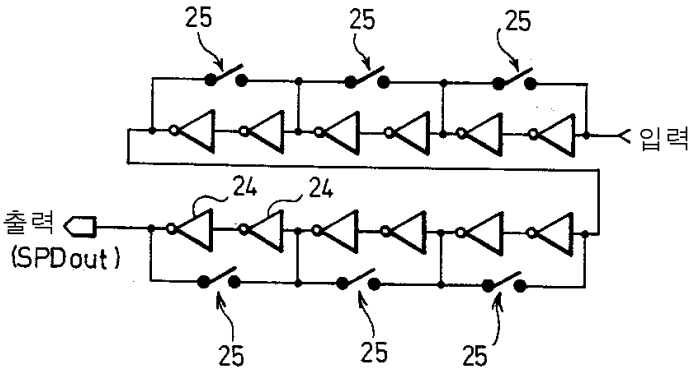
도면 4


게이트 드라이버
1H
(1 수평기간)
제 1 소스 드라이버로의 입력
제 1 소스 드라이버의 캐스케이드 출력
제 2 소스 드라이버의 캐스케이드 출력
제 7 소스 드라이버의 캐스케이드 출력
제 8 소스 드라이버의 캐스케이드 출력
SPI
SPO
클록 CK
화상 데이터 신호
(R)
(B)
(G)
지연시간
LS
소스 드라이버 출력
제 1 소스 드라이버의 데이터 유지
제 2 소스 드라이버의 데이터 유지
제 7 소스 드라이버의 데이터 유지
제 8 소스 드라이버의 데이터 유지
64 레벨
XO1~XO100
YO1~YO100
ZO1~ZO100

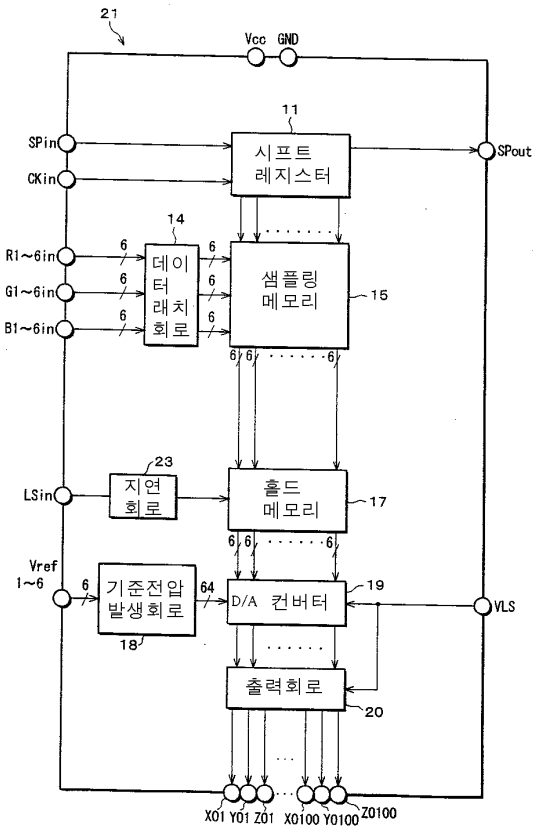
도면 5


24
24
24
입력
출력
(SPDout)

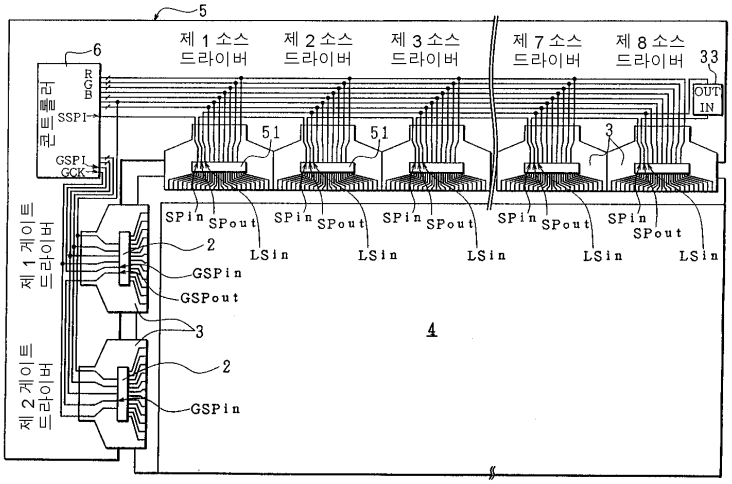
도면 6


25
25
25
입력
24
24
출력
(SPDout)
25
25
25

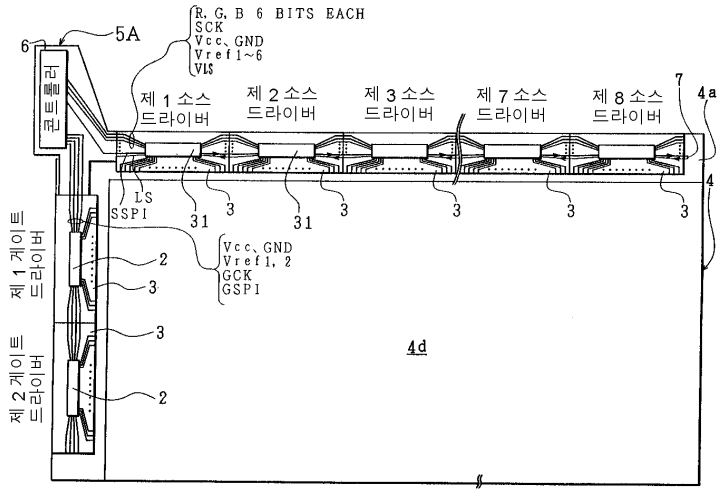
도면 7


21
Vcc GND
11
SPin
CKin
시프트 레지스터
SPout
14
R1~6in
G1~6in
B1~6in
6
데이터 래치 회로
샘플링 메모리
15
23
LSin
지연 회로
홀드 메모리
17
Vref 1~6
기준전압 발생회로
64
D/A 컨버터
19
VLS
18
출력회로
20
X01 Y01 Z01 X0100 Y0100 Z0100

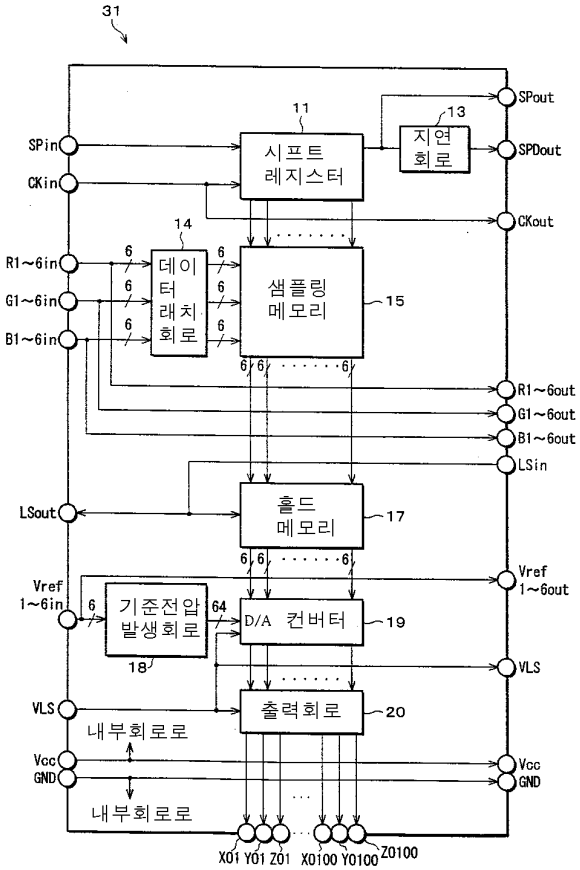
도면 8


5
6
제 1 소스 드라이버
제 2 소스 드라이버
제 3 소스 드라이버
제 7 소스 드라이버
제 8 소스 드라이버
33
OUT
IN
콘트롤러
POR
SSPI
GSPI
GCK
51
3
SPin
SPout
LSin
제 1 게이트 드라이버
제 2 게이트 드라이버
2
GSPin
GSPout
4

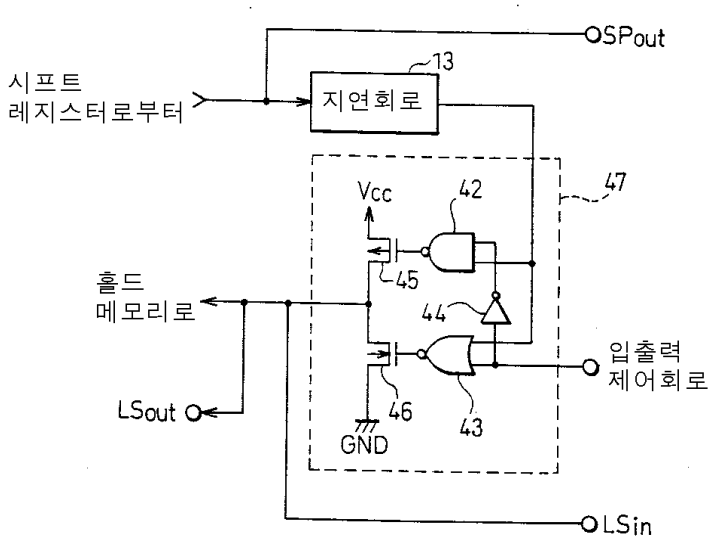
도면 9


R, G, B 6 BITS EACH
SCK
Vcc, GND
Vref1~6
VLS
5A
6
콘트롤러
제 1 소스 드라이버
제 2 소스 드라이버
제 3 소스 드라이버
제 7 소스 드라이버
제 8 소스 드라이버
7
4a
4
LS
SSPI
31
3
Vcc, GND
Vref1, 2
GCK
GSPI
제 1 게이트 드라이버
제 2 게이트 드라이버
2
4d

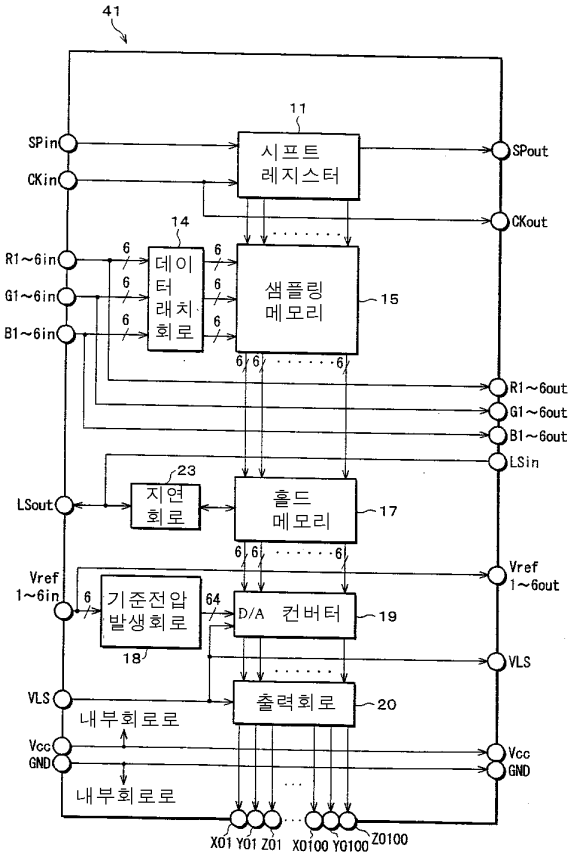
도면 10


31
11
시프트 레지스터
13
지연 회로
SPout
SPDout
SPin
CKin
CKout
14
데이터 래치 회로
샘플링 메모리
15
R1~6in
G1~6in
B1~6in
R1~6out
G1~6out
B1~6out
LSin
LSout
홀드 메모리
17
Vref 1~6in
기준전압 발생회로
18
D/A 컨버터
19
Vref 1~6out
VLS
출력회로
20
내부회로로
Vcc
GND
X01 Y01 Z01
X0100 Y0100 Z0100

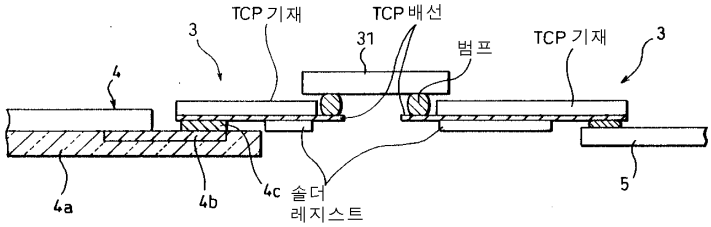
도면 11


SPout
13
시프트
레지스터로부터
지연회로
47
Vcc
42
45
44
홀드
메모리로
입출력
제어회로
LSout
46
43
GND
LSin

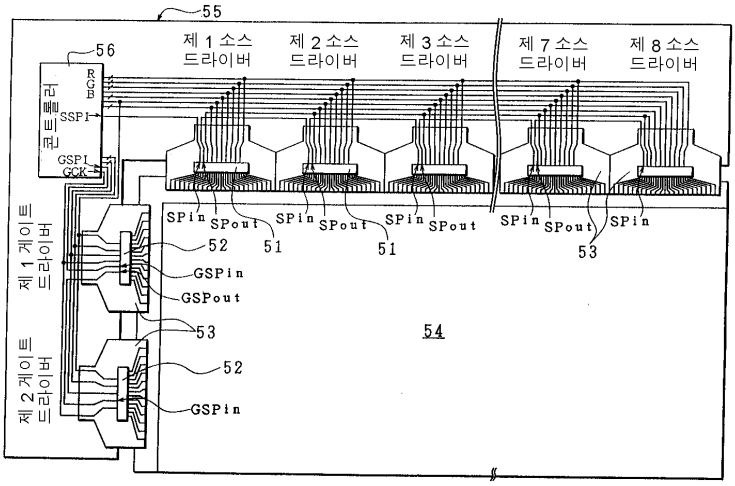
도면 12


41
11
SPin
CKin
시프트 레지스터
SPout
CKout
14
R1~6in
G1~6in
B1~6in
데이터 래치 회로
샘플링 메모리
15
R1~6out
G1~6out
B1~6out
LSin
23
LSout
지연 회로
홀드 메모리
17
Vref 1~6in
기준전압 발생회로
18
D/A 컨버터
19
Vref 1~6out
VLS
출력회로
20
내부회로로
Vcc
GND
X01 Y01 Z01
X0100 Y0100 Z0100

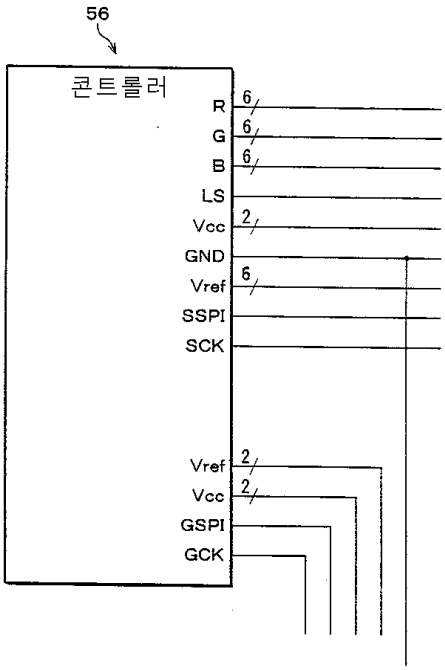
도면 13


TCP 기재
TCP 배선
3
31
범프
TCP 기재
3
4
4a
4b
4c
솔더 레지스트
5

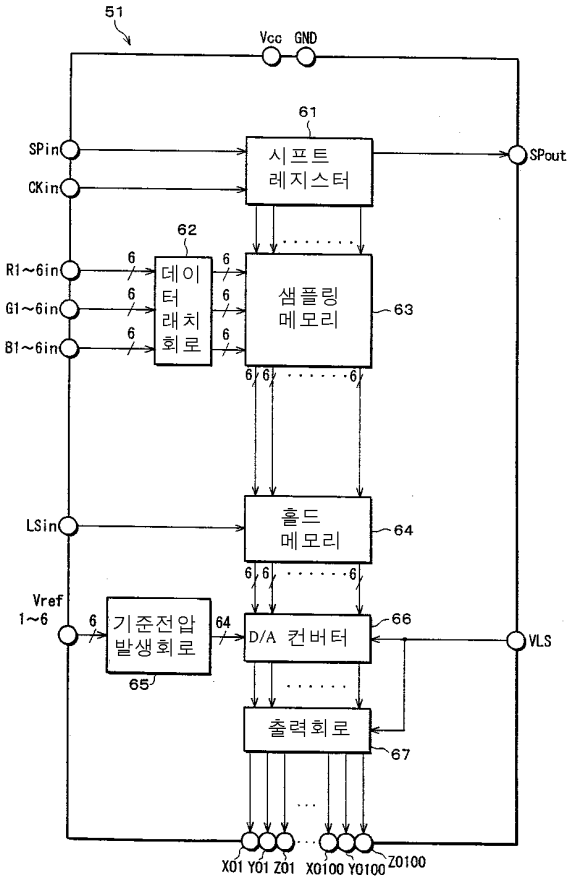
도면 14


55
56
제 1 소스 드라이버
제 2 소스 드라이버
제 3 소스 드라이버
제 7 소스 드라이버
제 8 소스 드라이버
콘트롤러
R
G
B
SSPI
GSPI
GCK
제 1 게이트 드라이버
제 2 게이트 드라이버
SPin
SPout
52
51
53
GSPin
GSPout
54

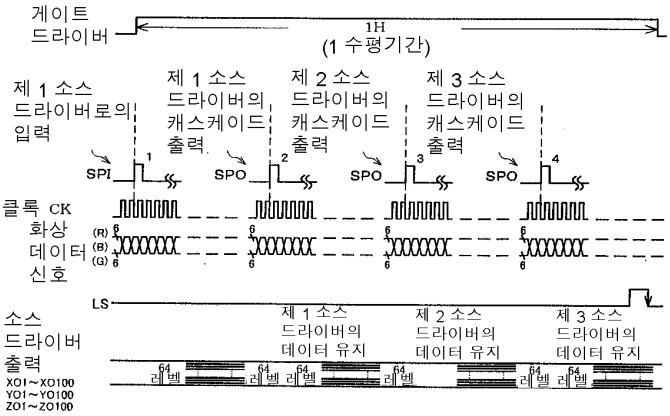
도면 15


56
콘트롤러
R
G
B
LS
Vcc
GND
Vref
SSPI
SCK
Vref
Vcc
GSPI
GCK
6
2

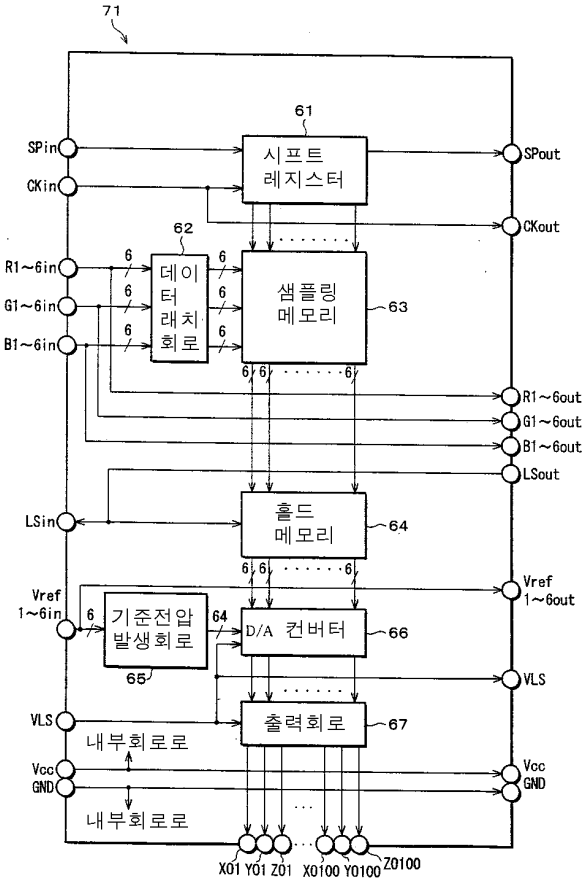
도면 16


51
Vcc GND
61
SPin
CKin
시프트 레지스터
SPout
62
R1~6in
G1~6in
B1~6in
6
데이터 래치 회로
샘플링 메모리
63
LSin
홀드 메모리
64
Vref 1~6
기준전압 발생회로
65
D/A 컨버터
66
VLS
출력회로
67
X01 Y01 Z01
X0100 Y0100 Z0100

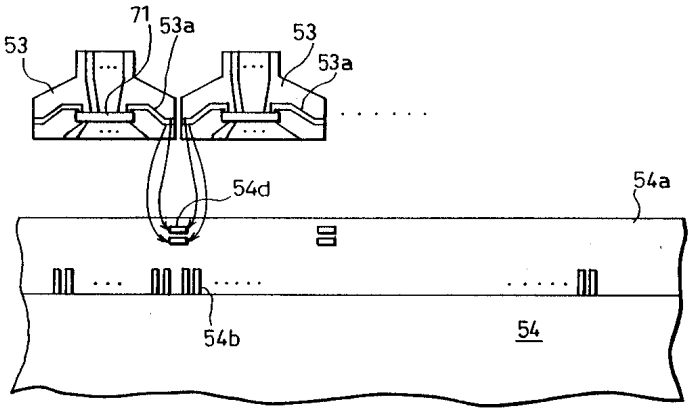
도면 17


게이트
드라이버
1H
(1 수평기간)
제 1 소스
드라이버로의
입력
제 1 소스
드라이버의
캐스케이드
출력
제 2 소스
드라이버의
캐스케이드
출력
제 3 소스
드라이버의
캐스케이드
출력
SPI
SPO
SPO
SPO
1
2
3
4
클록 CK
화상
데이터
신호
(R)
(B)
(G)
6
LS
소스
드라이버
출력
제 1 소스
드라이버의
데이터 유지
제 2 소스
드라이버의
데이터 유지
제 3 소스
드라이버의
데이터 유지
64
레벨
XO1~XO100
YO1~YO100
ZO1~ZO100

도면 18


71
61
시프트 레지스터
SPin
CKin
SPout
CKout
62
데이터 래치 회로
R1~6in
G1~6in
B1~6in
샘플링 메모리
63
R1~6out
G1~6out
B1~6out
LSout
LSin
홀드 메모리
64
Vref 1~6in
기준전압 발생회로
65
D/A 컨버터
66
Vref 1~6out
VLS
출력회로
67
내부회로로
Vcc
GND
X01 Y01 Z01
X0100 Y0100 Z0100

도면 19



专利名称(译)	显示驱动装置和使用其的液晶模块		
公开(公告)号	KR100355312B1	公开(公告)日	2002-10-12
申请号	KR1020000000713	申请日	2000-01-07
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	TAMAI SHIGEKI 타마이시게키 SAKAGUCHI NOBUHISA 사카구찌노부히사		
发明人	타마이시게키 사카구찌노부히사		
IPC分类号	G09G3/36		
优先权	1999020737 1999-01-28 JP		
其他公开文献	KR1020000053422A		

摘要(译)

根据图像数据信号驱动液晶面板的多个源极驱动器LSI芯片被子连接。每个源极驱动器LSI芯片中整个同步的小型化和时钟信号同步并移位起始脉冲信号并包括发送的移位寄存器，采样存储器根据该移位寄存器的输出对图像数据信号进行采样，以及由此，控制器可以延迟从源极驱动器LSI芯片的移位寄存器输出的关于显示驱动装置的启动脉冲信号，并且可以降低成本。对于控制器等，延迟电路延迟从源极驱动器LSI芯片的移位寄存器输出的起始脉冲信号到显示器，锁存的保持存储器是由锁存器提供的所选图像数据信号。提供信号。