



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0119346  
(43) 공개일자 2007년12월20일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0053875

(22) 출원일자 2006년06월15일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자

김도현  
부산 부산진구 양정2동 32-58(24/3)

문수환

경북 구미시 상모동 우방신세계타운 105동 901호

채지은

경북 구미시 진평동 1039-2번지(3/1)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 12 항

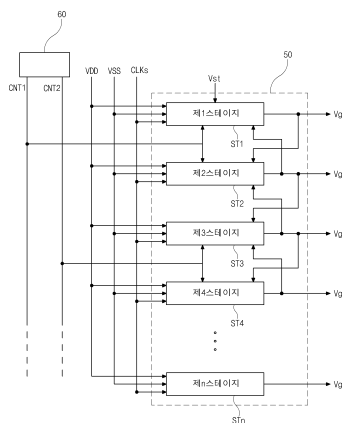
**(54) 액정표시장치의 게이트구동회로 및 그 구동방법**

**(57) 요약**

본 발명은 표시장치에 관한 것으로서, 특히 액정표시장치에 내장되는 게이트 구동회로의 구동 신뢰성을 향상시킬 수 있는 액정표시장치용 게이트구동회로와 그 구동방법에 관한 것이다.

이를 위해 본 발명은 게이트구동신호 출력단에 연결되고 각각 제1노드 및 제2노드에 의해 제어되는 풀-업 트랜지스터 및 풀-다운 트랜지스터를 구비한 쉬프트 레지스터 회로가 구성된 다수의 스테이지와; 상기 다수의 스테이지 중 최상위에서 순차로 2개씩의 스테이지마다 상기 풀-다운 트랜지스터의 스위칭 제어전극에 제1제어신호 및 제2제어신호를 교번으로 인가하는 제어신호 출력부를 포함하는 액정표시장치의 게이트구동회로를 제공하며, 상기 풀-다운 트랜지스터의 열화 방지는 물론이고 정상적이고 안정적인 구동을 보장함으로써 표시장치의 신뢰성 향상 및 경쟁력 제고의 장점이 있다.

**대표도 - 도6**



## 특허청구의 범위

### 청구항 1

게이트구동신호 출력단에 연결되고 각각 제1노드 및 제2노드에 의해 제어되는 풀-업 트랜지스터 및 풀-다운 트랜지스터를 구비한 쉬프트 레지스터 회로가 구성된 다수의 스테이지와;

상기 다수의 스테이지 중 최상위에서 순차로 2개씩의 스테이지마다 상기 풀-다운 트랜지스터의 스위칭 제어전극에 제1제어신호 및 제2제어신호를 교번으로 인가하는 제어신호 출력부

를 포함하는 액정표시장치의 게이트구동회로

### 청구항 2

청구항 제 1 항에 있어서,

상기 풀-업 트랜지스터는 클럭신호 입력단과 상기 게이트구동신호 출력단에 연결되고 스위칭 제어전극이 상기 제1노드에 연결되며, 상기 풀-다운 트랜지스터는 상기 게이트구동신호 출력단과 로우레벨 구동전압 입력단에 연결되고 스위칭 제어전극이 상기 제2노드에 연결되는 것을 특징으로 하는 액정표시장치의 게이트구동회로

### 청구항 3

청구항 제 1 항에 있어서,

상기 쉬프트 레지스터는,

상기 제1노드의 충전 및 방전을 위한 제1노드 제어부와;

상기 제2노드의 충전 및 방전을 위한 제2노드 제어부

를 더욱 포함하는 것을 특징으로 하는 액정표시장치의 게이트구동회로

### 청구항 4

청구항 제 3 항에 있어서,

상기 제1노드 제어부는,

하이레벨 구동전압 입력단에 연결되고 스타트 신호에 의해 스위칭 제어되어 상기 제1노드를 상기 하이레벨 구동전압 전위로 충전시키는 제1트랜지스터와;

상기 제1노드와 로우레벨 구동전원 입력단 사이에 연결되고 상기 제2노드에 의해 스위칭 제어되어 상기 제1노드를 방전시키는 제2트랜지스터와;

상기 제1노드와 로우레벨 구동전원 입력단 사이에 연결되고 다음 순차의 스테이지에 구성된 쉬프트 레지스터의 출력신호에 스위칭 제어되어 상기 제1노드를 방전시키는 제3트랜지스터

를 포함하는 액정표시장치의 게이트구동회로

### 청구항 5

청구항 제 3 항에 있어서,

상기 제2노드 제어부는,

하이레벨 구동전원 입력단에 다이오드 연결되어 상기 제2노드를 상기 하이레벨 구동전압 전위로 충전시키는 제4 트랜지스터와;

상기 제2노드와 로우레벨 구동전원 입력단 사이에 연결되고 상기 제1노드에 의해 스위칭 제어되어 상기 제2노드를 방전시키는 제5트랜지스터와;

상기 제2노드와 로우레벨 구동전원 입력단 사이에 연결되고 상기 스타트 신호에 의해 스위칭 제어되어 상기 제2

노드를 방전시키는 제6트랜지스터  
를 포함하는 액정표시장치의 게이트구동회로

**청구항 6**

청구항 제 1 항 내지 제 5 항 중 일 항에 있어서,  
상기 각 트랜지스터는 모두 같은 채널 타입의 트랜지스터인 것을 특징으로 하는 액정표시장치의 게이트구동회로

**청구항 7**

청구항 제 6 항에 있어서,  
상기 각 트랜지스터는 모두 NMOS 트랜지스터인 것을 특징으로 하는 액정표시장치의 게이트구동회로

**청구항 8**

청구항 제 1 항에 있어서,  
상기 제어신호출력부는,  
상기 제1 및 제2제어신호를 3수평주기 마다 1수평주기로 출력하고, 상기 제2제어신호를 상기 제1제어신호보다 2 수평주기만큼 지연시켜 출력하는 것을 특징으로 하는 액정표시장치의 게이트구동회로

**청구항 9**

스타트 신호에 의해 동작이 시작되며, 게이트구동신호 출력단에 연결되고 각각 제1노드 및 제2노드에 의해 제어 되는 풀-업 트랜지스터 및 풀-다운 트랜지스터를 구비한 쉬프트 레지스터 회로가 구성된 다수의 스테이지 중 최 상위에서 순차로 2개씩의 스테이지마다 상기 풀-다운 트랜지스터의 스위칭 제어전극에 제1제어신호 및 제2제어 신호를 교번으로 인가하는 것을 특징으로 하는 액정표시장치의 게이트구동방법

**청구항 10**

청구항 제 9 항에 있어서,  
상기 제1 및 제2제어신호는 3수평주기 마다 1수평주기동안 인가되고, 상기 제2제어신호는 상기 제1제어신호보다 2수평주기만큼 지연되어 인가되는 것을 특징으로 하는 액정표시장치의 게이트구동방법

**청구항 11**

청구항 제 9 항에 있어서,  
상기 제1 및 제2제어신호는 상기 스타트 신호가 각 스테이지로 인가되기 전에 인가되는 것을 특징으로 하는 액 정표시장치의 게이트구동방법

**청구항 12**

청구항 제 9 항에 있어서,  
상기 스타트 신호는 외부 회로로부터 최초 스테이지에 인가되고, 이후 두 번째 스테이지부터는 이전단 스테이 지에서 출력된 게이트구동신호를 이용하는 것을 특징으로 하는 액정표시장치의 게이트구동방법

**명 세 서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<13> 본 발명은 표시장치에 관한 것으로서, 특히 액정표시장치에 내장되는 게이트 구동회로의 구동 신뢰성을 향상시 켤 수 있는 액정표시장치용 게이트구동회로와 그 구동방법에 관한 것이다.

- <14> 디스플레이 장치 중 특히 액정표시장치는 소형 및 박형화와 저전력 소모의 장점을 가지며, 노트북 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기 등으로 이용되고 있다. 특히, 스위치 소자로서 박막 트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 이용되는 액티브 매트릭스 타입의 액정표시장치는 동적인 이미지를 표시하기에 적합하다.
- <15> 도 1은 일반적인 액정표시장치의 기본 구성을 도시한 블록구성도로서, 크게 액정패널(2)과 LCM구동회로부(26)로 구분된다.
- <16> 각 구성을 보면, 인터페이스(10)는 퍼스널 컴퓨터등과 같은 구동시스템으로부터 LCM구동회로부(26)로 입력되는 데이터(RGB Data) 및 제어신호(입력 클럭, 수평동기신호, 수직동기신호, 데이터 인에이블 신호 등)들을 입력받아 타이밍 컨트롤러(12)로 공급한다. 주로 구동 시스템으로부터 데이터 및 제어 신호전송을 위해서 LVDS(Low Voltage Differential Signal) 인터페이스와 TTL 인터페이스 등이 사용되고 있다. 또한, 이러한 인터페이스 기능을 모아서 타이밍컨트롤러(12)와 함께 단일 칩(Chip)으로 집적시켜 사용하기도 한다.
- <17> 액정패널(2)은 도 2와 같이, 글라스를 이용한 기판 상에 다수의 데이터라인(DL1~DLm)과 다수의 게이트라인(GL1~GLn)이 교차되어 다수의 화소영역을 형성하며, 각각의 화소영역에는 박막트랜지스터(TFT)와 액정(LC)이 구성되어 화면을 표시한다.
- <18> 타이밍 컨트롤러(12)는 인터페이스(10)를 통해 입력되는 제어신호를 이용하여 복수개의 드라이브 집적회로들로 구성된 소스드라이버(18)와 복수개의 게이트 드라이버 집적회로들로 구성된 게이트 드라이버(20)를 구동하기 위한 제어신호를 생성한다. 또한 인터페이스(10)를 통해 입력되는 데이터들을 소스드라이버(18)로 전송한다.
- <19> 기준전압생성부(16)는 소스드라이버(18)에서 사용되는 DAC(Digital To Analog Converter)의 기준전압들을 생성한다. 기준전압들은 패널의 투과율-전압특성을 기준으로 생산자에 의해서 설정된다.
- <20> 소스드라이버(18)는 타이밍 컨트롤러(12)로부터 입력되는 제어신호들에 응답하여 입력 데이터의 기준전압들을 선택하고, 선택된 기준전압을 액정패널(2)에 공급하여 액정 분자의 회전 각도를 제어한다.
- <21> 게이트드라이버(20)는 타이밍 컨트롤러(12)로부터 입력되는 제어신호들에 응답하여 액정패널(2)상에 배열된 박막트랜지스터(TFT)들의 온/오프(on/off) 제어를 수행하는데, 게이트 구동신호를 출력하여 액정패널(2) 상의 게이트라인(GL1~GLn)을 1 수평동기 시간씩 순차적으로 인에이블(enable) 시킴으로써 액정패널(2) 상의 박막트랜지스터들(TFT)을 1 라인 분씩 순차적으로 구동시켜 소스드라이버(18)로부터 공급되는 아날로그 영상신호들이 각 박막트랜지스터(TFT)들에 접속된 픽셀들로 인가되도록 한다.
- <22> 전원전압생성부(14)는 각 구성부들의 동작전원을 공급하고 액정패널(2)의 공통전극 전압을 생성하여 공급한다.
- <23> 또한 도시되지는 않았지만 하나 이상의 램프(lamp)를 구비하여 상기 액정패널(2)로 광(light)을 공급하는 백라이트 유닛(Back-light unit)을 더욱 포함한다.
- <24> 상기 구성 중 게이트드라이버(20)는 게이트 구동신호를 출력하는 다수의 스테이지를 포함하는 게이트 드라이버(20)의 일 실시 구성을 도 3에 도시하였다.
- <25> 도 3은 종래 기술에 의해 n 개의 게이트구동신호(Vg1~Vgn)를 출력하는 n 개의 스테이지(SR1~SRn)로 구성되는 게이트드라이버(20)를 도시한 도면으로서, 각각의 스테이지(SR1~SRn)는 쉬프트 레지스터(Shift register)이다.
- <26> 제1 내지 제 n 번째 스테이지는 각각 하이 레벨 구동전압(VDD) 및 로우 레벨 구동전압(VSS)과 클럭신호(CLKs)가 입력되고, 상기 구동전압(VDD, VSS)과 클럭신호(CLKs)에 응답하여 발생된 전단의 스테이지 출력을 후단의 스타트 신호(Vst)로 공급함으로써 후단 스테이지의 동작이 개시되어 도 4와 같은 순차 타이밍의 게이트구동신호를 출력한다.
- <27> 이때 상기 각 스테이지(SR1~SRn)는 모두 동일한 회로 구성의 쉬프트 레지스터 회로이며, 도 5에 도시한 것과 같은, 풀-업(pull-up) 및 풀-다운(pull-down) 트랜지스터(Tup, Tdn)로 구성된 신호출력부를 통해 게이트구동신호를 출력한다.
- <28> 그런데, 상기와 같이 동작하는 종래의 쉬프트 레지스터는 아몰퍼스 실리콘으로 제작된 상기 신호출력부, 특히 상기 풀-다운 트랜지스터가 장시간 고전위의 구동전압이 인가된 상태로 동작되는 경우가 많으며 이에 열화에 의한 손상을 입을 가능성이 매우 높다.

**발명이 이루고자 하는 기술적 과제**

- <29> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 게이트구동신호를 출력하는 쉬프트레지스터의 출력부 회로 소자의 열화에 의한 손상을 방지하는데 목적이 있다.
- <30> 또한 본 발명은 안정된 동작을 수행하여 정상적인 화면표시를 수행할 수 있도록 하는 게이트구동회로 및 그 구동방법을 제공하는데 또다른 목적이 있다.

**발명의 구성 및 작용**

- <31> 상기와 같은 목적을 달성하기 위해 본 발명은, 게이트구동신호 출력단에 연결되고 각각 제1노드 및 제2노드에 의해 제어되는 풀-업 트랜지스터 및 풀-다운 트랜지스터를 구비한 쉬프트 레지스터 회로가 구성된 다수의 스테이지와; 상기 다수의 스테이지 중 최상위에서 순차로 2개씩의 스테이지마다 상기 풀-다운 트랜지스터의 스위칭 제어전극에 제1제어신호 및 제2제어신호를 교번으로 인가하는 제어신호 출력부를 포함하는 액정표시장치의 게이트구동회로를 제공한다.
- <32> 상기 풀-업 트랜지스터는 클럭신호 입력단과 상기 게이트구동신호 출력단에 연결되고 스위칭 제어전극이 상기 제1노드에 연결되며, 상기 풀-다운 트랜지스터는 상기 게이트구동신호 출력단과 로우레벨 구동전압 입력단에 연결되고 스위칭 제어전극이 상기 제2노드에 연결되는 것을 특징으로 한다.
- <33> 상기 쉬프트 레지스터는, 상기 제1노드의 충전 및 방전을 위한 제1노드 제어부와; 상기 제2노드의 충전 및 방전을 위한 제2노드 제어부를 더욱 포함하는 것을 특징으로 한다.
- <34> 상기 제1노드 제어부는, 하이레벨 구동전압 입력단에 연결되고 스타트 신호에 의해 스위칭 제어되어 상기 제1노드를 상기 하이레벨 구동전압 전위로 충전시키는 제1트랜지스터와; 상기 제1노드와 로우레벨 구동전원 입력단 사이에 연결되고 상기 제2노드에 의해 스위칭 제어되어 상기 제1노드를 방전시키는 제2트랜지스터와; 상기 제1노드와 로우레벨 구동전원 입력단 사이에 연결되고 다음 순차의 스테이지에 구성된 쉬프트 레지스터의 출력신호에 스위칭 제어되어 상기 제1노드를 방전시키는 제3트랜지스터를 포함한다.
- <35> 상기 제2노드 제어부는, 하이레벨 구동전원 입력단에 다이오드 연결되어 상기 제2노드를 상기 하이레벨 구동전압 전위로 충전시키는 제4트랜지스터와; 상기 제2노드와 로우레벨 구동전원 입력단 사이에 연결되고 상기 제1노드에 의해 스위칭 제어되어 상기 제2노드를 방전시키는 제5트랜지스터와; 상기 제2노드와 로우레벨 구동전원 입력단 사이에 연결되고 상기 스타트 신호에 의해 스위칭 제어되어 상기 제2노드를 방전시키는 제6트랜지스터를 포함한다.
- <36> 상기 각 트랜지스터는 모두 같은 채널 타입의 트랜지스터인 것을 특징으로 한다.
- <37> 상기 각 트랜지스터는 모두 NMOS 트랜지스터인 것을 특징으로 한다.
- <38> 상기 제어신호출력부는, 상기 제1 및 제2제어신호를 3수평주기 마다 1수평주기로 출력하고, 상기 제2제어신호를 상기 제1제어신호보다 2수평주기만큼 지연시켜 출력하는 것을 특징으로 한다.
- <39> 아울러 본 발명은, 스타트 신호에 의해 동작이 시작되며, 게이트구동신호 출력단에 연결되고 각각 제1노드 및 제2노드에 의해 제어되는 풀-업 트랜지스터 및 풀-다운 트랜지스터를 구비한 쉬프트 레지스터 회로가 구성된 다수의 스테이지 중 최상위에서 순차로 2개씩의 스테이지마다 상기 풀-다운 트랜지스터의 스위칭 제어전극에 제1제어신호 및 제2제어신호를 교번으로 인가하는 것을 특징으로 하는 액정표시장치의 게이트구동방법을 제안한다.
- <40> 상기 제1 및 제2제어신호는 3수평주기 마다 1수평주기동안 인가되고, 상기 제2제어신호는 상기 제1제어신호보다 2수평주기만큼 지연되어 인가되는 것을 특징으로 한다.
- <41> 상기 제1 및 제2제어신호는 상기 스타트 신호가 각 스테이지로 인가되기 전에 인가되는 것을 특징으로 한다.
- <42> 상기 스타트 신호는 외부 회로로부터 최초 스테이지에 인가되고, 이후 두 번째 스테이지부터는 이전단 스테이지에서 출력된 게이트구동신호를 이용하는 것을 특징으로 한다.
- <43> 이하 첨부된 도면을 참조하여 본 발명에 대해 상세하게 설명한다.
- <44> 도 6은 본 발명에 따른 게이트구동회로의 구성을 도시한 블록도로서, n 개의 게이트구동신호(Vg1~Vgn)를 출력하는 n 개의 스테이지(ST1-STn)로 구성된 스테이지부(50)와, 제1 및 제2제어신호(CNT1, CNT2)를 출력하는 제어신호출력부(60)를 포함한다.
- <45> 상기 각각의 스테이지(ST1-STn)는 쉬프트 레지스터(Shift register) 회로로 구성된다.

- <46> 아울러 제1 내지 제 n 번째 스테이지(ST1~STn)는 각각 하이 레벨 구동전압(VDD) 및 로우 레벨 구동전압(VSS)과 클럭신호(CLKs)가 입력되고, 상기 구동전압(VDD,VSS)과 클럭신호(CLKs)에 응답하여 발생된 전단의 스테이지 출력을 후단의 스타트 신호(Vst)로 공급함으로써 후단 스테이지의 동작이 개시되어 전술한 도 4와 같은 순차 타이밍의 게이트구동신호(Vg1~Vgn)를 출력한다.
- <47> 상기 제어신호출력부(60)는 쉬프트 레지스터 회로에 포함된 풀-다운 트랜지스터(Tdn)의 열화를 방지하기 위해 최상위에서 순차로 2개씩의 스테이지에 구성된 풀-다운 트랜지스터에 제1제어신호 및 제2제어신호(CNT1, CNT2)를 교번으로 인가한다. 쉽게 설명하면, 예를 들어 최상위로부터 제1 및 제2스테이지에 제1제어신호(CON1)가 인가되고 제3 및 제4스테이지에는 제2제어신호(CON2)가 인가되며 제5 및 제6스테이지에는 다시 제1제어신호(CON1)가 인가되고 제7 및 제8스테이지에는 제2제어신호(CON2)가 인가되는 패턴이다.
- <48> 이때 상기 제1 및 제2제어신호(CNT1, CNT2)는 3수평주기(3H)마다 1수평주기(1H)동안 하이 레벨로 인가되는 전압 신호이고, 상기 제2제어신호(CNT2)는 상기 제1제어신호(CNT1)가 2수평주기(2H)만큼 지연된 신호이다.
- <49> 즉, 상기 제어신호출력부(60)를 통해 쉬프트 레지스터의 동작을 지원하고 아울러 상기 풀-다운 트랜지스터(Tdn)의 열화도 방지할 수 있는 신호 출력 타이밍을 가지는 제1 및 제2제어신호(CNT1, CNT2)를 생성하여 각 스테이지에 인가하며, 또한 상기 제어신호출력부(60)는 액정표시장치 구동회로부 중 타이밍컨트롤러(Timing controller) 내에 구성된 게이트/데이터드라이브IC 제어신호 생성회로를 이용하거나 또는 클럭신호 생성회로를 이용한 별도의 회로부로 구성될 수 있다.
- <50> 도 7과 도 8은 각각 본 발명에 따른 게이트구동회로의 상세 회로도 및 그 구동을 위한 신호타이밍도로서, 도 7의 회로도는 n 번째 및 n+1번째 스테이지의 쉬프트 레지스터 회로를 도시하였고 도 8은 그 동작 신호를 도시하였다.
- <51> 먼저 도 7을 참조하여 본 발명에 따른 게이트구동회로의 일 스테이지에 구성되는 쉬프트 레지스터 회로의 구성을 설명하되, n 번째 스테이지(STn)만을 설명하며 n+1번째 스테이지(STn+1)는 동일 구성이므로 부호 및 설명을 생략한다.
- <52> 설명하면, 클럭신호 입력단(CLK)과 연결되고 Q 노드에 의해 스위칭 제어되어 게이트구동신호{Vout(n)}를 게이트구동신호 출력단(VN)으로 출력하는 풀-업 트랜지스터(Tup)와, 상기 게이트 구동신호 출력단(VN)과 로우레벨 구동전원 입력단(VSS)에 연결되며 QB 노드에 의해 스위칭 제어되는 풀-다운 트랜지스터(Tdn)가 구성된다. 여기서 상기 {Vout(n)}은 임의의 n 번째 스테이지에서의 게이트 구동신호(Vgn)를 의미한다.
- <53> 아울러, 상기 Q 노드의 프리-충전 및 방전을 위해 제1 내지 제3트랜지스터(T1~T3)를 더욱 구성하고, 또한 상기 QB 노드의 충전 및 방전을 위한 제4 내지 제6트랜지스터(T4~T6)를 더욱 구성한다.
- <54> 상기 제1트랜지스터(T1)는 하이레벨 구동전원 입력단(VDD)에 연결되고 스타트 신호(Vst)에 의해 스위칭 제어되어 상기 Q 노드를 상기 하이레벨 구동전원 전위로 충전한다.
- <55> 상기 제2트랜지스터(T2)는 상기 Q 노드와 로우레벨 구동전원 입력단(VSS)에 연결되고 상기 QB 노드에 의해 스위칭 제어되어 상기 Q 노드를 방전시킨다.
- <56> 상기 제3트랜지스터(T3)는 상기 Q 노드와 상기 로우레벨 구동전원 입력단(VSS)에 연결되고 다음 순차의 스테이지(STn+1)에서 출력되는 게이트구동신호{Vout(n+1)}에 스위칭 제어되어 상기 Q 노드를 방전시킨다.
- <57> 상기 제4트랜지스터(T4)는 상기 하이레벨 구동전원 입력단(VDD)에 다이오드 연결되어 상기 QB 노드를 상기 하이레벨 구동전원 전위로 충전시킨다.
- <58> 상기 제5트랜지스터(T5)는 상기 QB노드와 상기 로우레벨 구동전원 입력단(VSS)에 연결되고 상기 Q 노드에 의해 스위칭 제어되어 상기 QB 노드를 방전시킨다.
- <59> 상기 제6트랜지스터(T6)는 상기 QB 노드와 상기 로우레벨 구동전원 입력단(VSS)에 연결되고 상기 스타트 신호(Vst)에 의해 스위칭 제어되어 상기 QB 노드를 방전시킨다.
- <60> 여기서 상기 도 6에 도시한 바와 같이 인접한 두 스테이지의 쉬프트 레지스터 회로의 풀-다운 트랜지스터를 연결하여 QB 노드를 공유하도록 배선한다. 즉 도 7에 도시한 것과 같이 n 번째 및 n+1번째 스테이지(STn, STn+1)의 QB 노드를 공유시켜 동일한 제어신호(즉 CON1)가 인가되도록 한다. 물론 다음 번 QB 노드 공유는 n+2 번째와 n+3번째 스테이지에서 수행되고 제2제어신호(CON2)가 인가된다.

- <61> 상기 스타트 신호는 이전단 스테이지에서 출력된 게이트구동신호이고, 상기 쉬프트 레지스터의 각 트랜지스터는 모두 동일 채널 타입의 트랜지스터를 이용하는 바, 특히 NMOS 타입의 트랜지스터이다.
- <62> 상기와 같은 구성을 가지는 본 발명의 게이트구동회로의 쉬프트 레지스터 회로는, 종래의 쉬프트 레지스터 회로에서 풀-다운 트랜지스터에 장시간 전압을 인가하던 구동방법으로 인해 발생하던 트랜지스터 열화를 막기 위해 상기 제어신호 출력부(도 6의 60)를 이용하여 별도로 생성된 신호를 상기 QB 노드에 인가하여 장시간 고전위 전압이 QB 노드에 인가되지 않도록 하면서도 원활한 회로 동작을 수행할 수 있도록 하는 바, 도 8의 신호타이밍도를 참조하여 보충 설명한다.
- <63> 도 8의 신호타이밍도를 보면 n 번째 및 n+1번째 스테이지(STn, STn+1) 쉬프트 레지스터 회로의 각 Q 노드에 인가되는 신호(Qn 및 Qn+1)와, 상기 제1 및 제2제어신호(CNT1, CNT2)와, 상기 n 번째 및 n+1번째 스테이지에서 출력되는 게이트구동신호{Vout(n), Vout(n+1)}을 나타내고 있다.
- <64> 상기 도 8의 신호타이밍도를 이용하여 상기 도 7의 n 번째 스테이지(STn)의 쉬프트 레지스터의 동작만을 대표로 설명하면 다음과 같다.
- <65> 먼저, n 번째 게이트구동신호{Vout(n)}를 출력하는 동작을 수행하기 위해서는 Q 노드를 방전시킨 상태로 초기화하여야 한다.
- <66> 이를 위해 구간 A 와 같이, 상기 제1제어신호(CNT1)를 1수평주기동안 인가한다. 상기 제1제어신호(CNT1)가 인가됨으로 인해 상기 QB 노드가 충전되어 제2트랜지스터(T2)가 턴온되고 이에 상기 Q 노드는 방전되어 로우 상태로 전환된다.(Step 1)
- <67> 물론 상기 제1제어신호(CNT1)에 의해 QB 노드가 공유된 n+1 번째 스테이지의 쉬프트레지스터 역시 QB 노드가 방전됨은 당연하다.
- <68> 이후 구간 B 와 같이, 스타트 신호(Vst)가 제1트랜지스터(T1) 및 제6트랜지스터(T6)를 턴온 시키고, 이에 상기 제1트랜지스터(T1)를 통해 Q 노드에 하이레벨 구동전원이 프리-충전됨과 동시에 상기 제6트랜지스터(T6)를 통해 QB 노드가 방전된다. (Step 2)
- <69> 다음으로 구간 C 와 같이, 풀-업 트랜지스터(Tup)로 클럭신호의 하이 레벨이 입력되면 상기 하이레벨로 플로팅된 Q 노드를 풀-업 트랜지스터(Tup)의 게이트전극과 드레인전극의 중첩으로 형성된 기생 커패시터의 커플링 작용으로 상기 클럭신호(CLK)의 하이레벨 전압을 따라 부트스트래핑(Bootstrapping) 시켜 상기 Q 노드의 전압을 더욱 상승시킴으로써 상기 풀-업 트랜지스터(Tup)는 완전히 턴온되고 이에 게이트구동신호{Vout(n)}를 출력하게 된다. (Step 3)
- <70> 이때, n+1 번째 스테이지(STn+1)는 상기 n 번째 스테이지(STn)에서 출력된 게이트구동신호{Vout(n)}를 스타트 신호(Vst)로 입력받아 동작되므로 상기 n 번째 스테이지(STn)의 쉬프트 레지스터보다 1수평주기 만큼의 시간 지연을 가지고 상기 (Step 2)부터 동작되며, 이에 도 8에 나타난 바와 같이 Qn과 Qn+1 신호가 1수평주기의 지연이 있음은 당연하다. (Step 4)
- <71> 이때, 상기 n 번째 및 n+1 번째 스테이지(STn, STn+1)의 쉬프트 레지스터간 1 수평주기 간격으로 동작이 순차 진행되기 때문에 다음번 인가되는 제1제어신호(CNT1)는 상기 Qn과 Qn+1 신호가 완전히 끝나도록 3수평주기 만큼의 시간이 지난후에 다시 인가된다.
- <72> 아울러, 서로 QB노드가 공유된 n+2번째 및 n+3번째 스테이지의 쉬프트레지스터의 동작은 상기 n 번째 및 n+1 번째 스테이지의 쉬프트레지스터 동작보다 2수평주기 만큼 지연되어 동작이 수행되므로 상기 n+2번째 및 n+3번째 스테이지의 쉬프트레지스터의 공유된 QB 노드로 인가되는 제2제어신호(CNT2) 역시 상기 제1제어신호(CNT1)보다 2수평주기만큼 지연되어 인가되며, 상기 n+2번째 및 n+3번째 스테이지의 쉬프트레지스터에 대해 상기 (Step 1) 내지 (Step 4)의 순서로 진행되는 것은 당연하다.

**발명의 효과**

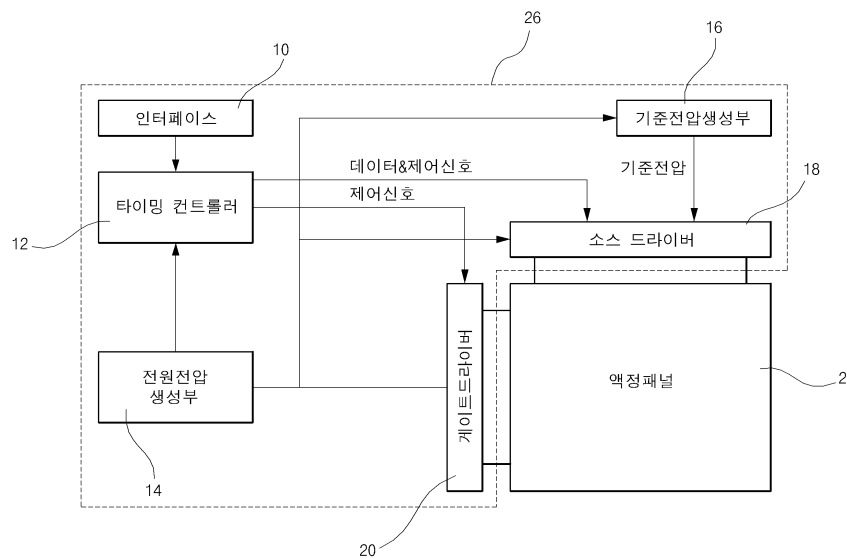
- <73> 상기 설명한 바와 같이 본 발명에 따른 게이트구동회로는 인접한 두 쉬프트레지스터의 풀-다운 트랜지스터의 스위칭 전극이 연결된 QB노드를 서로 공유시키고, 상기 공유된 QB 노드에 지속적인 하이 레벨의 전원을 인가하지 않고 단지 게이트구동신호를 출력하기 위한 동작에 필요한 1수평주기 동안만 상기 QB 노드를 하이 상태로 유지시키고 이후 3수평주기 동안은 로우 상태를 유지함으로써 상기 풀-다운 트랜지스터의 열화 방지는 물론이고 정상적이고 안정적인 구동을 보장함으로써 표시장치의 신뢰성 향상 및 경쟁력 제고의 장점이 있다.

**도면의 간단한 설명**

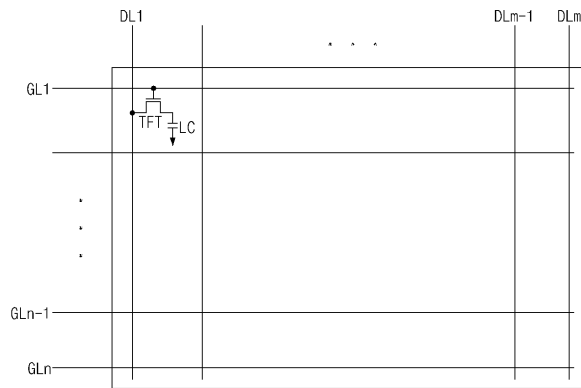
- <1> 도 1은 일반적인 액정표시장치의 기본 구성을 도시한 블록구성도
- <2> 도 2는 도 1의 구성 중 액정패널의 구성을 간략히 도시한 도면
- <3> 도 3은 종래 기술에 의해 n 개의 게이트구동신호(Vg1~Vgn)를 출력하는 게이트드라이버의 구성을 도시한 도면
- <4> 도 4는 도 3의 게이트드라이버에 의해 출력되는 순차 타이밍의 게이트구동신호를 도시한 신호타이밍도
- <5> 도 5는 도 3의 각 스테이지에 구성되는 쉬프트레지스터 회로의 풀-업 및 풀-다운 트랜지스터로 구성된 신호출력부를 도시한 회로도
- <6> 도 6은 본 발명에 따른 게이트구동회로의 구성을 도시한 블록도
- <7> 도 7은 본 발명에 따른 게이트구동회로의 일 스테이지에 대한 상세 회로도
- <8> 도 8은 본 발명에 따른 게이트구동회로의 구동을 위한 신호타이밍도
- <9> <도면의 주요부분에 대한 간단한 설명
- <10> ST1~STn : 제1~제n번째 스테이지 50 : 스테이지부
- <11> 60: 제어신호 출력부 Vst : 스타트신호
- <12> Vg1~Vgn : 제1~제n번째 게이트구동신호

**도면**

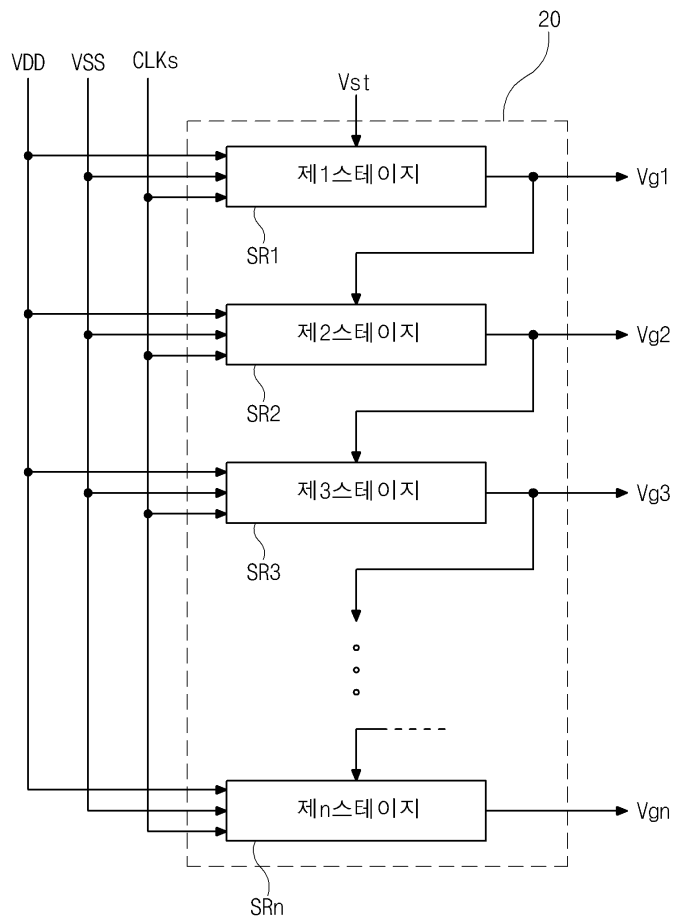
**도면1**



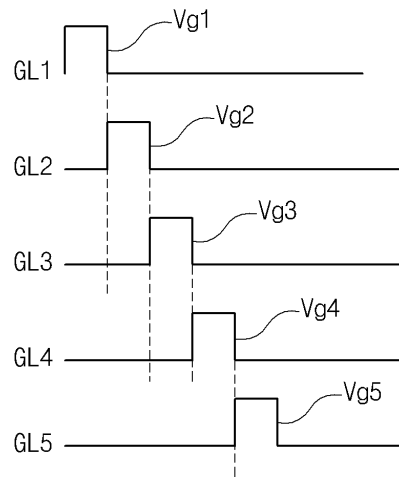
도면2



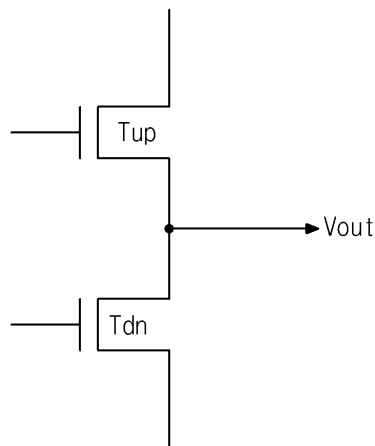
도면3



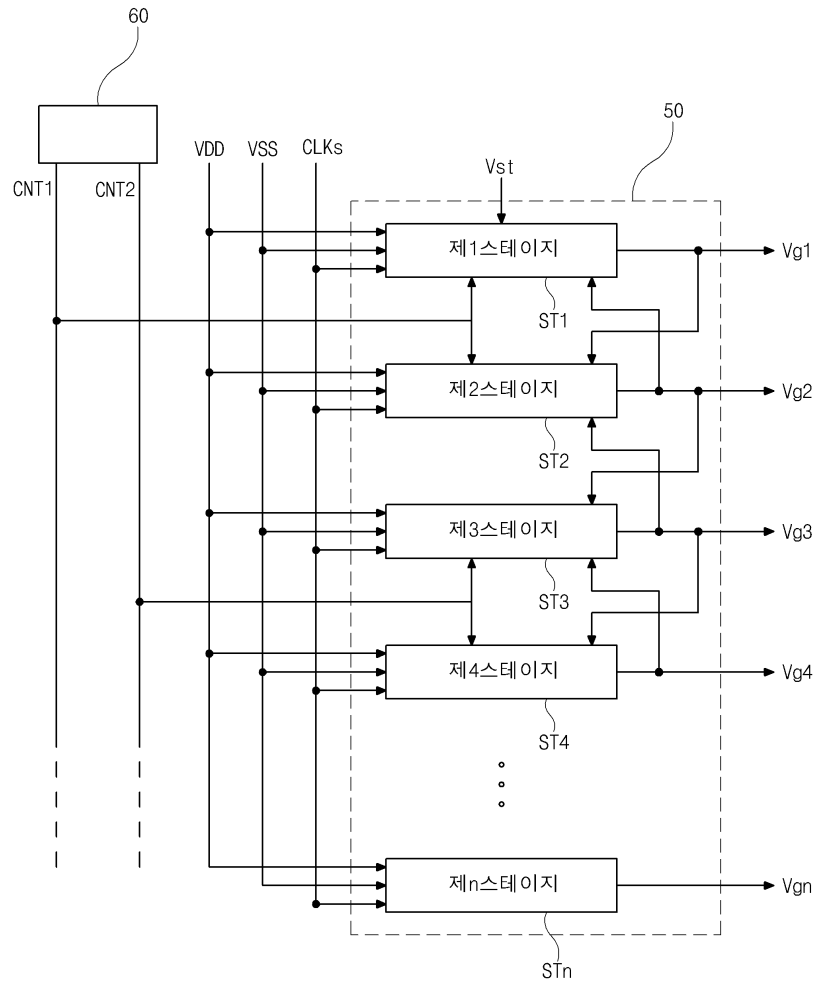
도면4



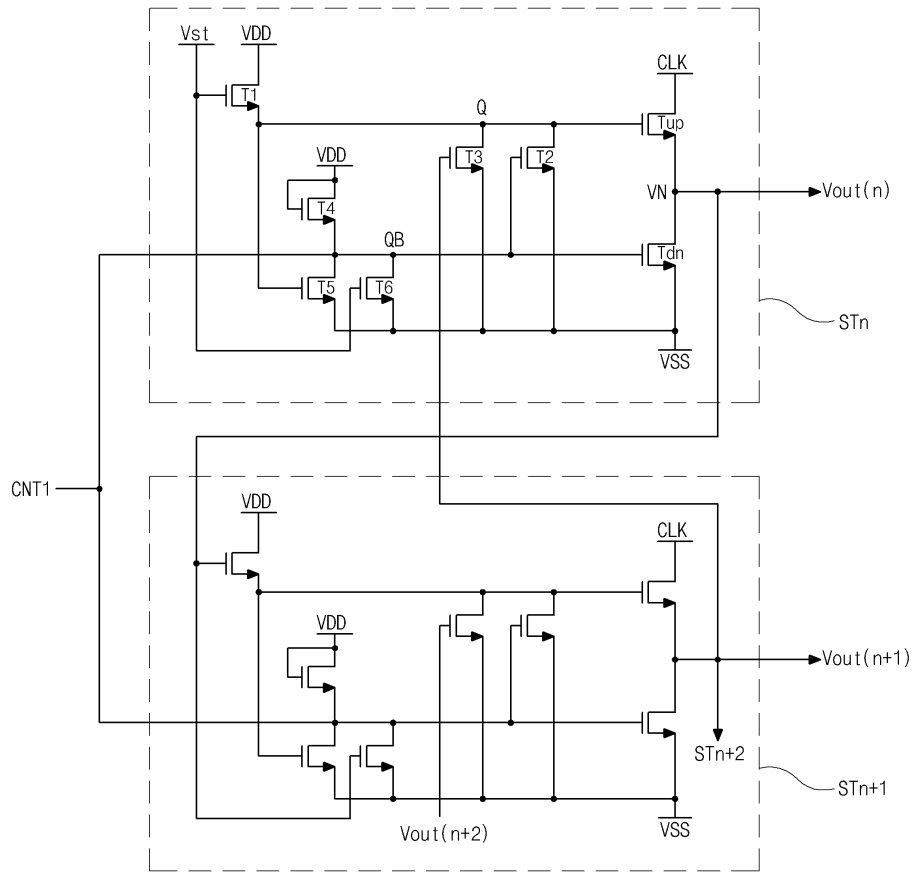
도면5



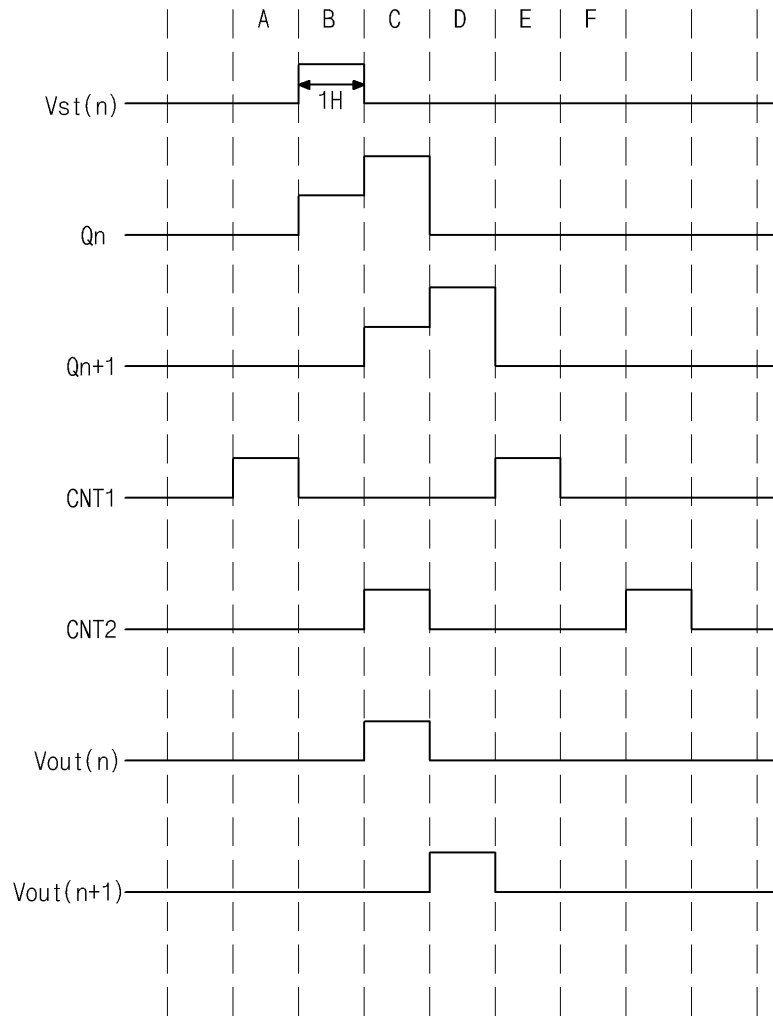
도면6



도면7



도면8



专利名称(译)	液晶显示装置的栅极驱动电路及其驱动方法		
公开(公告)号	<a href="#">KR1020070119346A</a>	公开(公告)日	2007-12-20
申请号	KR1020060053875	申请日	2006-06-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DO HEON 김도헌 MOON SOO HWAN 문수환 CHAE JI EUN 채지은		
发明人	김도헌 문수환 채지은		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G11C19/28 G09G2320/043 G09G2300/0417 G09G3/3677		
其他公开文献	KR101252572B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及显示装置，尤其涉及一种液晶显示器的栅极驱动电路，提高了液晶显示器中安装的栅极驱动电路的驱动可靠性及其驱动方法。为此，本发明涉及连接到栅极驱动信号输出端子的多级中的最高级，并且其中相应的第一节点和移位寄存器电路包括由第二节点和下拉控制的上拉晶体管。晶体管包括多级，依次是每级2的下拉晶体管的开关控制电极中的第一控制信号和第二控制信号的交替。并且提供包括授权的控制信号输出部分的液晶显示器的栅极驱动电路。并且通过正常防止下拉晶体管的劣化并保证稳定的驱动，它具有显示装置的可靠性增强和竞争力提高的优点。

