



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G02F 1/1335 (2006.01)

G02F 1/13 (2006.01)

G02F 1/136 (2006.01)

H04B 1/38 (2006.01)

(11) 공개번호 10-2007-0070129

(43) 공개일자 2007년07월03일

(21) 출원번호 10-2006-0136941

(22) 출원일자 2006년12월28일

심사청구일자 없음

(30) 우선권주장 JP-P-2005-00378778 2005년12월28일 일본(JP)

(71) 출원인 가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 기무라 하지메
일본 가나가와켄 243-0036 아쓰기시 하세 398 가부시킴가이샤한도오
따이 에네루기 켄큐쇼 내

(74) 대리인 이범래

전체 청구항 수 : 총 17 항

(54) 디스플레이 디바이스 및 그 제조 방법

(57) 요약

반-투과 액정 디스플레이 디바이스에서, 두 개의 레지스트 마스크가 반사 전극 및 투명 전극 형성을 위해 요구되고, 따라서, 비용이 높다. 픽셀 전극으로 작용하는 반사 전극 및 투명 전극은 적재된다. 두꺼운 막 두께를 갖는 영역과 전술한 영역보다 얇은 막 두께를 갖는 영역을 포함하는 레지스트 패턴이 반-투과부를 포함하는 노광 마스크를 이용하여 반사 전극위에 형성된다. 반사 전극 및 투명 전극은 상기 레지스트를 이용하여 형성된다. 따라서, 반사 전극 및 투명 전극이 하나의 레지스트 마스크를 이용하여 형성될 수 있다.

대표도

도 1a

특허청구의 범위

청구항 1.

디스플레이 디바이스에 있어서,

트랜지스터;

상기 트랜지스터에 전기적으로 접속된 투명 전극;

상기 투명 전극에 전기적으로 접속된 반사 전극; 및

상기 트랜지스터에 전기적으로 접속된 스토리지 커패시터를 포함하고,

상기 스토리지 커패시터의 적어도 일부는 반사 전극 아래에 형성되고,

상기 반사 전극의 하부 표면 전체가 상기 투명 전극 상부 표면과 접촉하는, 디스플레이 디바이스.

청구항 2.

디스플레이 디바이스에 있어서,

트랜지스터;

상기 트랜지스터에 전기적으로 접속된 투명 전극; 및

상기 투명 전극에 전기적으로 접속된 반사 전극을 포함하고,

상기 투명 전극 및 상기 반사 전극 중 적어도 하나가 슬릿을 포함하고,

상기 반사 전극의 하부 표면 전체가 상기 투명 전극 상부 표면과 접촉하는, 디스플레이 디바이스.

청구항 3.

디스플레이 디바이스에 있어서,

트랜지스터;

상기 트랜지스터에 전기적으로 접속된 투명 전극;

상기 투명 전극에 전기적으로 접속된 반사 전극; 및

상기 트랜지스터에 전기적으로 접속된 스토리지 커패시터를 포함하고,

상기 투명 전극 및 상기 반사 전극 중 적어도 하나가 슬릿을 포함하고,

상기 스토리지 커패시터의 적어도 일부는 반사 전극 아래에 형성되고, 그리고

상기 반사 전극의 하부 표면 전체가 투명 전극 상부 표면과 접촉하는, 디스플레이 디바이스.

청구항 4.

디스플레이 디바이스에 있어서,

트랜지스터;

상기 트랜지스터에 전기적으로 접속된 투명 전극;

상기 투명 전극에 전기적으로 접속된 반사 전극; 및

상기 트랜지스터에 전기적으로 접속된 스토리지 커패시터를 포함하고,

상기 스토리지 커패시터의 적어도 일부는 반사 전극 아래에 형성되고,

상기 트랜지스터의 적어도 일부는 반사 전극 아래에 형성되고,

상기 반사 전극의 하부 표면 전체가 상기 투명 전극 상부 표면과 접촉하는, 디스플레이 디바이스.

청구항 5.

디스플레이 디바이스에 있어서,

트랜지스터; 및

상기 트랜지스터에 전기적으로 접속된 픽셀 전극을 포함하고;

상기 픽셀 전극은 투명 전극 및 반사 전극을 포함하고,

상기 반사 전극의 하부 표면 전체가 상기 투명 전극 상부 표면과 접촉하고,

상기 반사 전극과 접촉하는 영역의 상기 투명 전극의 막 두께가 상기 반사 전극과 접촉하지 않는 영역의 상기 투명 전극의 막 두께보다 두꺼운, 디스플레이 디바이스.

청구항 6.

제 1 항에 있어서,

액정 층이 상기 반사 전극과 대향 전극 사이에 제공되는, 디스플레이 디바이스.

청구항 7.

제 2 항에 있어서,

액정 층이 상기 반사 전극과 대향 전극 사이에 제공되는, 디스플레이 디바이스.

청구항 8.

제 3 항에 있어서,

액정 층이 상기 반사 전극과 대향 전극 사이에 제공되는, 디스플레이 디바이스.

청구항 9.

제 4 항에 있어서,

액정 층이 상기 반사 전극과 대향 전극 사이에 제공되는, 디스플레이 디바이스.

청구항 10.

제 5 항에 있어서,

액정 층이 상기 반사 전극과 대향 전극 사이에 제공되는, 디스플레이 디바이스.

청구항 11.

제 1 항에 따른 디스플레이 디바이스를 포함하는 전자 장치.

청구항 12.

제 2 항에 따른 디스플레이 디바이스를 포함하는 전자 장치.

청구항 13.

제 3 항에 따른 디스플레이 디바이스를 포함하는 전자 장치.

청구항 14.

제 4 항에 따른 디스플레이 디바이스를 포함하는 전자 장치.

청구항 15.

제 5 항에 따른 디스플레이 디바이스를 포함하는 전자 장치.

청구항 16.

디스플레이 디바이스 제조 방법에 있어서,

기판 위에 트랜지스터를 형성하는 단계;

상기 트랜지스터 위에 절연막을 형성하는 단계;

상기 절연막 위에 투명 도전막을 형성하는 단계;

상기 투명 도전막 위에 반사 도전막을 형성하는 단계;

반-투과부를 포함하는 노광 마스크를 이용하여 두꺼운 막 두께를 갖는 영역과 상기 반사 도전막 위의 영역보다 얇은 막 두께를 갖는 영역을 포함하는 레지스트 패턴을 형성하는 단계; 및

상기 레지스트 패턴을 이용하여 상기 투명 도전막으로 된 투명 전극과 상기 반사 도전막으로 된 반사 전극을 형성하는 단계를 포함하는, 디스플레이 디바이스 제조 방법.

청구항 17.

디스플레이 디바이스 제조 방법에 있어서,

기판 위에 트랜지스터를 형성하는 단계;

상기 트랜지스터 위에 절연막을 형성하는 단계;

상기 절연막 위에 투명 도전막을 형성하는 단계;

상기 투명 도전막 위에 반사 도전막을 형성하는 단계;

반-투과부를 포함하는 노광 마스크를 이용하여 두꺼운 막 두께를 갖는 영역과 상기 반사 도전막 위의 영역보다 얇은 막 두께를 갖는 영역을 포함하는 레지스트 패턴을 형성하는 단계;

상기 레지스트 패턴을 이용하여 상기 반사 도전막 및 상기 투명 도전막을 에칭하는 단계;

상기 레지스트 패턴의 일부를 제거하는 단계; 및

일부가 제거된 상기 레지스트 패턴을 이용하여 상기 반사 도전막을 에칭하는 단계를 포함하는, 디스플레이 디바이스 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 픽셀 전극을 포함하는 반도체 디바이스, 특히, 디스플레이 디바이스에 관한 것이다. 더욱 특별하게는, 본 발명은 반사 영역 및 투과 영역을 포함하는 반-투과형 액정 디스플레이 디바이스에 관한 것이다.

디스플레이 디바이스는 자체-발광 디스플레이 디바이스와 비-발광 디스플레이 디바이스로 나누어 진다. 액정 디스플레이 디바이스는 가장 일반적인 비-발광 디스플레이 디바이스이다. 일반적으로, 액정 디스플레이 디바이스는 백라이트로부터의 광에 의해 조사됨으로써 디스플레이를 수행하는데, 그 자체는 발광하지 않기 때문이다.

백라이트로부터의 광을 이용하는 투과형 액정 디스플레이 디바이스에서, 디스플레이 화상이 정상적인 룬에서는 보기가 용이하지만, 디스플레이 화상을 태양 아래서 보기는 어려운 문제가 있다. 특히, 카메라, 휴대용 정보 단자 및 이동전화기와 같은 실외에서 자주 이용되는 전자 디바이스는 이 문제에 크게 영향을 받는다.

반-투과형 액정 디스플레이 디바이스는 실내 및 실외의 양자에서, 양호한 화상을 디스플레이하기 위해 개발되어 왔다. 반-투과형 액정 디스플레이 디바이스는 한 픽셀에서 반사 영역과 투과 영역을 포함한다. 그 투과 영역은 투명 전극을 포함하고 투과형 액정 디스플레이 디바이스로서 작용하도록 광을 투과시킨다. 다른 한편, 그 반사 영역은 반사 전극을 포함하고, 반사형 액정 디스플레이 디바이스로서 작용하도록 반사시킨다. 이런 방법으로, 선명한 화상이 실내 및 실외에서 디스플레이될 수 있다.

그러한 액정 디스플레이 디바이스로서, 패시브 매트릭스형 및 액티브 매트릭스형이 존재한다. 일반적으로, 액티브 매트릭스형 디스플레이 디바이스를 제조할 때에는, 박막트랜지스터(TfT)의 반도체 층에 연결된 배선이 형성되고, 하나의 픽셀 전극으로서 작용하는 도전막이 배선위에 형성된다.

하나의 픽셀 전극으로서, 반사 영역의 반사 전극과 투과 영역의 투과 전극이 존재한다. 각 전극은 상이한 모양을 갖는다. 따라서, 반사 전극 형성을 위한 레지스트 마스크와 투과 전극 형성을 위한 레지스트 마스크가 요구되어 왔다. (예를 들면, 특허 문헌 1-5)

[특허 문헌 1]

일본국 특허 출원 제 2002-229016

[특허 문헌 2]

일본국 특허 출원 제 2004-46223

[특허 문헌 3]

일본국 특허출원 제 2005-338829

[특허 문헌 4]

일본국 특허 출원 제 2004-334205

[특허 문헌 5]

일본국 특허 출원 제 2004-109797

발명이 이루고자 하는 기술적 과제

통상적인 반-투과형 액정 디스플레이 디바이스에서는, 레지스트 마스크가 반사 전극과 투과 전극을 형성하는 경우에 각 층에 대해서 요구된다. 즉, 반사 전극 형성을 위한 레지스트 마스크와, 투과 전극 에칭을 위한 레지스트 마스크와, 적재막이 요구되고, 그것을 위해 다수의 제조 단계가 증가된다. 따라서, 디스플레이 디바이스와 같은 반도체 디바이스의 제조 비용이 높고, 전극 패턴 형성을 위한 제조 시간이 길어진다.

따라서, 본 발명의 한 목적은 사용되는 레지스트 마스크의 수를 감소시키고, 제조 단계를 감소시키는 것이다.

본 발명의 한 특징은, 트랜지스터, 상기 트랜지스터에 전기적으로 접속된 투과 전극, 상기 투과 전극에 전기적으로 접속된 반사 전극, 및 트랜지스터에 전기적으로 접속된 스토리지 커패시터를 포함하는 디스플레이 디바이스를 제공한다. 스토리지 커패시터의 적어도 일부는 반사 전극 아래에 형성된다. 반사 전극의 하부 표면 전체가 투과 전극 상부 표면과 접촉된다.

본 발명의 다른 특징은, 트랜지스터, 상기 트랜지스터에 전기적으로 접속된 투과 전극, 및 상기 투과 전극에 전기적으로 접속된 반사 전극을 포함하는 디스플레이 디바이스를 제공한다. 투과 전극 및 반사 전극 중의 적어도 하나가 슬릿을 포함한다. 반사 전극의 하부 표면 전체가 투과 전극 상부 표면과 접촉된다.

본 발명의 다른 특징은, 트랜지스터, 상기 트랜지스터에 전기적으로 접속된 투과 전극, 상기 투과 전극에 전기적으로 접속된 반사 전극, 및 트랜지스터에 전기적으로 접속된 스토리지 커패시터를 포함하는 디스플레이 디바이스를 제공한다. 투과 전극 및 반사 전극 중의 적어도 하나가 슬릿을 포함한다. 스토리지 커패시터의 적어도 일부는 반사 전극 아래에 형성된다. 반사 전극의 하부 표면 전체가 투과 전극 상부 표면과 접촉된다.

본 발명의 다른 특징은, 트랜지스터, 상기 트랜지스터에 전기적으로 접속된 투명 전극, 상기 투명 전극에 전기적으로 접속된 반사 전극, 및 트랜지스터에 전기적으로 접속된 스토리지 커패시터를 포함하는 디스플레이 디바이스를 제공한다. 스토리지 커패시터의 적어도 일부는 반사 전극 아래에 형성된다. 트랜지스터의 적어도 일부가 반사 전극 아래에 형성된다. 반사 전극의 하부 표면 전체가 투명 전극 상부 표면과 접촉된다.

본 발명의 다른 특징은, 트랜지스터, 및 상기 트랜지스터에 전기적으로 접속된 픽셀 전극을 포함하는 디스플레이 디바이스를 제공한다. 상기 픽셀 전극은 투명 전극 및 반사 전극을 포함한다. 반사 전극의 하부 표면 전체가 투명 전극 상부 표면과 접촉한다. 반사 전극과 접촉하는 영역의 투명 전극의 막 두께가 반사 전극과 접촉하지 않는 영역의 투명 전극의 막 두께보다 두껍다.

본 발명에서는, 전술한 구조에서, 디스플레이 디바이스는 반사 전극 및 대향 전극 사이에 액정 층을 제공한다.

본 발명의 다른 특징은 디스플레이 디바이스 제조 방법을 제공한다. 트랜지스터는 기판 위에 형성된다. 절연막이 트랜지스터 위에 형성된다. 투명 도전막이 절연막 위에 형성된다. 반사 도전막이 투명 도전막 위에 형성된다. 반-투과부를 포함하는 노광 마스크를 이용하여, 두꺼운 막 두께를 갖는 영역과 전술한 영역 보다 얇은 막 두께를 갖는 영역을 포함하는 레지스트 패턴이 반사 도전막 위에 형성된다. 상기 레지스트 패턴을 이용하여 투명 도전막으로된 투명 전극과 반사 도전막으로된 반사 전극이 형성된다.

본 발명의 다른 특징은 디스플레이 디바이스 제조 방법을 제공한다. 트랜지스터는 기판 위에 형성된다. 절연막이 트랜지스터 위에 형성된다. 투명 도전막이 절연막 위에 형성된다. 반사 도전막이 투명 도전막 위에 형성된다. 반-투과부를 포함하는 노광 마스크를 이용하여, 두꺼운 막 두께를 갖는 영역과 전술한 영역 보다 얇은 막 두께를 갖는 영역을 포함하는 레지스트 패턴이 반사 도전막 위에 형성된다. 상기 레지스트 패턴을 이용하여 반사 도전막과 투명 도전막이 에칭된다. 레지스트 패턴의 일부가 제거된다. 반사 도전막이 일부가 제거된 레지스트 패턴을 이용하여 에칭된다.

전술한 바와 같이, 투명 전극 및 그 투명 전극의 일부와 접촉하는 반사 전극이 하나의 레지스트 패턴을 이용하여 형성될 수 있다. 투명 전극 및 반사 전극의 두 패턴이 하나의 레지스트 패턴을 이용하여 형성될 수 있기 때문에, 제조 단계가 감소될 수 있고, 낮은 비용으로 디스플레이 디바이스가 구현될 수 있다.

본 발명에서는, 트랜지스터의 다양한 종류가 적용될 수 있고, 특수한 트랜지스터에 제한되지 않는다. 비정질 실리콘 또는 다결정성 실리콘으로 대표되는 비-단결정성 반도체 막을 사용하는 박막 트랜지스터(TfT), 반도체 기판 또는 SOI 기판을 사용하여 형성된 트랜지스터, MOS 트랜지스터, 접합형 트랜지스터, 바이폴라 트랜지스터, ZnO 또는 InGaZnO와 같은 화합물 반도체를 이용하는 트랜지스터, 유기 반도체 또는 나노튜브를 이용하는 트랜지스터, 또는 다른 트랜지스터가 사용될 수 있다. 또한, 트랜지스터가 제공되는 기판의 종류는 제한이 없고, 단결정성 기판, SOI 기판, 유리 기판, 플라스틱 기판 등이 사용될 수 있다.

트랜지스터의 구조는 특별히 제한되지 않는다. 예를 들면, 게이트의 수가 둘 이상인 멀티-게이트 구조가 사용될 수 있다. 게이트 전극들이 채널 위 및 아래에 제공될 수 있다. 하나의 게이트 전극이 채널 위 및 아래에 제공될 수 있다. 순방향 스테거드 구조 또는 역전 스테거드 구조가 사용될 수 있다. 채널 영역이 다수의 영역으로 분할되거나 또는 평행하게 또는 직각으로 연결될 수 있다. 소스 전극 또는 드레인 전극이 채널(또는 그 일부와) 중첩될 수 있다. Ldd 영역(low concentration impurity region)이 제공될 수 있다.

본 발명에서는, 접속된다는 것은 전기적으로 접속되는 것과 동등한 의미이다. 따라서, 접속의 소정 관계에 부가하여, 전기적 접속을 가능하게 하는 다른 소자(예를 들면, 스위치, 트랜지스터, 커패시터, 레지스터 소자, 다이오드등)가 본 발명에서 기술된 구조에서 제공될 수 있다.

본 발명에 도시된 스위치는 특별한 스위치에 제한되지 않는다. 전기적 스위치 또는 기계적 스위치가 사용될 수 있다. 전류의 유동을 제어할 수 있는 어떤 소자라도 사용될 수 있다. 트랜지스터, 다이오드(PN 다이오드, PIN 다이오드, Schottky 다이오드, 다이오드-접속 트랜지스터등), 그들과 조합된 로직 회로가 사용될 수 있다. 트랜지스터가 스위치로서 사용되는 경우에, 그것의 극성(도전 형태)은 특별한 제한이 없는데, 트랜지스터가 단지 스위치로서 작동하기 때문이다. 그러나, Off 전류가 양호하게 작은 경우에는, Off 전류보다 적은 극성을 갖는 트랜지스터가 양호하게 사용된다. 작은 Off 전류를 갖는 트랜지스터로서, Ldd 영역을 제공한 트랜지스터, 멀티-게이트 구조를 제공한 트랜지스터등이 사용될 수 있다. 또한, n-채널 트랜지스터는, 스위치로서 작동하는 트랜지스터의 소스 전압이 낮은 측 전원(VSS, gNd, 0V 등)에 근접한 상태에서 작동되는 경우에 사용되는 것이 양호한 반면에, p-채널 트랜지스터는, 트랜지스터 소스 단자의 전압이 높은 전압 측 전원(Vdd

등)에 근접한 상태에서 작동하는 경우에 사용되는 것이 양호하다. 이것은 트랜지스터가 스위치로서 용이하게 작동하기 때문인데, 그것의 게이트-소스 전압의 절대 값이 크게 이루어지기 때문이다. CMOS 형 스위치가 또한 n-채널 및 p-채널 양자의 사용에 의해 적용될 수 있다.

하나의 픽셀에 제공된 소자는 특별한 디스플레이 소자에 제한되지 않는다. t하나의 픽셀에 제공되는 소자는, 예를 들면, eL 소자(유기 eL 소자, 무기 eL 소자 또는 유기 화합물 또는 무기 화합물을 함유하는 eL 소자), 전자 발산 소자, 액정 소자, 전자 잉크, 그레이팅 광 밸브(gLV), 플라즈마 디스플레이(PdP), 디지털 마이크로미러 디바이스(dMD), 압전 세라믹 디스플레이 또는 카본 나노튜브와 같은 전자기 효과에 의해 콘트라스트가 변화되는 디스플레이 매체이다. eL 소자를 이용하는 디스플레이 디바이스는 eL 디스플레이를 포함하고, 전자 발산 소자는 계장 발산 디스플레이(fed), Sed형 플랫 패널 디스플레이(Surface-conduction electron-emitter display)등을 포함하고, 액정 소자를 포함하는 디스플레이 디바이스는 액정 디스플레이를 포함하고, 전자 잉크를 사용하는 디스플레이 디바이스는 전자 페이퍼를 포함한다.

본 발명에서는, 하나의 픽셀이 하나의 칼라 소자에 대응한다. 따라서, R(레드), g(그린) 및 b(블루)의 칼라 소자로 형성된 완전-칼라 디스플레이 디바이스의 경우에, 화상의 가장 적은 유니트가 R픽셀, g픽셀 및 b픽셀의 세 픽셀로 형성된다. 칼라 소자의 수는 세 칼라에 제한되지 않고, 칼라 소자는 RgbW(W는 흰색)와 같은 세 칼라 이상으로 형성될 수 있다. 픽셀이 하나의 픽셀(세 칼라)로 참조되는 경우에, Rgb의 세 픽셀이 하나의 픽셀로 고려된다.

본 발명에서는, 픽셀이 매트릭스로 배열된 경우가, 픽셀이 소위 스트라이프 패턴으로 배열된 경우뿐 아니라, 세 칼라 소자(예를 들면, Rgb)로 완전 칼라 디스플레이를 수행하는 경우에 소위 델타 패턴으로 세 칼라 소자의 도트가 배열되는 경우에도 대응된다. 칼라 소자는 이들 세 칼라에 제한되지 않고, RgbW와 같은 세 칼라 이상일 수 있다. 또한, 칼라 소자 각 도트 영역은 상이한 크기를 가질 수 있다.

트랜지스터는 게이트 전극, 드레인 영역(또는 드레인 전극) 및 소스 영역(또는 소스 전극)을 포함하는 적어도 세 단자를 갖는 소자이고, 드레인 영역 및 소스 영역 사이에 채널 형성 영역을 포함한다. 여기서, 소스 영역과 드레인 영역을 정확하게 정의하는 것은 어려운데, 그들이 트랜지스터의 구조, 작동 조건등에 의존하기 때문이다. 따라서, 이 명세서에서는, 소스 영역 또는 드레인 영역으로 기능하는 영역을 제 1 단자 또는 제 2 단자로 참조한다.

본 발명에서는, 반도체 디바이스가 반도체 소자(트랜지스터, 다이오드등)를 포함하는 회로를 갖는 디바이스에 대응한다. 또한, 반도체 디바이스는 반도체 특성을 사용하여 작동될 수 있는 일반적인 디바이스일 수 있다. 디스플레이 디바이스는, 액정 소자 또는 eL 소자와 같은 디스플레이 소자를 포함하는 다수의 픽셀과 픽셀을 구동하기 위한 주연 구동기 회로가 기판 위에 형성되는 디스플레이 패널 몸체, 그리고 신축성 프린트 회로(fpc) 또는 프린트 배선 보드(PWB)가 제공된 디스플레이 패널의 몸체일 수 있다. 발광 디바이스는 eL 소자, 전자 발산 소자등을 위해 사용된 자체-발광 디스플레이 소자를 특히 사용하는 디스플레이 디바이스이다.

본 발명에 따르면, 반도체 디바이스 및 디스플레이 디바이스의 제조 단계가 통상적인 기술보다 감소되고, 제조 비용이 낮아질 수 있다.

발명의 구성

이하에서, 본 발명의 실시예가 기술된다. 본 발명은 가능한 범위내에서 다양한 실시예등에 의해 구현될 수 있고, 당업자는 본 발명의 범위를 이탈하지 않는다면 다양한 방법으로 변형될 수 있음을 이해할 수 있을 것이다. 따라서, 실시예에서의 설명은 본 발명을 제한하는 것으로 해석되어서는 않된다. 또한, 아래에 주어지는 실시예에서의 어느 것이라도 적절하게 조합될 수 있다.

[실시예 모드 1]

도 1a 내지 1c 및 도 2a 내지 2c를 참조하여 반사 적극 및 투명 전극을 형성하는 제조 방법에 대한 기술이 이루어진다.

먼저, 도전 막(106)이 스퍼터링법, 프린팅법, cVd법, 잉크-젯법등에 의해 절연막(107)위에 형성된다. 그 도전막(106)은 투명 도전막일 수 있거나 또는 반사성을 가질 수 있다. 투명 전도막의 경우에, 산화 주석이 산화 인듐에 혼합된 산화 인듐 주석(ITO)막, 산화 실리콘이 산화 인듐 주석(ITO)에 혼합된 산화 인듐 주석 실리콘(ITSO)막, 산화 아연이 산화 인듐에 혼합된 산화 인듐 아연(IZO)막, 산화 아연막, 산화 주석막, 인 또는 붕소를 함유하는 실리콘(Si)이, 예를 들면, 사용될 수 있다. IZO는, 산화 아연(ZnO) 2 내지 20 중량%가 ITO에 혼합된 타깃을 사용하는 스퍼터링에 의해 형성된 투명 도전 재료이나, 조성비율등은 이것에 제한되지 않는다.

상기 도전막(106)은 절연막(107) 위에 형성되고, 하나의 도전막(105)이 상기 도전막(106) 위에 형성된다. 상기 도전막들(105, 106)은 제조 단계 수를 줄일 수 있는 스퍼터링에 의해 연속적으로 형성될 수 있다.

상기 도전막(105)은 낮은 저항성 재료 또는 높은 반사성 재료로 형성되는 것이 양호하다. 예를 들면, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등과, 그들의 합금이 사용될 수 있다. 전술한 재료가 적재되는 두-층 구조물이 사용될 수 있다. 그 경우에, Ti, Mo, Ta, Cr 또는 W, 그리고 Al(또는 주성분으로서 Al을 포함하는 합금)과 같은 금속을 사용하는 두 층을 포함하는 적재 층 구조물이 사용될 수 있다. 세 층의 적재 구조물이 선택적으로 사용될 수 있다. 이 경우에, Ti, Mo, Ta, Cr 및 W와 같은 금속 사이에 Al(또는 주성분으로서 Al을 포함하는 합금)이 샌드위치되는 세-층 구조물이 사용될 수 있다. 전술한 바와 같이, Al에 인접하게 Ti, Mo, Ta, Cr 또는 W와 같은 금속을 배열시킴으로써, 다른 전극 또는 배선이 연결될 때에 결합이 감소될 수 있다. 예를 들면, ITO막등이 Al(또는 Al을 주성분으로서 포함하는 합금)에 연결되는 경우에, 전기 부식과 같은 결합이 발생할 수 있다. 또한, Si막등이 Al(또는 주성분으로서 Al을 포함하는 합금)에 코팅되는 경우에, Al과 Si막이 서로 각각 반응할 수 있다. 이들 문제는 다층 구조물에 의해 감소될 수 있다.

ITO막이 도전막으로서 사용되는 경우에, 열처리에 의해 ITO 막이 결정화되는 단계가 요구된다. 이 경우에, 스퍼터링에 의해 ITO막을 형성하고, 베이킹 한 후에 도전막 105가 형성되는 것이 바람직하다. ITSO 막이 사용되는 경우에 결정화 단계가 요구되지 않으므로 단계 수가 감소될 수 있다.

레지스트막(104)이 도전 막(105) 전체에 형성(도포)된 후에, 노광이 도 1a에 도시된 노광 마스크를 이용하여 수행된다.

도 1a에서, 노광 마스크는 노광이 차폐되는 차광부(101a)와 노광이 부분적으로 통과하는 반-투과부(101b)를 포함한다. 상기 반-투과부(101b)는 노광 강도가 감소되는 반-투과막(102)을 제공한다. 상기 차광부(101a)는 반-투과막(102) 위에 금속막(103)을 중첩시킨다. 상기 차광부(101a)의 폭은 t1으로서 참조되고, 상기 반-투과부(101b)의 폭은 t2로서 참조된다. 여기서, 반-투과막이 반-투과부에 사용되는 예가 기술되었지만, 본 발명은 이것에 제한되지 않는다. 광 강도를 감소시킬 수 있는 한 어떤 반-투과부라도 수용될 수 있다. 또한, 반-투과부에 대해 회절 격자 패턴이 사용될 수 있다.

즉, 반-투과부에 대해서 하프-톤 마스크 또는 그레이 톤 마스크가 사용될 수 있다.

레지스트 막이 도 1a에 도시된 노광 마스크를 이용하여 광에 노출되는 경우에, 광-비노출 영역과 광 노출 영역이 형성된다. 노광이 수행되는 경우에, 광은 차광부(101a)를 중심으로 통과하거나 반-투과부(101b)를 통과하고, 따라서, 노출 영역이 형성된다.

현상이 이루어 지는 경우에, 노광 영역이 제거되고, 두 개의 메인 막 두께를 갖는 레지스트 패턴(104a)이 도 1b에 도시된 도전막(105) 위에 얻어질 수 있다. 상기 레지스트 패턴(104a)은 두꺼운 막 두께를 갖는 영역과, 전술한 영역 보다 얇은 막 두께의 막을 갖는 영역을 포함한다. 상기 두꺼운 막 두께를 갖는 영역의 막 두께는 반-투과 영역(102)의 노광 에너지 또는 투과도를 조절함으로써 조절될 수 있다.

다음으로, 도전막들(105, 106)이 드라이 에칭에 의해 에칭된다. 드라이 에칭은 ecR(electron cyclotron Resource) 또는 IcP(Inductively coupled Plasma)와 같은 고밀도 플라즈마 소스를 이용하는 드라이 에칭 디바이스에 의해 수행된다.

따라서, 도전막들(105a, 106a)이 도 1c에 도시된 바와 같이 형성된다.

여기서, IcP 에칭 디바이스를 이용하는 예가 도시되었지만, 본 발명은 이에 제한되지 않고, 예를 들면, 평행판형 에칭 디바이스, 마그네트론 에칭 디바이스, ecR 에칭 디바이스 또는 헬리콘(helicon)형 에칭 디바이스가 또한 사용될 수 있다.

도전막들(105, 106)은 웨트 에칭에 의해 에칭될 수 있다. 그러나, 드라이 에칭이 메세구성에 적절하고, 따라서, 드라이 에칭이 양호하다. 도전막들(105, 106)의 재료들은 절연막(107) 재료와 크게 상이하고, 따라서, 드라이 에칭이 수행되는 경우에 도전막들(105, 106)에 대한 절연막(107)의 높은 에칭 선택도가 얻어질 수 있다. 절연막의 적어도 상부 층은 질화실리콘막으로 형성되어 그것의 선택도를 더욱 높힐 수 있다.

이런 방법으로, 도전막들(106a, 105a)을 적재하여 형성된 패턴이 도 1c에 도시된 바와 같이 절연막(107) 위에 형성된다.

다음으로, 레지스트 패턴(104a)의 (일부)가 에쉬 또는 에칭된다(도 2a). 이 단계에 따라서, 레지스트 패턴(104a)의 두꺼운 막 두께를 갖는 영역이 에칭되고 전체 레지스트 패턴(104a)의 막 두께는 얇은 막 두께를 갖는 영역의 막 두께에 의해 감소

된다. 이어서, 레지스트 패턴(104b)이 형성된다. 상기 레지스트 패턴(104b)은 막 두께 방향뿐 아니라 폭 방향에서도 에칭되고, 따라서, 레지스트 패턴(104b)의 폭은 도전막들(105a, 106a)의 폭보다 좁아진다. 따라서, 레지스트 패턴(104b)의 측면은 하부 층의 도전막의 측면과 나란하지 않게 되고, 레지스트 패턴(104b)의 측면이 리세스된다. 도 2b에서, 레지스트 패턴(104b)은 좌-우비대칭이다.

다음으로, 상기 도전막(105a)은 레지스트 패턴(104b)을 이용하여 에칭되어 도전막(105b)을 형성한다(도 2b). 도전막(105a)의 재료는 도전막(106a) 재료 보다 높은 에칭 선택도를 가지므로 이 때에 도전막(106a)이 불필요하게 동시에 에칭되지 않는 것이 바람직하다. 예를 들면, Ti, Mo, Cr, Al, 또는 Nd 등, 또는 그들 합금이 도전막(105a)에 대해서 사용되는 것이 양호하고, 전술한 구조의 적재층 구조물이 사용될 수 있다. 이어서, 그것의 패턴이 도전막(106a) 보다 작은 도전막(105b)이 형성된다.

도 2a 및 도 2b에 도시된 도전막(105b) 형성을 위한 에칭이 비록 드라이 에칭 또는 웨트 에칭에 의해 수행되지만, 도 2a 및 도 2b는 드라이 에칭의 경우를 도시하고 있다. 도전막(105b)의 측면은 레지스트 패턴(104b)의 측면과 일반적으로 나란하도록 형성된다. 도전막(105b)의 한 측면은 레지스트 패턴(104b)의 한 측면과 동일한 평면이고, 그것의 다른 측면은 레지스트 패턴(104b)의 다른 측면에 일치한다.

미세구조물이 드라이 에칭을 수행함으로써 실현된다. 그러나, 도전막(105b)이 형성되는 경우에 도전막(106a)이 또한 부분적으로 에칭된다.

다른 한편, 웨트 에칭에 의해 도전막(105b)이 형성되는 경우에, 에칭 공정은 등방성을 갖고 진행되고, 레지스트 패턴(104b) 보다 적은 도전막(105b)이 형성된다. 레지스트 패턴(104b)의 측면과 도전막(105b)의 측면은 서로 각각 일치하지 않는다. 따라서, 동일한 레지스트 패턴(104b)이 마스크로서 사용되는 경우라도, 도전막(105b)은 드라이 에칭에 의한 경우보다 작게 웨트 에칭에 의해 형성된다.

충분하게 높은 에칭 선택도가 웨트 에칭에 의해 얻어질 수 있다.

드라이 에칭에 의해 도전막(106a)이 형성되는 경우에, 그것의 측면은 각(θ_1)을 갖고, 이것은 기판면에 대해서 거의 수직 또는 90°에 가깝다. 다른 한편, 웨트 에칭에 의해 도전막(105b)이 형성되는 경우에, 그것의 한 측면은 등방성 에칭때문에 기판면에 대해 예각(θ_2)을 갖는다. 따라서, 도전막(106a) 측면 각(θ_1)과 도전막(105b)의 측면각(θ_2)을 서로 각각 비교하는 경우에 $\theta_1 > \theta_2$ 를 만족시킨다. 각(θ_1)이 도전막(106a)의 기판 표면(또는 절연막(107))에 대한 경사각이고, 각(θ_2)이 기판 표면(또는 절연막(107))에 대한 도전막(105b)의 측면에 대한 경사각이다. 각각의 각도(θ_1, θ_2)는 0-90° 범위이다.

도전막들(105b, 106a)이 적재층 구조물인 경우에, 에칭율은 일부 경우에 각층에서 상이하다. 따라서, 기판 표면에 대해서 층들의 측면들에 의해 형성되는 각들은 일부 경우에 서로 각각 상이하다. 따라서, 그 경우에, 기판 표면에 대해 가장 낮은 층의 막 측면에 의해 형성된 각은 θ_2 로 표시된다.

도전막들(105b, 106a)의 측면들은 일부 경우에 완만하지 않고 균일하지 않다. 이 경우에, 각들(θ_1, θ_2)은 적절하게 결정될 수 있다. 예를 들면, 각들(θ_1, θ_2)은 불균일한 측면에 대해서 대략 직선 또는 곡선을 사용하여 결정될 수 있다. 또한, 다수의 각들(θ_1, θ_2)이 불균일한 측면에 근거하여 계산될 수 있고, 그것들의 평균값이 그 각(θ_1, θ_2)으로서 취해질 수 있다. 가장 합리적인 방법이 사용될 수 있다.

전술한 바와 같이, 도전막(105b)은 드라이 에칭법 또는 웨트 에칭법에 의해 형성된다. 도전막(106a)의 측면에 대해 리세스된 측면을 포함하는 도전막(105b)이 상기 에칭법 중 어느 하나에 의해 형성될 수 있다. 요소 중의 하나는, 도전막(106a) 형성을 위한 마스크인 레지스트 패턴(104a)의 크기와, 도전막(105b) 형성을 위한 마스크인 레지스트 패턴(104b)의 크기가 서로 각각 상이하고, 레지스트 패턴(104b)이 레지스트 패턴(104a) 보다 작다는 것이다.

이어서, 레지스트 패턴(104b)이 제거된다(도 2c). 따라서, 도전막(105b)으로 형성된 전극과 도전막(106a)이 형성된다. 도전막들(106a, 105b)은 픽셀 전극으로서 작용한다. 그러나, 본 발명은 이것에 제한되지 않는다.

더욱 양호하게는, 도전막(105b)은 반사성 도전막으로 형성되어 반자 전극으로 작용하고, 도전막(106a)은 투명 도전막으로 형성되어 투명 전극으로 작용한다. 또한, 도전막(106a)은 도전막(105b) 아래에 제공되는 것이 요구되고, 도전막(105b) 표면 아래의 전체가 도전막(106a)의 상부면과 접촉한다.

반사부(108a)는 반사전극을 제공하고, 투과부는 투명전극을 제공한다. 따라서, 반사 전극 및 투명 전극이 적은 단계 수로 제조될 수 있고, 반-투과형 디스플레이 디바이스가 용이하게 제조될 수 있다. 미세구조물은 반사 전극 및 투명 전극에 요구되지 않는다. 따라서, 반사 전극 및 투명 전극이 약간 어긋나는 경우라도 심각한 문제는 생기지 않는다. 예를 들면, 반사 전극이 약간 작고 투명 전극이 약간 큰 경우라도 디스플레이는 크게 영향을 받지 않는다. 따라서, 제조 수율은 그러한 제조 방법이 수행되는 경우라도 감소되지 않고, 제조 비용에서 유리한 효과, 제조 날짜의 감소등이 얻어질 수 있다.

도전막들(105b, 106a)의 적재층이 상이한 막 두께를 갖는 영역들을 포함하는 본 발명의 레지스트 패턴(104a)을 사용하여 형성되는 경우에, 도전막(105b)이 형성되는 때에, 즉, 마스크로서 레지스트 패턴(104b)을 사용하여 에칭이 수행되는 때에, 도전막(106a)의 표면의 일부가 어느 정도 에칭된다. 특히, 도전막(105b)이 드라이 에칭에 의해 형성되는 경우에, 도전막(105b) 및 하부층의 도전막(106a) 사이의 선택도가 얻어지기 어렵고, 따라서, 도전막(106a)의 표면 일부가 용이하게 에칭된다. 그러므로, 도전막(106a)의 막 두께(a)(상부면이 도전막(105b)과 접촉하는 부분의 도전막(106a)의 막 두께) 및 막 두께(b)(상부면이 도전막(105b)과 접촉하지 않는 부분의 도전막(106a)의 막 두께)가 도 2c에서 서로 비교되는 경우에, 막 두께(a) < 막 두께(b)를 만족시킨다. 막 두께(a)는 도전막(105b)과 중첩되지 않는 부분에서의 도전막(106a)의 평균 막 두께를, 그리고 막 두께(b)는 도전막(105b)과 중첩되는 부분에서의 도전막(106a)의 평균 막 두께를 의미한다.

이런 실시예 모드에서 형성된 도전막(105b)의 측면은 일부 경우에 경사진다. 따라서, 도전막이 액정 디스플레이 디바이스에 사용되는 경우에, 러빙(rubbing)이 도전막(105b)의 경사 표면으로부터 수행되는 경우에, 러빙이 도전막(105b)의 측면에 완만하게 수행될 수 있다. 러빙이 도전막(105b) 표면이 수직인 곳의 방향으로 수행되는 경우에, 러빙은 수직인 측부에서의 러빙 옷감상의 응력때문에 불완전하고, 방향성이 일부 경우에 불완전하다. 따라서, 러빙은 도전막(105b)의 측면이 경사진 측부로부터 양호하게 수행된다.

또한, 양 측면이 경사진 도전막(105b)이 웨트 에칭에 의해 형성되는 경우에, 러빙은 보다 효과적인 양 방향으로부터 수행될 수 있다.

도 1a 및 도 1b에 도시된 바와 같이, 일부가 광으로 조사되는 레지스트는 포지티브형 레지스트로 참조된다. 그러나, 그것은 포지티브 레지스트로 제한되지 않고, 네가티브 레지스트가 사용될 수 있다. 네가티브 레지스트는 광으로 조사되지 않는 일부가 용해되는 레지스트이다.

도 3a 및 도 3b는 네가티브 레지스트를 사용하는 경우를 도시하고 있다. 도 1a는 도 3a에, 그리고, 도 1b는 도 3b에 각각 대응한다. 그것외에, 포지티브형과 네가티브형 사이에 차이점이 없다. 도 3a에 도시된 바와 같이, 투과부(101c)가 잔존할 것으로 기대되는 레지스트(304)의 일부위에 제공된다. 차광부(101a)가 제거될 것으로 기대되는 레지스트(304)의 일부위에 제공된다. 반-투과부(101b)가 레지스트(304)의 일부 위에 제공되고, 그것의 일부가 잔존할 것으로 기대된다. 그 결과, 도 3b에 도시된 바와 같이, 레지스트(304a)가 형성된다.

이 실시예 모드에서 다양한 도면들을 참조하여 기술이 이루어 진다. 하나의 도면은 다양한 부품들로 구성되어 있다. 따라서, 다른 구성이 각 도면들로부터의 부품들 각각을 조합하여 이루어질 수 있다.

[실시예 모드 2]

실시예 모드 1에서, 픽셀 전극이 절연막(107) 위에 형성되는 경우에 대해서 설명했다. 그러나, 실제로, 픽셀 전극은 다른 배선, 트랜지스터, 스토리지 커패시터등에 연결된다. 따라서, 필요한 경우에, 그 절연막(107)은 콘택홀을 제공하여 픽셀 전극이 배선등에 연결된다.

따라서, 도 4는 그 경우의 횡단부를 도시하고 있다. 절연막(107a)은 콘택 홀(402)을 제공한다. 배선(401)이 콘택홀(402) 아래에 형성된다. 그 배선(402)은 많은 경우에 트랜지스터의 소스 또는 드레인 중의 하나에 연결된다. 또한, 그 배선(401) 자체는 트랜지스터 소스 또는 드레인 중의 하나이거나, 또는 스토리지 커패시터의 한 전극이다.

이 경우에, 도전막(106a)은 도전막(105b) 아래에 형성될 필요가 있는데, 실시예 모드 1에서 기술한 제조 방법이 사용되기 때문이다. 따라서, 도전막(105b)은 또한 콘택 홀(402)을 커버하도록 형성된 도전막(106a) 위에 형성된다.

트랜지스터, 배선, 및 스토리지 커패시터는 도전막(105b) 아래에 형성된다. 도전막(105b)이 반사 전극이고, 도전막(106a)이 투명 전극인 경우에, 투과 영역이 가능하면 크게 형성되는 것이 양호한데, 그곳이 디스플레이를 수행하도록 광이 투과

되는 곳이기 때문이다. 다른 한편, 반사 영역에서, 디스플레이는 일부 소자가 반사 전극 아래에 제공되는 경우라도 영향을 받지 않는다. 따라서, 트랜지스터, 배선 및 스토리지 커패시터가 도전막(105b) 아래에 형성되어서 레이아웃이 효과적으로 설계될 수 있다.

비록 트랜지스터 및 스토리지 커패시터의 전체 영역이 반사 전극 아래에 양호하게 형성되더라도, 본 발명은 이것에 제한되지 않는다. 트랜지스터의 일부와 스토리지 커패시터는 반사 전극 외측(반사 영역 외측)에 형성될 수 있다.

다음으로, 반사 전극의 불균일성에 대해 설명한다. 그 반사 전극은 외부 광을 반사하여 디스플레이를 수행하도록 제공된다. 외부 광은 양호하게 반사 전극에 의해 확산으로 반사되어 반사 전극으로 유입되는 외부 광을 이용하여 디스플레이 휘도를 개선시킨다.

여기서, 도 5에 도시된 바와 같이, 절연 막(107)은 불균일부(501)를 제공하여 반사 전극이 불균일하게 이루어질 수 있다. 절연막(107b)은 적재층 구조물을 갖는다. 또한, 도 6에 도시된 바와 같이, 콘택 홀(501a)이 불균일부 형성을 위해 사용될 수 있다. 이 경우에, 그 콘택홀(501a)은 배선(401)과 도전막(106a)을 연결하는 작용을 또한 한다.

다음으로, 절연막과 반사 전극의 불균일부를 형성하는 방법의 예가 도시되었다. 도 1a 내지 도 1c 및 도 3a 및 도 3b에서, 노광이 차단되는 차광부(101a)를 포함하고, 노광이 부분적으로 통과하는 반-투과부(101b)를 포함하는 노광 마스크를 이용하여 레지스트를 형성하는 방법이 설명되었다. 이 제조 방법은 절연막 및 반사 전극의 불균일부와, 절연막의 콘택홀을 적은 수의 단계로 형성하는 방법에 적용될 수 있다. 따라서, 단계 수의 큰 감소가 실현될 수 있다.

또한, 이미 제조 장비가 이용가능한데, 이 제조 방법이 투명 전극 및 반사 전극 형성을 위해 사용될 수 있기 때문이다. 따라서, 투명 전극 및 반사 전극의 불균일부 형성을 위해서 이 제조 방법을 이용하는데 특별한 요건은 없다. 따라서, 이 제조 방법에 의해 투명 전극 및 반사 전극 양자 및 그것들의 불균일부를 형성하는데 크게 유리하다.

불균일부가 약간 잘못 정렬되는 경우라도 큰 문제는 없다. 불균일부에 대해서 미세 구조는 요구되지 않는다. 따라서, 불균일부는 제조 수율의 감소 없이도 제조될 수 있다.

도 7a에서, 노광 마스크는 노광이 차단되는 차광부(701a), 노광이 부분적으로 통과하는 반-투과부(701b) 및 노광이 통과하는 투명부(701c)를 포함한다. 상기 반-투과부(701b)는 노광의 강도를 감소시키는 반-투과 막(702)을 제공한다. 상기 차광부(701c)는 금속막(703)을 반-투과 막(702) 위에 중첩시킴으로써 형성된다. 여기서, 반-투과막이 반-투과부에 사용되는 예가 기술되었지만, 본 발명은 이것에 제한되지 않는다. 반-투과부는 그것이 노광의 강도를 감소시키는 한 받아들일 수 있다. 또한, 회절 격자 패턴이 반-투과부에 사용될 수 있다.

하나의 전극(705)이 절연막(707) 위에 제공된다. 감광성 막(704)(예를 들면, 포토센시티브 아크릴)이 그 위에 제공된다. 상기 막(704)이 도 7에 도시된 노광 마스크를 이용하여 광에 노출되는 경우에, 비-노광 영역 및 노광 영역, 반-노광 영역이 형성된다. 광으로 조사되는 막(704)의 일부가 제거되고, 이것에 의해 도 7b에 도시된 막(704a)을 형성하고, 콘택홀(706a) 및 불균일부(707)가 동시에 형성된다.

콘택홀 외에 불균일부가 비록 도 7a 및 도 7b에 형성되었지만, 본 발명은 이것에 제한되지 않는다. 콘택홀과 같은 다수의 홀들이 불균일부 형성하도록 형성된다. 이 경우에, 배선은 홀 아래에 제공되는 것이 요구되지 않는데, 전기적 접속이 반드시 요구되지 않기 때문이다. 전기적 문제가 없는 경우에, 배선이 제공될 수 있다.

광에 조사되는 막(704)의 일부가 비록 도 7a 및 도 7b에서 제거되는 경우라도, 본 발명은 이것에 제한되지 않는다. 대조적으로, 광에 조사되지 않는 막(704)의 일부가 제거될 수 있다.

레지스트가 도 7a 및 도 7b에 사용되지 않았지만, 본 발명은 이것에 제한되지 않는다. 불균일부 및 콘택 홀이 막 형성 후에 레지스트를 이용하여 드라이 에칭 또는 웨트 에칭에 의해 형성될 수 있다.

투과 영역에서 액정의 두께(셀 갭)는 일부 경우에 반사 영역에서의 액정의 두께 보다 두껍게 이루어진다. 이것은, 광이 반사 영역에서 두 번 통과하는 반면에, 광이 투과 영역에서는 단지 한 번 통과하기 때문이다. 투과 영역에서 셀 갭은 셀 갭을 조절함으로써 보다 두껍게 이루어질 수 있다. 도 8a 및 도 8b는 그 경우를 도시하고 있다. 상기 막(704)은 막(704b)을 형성하도록 제거되고, 따라서, 콘택홀뿐 아니라 투과 영역에서 함몰부(801)가 형성될 수 있다. 함몰부(801)에서 셀 갭은 두꺼워진다. 따라서, 이 부분은 투과 영역으로서 사용될 수 있다.

이 경우에, 어떤 추가적인 단계도 셀 갭을 두껍게 하는데 요구되지 않으며, 따라서 비용이 감소될 수 있다.

이 실시예 모드는 실시예 모드 1에서의 기술이 일부 변형되는 경우를 도시하고 있다. 따라서, 실시예 모드 1에서의 기술이 이 실시예 모드 또는 이 실시예 모드의 조합에 적용될 수 있다.

또한, 이 실시예 모드에서 다양한 도면들을 참조하여 설명이 이루어진다. 따라서, 다른 구조물이 각 도면들로부터의 부품 각각을 조합하여 이루어질 수 있다.

[실시예 모드 3]

다음으로, 트랜지스터가 제공되는 경우의 특별한 예에 대한 설명이 이루어진다. 트랜지스터는 반드시 요구되는 것은 아니고, 그리고 소위 패시브 매트릭스형이 또한 적용될 수 있다.

먼저, 도 9를 참조하여 기판(901) 위에 상부 게이트형 TFT 형성을 위한 방법에 대한 기술이 이루어진다. 상기 기판(901)은 수정 기판, 유리 기판 또는 플라스틱 기판과 같은 광 투광성을 갖는 기판이다. 기판(901)은 차광성을 갖는 기판일 수 있고, 반도체 기판 또는 SOI(Silicon On Insulator) 기판이 사용될 수 있다.

절연 기판(902)이 기부막으로서 기판(901) 위에 형성된다. 절연 기판(902)으로서, 산화 실리콘 막, 질화실리콘 막 또는 산 질화실리콘 막(SixNy)막과 같은 싱글층 또는 전술한 막들의 적어도 두 개의 적재 층이 사용된다.

산화 실리콘막이 반도체와 접촉하는 일부에 대해 양호하게 사용될 수 있다. 그 결과, 베이스막에서의 전자 트랩 또는 트랜지스터 특성에서의 히스테리시스가 억제될 수 있다. 또한, 많은 양의 질소를 함유하는 적어도 하나의 막이 베이스 막으로서 제공되고, 따라서, 유리로부터의 불순물이 감소될 수 있다.

다음으로, 아일랜드형 반도체 막(903)이 절연막(902) 위에 형성된다.

상기 아일랜드형 반도체 막(903)은, 스퍼터링법, LPcVd법, 플라즈마 cVd법등에 의해 절연막(902)의 전면 위에 반도체 막을 형성하고, 이어서 노광법등에 의해 형성된 마스크를 사용하여 반도체막의 모양을 처리함으로써 형성된다. 상기 아일랜드형 반도체 막(903)이 결정성 반도체 막으로 형성되는 경우에, 기판(901) 위에 직접 결정성 반도체 막을 형성하는 방법과, 비정질 반도체막이 기판(901) 위에 형성되고 그 후에 열처리에 의해 결정화되어 결정성 반도체 막이 형성되는 방법이 존재한다. 후자의 방법을 위해 결정화에서의 열처리에 대해서는, 가열노, 레이저 조사 레이저 광 대신 램프로부터 발산된 광으로의 조사(이하에서, 램프 어닐링으로 참조됨) 또는 그들의 조합이 사용된다.

결정성 반도체 막은, 니켈등이 비정질 반도체 막에 부가되고, 이어서 전술한 열처리가 수행되는 열 결정화법에 의해 형성될 수 있다. 결정성 반도체 막이, 니켈을 이용하여 열 결정화 법에 의한 결정화 수행에 의해 얻어지는 경우에, 니켈이 제거되는 게터링 처리가 결정화후에 수행되는 것이 양호하다.

상기 결정성 반도체 막이 레이저 조사에 의한 결정화를 통해 형성되는 경우에, 연속파(cW) 레이저 비임 또는 펄스된 레이저 비임(펄스 레이저 비임)이 사용될 수 있다. 사용할 수 있는 레이저 비임으로서, 다음 레이저들의 하나 또는 복수 종류로부터 발산되는 비임이 사용될 수 있는데, ar 레이저, Kr 레이저 또는 엑시머 레이저와 같은 가스 레이저; 매체로서, 그리고 도펀트로서 Nd, Yb, cr, Ti, ho, er, Tm 및 Ta 중의 하나 또는 그 이상으로 도핑된, 단결정성 Yag, YVO4, 포스테라이트(Mg₂SiO₄), YalO₃ 또는 gdVO₄, 또는 다결정성(세라믹) Yag, Y₂O₃, YVO₄, YalO₃, 또는 gdVO₄를 사용하는 레이저; 유리 레이저; 루비 레이저; 알렉산드라이트 레이저; Ti: 사파이어 레이저; 구리 증기 레이저; 그리고 금 증기 레이저이다. 큰 결정립 크기의 결정들이 레이저 비임의 기본파 또는 그들의 제 2 내지 제 4 조화파를 갖는 레이저 비임으로의 조사에 의해 얻어질 수 있다. 예를 들면, Nd: YVO₄ 레이저(기본 파장 1064nm)의 제 2 조화파(532nm) 또는 제 3 조화파(355nm)가 사용될 수 있다. 이 레이저는 cW 또는 펄스 발진에 의해 발산될 수 있다. cW 레이저로부터 발산되는 경우에, 약 0.01 내지 100 MW/cm²(양호하게는, 0.1 내지 10MW/cm²)의 레이저의 동력 밀도가 요구된다. 조사는 약 10 내지 2000 cm/sec의 조사율에서 수행된다. 매체로서, 그리고 도펀트로서 Nd, Yb, cr, Ti, ho, er, Tm 및 Ta 중의 하나 또는 그 이상으로 도핑된, 단결정성 Yag, YVO₄, 포스테라이트(Mg₂SiO₄), YalO₃ 또는 gdVO₄, 또는 다결정성(세라믹) Yag, Y₂O₃, YVO₄, YalO₃, 또는 gdVO₄를 사용하는 레이저; ar 이온 레이저 또는 Ti: 사파이어 레이저가 연속적으로 발진할 수 있다. 또한, 그것으로부터의 펄스 발진이 Q-스위치 작동 또는 모드 로킹을 수행함으로써 10 Mhz 이상의 반복율에서 수행될 수 있다. 레

이저 비임이 10Mhz 이상의 반복율에서 발진하는 경우에, 반도체 막은 다음 펄스로 조사되고, 반도체 막은 레이저 비임에 의해 용해되어 고상화된다. 따라서, 낮은 반복율로 퍼스된 레이저를 사용하는 경우와는 다르게, 고상-액상 인터페이스가 연속적으로 반도체 막에서 이동하고, 따라서, 스캐닝 방향으로 연속적으로 성장하는 결정립이 얻어질 수 있다.

세라믹(다결정)이 매체로서 사용되는 경우에, 매체는 낮은 비용으로 짧은 시간내에 자유로운 모양을 갖도록 형성될 수 있다. 싱글 결정이 사용되는 경우에, 수 mm의 직경과 수십 mm 길이의 주상(columnar) 매체가 일반적으로 형성된다. 세라믹을 사용하는 경우에, 매체가 매우 크게 이루어진다.

광 발산에 직접 기여하는 매체에서의 Nd 또는 Yb와 같은 도펀트의 농도는 단결정 및 다결정 양자에서 크게 변화할 수 없고, 따라서, 농도를 증가시키는 것에 의해 레이저의 출력 개선에는 일정 부분 한계가 있다. 그러나, 세라믹의 경우에, 매체의 크기는 단결정의 그것과 비교해서 매우 크게 이루어지고, 따라서, 레이저 출력에서의 극적인 개선이 실현될 수 있다.

또한, 세라믹의 경우에, 평행사변형 모양 또는 장방형 평행사변형 모양이 용이하게 형성될 수 있다. 그러한 모양을 갖는 매체가 사용되고 발진된 광이 만들어져서 매체 내부를 지그재그 방법으로 이동하는 경우에, 발진된 광의 통로는 길어질 수 있다. 따라서, 진폭이 증가하고 레이저 비임은 높은 출력으로 발진할 수 있다. 또한, 그런 모양을 갖는 매체로부터 발산하는 레이저 비임의 횡단부는 사변형 모양이고, 따라서, 원형 모양의 레이저 비임과 비교하여, 사변형 횡단부를 갖는 레이저 비임은 선형 비임내로 형성되는 특징을 갖는다. 광학 시스템을 이용하는 전술한 방법에서 발산된 레이저 비임의 모양을 결정함으로써, 단면 측에서 1mm 이하의 길이와 장변측에서 수 mm 내지 수 m의 길이를 갖는 레이저 비임이 용이하게 얻어질 수 있다. 또한, 매체는 여기된 광으로 균일하게 조사되어 선형 비임이 장측 방향에서 균일한 에너지 분포로 발산된다.

반도체 막을 그러한 레이저 비임으로 조사함으로써, 반도체 막의 전표면이 보다 균일하게 어닐링된다. 선형 비임의 한 단부로부터 다른 단부로 균일한 어닐닝이 요구되는 경우에, 선형 비임의 양 단부상에 슬릿의 배열과 같은 정교함이 광으로부터의 에너지가 작아진 부분을 흐리게하기 위해 요구된다.

전술한 방법으로 얻어진 균일한 강도의 레이저 비임을 이용하여 반도체 막이 어닐링되고, 이 반도체 막을 이용하여 전자 디바이스가 제조되는 경우에는, 전자 디바이스의 특성이 양호하고 균일하다.

다음으로, 필요하다면, 반도체 층이 매우 소량의 불순물 원소(붕소 또는 인)로 도핑되어 Tft의 임계값을 제어한다. 여기서, 이온 도핑법이 사용되는데, 그것에서, 플라즈마 여기가 다이보레인(b2h6)의 질량 분리 없이 수행된다. 그러나, 질량 분리가 수행되어 도펀트의 양을 엄밀하게 제어할 수 있다. 따라서, 임계 전압이 정확하게 제어될 수 있다.

아일랜드형 반도체 막(903)이 25 내지 80nm(양호하게는, 30 내지 70nm)의 두께를 갖도록 형성된다. 반도체 막의 재료는 제한되지 않지만, 반도체 막은 양호하게 실리콘, 실리콘-게르마늄(Sige) 합금등으로 형성된다.

다음으로, 게이트 절연막(904)이 형성되어 아일랜드형 반도체 막(903)을 커버한다. 게이트 절연막(904)로서, 열 산화막, 산화 실리콘 막, 질화 실리콘 막 또는 산질화 실리콘 막등의 싱글 층 또는 적재층 구조물이 사용될 수 있다. 산화 실리콘 막이 아일랜드형 반도체 막(903)과 접촉하는 게이트 절연 막에 대해 양호하게 사용될 수 있다. 이것은 게이트 절연 막과 아일랜드형 반도체 막 사이에 트랩 수준과 인터페이스가 낮아지기 때문이다. 또한, 게이트 절연 막이 Mo로부터 형성되는 경우에, 질화 실리콘 막이 게이트 전극과 접촉하는 게이트 절연 막에 대해 사용되는 것이 양호하다. 이것은 Mo이 질화 실리콘 막에 의해 산화되지 않기 때문이다.

여기서, 상기 게이트 절연 막(904)으로서, 115nm의 두께를 갖는 산질화 실리콘 막(조성비: Si=32%, O=59%, N=7%, h=2%)이 플라즈마 cVd법에 의해 형성된다.

다음으로, 도전 층이 게이트 절연 막(904) 위에 형성되고, 도전 층의 모양은 노광법등에 의해 형성된 마스크를 이용하여 처리되어 게이트 전극(908)과 게이트 배선을 형성한다. 스토리지 커패시터용 전극 및 배선이 또한 형성될 수 있다. 이들 도전 층들의 재료는, Ti, Mo, Ta, cr, W, al, Nd, cu, ag, au, Pt, Nb, Si, Zn, fe, ba, ge등과, 이들 원소의 합금등이 사용될 수 있다. 선택적으로, 전술한 원소 또는 그들의 합금의 적재층이 사용될 수 있다. 여기서, 상기 게이트 전극은 Mo으로 형성된다. Mo은 용이하게 에칭되고, 열에 저항성이 있기 때문이다. 다음으로, 아일랜드형 반도체 막(903)은 게이트 전극(908)과 마스크로서 레지스트를 이용하여 불순물 원소로 도핑되어 소스 영역 및 드레인 영역으로 작용하는 채널 형성 영역과 불순물 영역을 형성한다.

이때에, Ldd가 형성될 수 있다.

다음으로, 절연 막(917)이, 투광성을 갖는 무기 재료(산화 실리콘, 산질화 실리콘등)과, 낮은 절연 상수를 갖는 유기 화합물(감광성 또는 비감광성 유기 수지 재료) 또는 그들의 적재층을 이용하여 형성된다. 선택적으로, 상기 절연막(917)(또는 그것의 일부)이 실록산을 함유하는 재료를 이용하여 형성될 수 있다. 실록산은 실리콘(Si)와 산소(O)에 의해 형성된 골격을 포함하는 재료이고, 치환체로서 적어도 수소를 함유하는 유기 그룹(알킬 그룹 또는 방향족 탄화 수소)을 포함한다. 또한, 플루오르 그룹이 치환체로서 사용될 수 있다. 더욱이, 플루오르 그룹 및 적어도 수소를 포함하는 유기 그룹이 치환체로서 사용될 수 있다. 상기 절연막(917)은 적재층 구조물을 가질 수 있다.

다음으로, 마스크가 포토마스트를 이용하여 레지스트로부터 형성된다. 상기 절연 막(917)과 게이트 절연 막(904)은 마스크를 이용하여 선택적으로 에칭되어 콘택 홀을 형성한다. 이어서, 레지스트로 제조된 마스트가 제거된다.

도전막이 스퍼터링법, 프린팅법, cVd법, 또는 잉크-젯법에 의해 절연막(917) 위에 형성된다. 도전 막의 모양은 노광법등을 이용하여 형성된 마스크를 이용하여 처리되어 드레인 전극(909), 소스 전극 및 소스 배선을 형성한다. 재료에 대해서는, Ti, Mo, Ta, cr, W, al, Nd, cu, ag, au, Pt, Nb, Si, Zn, fe, ba, ge등과, 이들 원소의 합금등이 사용될 수 있다. 선택적으로, 드레인 전극(909)등은 전술한 원소들 또는 그들의 합금의 적재층 구조를 가질 수 있다. 여기서, 드레인 전극 및 소스 배선이 al층이 Mo 층 사이에 개재되는 세 층 구조물을 갖도록 형성된다.

드레인 전극(909)은 도 4 및 도 6의 배선(401)과 도 7a, 도 7b, 도 8a 및 도 8b의 전극(705)에 대응한다.

절연막(907)이 그 위에 형성된다. 상기 절연 막(907)은 종종 유기 재료를 이용하여 형성되는데, 그것이 높은 평탄성 및 양호한 커버리지를 갖기 때문이다. 상기 절연 막(907)은 유기 재료가 무기 재료(산화 실리콘, 질화 실리콘, 산질화 실리콘등) 위에 형성되는 다층 구조물을 가질 수 있다. 상기 절연 막(907)은 도 1a 내지 1c, 도 2a 내지 2c, 도 3a 및 도 3b의 절연 막(107)에 대응한다.

절연 막(907) 에 콘택 홀이 형성된 후에, 도전 막이 스퍼터링법, 스프링팅법, cVd법, 잉크-젯법에 의해 그 위에 형성된다.

도 9의 도전막(906)은 도 2c, 도 4 내지 도 6의 도전막(106a)에 대응한다. 도 9의 도전막(905)은 도 4 내지 도 6의 도전막(105b)에 대응한다.

도전막(906)은 픽셀 전극의 일부이고, 광을 투과시키는 투명 전극이다. 도전 막(905)은 픽셀 전극의 일부이고 광을 반사시키는 반사 전극이다. 반사 전극 아래의 전체 표면은 투명 전극 상부 표면과 접촉한다.

투명 전극에 대해서, 예를 들면, 산화 주석이 산화 인듐에 혼합된 산화 인듐 주석(ITO)막, 산화 실리콘이 산화 인듐 주석에 혼합된 산화 인듐 주석 실리콘(ITSO)막, 산화 아연이 산화 인듐에 혼합된 산화 인듐 아연(IZO)막, 산화 아연막, 산화 주석막등이 사용될 수 있다. IZO는 산화 아연(ZnO)의 2 내지 20 중량 %가 ITO에서 혼합된 타겟을 이용하여 스퍼터링법에 의해 형성된 투명 도전 재료이다. 그러나, 본 발명은 이것에 제한되지 않는다.

반사 전극에 대해서는, 예를 들면, Ti, Mo, Ta, cr, W, al, Nd, cu, ag, au, Pt, Nb, Si, Zn, fe, ba, ge등과, 이들 원소의 합금등이 사용될 수 있다. al 이 Ti, Mo, Ta, cr, W등으로 적재된 두 층 구조물, al이 Ti, Mo, Ta, cr, 또는 W과 같은 금속 층 사이에 개재된 세 층 구조물이 사용될 수 있다.

상기 도전막들(905, 906)은 실시예 모드 1 및 2에 기술된 방법에 의해 형성된다.

도면에는 비록 도시되지 않았지만, 배열 막이 종종 도전막들(905,906) 위에 형성된다.

칼라 필터(916), 블랙 매트릭스(915), 평탄화막(912), 대향 전극(914)등이 대향 기관(911) 위에 형성된다. 액정 층(910)이 대향 기관(911) 및 기관(901) 사이에 제공된다.

광이 반사되어 디스플레이가 수행되는 일부(반사부, 920)에서는, 광이 액정 층(910)을 두 번 통과한다. 즉, 외부 광이 대향 기관 측으로부터 액정 층(910)에 유입되고, 도전 막(905)에 의해 반사되며, 액정 층(910)을 다시 통과하여 대향 기관측으로부터 외부로 나가고, 따라서, 광은 액정 층(910)을 두 번 통과한다.

다른 한편, 광이 투과되어 디스플레이가 수행되는 일부(투과부, 921)에서, 광이 도전막(906)을 통하여 액정 층(910)에 유입되고, 대향 기관으로부터 외부로 나간다. 즉, 광은 액정 층(910)을 한 번 통과한다.

액정 층(910)은 이방성 굴절 계수를 갖기 때문에, 광의 편탄화가 액정 층(910)에서의 광의 이동 거리에 따라서 변화하고, 그러므로, 화상이 디스플레이 되는 경우에, 디스플레이가 적절하게 수행되지 않는다. 따라서, 광의 극화(polarization)가 조절될 필요가 있다. 광의 극화 조절을 위한 방법으로, 광이 반사되어 디스플레이가 수행되는 부분(반사부, 920)에서의 액정 층(910)의 두께가 얇게 이루어지고, 따라서, 거리가 광이 액정 층(910)을 두 번 통과하기에 너무 길어서는 안된다.

두께 조절을 위한 막(셀 갭 조절 막, 또한 두께 조절 막, 셀 갭 조절 막으로 참조됨)이 제공되어 액정 층(910)의 두께(소위 셀 갭)를 얇게 한다. 그 막은 도 9의 절연막(913)에 대응한다. 즉, 절연 막(913)이 광이 반사되어 디스플레이가 수행되는 부분(반사부, 920)의 액정 층의 두께 조절을 위해 제공된다. 절연 막(913)을 제공함으로써, 반사부(920)에서의 액정 층의 두께는 투과부(921)에서의 액정 층의 두께 보다 얇아진다.

반사부(920)에서의 액정 층(910)의 두께는 투과부(921)에서의 액정 층(910) 두께의 절반이 양호하다. 여기서, "절반"은 육안으로 식별되지 않는 차이를 포함한다.

광은 기관의 수직 방향, 즉 수직 방향으로부터만 유입되는 것은 아니다. 광은 종종 경사지게 유입된다. 이들 경우들을 고려 하면, 반사부(920)에서 광이 이동하는 거리는 투과부(921)에서 광이 이동하는 거리와 대략 동일하다. 따라서, 반사부(920)에서의 액정 층(910)의 두께는 투과부(921)에서의 액정 층(910)의 두께의 1/3 이상 그리고 2/3 이하가 양호하다.

전술한 바와 같이, 두께 조절 막이 대향 기관 층(911)에 제공됨으로써 용이하게 형성될 수 있다. 두께 조절막은 아크릴 또는 폴리미드와 같은 유기 재료를 이용하여 형성되는 것이 바람직하다.

광 분산 입자가 두께 조절 막에 혼합될 수 있다. 따라서, 광이 분산되고 휘도가 개선될 수 있다. 광 분산 입자는 셀 갭 조절 막의 그것과 다른 굴절 계수를 갖는 재료로 형성되고 광투광성을 갖는 수지 재료로 형성된다. 셀 갭 조절막은 그러한 광 분산 입자를 함유하도록 형성될 수 있다.

대향 전극(914)은 절연막(913)(액정 층(910)에 인접한 측부) 위에 형성되는 것이 양호하다. 따라서, 충분히 높은 전계가 액정 층(910)에 인가될 수 있다.

그러나, 본 발명은 이것에 제한되지 않는다. 도 10에 도시된 바와 같이, 절연막(1013)이 전극(1014)위에(액정 층(910) 부근에) 형성될 수 있다. 전극(1014)의 해체가 절연막(1013)이 두껍기 때문에 방지될 수 있다.

도 9에는 반사 전극이 반사부(920)에서 불균일부를 제공하지 않는 것으로 도시되었지만, 불균일부가 도 5 및 도 6에 도시된 바와 같이, 형성될 수 있다. 이 경우가 도 10에 도시되었다. 불균일부는 도 7a 및 도 7b에 기술된 방법으로 형성될 수 있다. 광은 불균일부(1001) 및 콘택 홀(1001a)에 의해 확산된다.

두께 조절 막이 도 9 및 도 10의 대향 기관 층에 제공되지만, 본 발명은 이것에 제한되지 않는다. 두께 조절 막은 트랜지스터가 형성되는 한 측부에 제공될 수 있다. 이 경우는 도 11에 도시되었다. 절연막(907a)의 일부가 두께 조절막으로부터 제거된다. 도 10은 도 11과 조합된다. 이 경우의 예가 도 12에 도시되었다. 함몰부(1101)는 도 8b의 함몰부(801)에 대응한다. 전술한 바와 같이, 함몰부(1101)는 투과부(921)에 제공되고, 따라서, 투과부(921)에서의 셀 갭은 반사부(920)에서의 셀 갭 보다 크게 이루어진다.

함몰부 및 두께 조절 막 양자가 제공될 수 있다. 양자는 두께를 제어하도록 작용하고, 따라서, 각 두께는 매우 크게 이루어질 필요가 없으며, 이것은 용이한 제조를 할 수 있게 한다.

도 11에서는, 절연막(907a)의 일부가 제거되어 함몰부(1101)를 형성하는 것으로 되었지만, 본 발명은 이것에 제한되지 않는다. 다른 절연막이 제거될 수 있다. 예를 들면, 도 50은 절연막(907a) 뿐 아니라 절연막(917a)의 일부가 제거되는 경우를 도시하고 있다. 따라서, 반사부(920) 및 투과부(921) 사이의 셀 갭의 차이가 용이하게 만들어질 수 있다. 단지 절연막(907a)의 일부가 제거되는 경우와 비교하여, 절연막(907a)의 두께가 얇아지고, 이것에 의해 기관의 와프(warp)와 같은 결함도 감소될 수 있다.

도 51은 절연막(902e), 게이트 절연막(904e), 기관(901e)등이 또한 부분적으로 제거되는 경우를 도시하고 있다. 상기 절연막(902e), 게이트 절연막(904e), 기관(901e)등은 일부 경우와 유사한 성분을 갖는 막으로 형성되고, 따라서, 함몰부(1101c)는 보다 깊게 형성될 수 있다.

불균일부가 콘택홀을 이용하여 형성될 수 있다. 이 경우가 도 13에 도시되었다. 불균일부는 도전막(906)이 드레인 전극(909)에 연결되지 않는 부분에 제공된 콘택 홀(1301)을 이용하여 형성된다. 다수의 콘택 홀(1301)이 형성되어 배선 및 전극의 표면이 불균일하게 이루어지지만, 배선과 접속되지 않도록 한다. 콘택 홀(1301)에서, 콘택 홀(1001a)과 유사하게, 도전막(906)이 드레인 전극(909)과 접촉한다.

도 14는 함몰부(1101)가 도 13의 경우에 제공되는 경우를 도시하고 있다.

전술한 바와 같이, 불균일부 존재와, 불균일부 형성 방법 및 셀 갭 조절 방법(두께 조절은 대향 기관 측상에서 또는 TftT 기관 측에서 수행된다) 각각에 대해 다수의 방법이 존재한다. 따라서, 그들 중의 어느 것이 선택되고 조합될 수 있다.

도전 막(905)이 반사 전극인 경우에, 트랜지스터, 배선 및 스토리지 커패시터가 도전막(905) 아래에 형성되는 것이 양호하다. 도전 막(905)이 반사 전극인 경우에, 도전막(906)은 투명 전극이고, 투과 영역은 가능하게 크게 제공되는 것이 양호하다. 이것은 광이 투과 영역을 통하여 투과하여 디스플레이가 수행되기 때문이다. 다른 한편, 반사 영역에서, 디스플레이는 일부 소자가 반사 전극 아래에 제공되는 경우에도 영향을 받지 않는다. 따라서, 트랜지스터, 배선 및 스토리지 커패시터는 도전 막(905) 아래에 제공되고, 이것에 의해 레이아웃이 효과적으로 설계될 수 있다.

트랜지스터 및 스토리지 커패시터의 전체 영역이 양호하게 반사막 아래에 제공될 지라도, 본 발명은 이것에 제한되지 않는다. 트랜지스터 또는 스토리지 커패시터의 일부가 반사막 외측(반사부 외측)에 제공될 수 있다.

도 47 및 도 48은 트랜지스터 및 스토리지 커패시터가 반사 전극 아래에 제공되는 경우를 도시하고 있다. 도 47에는, 스토리지 커패시터(4701)의 한 전극이 트랜지스터(4702)의 액티브 층으로 사용된 반도체 층의 일부를 사용하여 형성된다. 도 47에는, 스토리지 커패시터(4701)가 절연체로서 게이트 절연 막(904)을 이용하여 아일랜드형 반도체 막(903)과 스토리지 커패시터 배선(908e) 사이에, 그리고, 절연체로서 드레인 전극(909)의 일부와 스토리지 커패시터 배선(908e) 사이에 형성된다. 도 48에는, 스토리지 커패시터(4801)가 절연체로서 게이트 절연막(04)을 이용하여, 트랜지스터(4702)의 액티브 층으로서 반도체 층 대신에 반도체 층(903f)과 스토리지 커패시터(908f) 사이에 형성된다. 상기 반도체 층(903f)은 콘택홀을 통하여 드레인 전극(909)에 연결된다.

도 9 내지 도 14, 도 47 및 도 48에는 드레인 전극 위에 절연 막이 제공되는 경우가 도시되었지만, 본 발명은 이것에 제한되지 않는다. 투명 전극(906a)이 반사 전극으로 작용하는 드레인 전극(905a) 아래에 제공되고, 픽셀 전극이 게이트 전극 위에 형성된 절연막(1517) 위에 제공될 수 있다. 이 경우가 도 15에 도시되었다. 도 15의 경우에, 반사 전극의 표면은 또한 불균일하게 이루어지거나, 두께 조절 막과 함몰부가 셀 갭을 조절하도록 형성될 수 있다. 예로서, 도 16은 반사 전극의 불균일부가 콘택 홀들(1601, 1601a)을 이용하여 형성된다.

도 9 내지 도 16, 도 47 및 도 48의 각 경우는 게이트 전극이 채널 위에 제공되는 경우, 즉, 소위 상부 게이트형 트랜지스터를 도시하고 있지만, 본 발명은 이것에 제한되지 않는다. 본 발명은 또한 게이트 전극이 채널 아래에 제공되는 경우, 즉, 소위 하부 게이트형 트랜지스터에 적용될 수 있다.

도 17은 하부 게이트형 트랜지스터를 도시하고 있다. 게이트 절연막(1703)이 게이트 전극(1708) 위에 형성된다. 아일랜드형 반도체 막(1703)이 그 위에 형성된다. 절연 막(1717)이 그 위에 형성된다. 콘택 홀이 형성되고, 그 위에 드레인 전극(1709) 및 소스 신호 라인이 형성된다. 드레인 전극(1709) 및 소스 신호 라인 상부 구조는 상부 게이트 구조와 유사하다. 따라서, 하부 게이트형 트랜지스터의 경우에, 반사 전극의 표면은 또한 불균일하게 이루어지거나, 또는 두께 조절막과 함몰부가 셀 갭을 조절하기 위해 형성될 수 있다. 반사 전극의 불균일부가 콘택홀을 이용하여 형성될 수 있다.

이 실시예 모드는 실시예 모드 1 및 2가 구체적으로 구현되는 예를 도시하고 있다. 따라서, 실시예 모드 1 및 2의 기술은 이 실시예 모드에 적용되거나 이 실시예 모드와 조합될 수 있다.

또한, 이 실시예 모드에서는 다양한 도면을 참조하여 기술이 이루어진다. 하나의 도면은 다양한 부품을 구성한다. 따라서, 다른 구조가 각 도면으로부터의 부품 각각을 조합하여 이루어질 수 있다.

[실시예 모드 4]

액정 층(910)이 다양한 모드의 액정 분자를 제공할 수 있다.

하나의 TN(Twisted Nematic) 액정을 하나의 예로서 들 수 있다. TN 액정이 사용되는 경우에, 픽셀 전극은 슬릿을 제공할 필요가 없게 된다. 즉, 픽셀 전극은 하나의 픽셀 전체에 걸쳐서 제공될 수 있다. 대향 기판 위에 형성된 공통 전극이 픽셀 전체에 걸쳐서 형성될 수 있다. 따라서, 실시예 모드 1 내지 3에 기술된 픽셀 전극(투명 전극 및 반사 전극)이 사용될 수 있다.

TN 액정외에 다른 액정으로서, 액정 분자가 수직 방향으로 배열되는 MVa(Multi-domain Vertical alignment) 모드와 PVa(Patterned Vertical alignment) 모드가 있다. MVa 모드 또는 PVa 모드의 경우에, 액정 분자의 틸트(tilt)를 제어하기 위해서 픽셀 전극이 슬릿을 제공하거나 또는 분할되어 간격을 두고 배열되거나 또는 돌출부가 제공된다.

도 18은 픽셀 전극이 슬릿을 제공한 경우의 횡단부도이다. 도 18에 도시된 바와 같이, 대향 전극이 또한 슬릿등을 제공한 구조가 PVa 모드이다. 도 19에 도시된 바와 같이, 대향 전극이 돌출부(1901, 1902)를 제공한 구조가 MVa 모드이다.

본 발명의 제조 방법이 사용되는 경우에, 도전 층(906a)의 측면과 도전막(905b)의 측면이 서로 각각 나란하게 정렬되지 않는다. 도전막 (905b)의 측면은 도전층(906b)의 측면에 대해 리세스된다. 반사 전극표면 아래의 전체가 투명 전극 상부면과 접촉한다. 이것은, 각 도전막이 에칭되는 때에 사용된 레지스트의 모양과 같이, 본 발명의 제조 방법에 기인한다.

시야각 특성이 MVa 모드 또는 PVa 모드를 사용하여 개선된다. 따라서, 시각성이 개선되고, 어떤 각에서 보는 경우라도 적은 칼라 불균일성을 갖는 화상이 디스플레이될 수 있다. 또한, 블랙 상태의 휘도가 매우 낮게 만들어지는데, 정상적인 블랙 모드가 사용될 수 있기 때문이다. 따라서, 콘트라스트비가 개선될 수 있다.

이 실시예 모드는, 실시예 모드 1 내지 3의 설명이 구체적으로 구현되는 경우의 예를 도시하고 있다. 따라서, 실시예 모드 1 내지 3의 설명은 이 실시예 모드에 적용 또는 이 실시예 모드와 조합될 수 있다.

또한, 설명이 이 실시예 모드에서 다양한 도면들을 참조하여 이루어진다. 하나의 도면은 다양한 부품들로 구성된다. 따라서, 다른 구조물이 각 도면들로부터의 부품 각각을 조합하여 이루어질 수 있다.

[실시예 모드 5]

다음으로, 설명이 비정질 실리콘을 이용하는 트랜지스터의 경우에 대해 이루어진다. 이 실시예 모드에 기술된 TFT에 대해서는, 실시예 모드 1 내지 4가 기판의 종류, 형성 방법, 각 층에 대한 재료등에 대해서 참조된다.

비정질 실리콘을 이용하는 트랜지스터의 경우에, 하부 게이트형(역전 스테거드형) 트랜지스터 또는 상부 게이트형(스태거드형) 트랜지스터등이 구현될 수 있다. 여기서, 기술이 역전 스테거드형 트랜지스터에 대해서 이루어진다.

도 21은 횡단부도이다. 절연막이 베이스막으로서 기판(2101) 위에 형성된다. 베이스막은 제공될 필요가 없다. 다음으로, 도전층이 절연막 또는 기판(2101) 위에 형성되고, 그 모양이 노광법등을 이용하여 형성된 마스크를 이용하여 처리되어 게이트 전극(2108) 및 게이트 배선을 형성한다. 스토리지 커패시터 배선 및 전극이 또한 형성된다.

게이트 절연막(2104)은 게이트 전극(2108)을 커버하도록 형성된다. 상기 게이트 절연막(2104)은 질화실리콘막, 산화실리콘막, 그들의 적재층을 이용하여 형성된다. 비정질 반도체 막이 게이트 절연막(2104) 위에 형성된다. 비정질 반도체 막의 재료에는 제한이 없지만, 비정질 반도체막은 실리콘, 실리콘-게르마늄(Sige) 합금등으로 형성되는 것이 양호하다. 다음으로, 도전층이 비정질 반도체막 위에 형성된다. 도전층으로서, 예를 들면, 인을 함유하는 비정질 실리콘막이 사용될 수 있다. 비정질 반도체 막과 도전층의 모양들은 노광법등에 의해 형성된 마스크를 이용하여 처리되어 아일랜드형 반도체막과 아일랜드형 도전층을 형성한다. 주성분으로서 실리콘을 함유하는 일반적인 반도체 층(2103)이 존재한다.

도전층이 반도체 층(2103) 위에 적재되도록 형성되고, 그 모양이 노광법등에 의해 형성된 마스크를 이용하여 처리되어 드레인 전극(2109)을 형성한다.

반도체 층(2103)의 도전 층은 마스크로서 드레인 전극(2109)등을 이용하여 에칭되고, 따라서 소스 및 드레인이 분리된다. 그러한 구조는 일반적으로 채널 에칭형으로서 참조된다.

상기 드레인 전극(2109)은 도 4 및 도 6의 배선(401)과 도 7a, 도 7b, 도 8a 및 도 8b의 전극(705)에 대응한다.

절연막(2102)이 그 위에 형성된다. 그 절연막(2102)은 질화 실리콘막으로 형성되는 것이 양호한데, 질화 실리콘막은 다양한 불순물이 트랜지스터에 유입되는 것을 방지할 수 있다. 산화 실리콘막 또는 산화 실리콘막을 포함하는 적재된 층 막이 사용될 수 있다.

다음으로, 절연막(2107)이 형성되어 배선의 불균일부등을 흡수하여 균일하게 만든다. 절연막(2107)은 아크릴 또는 폴리미드와 같은 유기막을 이용하여 만들어진다. 감광성 재료가 또한 사용될 수 있다.

절연막들(2107, 2102)은 도 1a 내지 도 1c, 도 2a 내지 도 2c, 도 3a 및 도 3b의 절연막(107)에 대응한다.

다음으로, 콘택홀이 절연막들(2102, 2107)에 형성된다. 도전막이 그 위에 형성된다.

도 21의 전극(2106)은 도 2c, 도 4 내지 도 6의 도전막(106a)에 대응한다. 도 21의 전극(2105)은 도 2c, 도 4 내지 도 6의 도전막(105b)에 대응한다.

전극(2106)은 픽셀 전극의 일부이고, 광을 투과시키는 투명전극이다. 전극(2105)은 픽셀 전극의 일부이고 광을 반사시키는 반사 전극이다. 반사 전극의 하부 표면 전체는 트랜지스터 전극의 상부 표면과 접촉한다.

투명 전극에 대해서는, 예를 들면, 산화 주석이 산화 인듐에 혼합된 산화 인듐 주석(ITO)막, 산화 실리콘이 산화 인듐 주석(ITO)에 혼합된 산화 인듐 주석 실리콘(ITSO)막, 산화 아연이 산화 인듐에 혼합된 산화 인듐 아연(IZO)막, 산화 아연막, 산화 주석막등이 사용될 수 있다. IZO는, 산화 아연(ZnO) 2 내지 20 중량%가 ITO에 혼합된 타킷을 사용하는 스퍼터링에 의해 형성된 투명 도전 재료이다. 그러나 본 발명은 이것에 제한되지 않는다.

반사 전극에 대해서는, 예를 들면, Ti, Mo, Ta, cr, W, al, Nd, cu, ag, au, Pt, Nb, Si, Zn, fe, ba, ge등과, 그들의 합금이 사용될 수 있다. al 이 Ti, Mo, Ta, cr, W등으로 적재된 두 층 구조물, al이 Ti, Mo, Ta, cr, 또는 W과 같은 금속 층 사이에 개재된 세 층 구조물이 사용될 수 있다.

상기 도전막들(2105, 2106)은 실시예 모드 1 및 2에 기술된 방법에 의해 형성된다.

도면에는 비록 도시되지 않았지만, 배열 막이 종종 도전막들(2105, 2106) 위에 형성된다.

대향 전극(2114), 절연막(2113), 평탄화막(2112), 블랙 매트릭스(2115), 칼라필터(2116), 대향 기관(2111) 및 액정 층(2110)에 대해서는, 비록 그들이 실시예 모드 1 내지 4에서 기술된 것들과 유사하지만, 설명이 예로서 이루어진다.

반사 전극이 도 21의 반사부(920)에서는 불균일부를 제공하고 있지 않지만, 불균일부는 도 5 및 도 6에 도시된 바와 같이, 형성될 수 있다. 이 경우가 도 22에 도시되었다. 불균일부는 도 7a 및 도 7b에 기술된 방법에 의해 형성될 수 있다. 광은 불균일부(2201) 및 콘택홀(2201a)에 의해 확산될 수 있다.

광분산 입자가 두께 조절을 위한 막들(2113, 2213)에 혼합될 수 있다. 따라서, 광은 분산되고 휘도는 개선될 수 있다. 광분산 입자들은 셀 갭 조절막의 그것과 다른 굴절 계수를 갖는 재료로 형성되고 광투광성을 갖는 수지 재료로 형성된다. 셀 갭 조절막은 그러한 광 분산 입자를 함유하도록 형성될 수 있다.

도 21 및 도 22에서 두께 조절막이 대향 측에 구획되었지만, 본 발명은 이것에 제한되지 않는다. 두께 조절막은 트랜지스터가 형성되는 측에 제공될 수 있다. 이경우는 도 23에 도시되어 있다. 도 21은 도 22와 조합될 수 있다. 이 경우의 예가 도 24에 도시되었다. 함몰부(2301)는 도 8의 함몰부(801)에 대응한다. 전술한 바와 같이, 함몰부(2301)는 투광부(921)에 제공되고, 따라서, 투광부(921)에서의 셀 갭이 반사부(920)에서의 셀 갭 보다 크게 이루어진다.

도 23에는, 절연막(2107a)의 일부가 제거되어 함몰부(2301)가 형성되지만, 본 발명은 이것에 제한되지 않는다. 다른 절연막이 또한 제거될 수 있다. 예를 들면, 절연막(2107a) 뿐 아니라 절연막(2102)의 일부가 제거될 수 있다. 도 52는 절연막(2104e)의 일부와 기관(2101e)가 제거되는 경우를 도시하고 있다. 따라서, 반사부(920)와 투광부(921) 사이의 셀 갭에서의 차이가 용이하게 이루어진다. 절연막(2102e), 게이트 절연막(2104e), 기관(2101e)등이 일부 경우와 유사한 성분을 갖는 막으로 형성될 수 있고, 따라서 함몰부(2301e)가 보다 깊이 형성될 수 있다.

도 24에는 함몰부 및 두께 조절막 양자가 형성되지만, 본 발명은 이것에 제한되지 않는다. 그들 중 하나가 형성될 수 있다. 그들 양자가 제공되는 경우에, 두께는 그들 양자에 의해 제어되고, 따라서, 각 두께는 크게 이루어질 필요가 없으며, 이것은 제조를 용이하게 한다.

불균일부가 콘택홀을 이용하여 형성될 수 있다. 이 경우가 도 25에 도시되어 있다. 불균일부가, 전극(2106)이 드레인 전극(2109)에 연결되지 않은 부분에 제공된 콘택 홀을 이용하여 형성된다. 다수의 콘택 홀(2501)이 형성되어 배선과 전극 표면이 불균일하지만 배선과 연결되지 않게 만들어진다. 콘택 홀(2501)에서는 콘택 홀(2201)과 유사하게, 전극(2106)이 드레인 전극(2109)과 접촉할 수 있다.

함몰부(2301)가 도 25의 경우에 제공될 수 있다.

도 21 내지 도 25에는 채널 에칭형 트랜지스터가 사용되지만, 본 발명은 이것에 제한되지 않는다. 채널 보호형 트랜지스터가 사용될 수 있다. 예로서, 도 26은 도 21의 경우에 채널 보호형 트랜지스터가 사용되는 경우의 횡단부를 도시하고 있다. 채널 보호성 막(2601)이 채널이 형성되는 반도체 층(2603a) 위에 형성된다. 반도체 층 및 인을 함유하는 도전막(드레인 전극, 소스 신호 라인등)(2603b)이 그 위에 형성될 수 있다. 채널 보호형 트랜지스터가 도 22 내지 도 25, 도 49의 경우에 적용될 수 있다.

채널 보호성 막(2601)을 포함하는 Tft는 다음의 효과를 갖는다. 반도체 층이 에칭될 염려가 없기 때문에 반도체 층(2603a)이 얇게 형성되는데, Tft의 특성이 개선될 수 있다. 따라서, 큰 전류가 Tft에 공급될 수 있고, 신호 배선 타임이 짧아지는데, 이것은 양호한 것이다.

절연막(2107)이 도 21 내지 도 26, 도 49의 절연막(2102)이 형성되는 것으로 도시되었지만, 본 발명은 이것에 제한되지 않는다. 평탄화가 필요하지 않는 경우가 또한 실현될 수 있다. 도 27은 이 경우의 횡단부를 도시하고 있다. 절연막(2107)을 형성하지 않음으로써, 단계수가 감소되고 비용이 감소될 수 있다. 도 27의 경우에, 반사 전극의 표면이 불균일해지고, 두께 조절막 또는 함몰부가 제공되어 셀 갭을 조절하거나, 또는 반사 전극의 불균일부가 콘택 홀을 이용하여 형성될 수 있다.

전술한 바와 같이, 불균일부 존재와, 불균일부 형성 방법 및 셀 갭 조절 방법(두께 조절은 대향 기관 측상에서 또는 Tft 기관 측에서 수행된다) 각각에 대해 다수의 방법이 존재한다. 따라서, 그들 중의 어느 것이 선택되고 조합될 수 있다.

이 실시예는 실시예 모드 1 내지 4의 경우가 구체적으로 실현되는 경우를 도시하고, 그것의 일부가 상세히 기술되었다. 따라서, 실시예 모드 1 내지 4가 이 실시예 모드에 적용될 수 있거나 또는 이 실시예 모드와 조합될 수 있다.

또한, 이 실시예 모드에서 다양한 도면을 참조하여 설명이 이루어진다. 하나의 도면은 다양한 부품을 구성한다. 따라서, 각 도면으로부터의 부품 각각을 조합함으로써 다른 구조가 이루어질 수 있다.

[실시예 모드 6]

설명이 지금까지의 횡단부를 참조하여 이루어진다. 이 실시예에서 상부 평면도가 기술된다.

도 28은 도 9 및 도 47에 적용될 수 있는 상부 평면도이다. 도 28은 하나의 픽셀(하나의 칼라 소자)을 도시하고 있다. 반도체 층(2803a)이 형성되고, 그 위에 게이트 배선(2808a) 및 커패시터 라인(2808b)이 형성된다. 트랜지스터가, 게이트 배선(2808a)과 동시에 형성되고 반도체 층(2803a) 위에 형성된 게이트 전극에 의해 형성된다. 상기 반도체 층(2803a)은 커패시터 라인(2808b) 아래에 제공된다. 스토리지 커패시터가 커패시터 라인(2808b) 및 반도체 층(2803a)에 의해 형성된다. 하나의 커패시터가 그들 사이에 게이트 절연막이 개재된 상부 및 하부 전극에 의해 형성된다. 이 경우에, 인 또는 붕소가 커패시터의 전극으로서 작용하는 반도체 층(2803a)의 한 영역에 부가되거나 또는 부가되지 않을 수 있다. 인 또는 붕소가 부가되지 않는 경우에는, 높은 전압이 커패시터 라인(2808b)에 인가된다. 붕소 또는 인이 부가되는 경우에는, 커패시터 라인(2808b)은 종종 전기적으로 대향 전극에 연결된다. 따라서, 배선 수가 감소될 수 있다.

소스 신호 라인(2809a)과 드레인 전극(2809b)이 그 위에 형성되고, 콘택 홀을 통하여 반도체 층(2803a)에 연결된다.

드레인 전극(2809b)이 크게 제공되어 커패시터 라인(2808b)과 크게 중첩되는 영역을 만들 수 있고, 따라서, 스토리지 커패시터의 커패시터 값이 증가될 수 있다.

투명 전극(2806)이 그 위에 형성되고 콘택 홀을 통하여 드레인 전극(2809b)에 연결된다. 반사 전극(2803b)이 그 위에 형성된다.

반사 전극(2803b)이 트랜지스터와 스토리지 커패시터 위에 형성된다. 따라서, 투과부의 개부비가 증가되고 레이아웃이 효율적으로 구성될 수 있다.

커패시터 라인(2808b)이 제공되지만, 본 발명은 이것에 제한되지 않는다. 커패시터 라인(2808b) 대신에 하나의 진행 로우의 게이트 신호 라인이 사용될 수 있다. 즉, 한 진행 로우의 게이트 신호 라인의 전압이 비-선택 상태에서 일정하고, 이것은 스토리지 커패시터 라인으로서 작용한다.

스토리지 커패시터가 도 29의 픽셀 전극의 중심부에 제공되고, 동시에, 스토리지 커패시터가 도 28의 트랜지스터 주위에 제공된다. 따라서, 다수의 투과 영역이 하나의 픽셀에 제공될 수 있다. 그러므로, 액정 분자의 배열 상태가 서로 각각 상이한 다수의 영역이 존재할 수 있고, 멀티-도메인 구조가 용이하게 구현될 수 있다. 넓은 시야각이 멀티-도메인 구조에 의해 얻어질 수 있다.

도 30은 반사 전극이 도 27의 경우에 대해서 불균일부(3001)를 제공하는 경우를 도시하고 있다. 이것은 도 10 및 도 13에 대응한다. 상기 반사 전극은 불균일부를 제공하여, 광이 분산되고 휘도가 개선될 수 있다.

유사하게, 도 31은, 스토리지 커패시터가 픽셀 전극의 중심에 제공된 도 29의 경우에 대해서 반사 전극이 불균일부(3001)를 제공하는 경우를 도시하고 있다. 상기 반사 전극은 불균일부를 제공하여, 광이 분산되고 휘도가 개선될 수 있다. 또한, 액정 분자의 배열 상태가 서로 각각 상이한 다수의 영역이 존재할 수 있고, 멀티-도메인 구조가 용이하게 구현될 수 있다. 멀티-도메인 구조를 가짐으로써, 특수한 각에서 보았을 때에 광 투과의 감소가 방지되고, 넓은 시야각이 얻어질 수 있다.

다음으로, 도 32는 합몰부(3201)가 도 11에 도시된 바와 같이 형성된 경우를 도시하고 있다. 합몰부(3201)를 형성함으로써, 반사부에서의 셀 갭 및 투과부에서의 셀 갭이 용이하게 차별화되고, 따라서, 시각성이 개선되고 적은 칼라 불균일성을 갖는 화상이 적절한 그레이 크기로 디스플레이될 수 있다. 또한, 셀 갭 조절이 트랜지스터, 커패시터, 배선등이 제공되는 기관의 한 측부상에서 동시에 구현되고, 따라서, 셀 갭 조절이 적은 단계 수와 낮은 비용으로 구현될 수 있다.

유사하게, 도 33은 불균일부(3201a, 3201b)가 스토리지 커패시터가 픽셀 전극의 중심에 제공되는 도 29의 경우에 대해서 형성되는 경우를 도시하고 있다.

도 28 내지 도 33에서는, 기술이 픽셀 전극이 각 픽셀 위의 전체에 걸쳐서 제공되는 경우에 대해서 이루어진다. 이것은 주로 TN 액정으로서 사용되는 경우에 대응한다.

도 18 및 도 19에 도시된 바와 같이, 픽셀 전극은 슬릿을 제공하거나 또는 분할되어 간격을 두고 배열된다.

도 34는, 간격을 두고 배열하도록 슬릿을 제공한 픽셀 전극을 제공함으로써 또는 픽셀 전극을 분할함으로써, MVa 모드, PVa 모드등에 대응하는 것의 상부 평면도이다. 슬릿(3401a, 3401b, 3401c, 3401d)등은 투과 영역 및 반사 영역 양자에 형성되는 것에 의해 액정 분자 틸트의 방향이 결정될 수 있다.

스토리지 커패시터부가 반사부 아래에 제공되고, 따라서, 투과부의 개체공가 증가되고 레이아웃이 효율적으로 설계될 수 있다.

반사부 및 스토리지 커패시터가 픽셀 전극 중심에 제공되고, 투과부가 그것에 인접하여 제공되어, 다수의 투과부가 한 픽셀에 제공된다. 따라서, 액정 분자의 배열 상태가 상이한 다수의 영역이 존재할 수 있고, 멀티-도메인 구조가 용이하게 구현될 수 있다. 멀티-도메인 구조를 가짐으로써, 특수한 각도에서 보았을 때에 투과가 감소되는 것이 방지되고, 넓은 시야각이 얻어질 수 있다.

도 35는 불균일부(3001)가 투과부에 형성되는 경우를 도시하고 있다. 반사 전극이 불균일하게 제공되어, 광이 분산되고 휘도가 개선될 수 있다.

전술한 바와 같이, 픽셀 전극이 간격을 두고 배열되도록 슬릿을 제공하여 제공되거나 또는 분할되는 경우의 구조가 또한 도 28 내지 도 33에 적용될 수 있다.

슬릿 형성 방법은 도 34 및 도 35에 제한되지 않고, 배열의 다양한 방법이 사용될 수 있다.

도 28 내지 도 35가 상부 게이트 구조의 트랜지스터를 이용하는 경우의 예를 도시하고 있지만, 본 발명은 이것에 제한되지 않고, 이들 외의 구조가 사용될 수 있다. 다음으로, 역전 스테거드 구조를 갖는 트랜지스터를 사용하는 예가 도시되었다.

도 36은 도 21에 대응한다. 게이트 배선(3608a) 및 커패시터 라인(3608b)이 형성된다. 반도체 층(3603)이 그 위에 형성된다. 트랜지스터가 게이트 배선(3608a)과 연속적으로 형성되고 반도체 층(3603) 아래에 형성된 막인 게이트 전극에 의해 형성된다. 소스 신호 라인(3609a) 및 드레인 전극(3619b)이 그 위에 형성된다. 드레인 전극(3619b)이 스토리지 커패시터가 형성되는 커패시터 라인(3608b) 위에 형성된다. 하나의 커패시터가 그들 사이에 게이트 절연막이 개재된 상부 및 하부 전극에 의해 형성된다. 투명 전극(3606)이 그 위에 형성되고 콘택 홀을 통하여 드레인 전극(3619b)에 연결된다. 반사 전극(3605)이 그 위에 형성된다.

반사 전극(3605)이 트랜지스터 및 스토리지 커패시터 위에 형성된다. 따라서, 투광부의 개부비가 증가되고 레이아웃이 효율적으로 설계된다.

스토리지 커패시터가 도 36에서 트랜지스터 주위에 제공되지만, 스토리지 커패시터는 픽셀 전극 중심에 제공될 수 있다. 따라서, 다수의 투광부가 하나의 픽셀에 제공될 수 있다. 그러므로, 액정 분자의 배열 상태가 서로 각각 상이한 다수의 영역이 존재할 수 있고, 멀티-도메인 구조가 용이하게 구현될 수 있다. 멀티-도메인 구조를 가짐으로써 투광이 특수한 각도에서 볼때 감소되는 것을 방지할 수 있고, 넓은 시야각이 얻어질 수 있다.

도 37은 도 36에 대해서 반사 전극이 불균일부(3701)를 제공하는 경우를 도시하고 있다. 반사 전극 위에 불균일부를 형성함으로써, 광이 분산되고 휘도가 개선될 수 있다.

도 38은 도 23에 도시된 바와 같은 함몰부(3801)가 형성되는 경우를 도시하고 있다. 함몰부(3801)를 형성함으로써, 반사부에서의 셀 갭과 투광부에서의 셀 갭이 용이하게 차별화되어 시각성이 개선되고 적은 칼라 불균일성을 갖는 화상이 적절한 그레이 스케일로 디스플레이될 수 있다.

도 36 내지 도 38에서는, 설명이 픽셀 전극이 각 픽셀 위의 모두에 걸쳐 제공되는 경우를 도시하고 있다. 이것은 주로 TN 액정으로서 사용되는 경우에 대응한다.

도 18 및 도 19에 도시된 바와 같이, 픽셀 전극은 슬릿을 제공하거나 분할되어 간격을 두고 배열된다.

도 39는 간격을 두고 배열하도록 슬릿을 제공한 픽셀 전극을 제공함으로써 또는 픽셀 전극을 분할함으로써, MVa 모드, PVa 모드등에 대응하는 것의 상부 평면도이다. 슬릿(3901a, 3901b, 3901c, 3901d)등은 투광 영역 및 반사 영역 양자에 형성되는 것에 의해 액정 분자 경사 방향이 결정될 수 있다.

스토리지 커패시터부가 반사부 아래에 제공되고, 따라서, 투과부의 개체공가 증가되고 레이아웃이 효율적으로 설계될 수 있다.

반사부 및 스토리지 커패시터가 픽셀 전극 중심에 제공되고, 투과부가 그것에 인접하여 제공되어, 멀티-도메인 구조가 용이하게 구현될 수 있다. 멀티-도메인 구조를 가짐으로써, 투과가 특수한 각도에서 보았을 때에 투광이 감소되는 것이 방지되고, 넓은 시야각이 얻어질 수 있다.

불균일부가 반사부(반사 전극(3605a) 위에)에 형성될 수 있다.

도 39의 슬릿은 파형이고, 이것에 의해 액정 분자가 용이하게 제어될 수 있다.

진술한 바와 같이, 픽셀 전극이 슬릿을 제공하거나 분할되어 간격을 두고 배열되는 구조는 또한 다른 상부 평면도에 적용될 수 있다.

슬릿을 형성하는 방법은 도 39에 제한되지 않고, 배열의 다양한 방법이 사용될 수 있다.

이 실시예 모드는 실시예 모드 1 내지 5에서의 기술이 구체적으로 구현되고, 그 일부가 상세히 기술되는 경우의 예를 도시하고 있다. 따라서, 실시예 모드 1 내지 5에서의 기술은 이 실시예 모드에 적용되거나 이 실시예 모드와 조합될 수 있다.

또한, 이 실시예 모드에서 다양한 도면을 참조하여 기술이 이루어진다. 하나의 도면은 다양한 부품을 구성한다. 따라서, 다른 구조가 각 도면으로부터의 부품의 각각을 조합함으로써 이루어질 수 있다.

[실시예 모드 7]

이 실시예 모드에서는, 설명이 도 20a 내지 20d를 참조하여 실시예 모드 1 내지 6에서 사용된 노광 마스크에 대해 이루어진다. 도 20a 내지 20c는 도 1a 내지 1c, 도 3a, 도 3b, 도 7a, 도 7b, 도 8a 및 도 8b에 도시된 노광 마스크의 차광부(101a) 및 반-투과부(101b)의 상부 평면도이다. 노광 마스크의 차광부(101a)의 폭은 t1으로 표시되고, 반-투과부(101b)의 폭은 t2로 표시되었다.

반-투과부(101b)는 회절 격자 패턴을 갖는 것으로 제공된다. 도 20a 및 도 20b의 각각은 노광 디바이스의 해상 한계와 같거나 또는 작은 다수의 슬릿에 의해 형성된 슬릿부를 포함하는 회절 격자 패턴을 도시하고 있다. 상기 회절 격자 패턴은 슬릿 또는 도트와 같은 적어도 하나의 패턴이 배열된 패턴이다. 그러한 슬릿 또는 도트와 같은 다수의 패턴이 배열되는 경우에, 그 패턴들은 주기적으로 또는 비주기적으로 배열될 수 있다. 해상 한계와 동일하거나 적은 미세한 패턴을 사용함으로써, 일정 노출량이 변화되고, 현상후의 광에 노출되는 레지스트의 두께가 조절될 수 있다.

슬릿부의 슬릿은, 슬릿부(301)와 같은 차광부(303)의 한 측과 평행한 방향으로 또는, 슬릿(302)와 같은 차광부(303)의 한 측에 수직인 방향으로 연장될 수 있다. 슬릿부의 슬릿은 차광부(303)의 한 측에 대해 경사진 방향으로 연장될 수 있다. 이 노광 단계를 위해 사용된 레지스트는 양호하게 포지티브형 레지스트이다.

반-투과부의 다른 예로서, 도 20c는 노광의 강도를 감소시키는 기능을 갖는 투과막(2004)이 제공되는 예를 도시하고 있다. 반-투과막으로서, MoSiN 뿐 아니라 MoSi, MoSiO, MoSiON, crSi등이 사용될 수 있다. 반-투과부를 포함하는 노광 마스크를 이용하는 노광법은 하프-톤 노광법으로 참조된다.

도 20a 내지 20c에 도시된 노광 마스크가 노광으로 조사되는 경우에, 광 강도는 차광부(303)에서 제로이고, 투과부(305)에서 광 강도는 100%이다. 다른 한편, 슬릿부(301 또는 302)에 의해 형성된 광 강도 감소 기능을 갖는 반-투과부 또는 반-투과 막(2004)을 통하여 통과하는 광의 강도는 10 내지 70% 범위에서 조절될 수 있다. 도 20d는 광 강도 분포의 일반적인 예를 도시하고 있다. 반-투과부가 회절 격자 패턴인 경우에, 반-투과부를 통과하는 광의 강도 조절은 슬릿부(301, 302)의 피치와 슬릿 폭의 조절에 의해 구현될 수 있다.

이 실시예 모드는 실시예 모드 1 내지 6에 자유롭게 조합될 수 있다.

[실시예 모드 8]

설명이 본 발명의 픽셀 회로에 대해 이루어진다. 도 45에서, 픽셀(50001)은 픽셀 어레이(50000)에서 매트릭스로 배열된다. 상기 픽셀(50001)은 비디오 신호가 입력되는 소스 신호 라인(50002)과, 게이트 신호가 입력되는 게이트 신호 라인(50003)에 입력된다. 트랜지스터(50004)는 이들 신호들에 의해 제어되어 비디오 신호가 액정(cLc) 및 스토리지 커패시터(cS)에 입력된다. 스토리지 커패시터(cS)는 스토리지 커패시터 라인(50005)에 연결된다. 액정(cLc)의 광 투과는 비디오 신호에 따라서 변화하고, 따라서, 화상이 디스플레이된다.

도 46에 도시된 바와 같이, 적어도 픽셀 어레이(50000)가 유기 기관(60000) 위에 제공된다. 게이트 신호 라인 구동을 위한 게이트 신호 라인 구동기 회로(60001)와 비디오 신호를 소스 신호 라인에 공급하기 위한 소스 신호 라인 구동기 회로(60002)가 일부 경우에 제공될 수 있다. 그들 양자가 일부 경우에 제공되고, 그들 중 하나는 다른 경우에 제공될 수 있다.

소스 신호 라인 구동기 회로(60002)는 시프트 레지스터, 샘플링 스위치, 래치 회로, d/a 컨버터 회로등을 포함하지만, 본 발명은 이것에 제한되지 않는다. 단지 샘플링 회로가 제공될 수 있고, 시프트 레지스터등은 제공되지 않을 수 있다.

이 실시예 모드는 실시예 모드 1 내지 7에서의 기술이 구체적으로 구현되고, 그 일부가 상세히 기술되는 경우의 예를 도시하고 있다. 따라서, 실시예 모드 1 내지 7의 설명이 이 실시예 모드에 적용되거나 또는 이 실시예 모드에 조합될 수 있다.

또한, 설명이 이 실시예 모드에 다양한 도면들을 참조하여 이루어진다. 하나의 도면은 다양한 부품을 구성한다. 따라서, 다른 구조가 각 도면으로부터의 각 부품을 조합하여 이루어질 수 있다.

[실시예 모드 9]

본 발명의 디스플레이 디바이스가 디스플레이부에 포함된 모바일 폰의 예가 도 40을 참조하여 기술된다.

디스플레이 패널(5410)이 하우징(5400)내에 탈착가능하게 합체된다. 하우징(5400)의 모양과 크기는 디스플레이 패널(5410)의 크기에 따라서 적절하게 변화될 수 있다. 디스플레이 패널(5410)을 고정시키는 하우징(5400)은 프린트회로 기관(5401)내에 고정되어 모듈로서 조립된다.

디스플레이 패널(5410)은 fPc 5411을 통하여 프린트회로 기관(5401)에 연결된다. 스피커(5402), 마이크로폰(5403), 송수신회로(5404) 및 CPU, 콘트롤러등을 포함하는 신호 처리 회로(5405)가 프린트회로 기관(5401) 위에 형성된다. 그러한 모듈은 입력 유닛(5406) 및 배터리(5407)과 조합되고, 샤시(5409, 5412)에 합체된다. 디스플레이 패널(5410)의 픽셀부가 제공되어 샤시(5412)에 형성된 개방 윈도우로부터 보일 수 있도록 한다.

디스플레이 패널(5410)은, 픽셀부와 주연 구동기 회로의 일부(다수의 구동기 회로 중 낮은 작동 주파수를 갖는 구동기 회로)가 Tft를 사용하여 동일한 기관 위에 형성되고 동시에, 주연 구동기 회로의 다른 부분(다수의 구동기 회로 중 높은 작동 주파수를 갖는 구동기 회로)이 cOg(chip On glass)에 의해 디스플레이 패널(5410)에 장착될 수 있는 Ic칩 위에 형성되는 방법으로 형성될 수 있다. 선택적으로, Ic 칩은 Tab(Tape automated bonding) 또는 프린트 회로 기관에 의해 유리 기관에 연결될 수 있다. 도 41a는, 주연 구동기 회로의 일부와 픽셀부가 기관위에 형성되는 동시에, 주연 구동기 회로의 다른 부분이 형성된 Ic 칩이 cOg등에 의해 기관상에 장착되는 디스플레이 구조 예를 도시하고 있다. 그러한 구조에 따르면, 디스플레이 디바이스의 동력 소모가 감소될 수 있고, 단위 전하당 모바일 폰 작동 시간이 연장될 수 있다. 또한, 모바일 폰의 비용 감소가 달성될 수 있다.

또한, 한 로우에서 픽셀에 신호를 기록하는 시간이 신호 세트의 임피던스를 버퍼에 의해 신호 라인으로 변환하는 것에 의해 단축될 수 있다. 따라서, 고-해상도 디스플레이 디바이스가 제공될 수 있다.

동력 소모를 더욱 감소시키기 위해서, 픽셀부가 Tft를 사용하여 기관위에 형성될 수 있고, 모든 주연 회로가 cOg(chip On glass)등에 의해 디스플레이 패널상에 장착될 수 있는 Ic칩 위에 형성될 수 있다.

본 발명의 디스플레이 디바이스를 사용함으로써, 높은 트라스트 화상이 얻어질 수 있다.

이 실시예 모드에 도시된 구조는 모바일 폰의 예이고, 따라서, 본 발명의 디스플레이 디바이스는 전술한 구조를 갖는 모바일 폰에 제한되지 않고, 다양한 구조를 갖는 모바일 폰에 적용될 수 있다.

이 실시예 모드에 설명은 실시예 모드 1 내지 8에 자유롭게 조합될 수 있다. 또한, 이 실시예 모드에 다양한 도면들을 참조하여 설명이 이루어진다. 따라서, 각 도면으로부터의 부품 각각을 조합함으로써 다른 구조가 이루어질 수 있다.

[실시예 모드 10]

도 42는 디스플레이 패널(5701)과 회로 기관(5702)이 조합된 액정 모듈을 도시하고 있다. 디스플레이 패널(5701)은 픽셀부(5703), 스캔라인 구동기 회로(5704) 및 신호 라인 구동기 회로(5705)를 포함한다. 예를 들면, 제어 회로(5706), 신호 분할 회로(5707)등이 회로 기관(5702) 위에 형성된다. 디스플레이 패널(5701) 및 회로 기관(5702)은 접속 배선(5708)에 의해 연결된다. fPc등이 접속 배선으로 사용될 수 있다.

디스플레이 패널(5701)은, 픽셀부와 주연 구동기 회로의 일부(다수의 구동기 회로 중 낮은 작동 주파수를 갖는 구동기 회로)가 Tft를 사용하여 동일한 기관 위에 형성되고 동시에, 주연 구동기 회로의 다른 부분(다수의 구동기 회로 중 높은 작동 주파수를 갖는 구동기 회로)이 cOg(chip On glass)등에 의해 디스플레이 패널(5701)에 장착될 수 있는 Ic칩 위에 형성되는 방법으로 형성될 수 있다. 선택적으로, Ic 칩은 Tab(Tape automated bonding) 또는 프린트 회로 기관에 의해 디스플레이 패널(5701) 상에 장착될 수 있다. 도 41a는, 주연 구동기 회로의 일부와 픽셀부가 기관위에 형성되는 동시에, 주연 구

동기 회로의 다른 부분이 형성된 Ic 칩이 cOg등에 의해 기관상에 장착되는 디스플레이 구조 예를 도시하고 있다. 그러한 구조를 사용함으로써, 디스플레이 디바이스의 동력 소모가 감소될 수 있고, 단위 전하당 모바일 폰 작동 시간이 연장될 수 있다. 또한, 모바일 폰의 비용 감소가 달성될 수 있다.

또한, 한 로우에서 픽셀에 신호를 기록하는 시간이 신호 세트의 임피던스를 버퍼에 의해 스캔 라인 또는 신호 라인으로 변환하는 것에 의해 단축될 수 있다. 따라서, 고-해상 디스플레이 디바이스가 제공될 수 있다.

동력 소모를 더욱 감소시키기 위해서, 픽셀부가 TFT를 사용하여 기관위에 형성될 수 있고, 모든 신호 라인 구동기 회로가 cOg(chip On glass)등에 의해 디스플레이 패널상에 장착될 수 있는 Ic칩 위에 형성될 수 있다.

픽셀부가 TFT를 사용하여 기관위에 형성되고, 모든 주연 구동기 회로가 cOg(chip On glass)에 의해 디스플레이 패널상에 장착될 수 있는 Ic칩 상에 형성되는 것이 양호하다. 도 41b는 픽셀부가 기관위에 형성되고, 신호 라인 구동기 회로가 형성되는 Ic칩이 cOg등에 의해 기관상에 장착되는 구조의 예를 도시하고 있다.

액정 텔레비전 수신기가 이 액정 모듈로 완성될 수 있다. 도 43은 액정 텔레비전 수신기의 주요 구조를 도시하는 블록 다이어그램이다. 튜너(5801)가 비디오 신호 및 오디오 신호를 수신한다. 그 비디오 신호는, 비디오 신호 증폭기 회로(5802); 비디오 신호 증폭기 회로(5802)로부터 출력된 신호를 레드, 그린 및 블루의 각각에 대응하는 칼라 신호로 변환하는 비디오 신호 처리 회로(5803), 그리고 비디오 신호를 구동기 회로의 사양으로 변화시키는 제어 회로(5706)에 의해 처리된다. 상기 제어 회로(5706)는 스캔 라인 측 및 신호 라인 측 각각에 출력한다. 디지털 구동을 수행하는 경우에, 신호 구동회로(5707)가 신호 라인 측에 제공되어 입력된 디지털 신호가 공급되는 m 신호로 분할된다.

튜너(5801)에 의해 수신된 신호 중에서, 오디오 신호는 오디오 신호 증폭기 회로(5804)로 송신되고, 그것으로부터의 출력이 오디오 신호 처리 신호(5805)를 통하여 스피커(5806)로 공급된다. 제어 회로(5807)는 수신 스테이션(수신 주파수) 상의 데이터와 입력부(5808)로부터의 불륨을 수신하고, 신호들을 튜너(5801) 및 오디오 신호 처리 회로(5805)로 송신한다.

텔레비전 수신기는 액정 모듈을 하우징에 탑재 시킴으로써 완성될 수 있다. 디스플레이부는 액정 모듈에 의해 형성된다. 또한, 스피커, 비디오 입력 단자등이 적절하게 제공될 수 있다.

말할 필요도 없이, 본 발명은 텔레비전 수신기에 제한되지 않고, 특히 큰 면적의 디스플레이 매체로서, 개인용 컴퓨터의 모니터, 기차역 또는 공항의 정보 디스플레이 보드, 거리의 광고 디스플레이 보드에 적용될 수 있다.

전술한 바와 같이, 하이-트라스트 화상이 본 발명의 디스플레이 디바이스를 이용하여 얻어질 수 있다.

이 실시예 모드에서의 설명은 실시예 모드 1 내지 9의 그것들과 자유롭게 조합될 수 있다.

또한, 이 실시예 모드에서는 다양한 도면들을 참조하여 설명이 이루어진다. 하나의 도면은 다양한 부품을 구성한다. 따라서, 다른 구조가 각 도면으로부터의 각 부품을 조합하여 이루어질 수 있다.

[실시예 모드 11]

본 발명은 다양한 전자 디바이스에 적용될 수 있다. 특히, 본 발명은 전자 디바이스의 디스플레이부에 적용될 수 있다. 그러한 전자 디바이스로서, 비디오 카메라, 디지털 카메라와 같은 카메라, 고글형 디스플레이, 내비게이션 시스템, 오디오 재생 디바이스(카오디오, 오디오부품 스테레오등), 컴퓨터, 게임기, 휴대용 정보 단자(모바일 컴퓨터, 모바일 폰, 휴대용 게임기, 전자 북등), 기록 매체를 제공한 화상 재생 디바이스(특히, dVd와 같은 기록 매체 재생 디바이스 및 재생 화상을 디스플레이하기 위한 디스플레이 디바이스)등이 예로서 들 수 있다.

도 44a는 디스플레이 디바이스를 도시하는데, 그것은, 샤시(35001), 지지 베이스(35002), 디스플레이부(35003), 스피커부(35004), 비디오 입력 단자(35005)등을 포함한다. 본 발명의 디스플레이 디바이스는 디스플레이부(35003)에 적용될 수 있다. 상기 디스플레이 디바이스는 개인용 컴퓨터, TV 방송 수신 및 광고 디스플레이의 그것들과 같은 모든 정보 디스플레이 디바이스를 포함한다. 디스플레이부(35003)를 위한 본 발명의 디스플레이 디바이스를 사용하는 디스플레이 디바이스는 하이-콘트라스트 화상을 제공할 수 있다.

도 44b는 카메라를 도시하는데, 그것은 주 몸체부(35101), 디스플레이부(35102), 화상 수신부(35103), 작동 키(35104), 외부 접속포트(35105), 셔터(35106)등을 포함한다.

본 발명이 디스플레이부(35102)에 적용되는 디지털 카메라는 하이-콘트라스트 화상을 제공할 수 있다.

도 44c는 컴퓨터를 도시하는데, 그것은, 주몸체(35201), 샷시(35202), 디스플레이부(35203), 키보드(35204), 외부접속 포트(35205), 포인팅디바이스(35206)등을 포함한다. 본 발명이 디스플레이부(35203)에 적용되는 컴퓨터는 하이-콘트라스트 화상을 제공할 수 있다.

도 44d는 모바일 컴퓨터를 도시하는데, 그것은, 주몸체(35301), 디스플레이부(35303), 작동 키(35304), 적외선부(35305)등을 포함한다. 본 발명이 디스플레이부(35302)에 적용되는 모바일 컴퓨터는 하이-콘트라스트 화상을 제공할 수 있다.

도 44e는 기록 매체가 제공된 휴대용 화상 재생 디바이스(특히, dVd 플레이어)를 도시하는데, 그것은, 주몸체(35401), 샷시(35402), 디스플레이부a(35403), 디스플레이부b(35404), 기록매체(dVd와 같은) 기록부(35405), 작동키(35406), 스피커부(35407)등을 포함한다. 디스플레이부a(35403)는 주로 화상 데이터를 디스플레이하고, 디스플레이부b(35404)는 주로 텍스트 데이터를 디스플레이한다. 본 발명이 디스플레이부a(35403) 및 디스플레이부b(35404)에 적용되는 화상 재생 디바이스는 하이-콘트라스트 화상을 제공할 수 있다.

도 44f는 고글형 디스플레이 디바이스를 도시하는데, 그것은, 주몸체(35501), 디스플레이부(35502), 아암부(35503)등을 포함한다. 본 발명이 디스플레이부(35502)에 적용되는 고글형 디스플레이는 하이-콘트라스트 화상을 제공할 수 있다.

도 44g는 비디오 카메라를 도시하는데, 그것은, 주몸체(35601), 디스플레이부(35602), 샷시(35603), 외부 접속포트(35604), 리모트컨트롤러 수신부(35805), 화상 수신부(35606), 배터리(35607), 오디오입력부(35608), 작동 키(35609), 아이피스부(35610)등을 포함한다. 본 발명이 디스플레이부(35602)에 적용되는 비디오카메라는 하이-콘트라스트 화상을 제공할 수 있다.

발명의 효과

도 44h는 모바일폰을 도시하는데, 그것은, 주몸체(35701), 샷시(35702), 디스플레이부(35703), 오디오 입력부(35704), 오디오 출력부(35705), 작동 키(35706), 외부 접속 포트(35707), 안테나(35708)등을 포함한다. 본 발명이 디스플레이부(35703)에 적용되는 모바일 폰은 하이-콘트라스트 화상을 제공할 수 있다.

전술한 바와 같이, 본 발명의 적용 범위는 광범위하여 본 발명은 다양한 분야의 전자 분야에 적용될 수 있다. 또한, 이 실시예에 기재된 전자 디바이스는 실시예에 기재된 1 내지 13에 기술된 어떤 구조의 디스플레이 디바이스를 이용할 수 있다.

이 응용은 이곳에 전체가 참조된 2005년 12월 28일 일본 특허청에 출원된 일본국 특허 출원 제 2005-378778호에 기초하고 있다.

도면의 간단한 설명

도 1a 내지 1c는 본 발명 반도체 디바이스 제조 단계를 도시하는 단부도.

도 2a 내지 2c는 본 발명 반도체 디바이스 제조 단계를 도시하는 단부도.

도 3a 및 3b는 본 발명 반도체 디바이스 제조 단계를 도시하는 단부도.

도 4는 본 발명 반도체 디바이스를 도시하는 단부도.

도 5는 본 발명 반도체 디바이스를 도시하는 단부도.

도 6은 본 발명 반도체 디바이스를 도시하는 단부도.

도 7a 및 7b는 본 발명 반도체 디바이스 제조 단계를 도시하는 단부도.

도 8a 및 8b는 본 발명 반도체 디바이스 제조 단계를 도시하는 단부도.

도 9는 본 발명 반도체 디바이스를 도시하는 단부도.

도 10는 본 발명 반도체 디바이스를 도시하는 단부도.

도 11은 본 발명 반도체 디바이스를 도시하는 단부도.

도 12는 본 발명 반도체 디바이스를 도시하는 단부도.

도 13은 본 발명 반도체 디바이스를 도시하는 단부도.

도 14는 본 발명 반도체 디바이스를 도시하는 단부도.

도 15는 본 발명 반도체 디바이스를 도시하는 단부도.

도 16은 본 발명 반도체 디바이스를 도시하는 단부도.

도 17은 본 발명 반도체 디바이스를 도시하는 단부도.

도 18은 본 발명 반도체 디바이스를 도시하는 단부도.

도 19는 본 발명 반도체 디바이스를 도시하는 단부도.

도 20a 내지 20c는 노광 마스크를 나타내는 상부 평면도이고, 도 20d는 광 강도 분포를 나타내는 다이어그램.

도 22는 본 발명 반도체 디바이스를 도시하는 단부도.

도 23은 본 발명 반도체 디바이스를 도시하는 단부도.

도 25는 본 발명 반도체 디바이스를 도시하는 단부도.

도 26은 본 발명 반도체 디바이스를 도시하는 단부도.

도 27은 본 발명 반도체 디바이스를 도시하는 단부도.

도 28은 본 발명 반도체 디바이스를 도시하는 상부 평면도.

도 29는 본 발명 반도체 디바이스를 도시하는 상부 평면도.

도 30은 본 발명 반도체 디바이스를 도시하는 상부 평면도.

도 31은 본 발명 반도체 디바이스를 도시하는 상부 평면도.

도 32는 본 발명 반도체 디바이스를 도시하는 상부 평면도.

도 33은 본 발명 반도체 디바이스를 도시하는 상부 평면도.

도 34는 본 발명 반도체 디바이스를 도시하는 상부 평면도.

도 35는 본 발명 반도체 디바이스를 도시하는 상부 평면도.

도 36은 본 발명 반도체 디바이스를 도시하는 상부 평면도.

- 도 37은 본 발명 반도체 디바이스를 도시하는 상부 평면도.
- 도 38은 본 발명 반도체 디바이스를 도시하는 상부 평면도.
- 도 39는 본 발명 반도체 디바이스를 도시하는 상부 평면도.
- 도 40은 본 발명이 적용되는 전자 디바이스의 한 모드를 도시하는 도면.
- 도 41a 및 도 41b는 본 발명의 반도체 디바이스를 나타내는 도면.
- 도 42는 본 발명의 반도체 디바이스를 나타내는 도면.
- 도 43은 본 발명 반도체 디바이스를 도시하는 다이어그램.
- 도 44a 내지 도 44h는 본 발명이 적용되는 전자 디바이스의 한 모드를 나타내는 도면.
- 도 45는 본 발명의 액정 디스플레이의 회로 다이어그램.
- 도 46은 본 발명 액정 디스플레이 디바이스의 회로 구성에 대한 블록 다이어그램.
- 도 47은 본 발명 반도체 디바이스를 도시하는 단부도.
- 도 48은 본 발명 반도체 디바이스를 도시하는 단부도.
- 도 49는 본 발명 반도체 디바이스를 도시하는 단부도.
- 도 50은 본 발명 반도체 디바이스를 도시하는 단부도.
- 도 51은 본 발명 반도체 디바이스를 도시하는 단부도.
- 도 52는 본 발명 반도체 디바이스를 도시하는 단부도.

<도면의 주요 부분에 대한 부호의 설명>

101a : 차광부 101b : 반-투과부

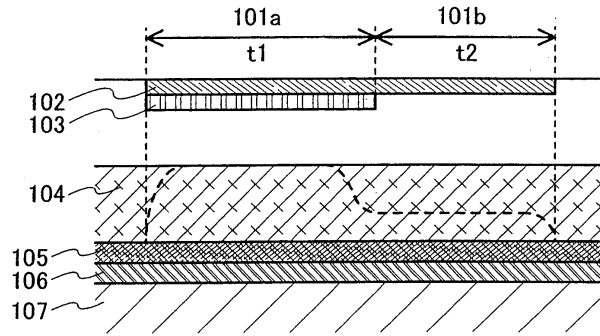
102 : 반-투과막 103 : 금속막

104 : 레지스트 막 104a : 레지스트 패턴

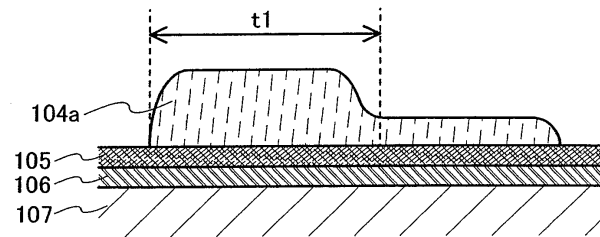
106 : 도전막 107 : 절연막

도면

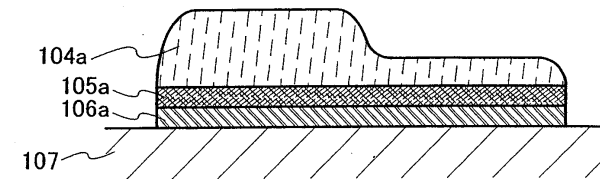
도면1a



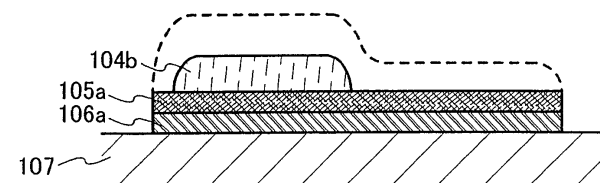
도면1b



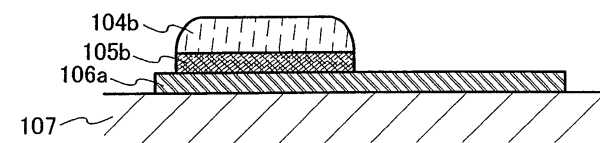
도면1c



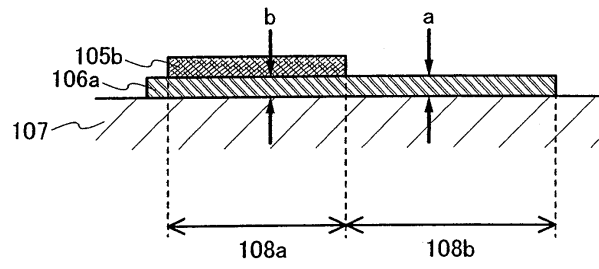
도면2a



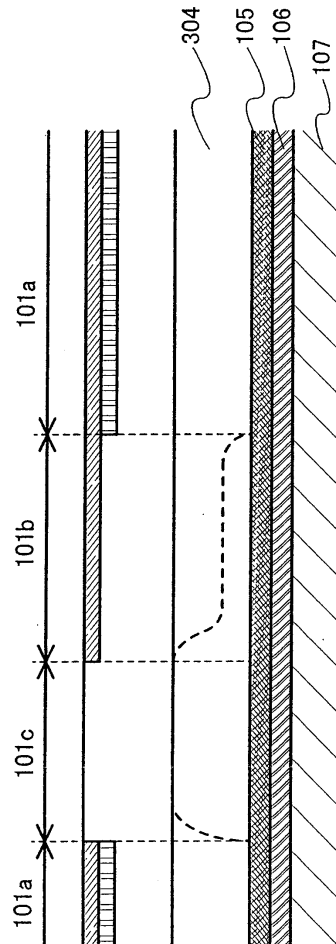
도면2b



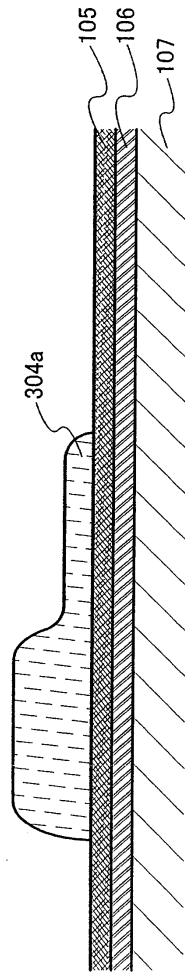
도면2c



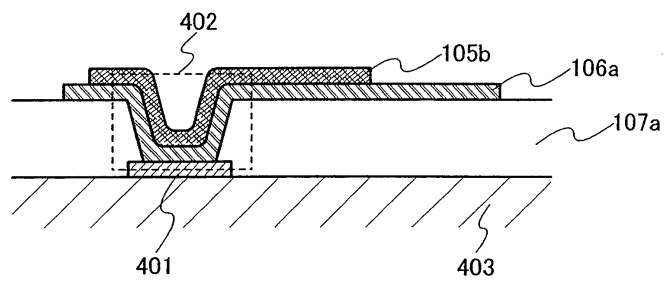
도면3a



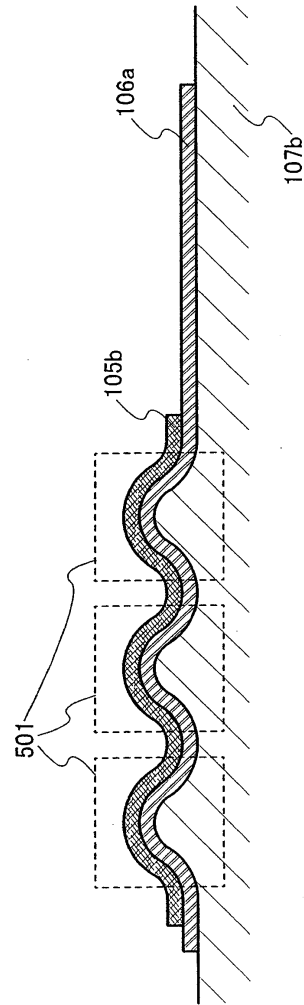
도면3b



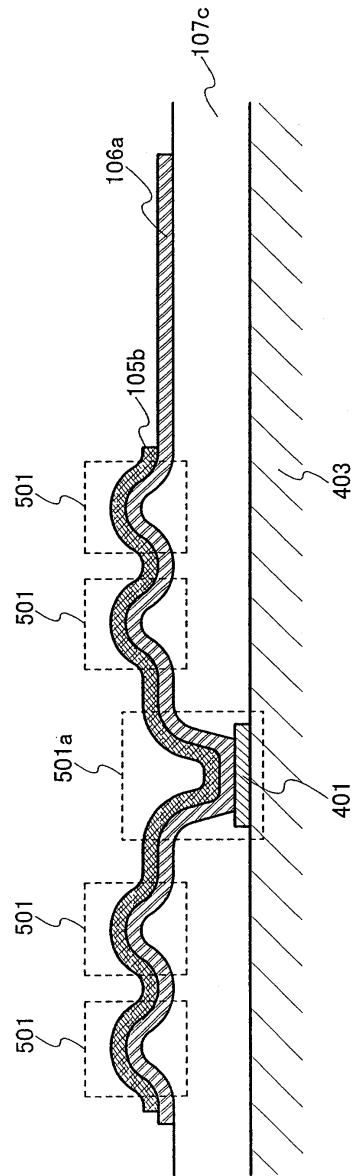
도면4



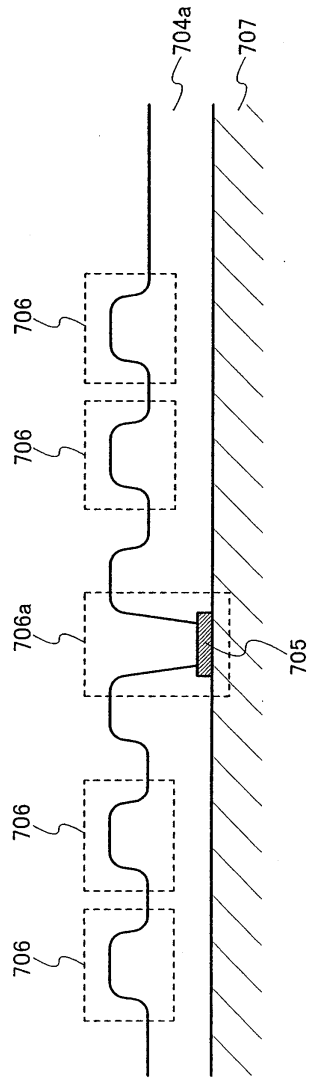
도면5



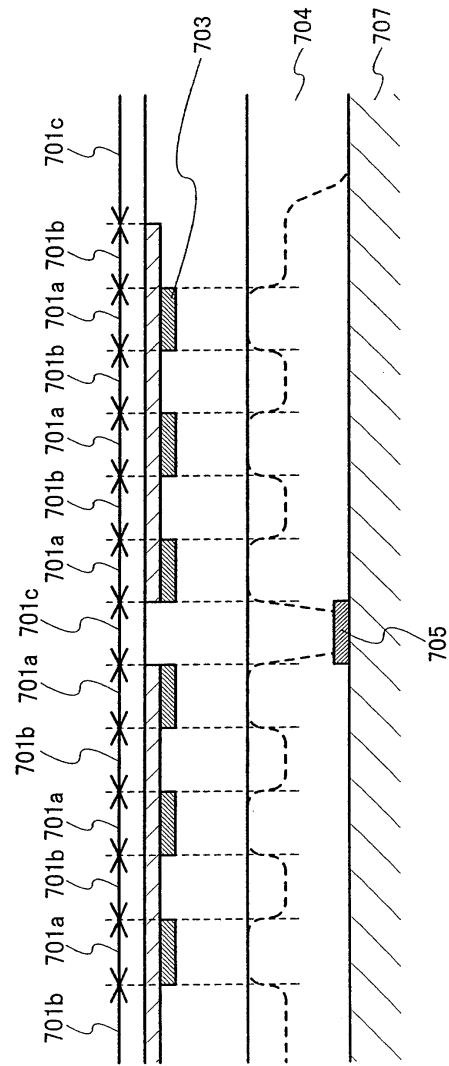
도면6



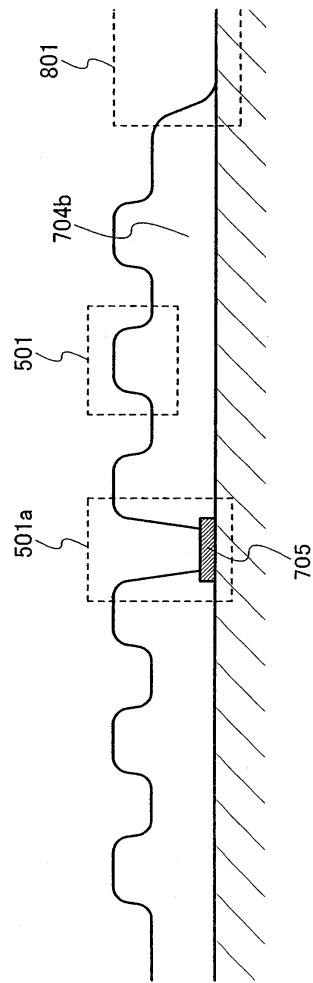
도면7b



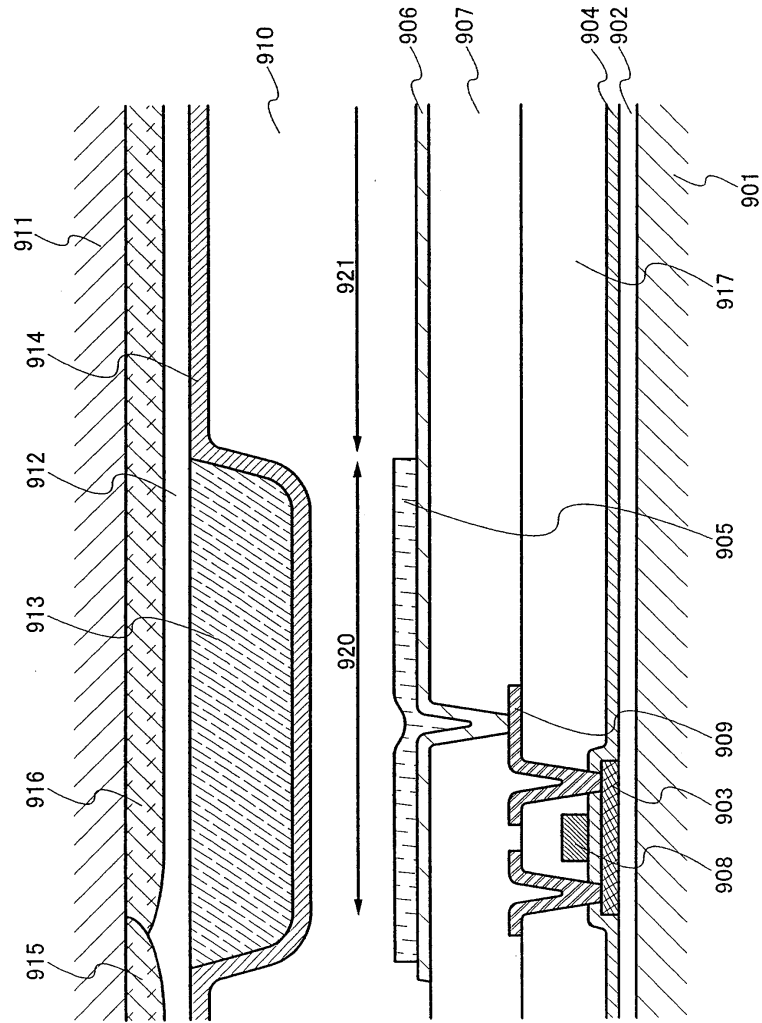
도면8a



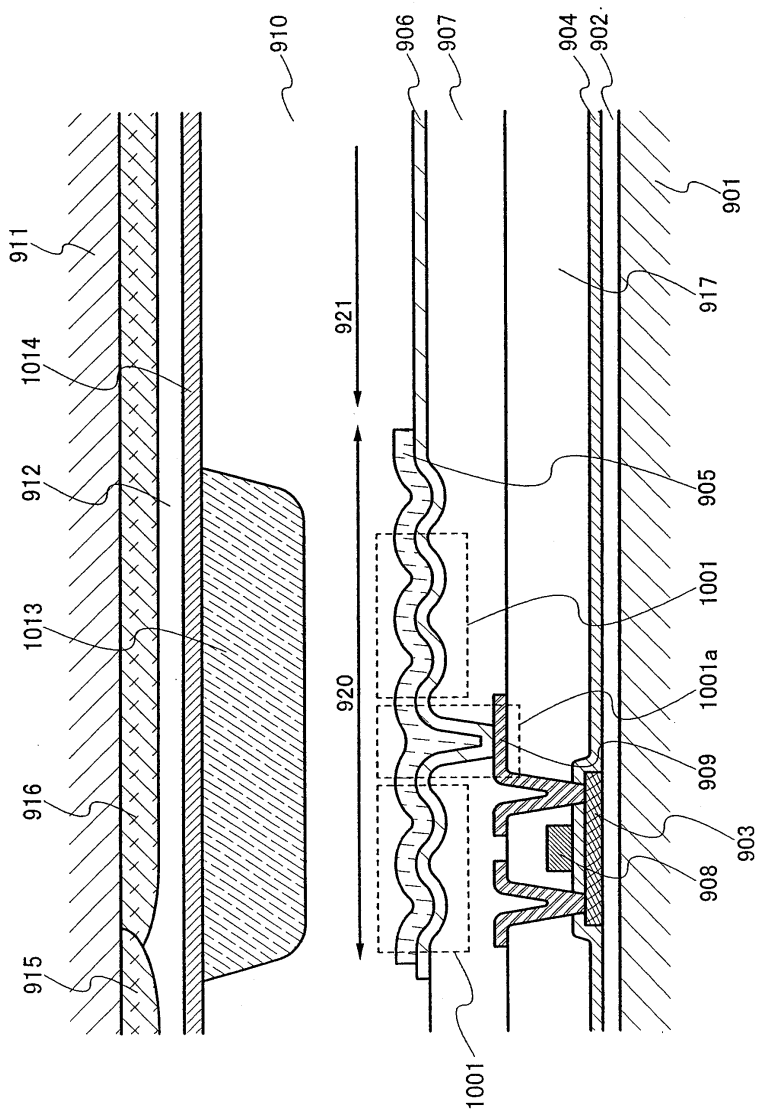
도면8b



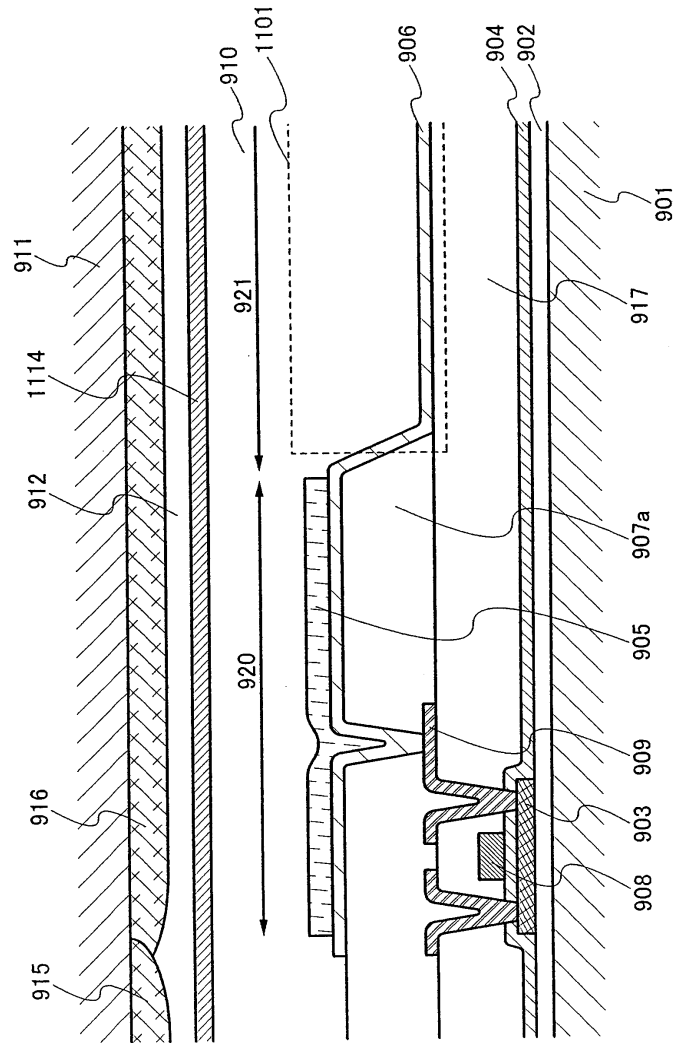
도면9



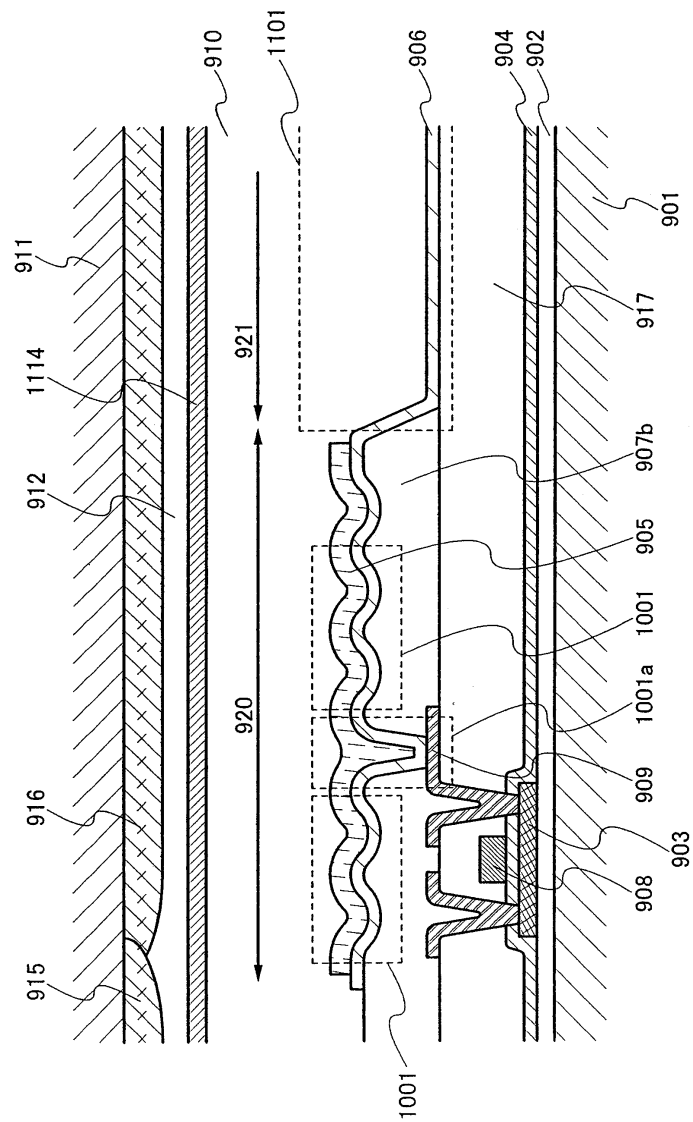
도면10



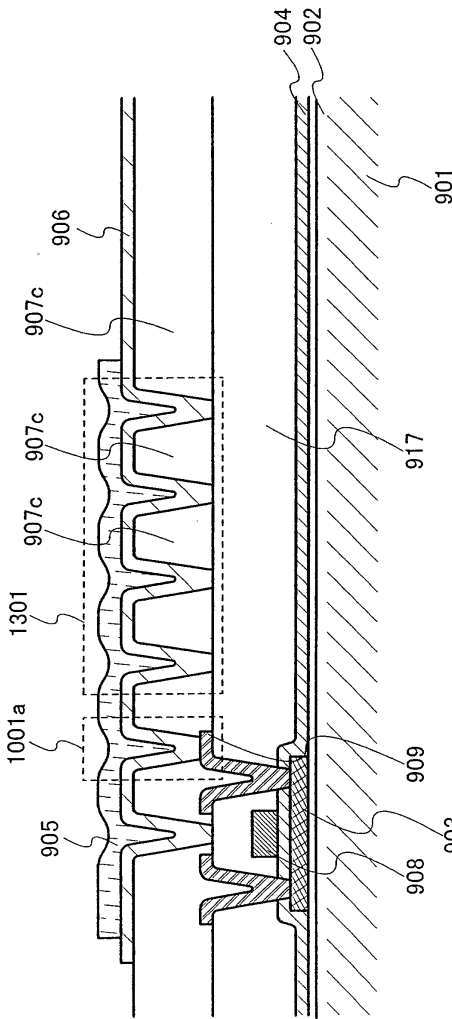
도면11



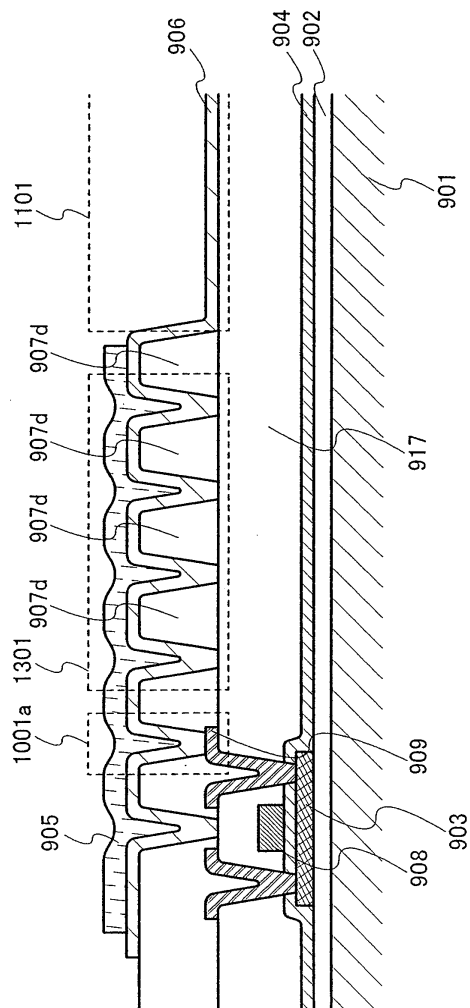
도면12



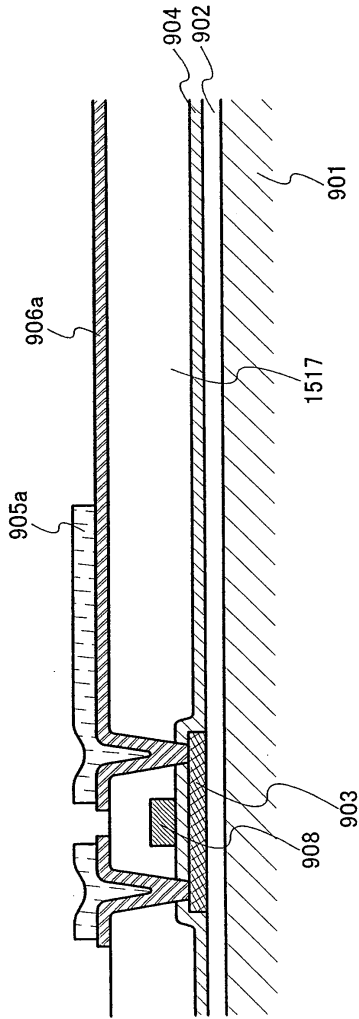
도면13



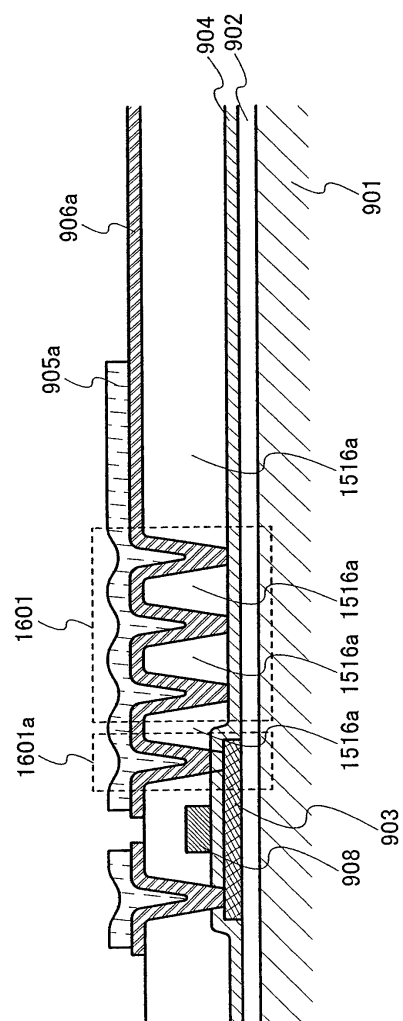
도면14



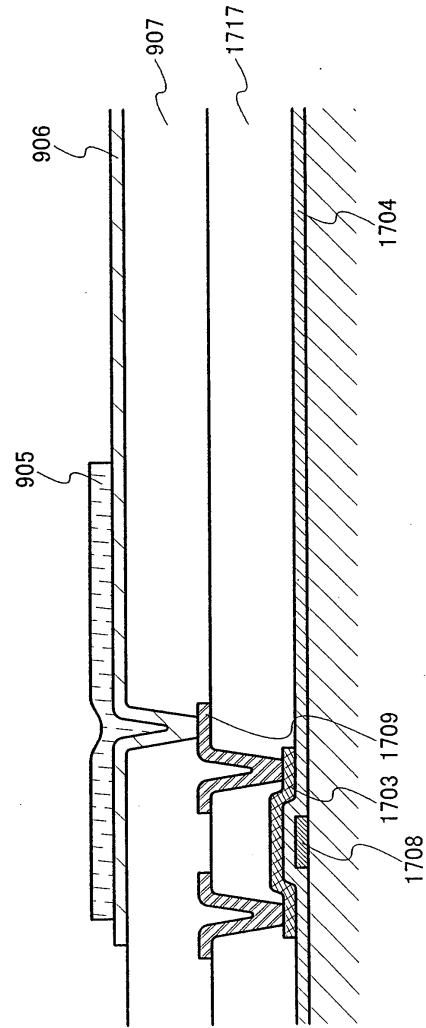
도면15



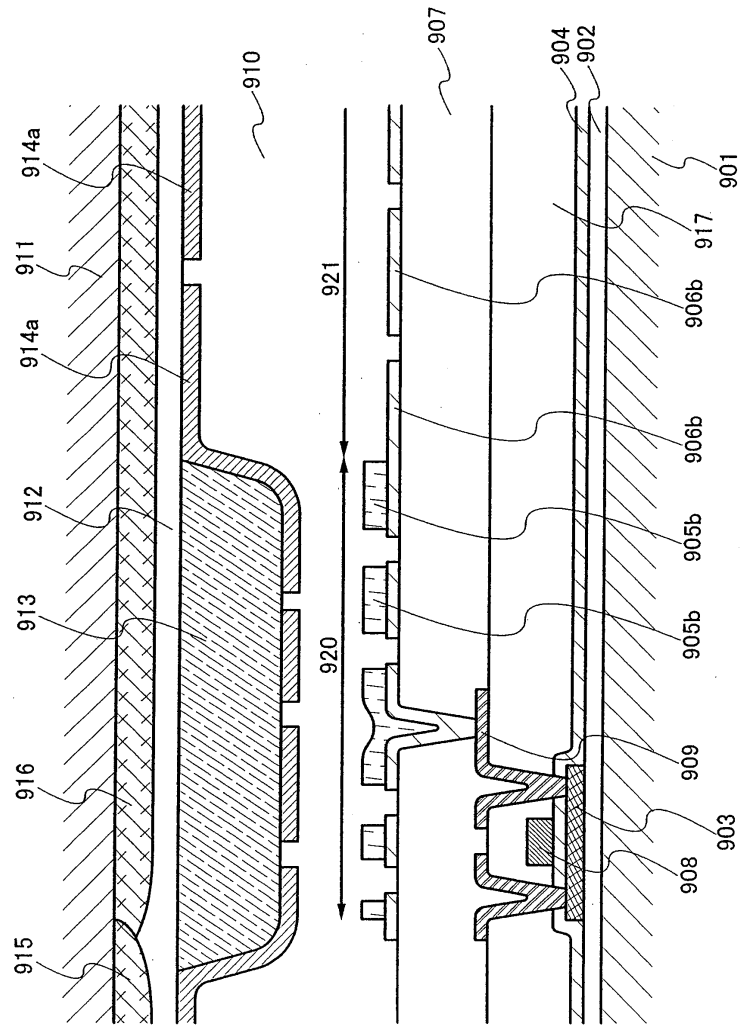
도면16



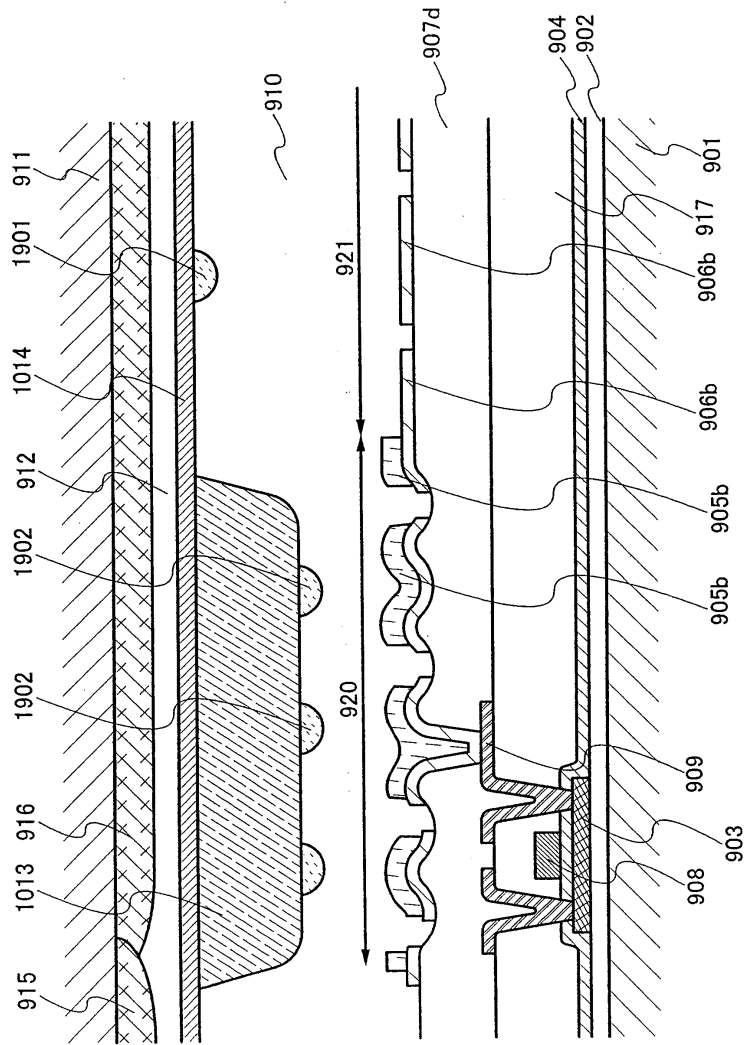
도면17



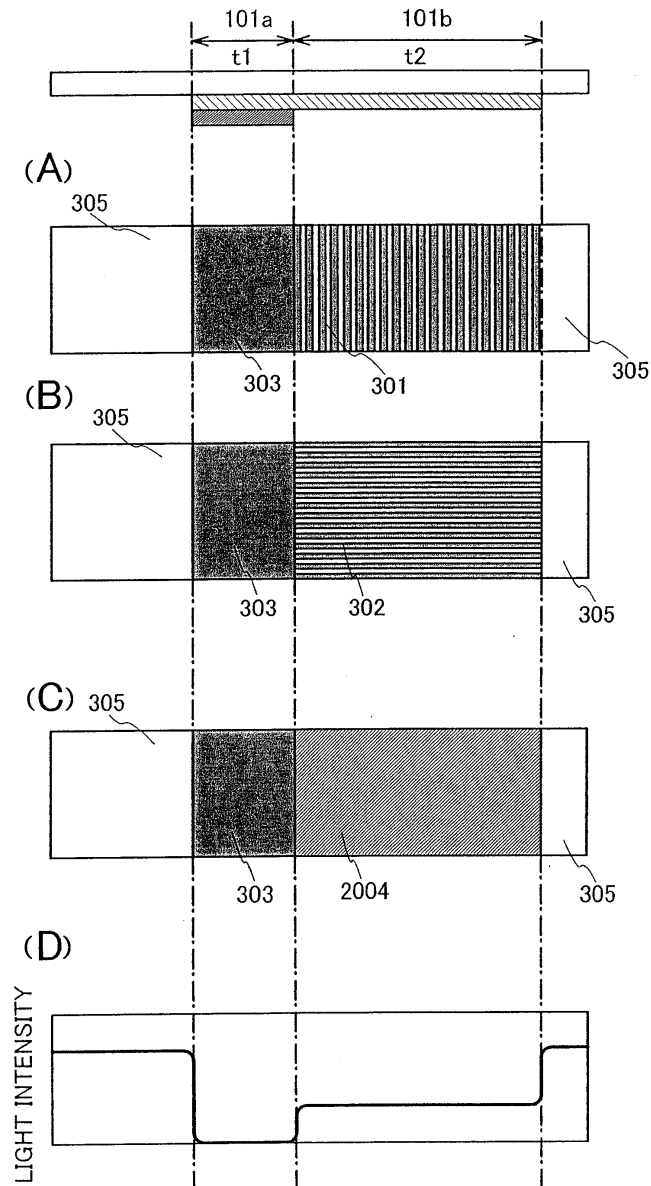
도면18



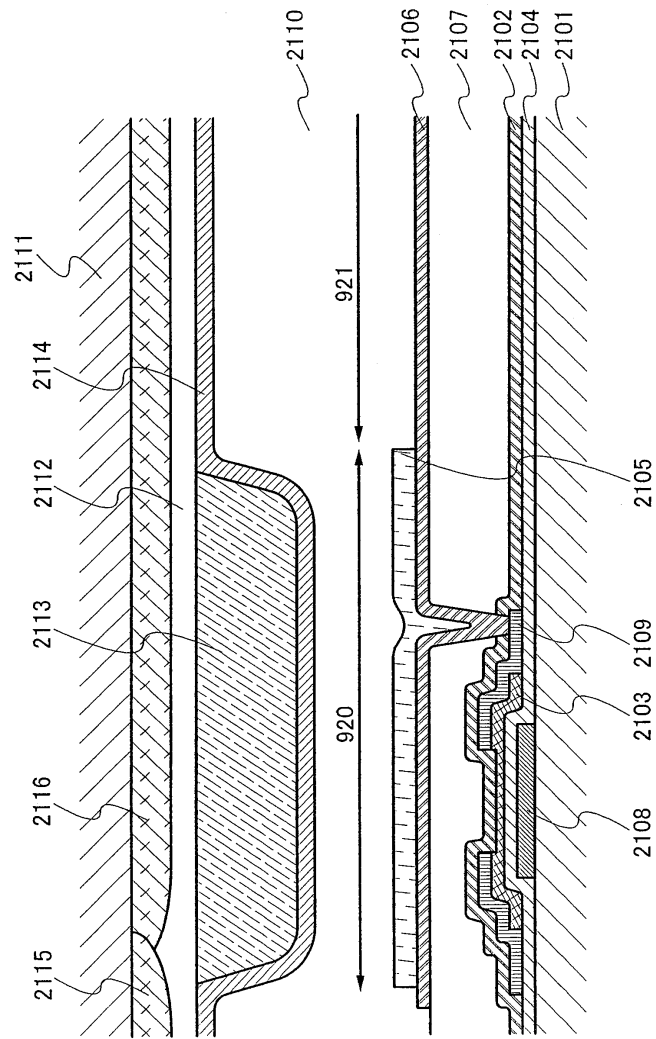
도면19



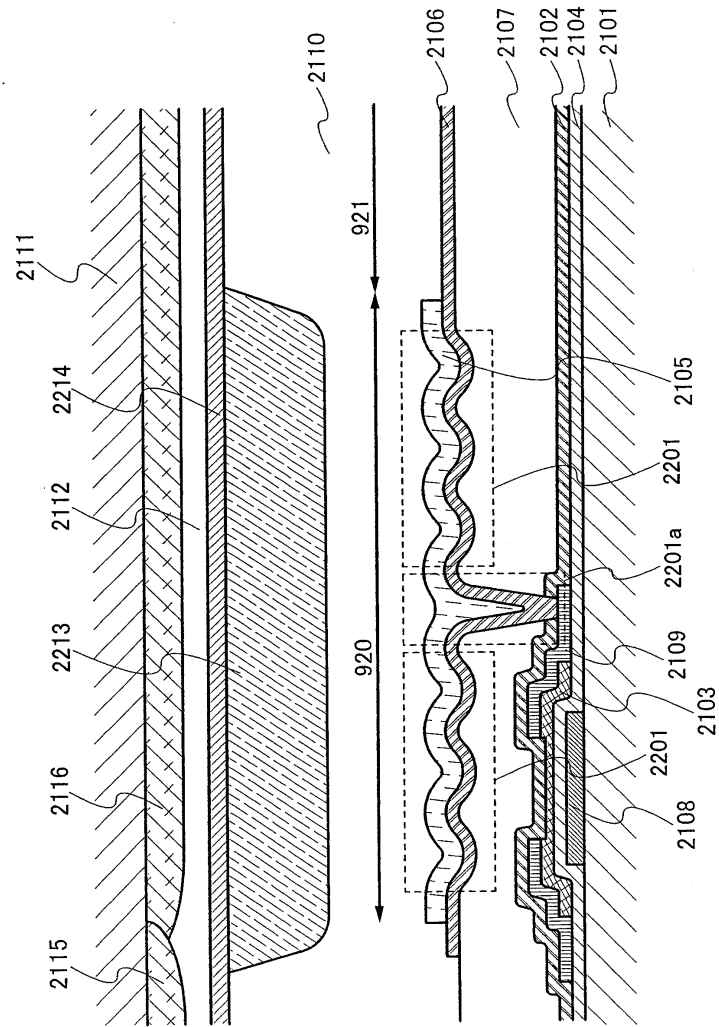
도면20



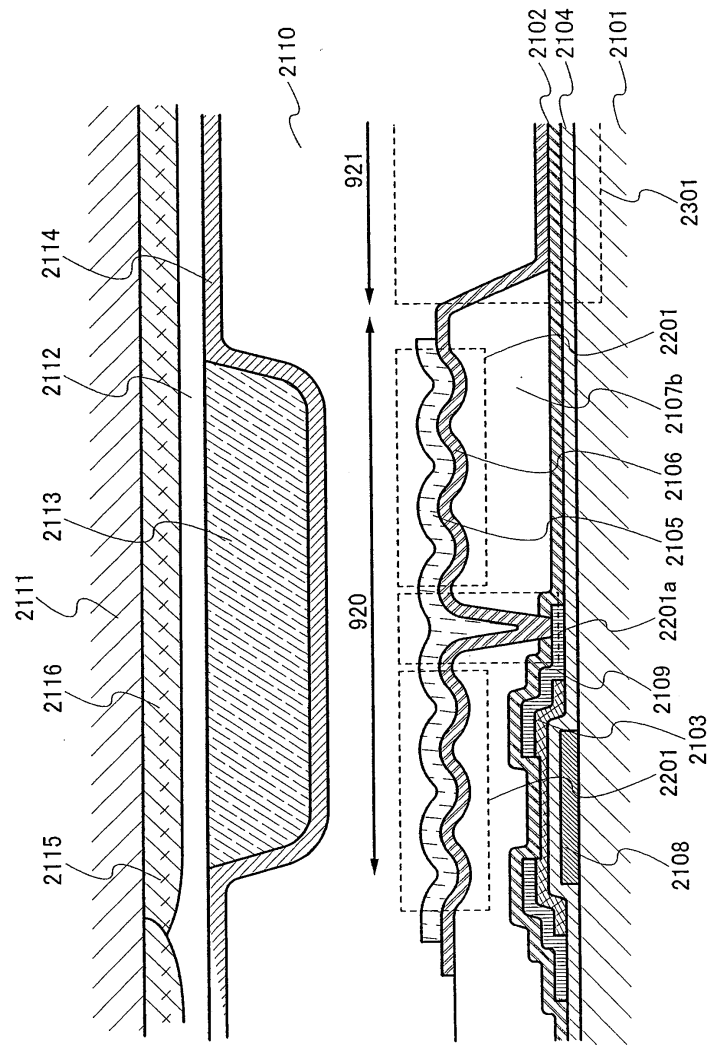
도면21



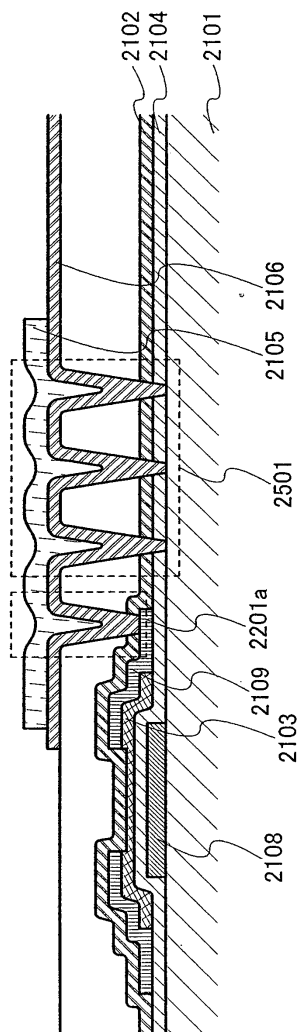
도면22



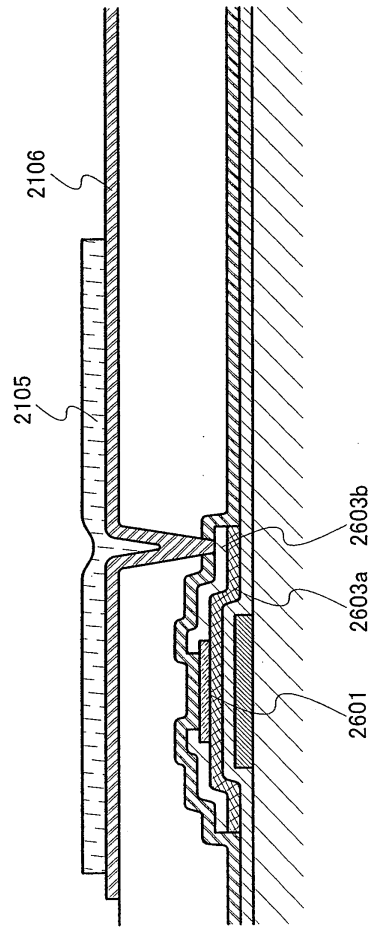
도면24



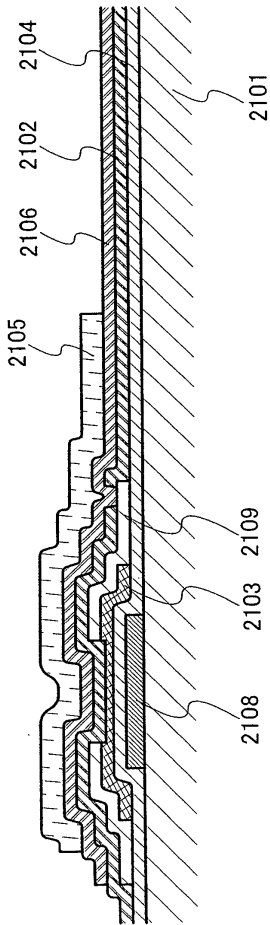
도면25



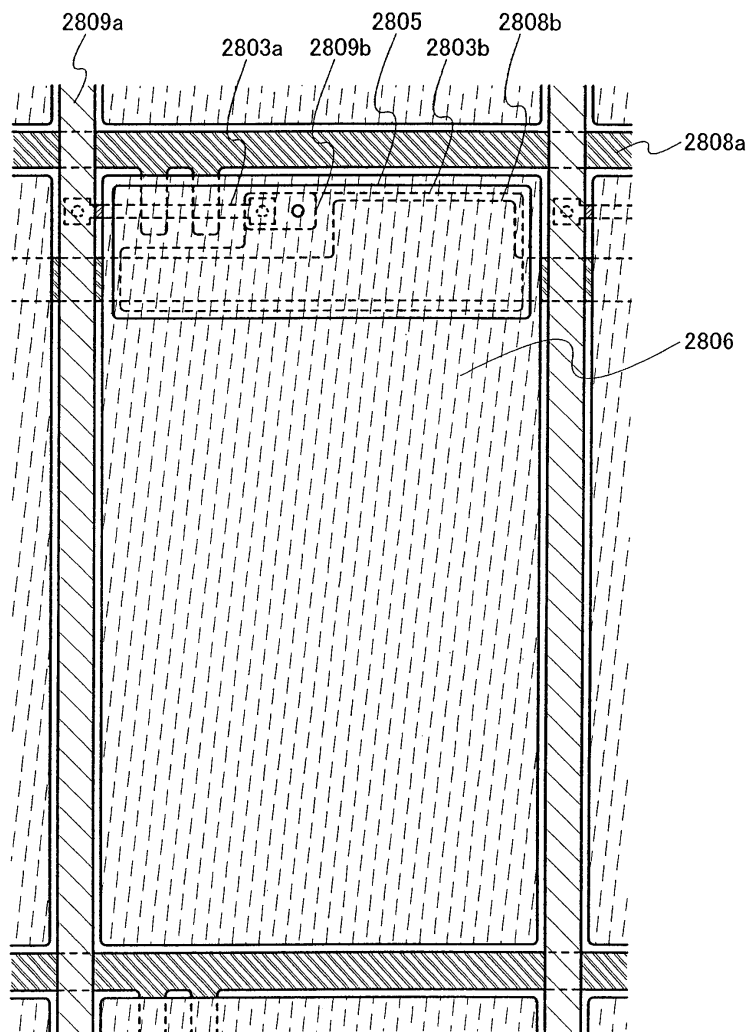
도면26



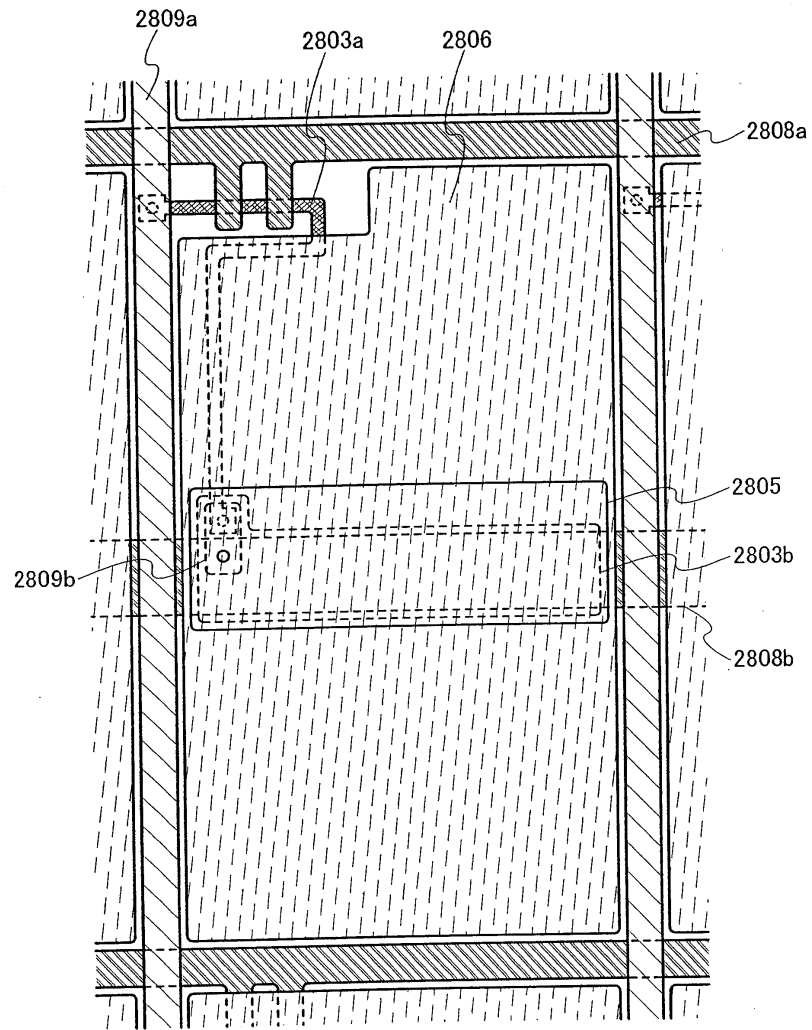
도면27



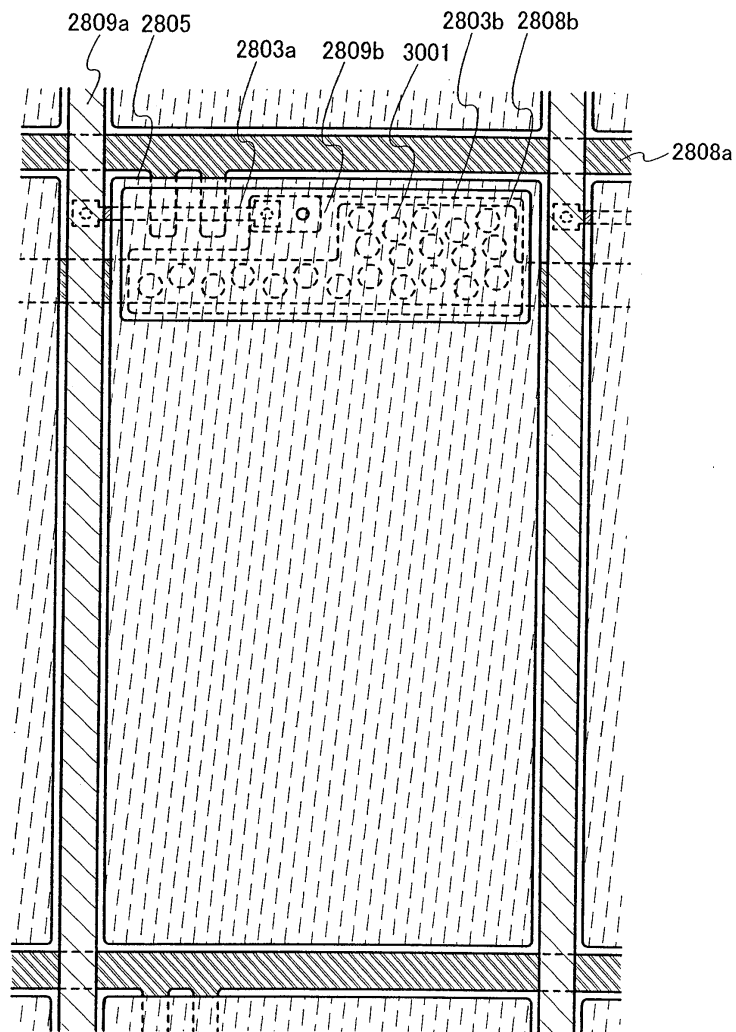
도면28



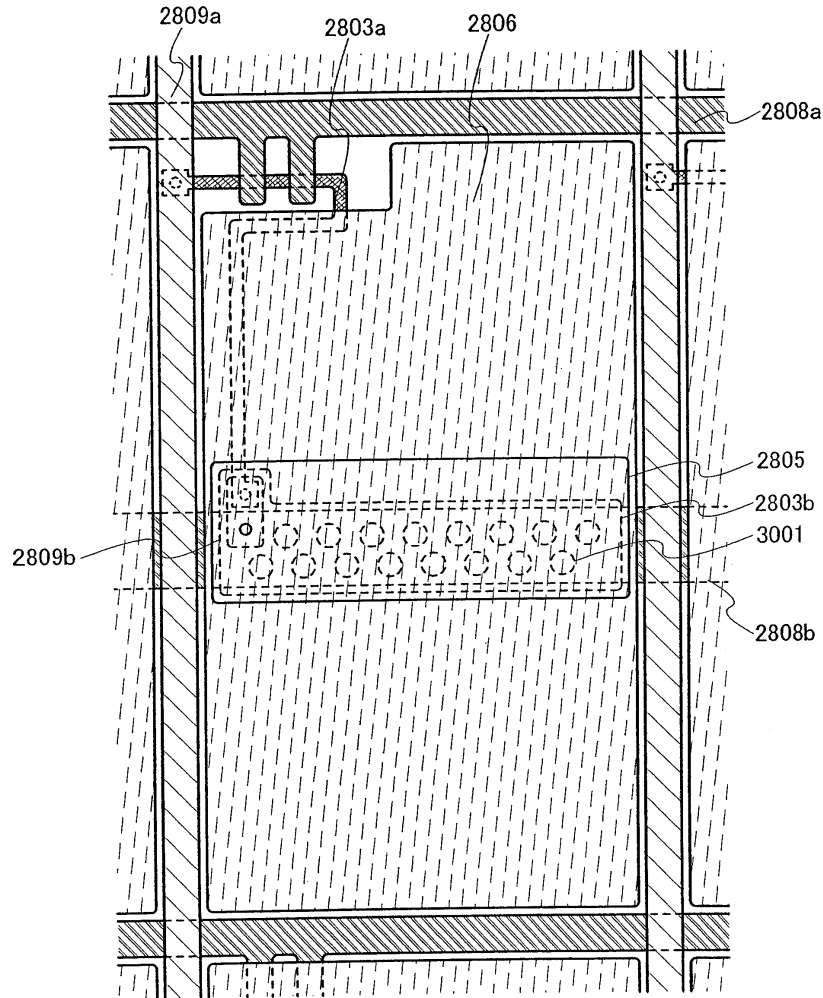
도면29



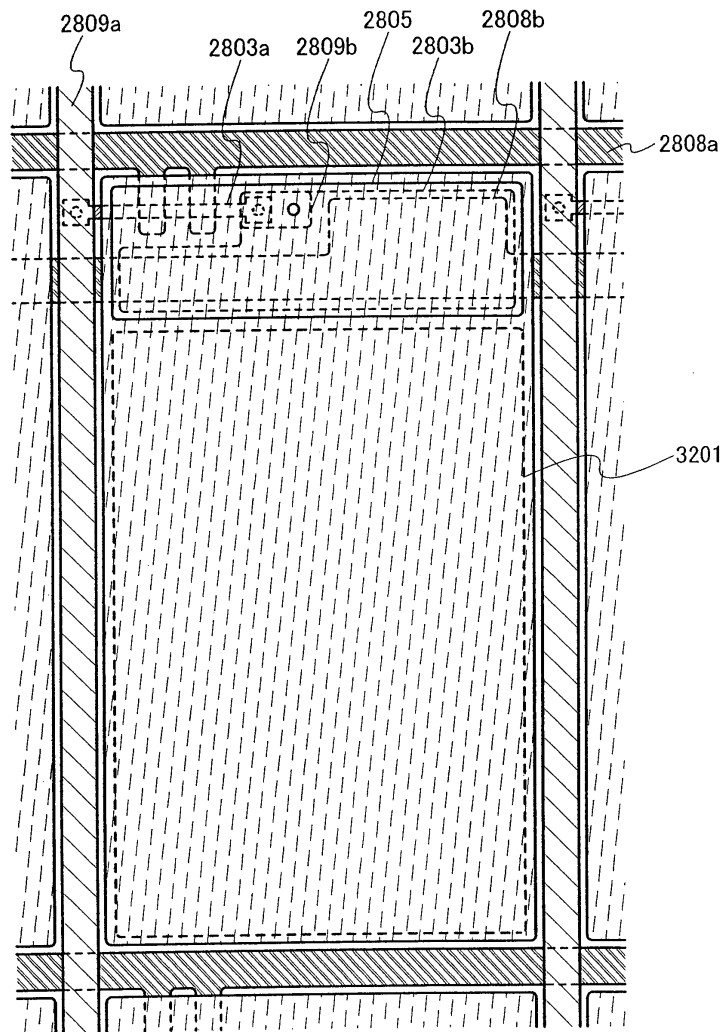
도면30



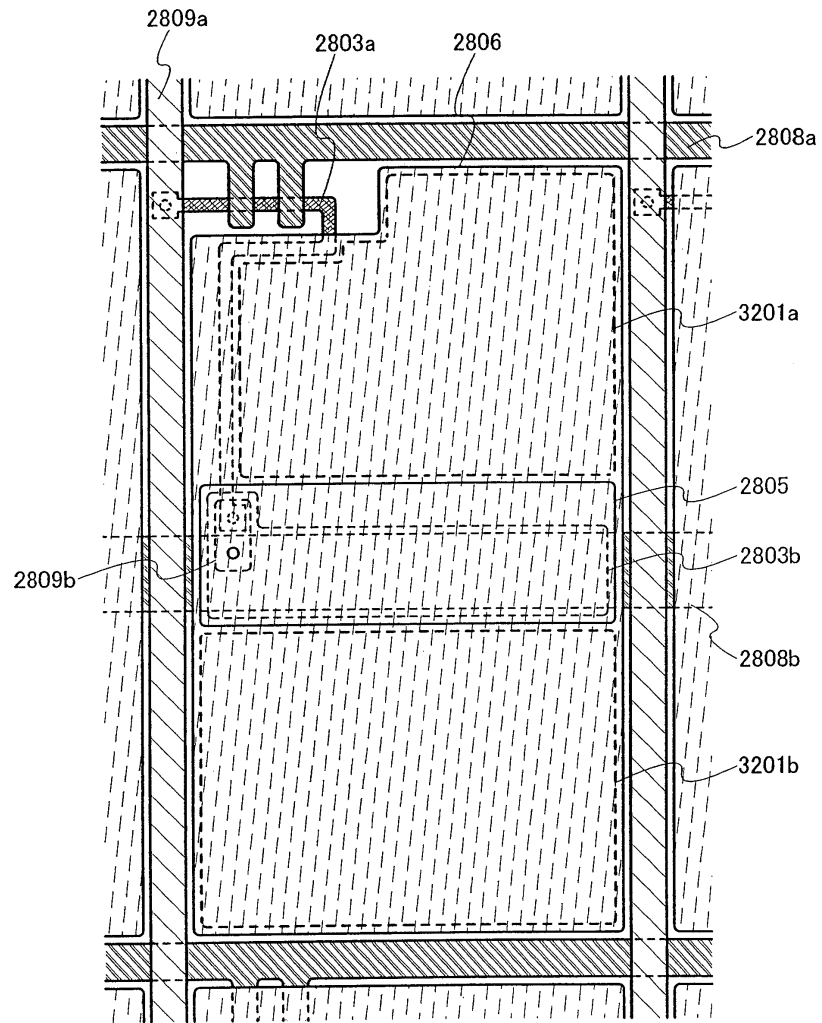
도면31



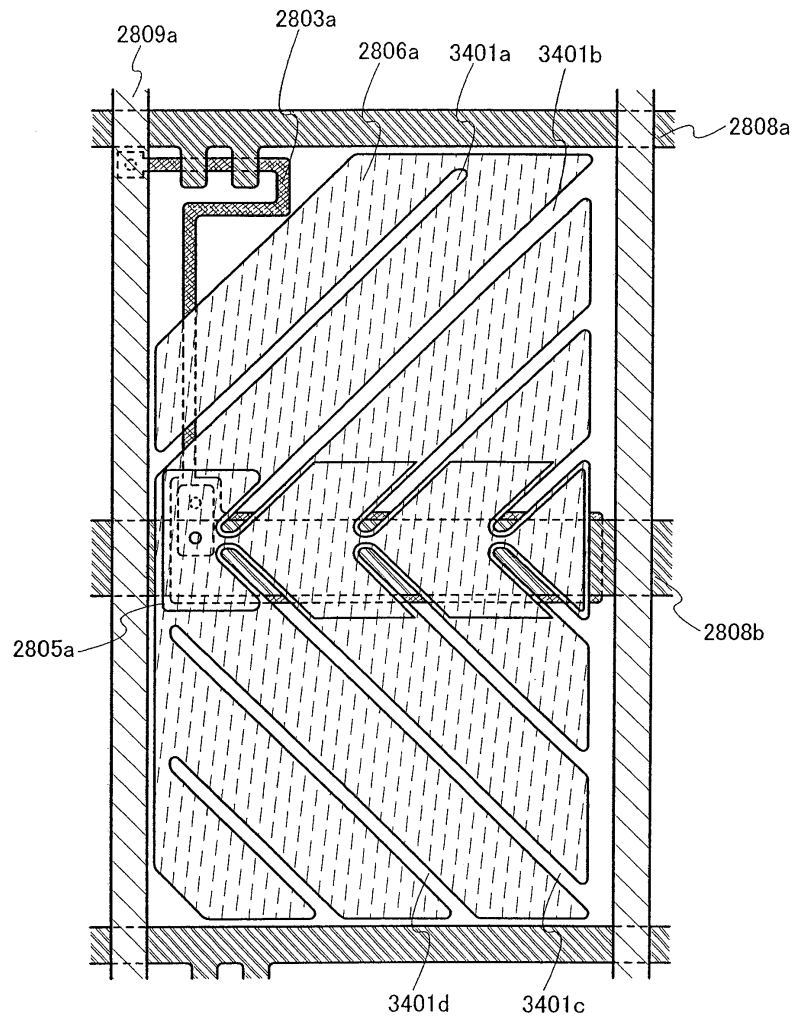
도면32



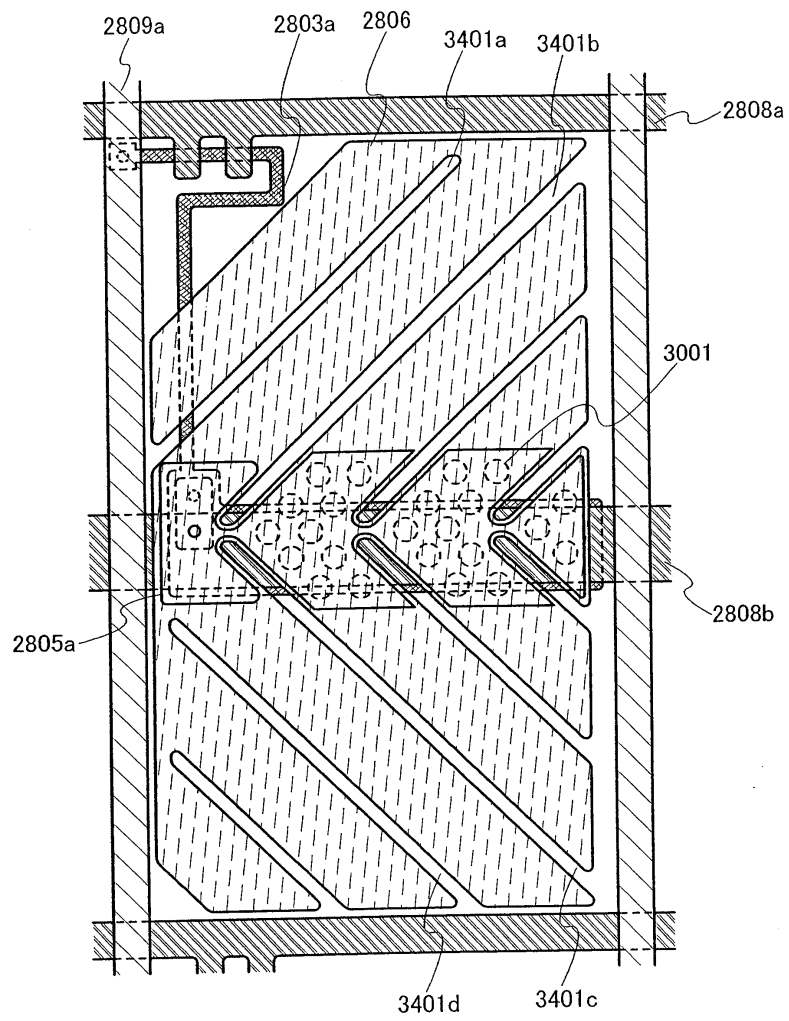
도면33



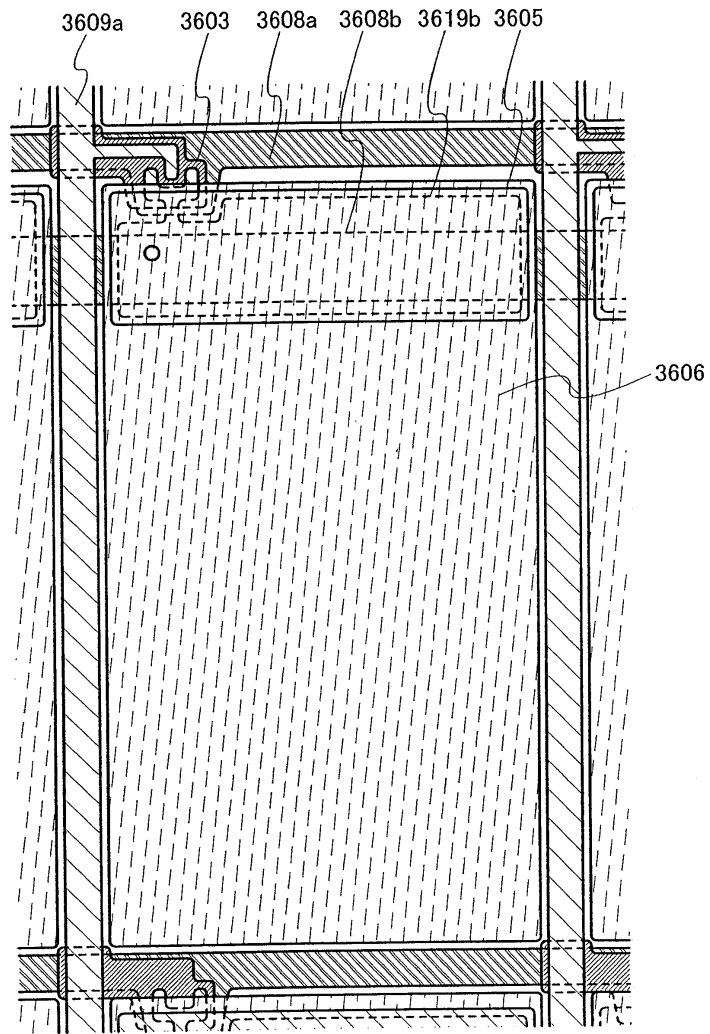
도면34



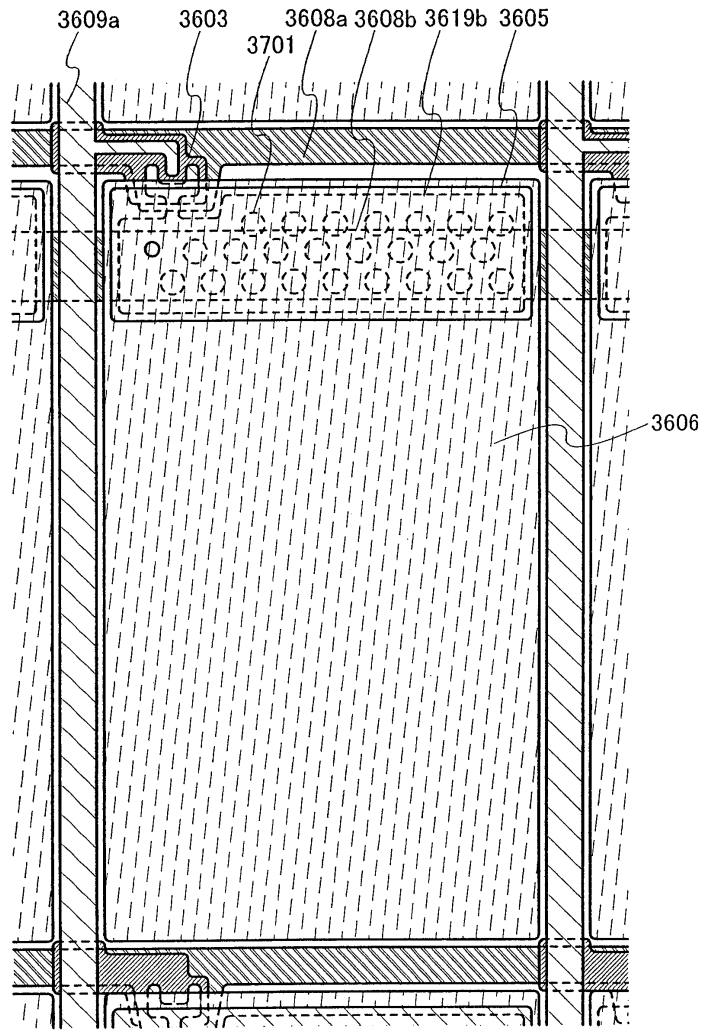
도면35



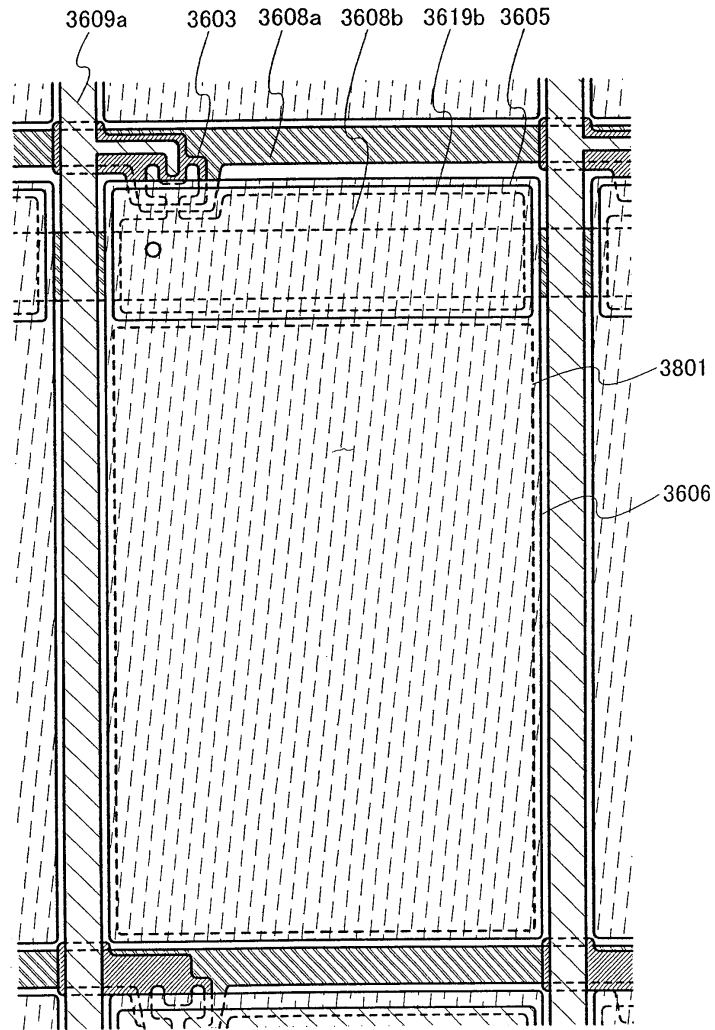
도면36



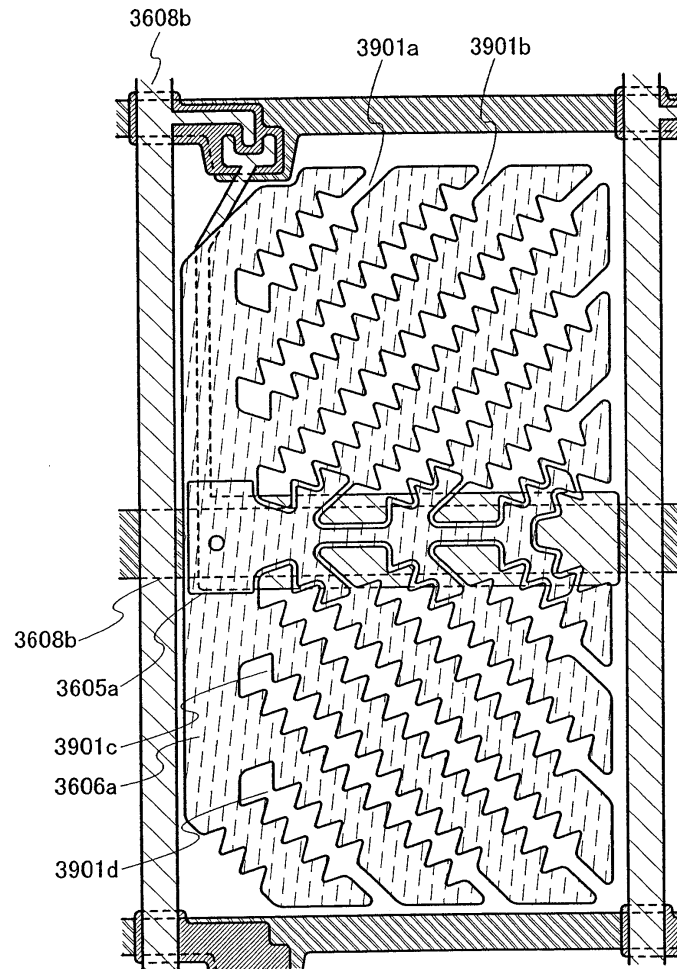
도면37



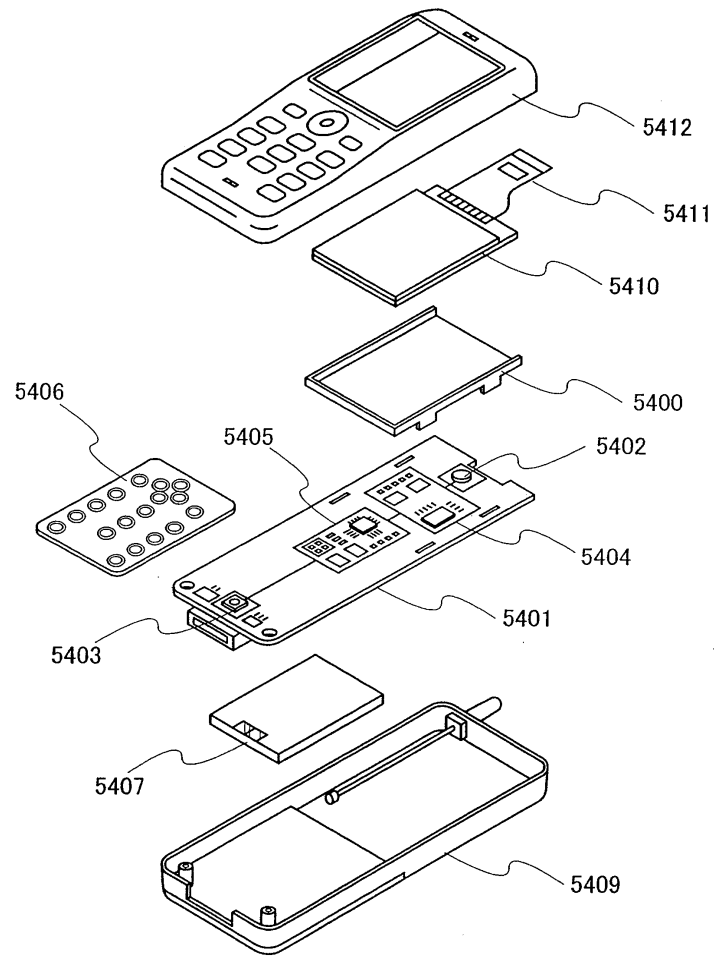
도면38



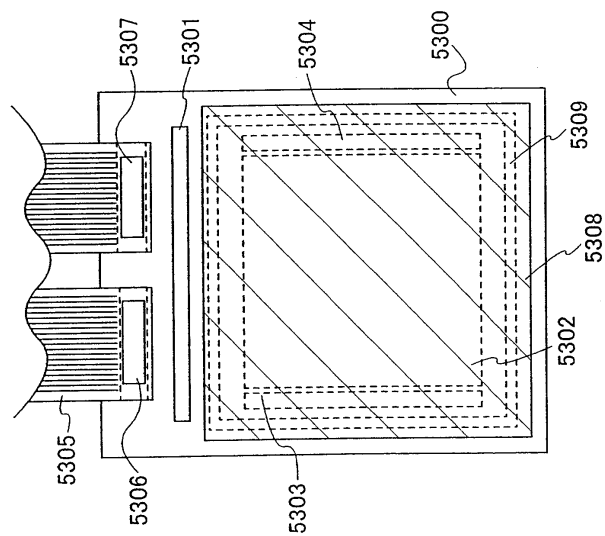
도면39



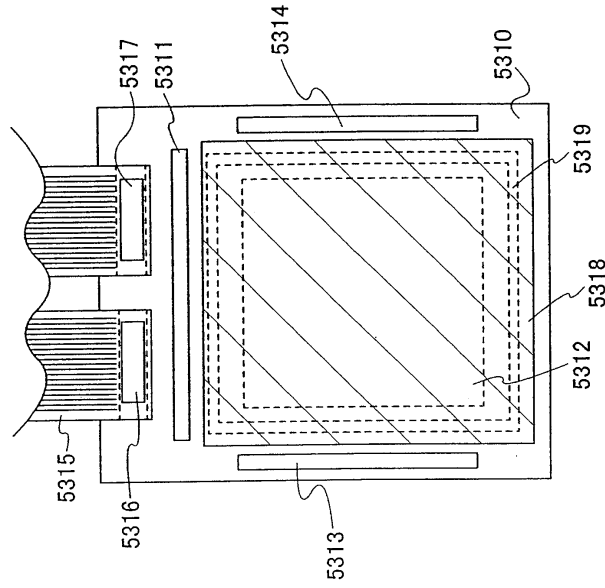
도면40



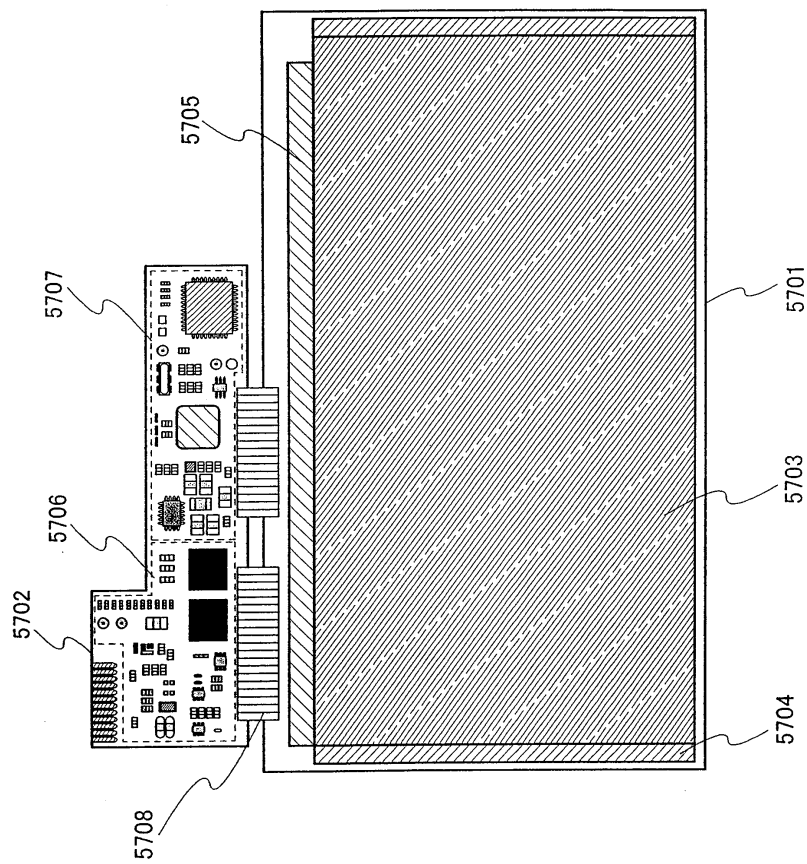
도면41a



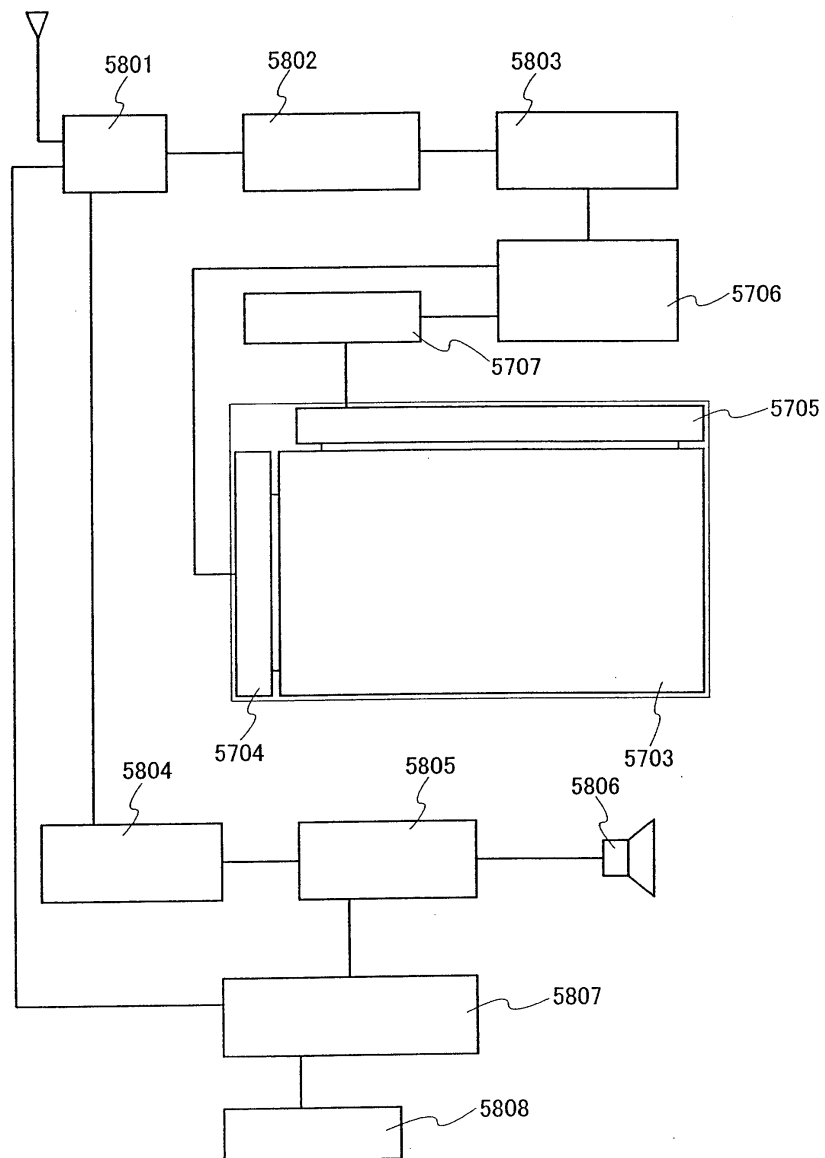
도면41b



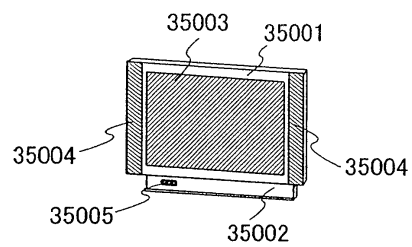
도면42



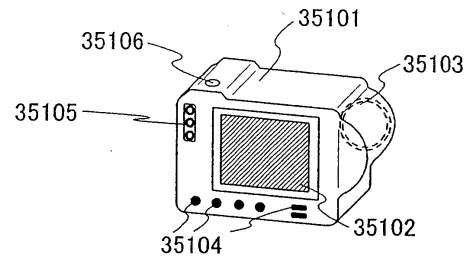
도면43



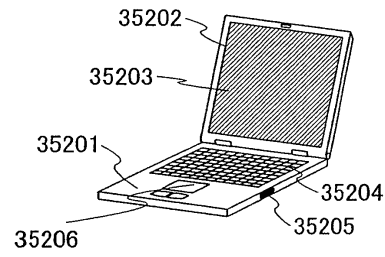
도면44a



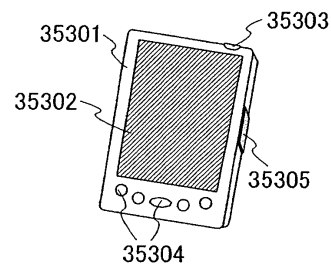
도면44b



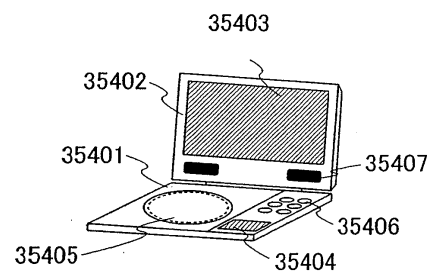
도면44c



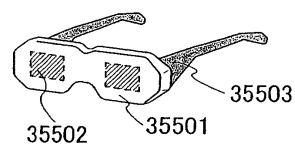
도면44d



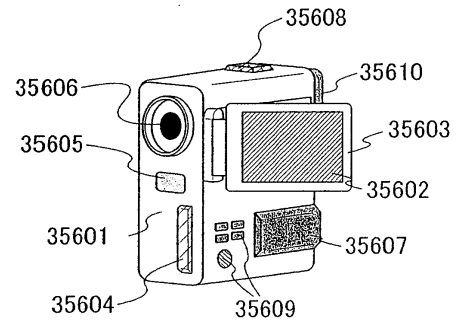
도면44e



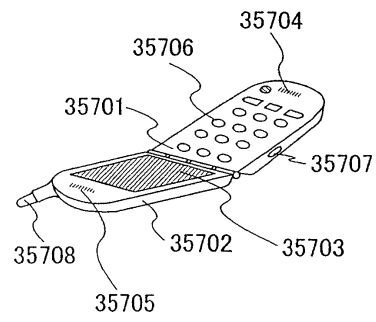
도면44f



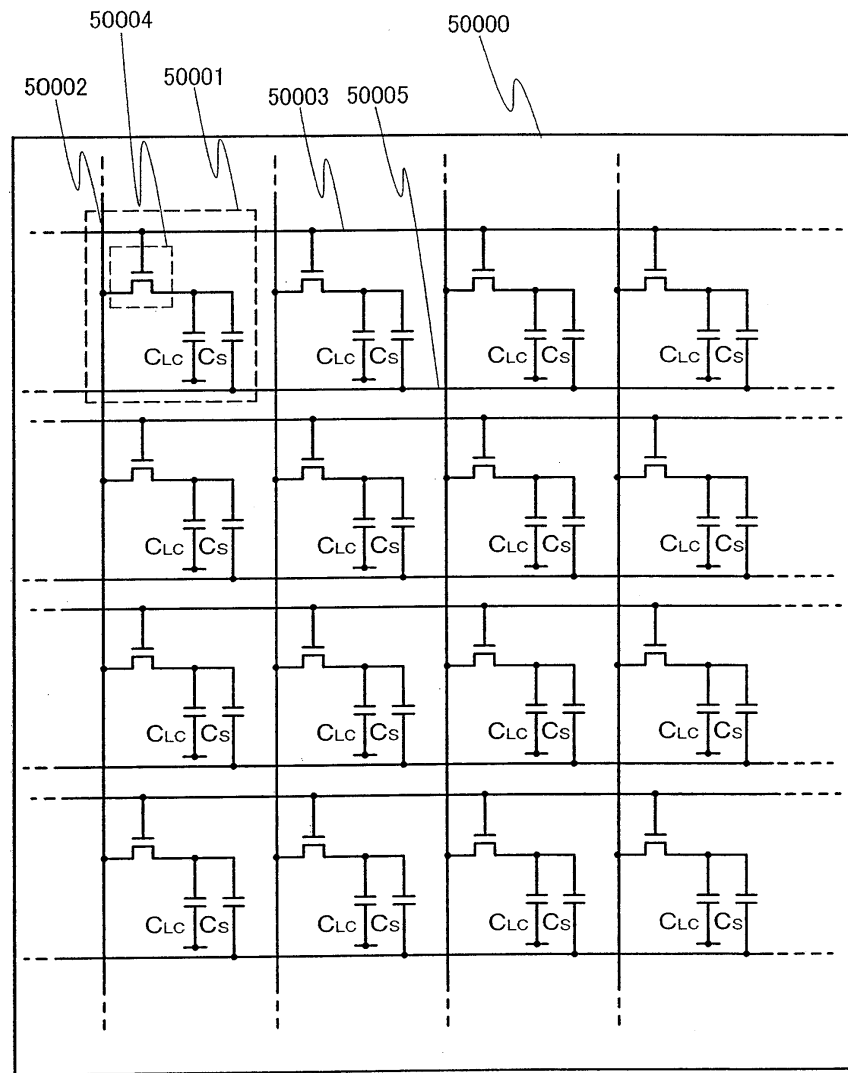
도면44g



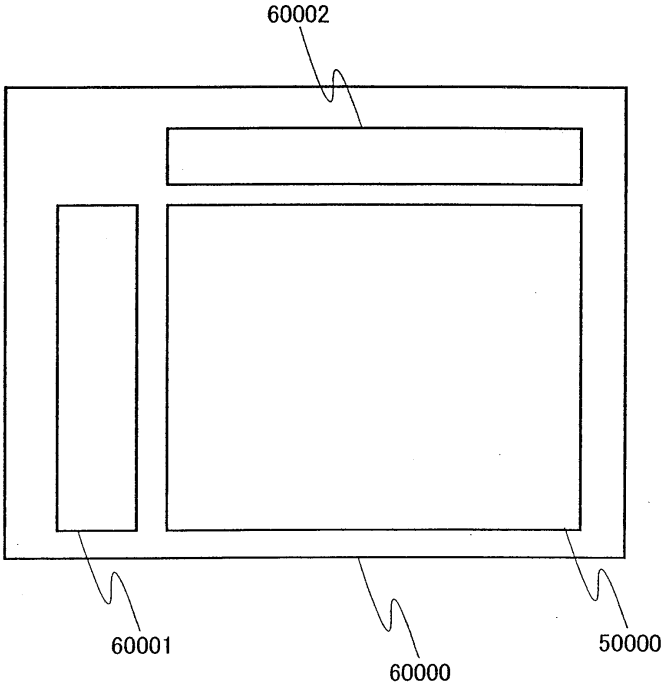
도면44h



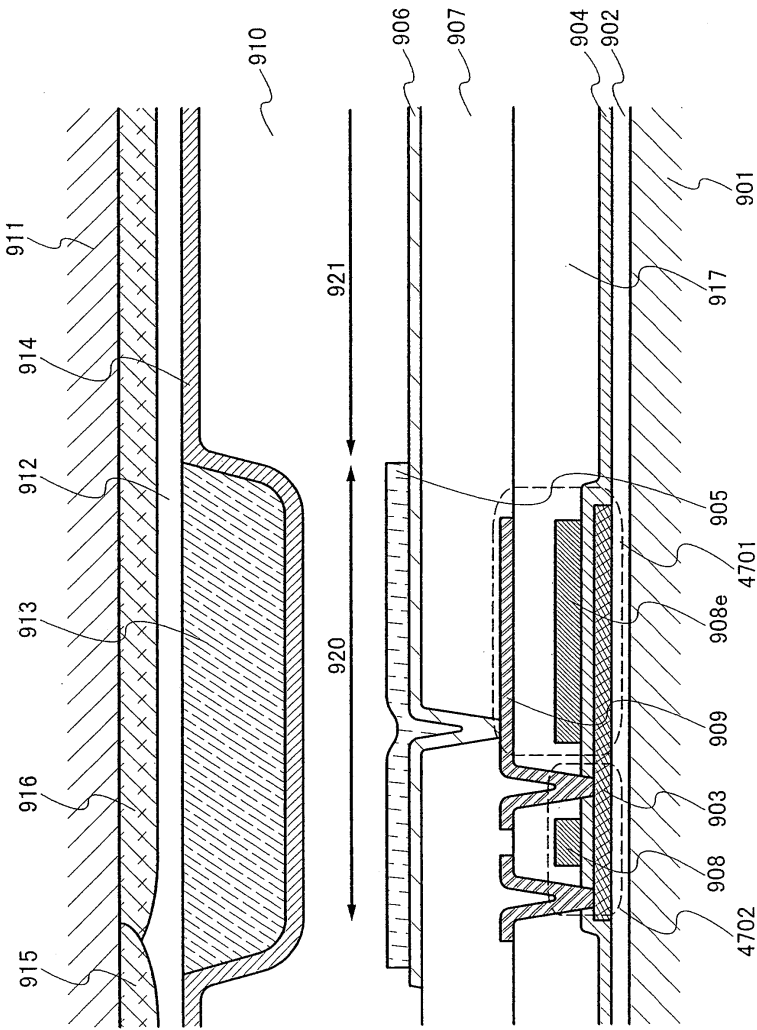
도면45



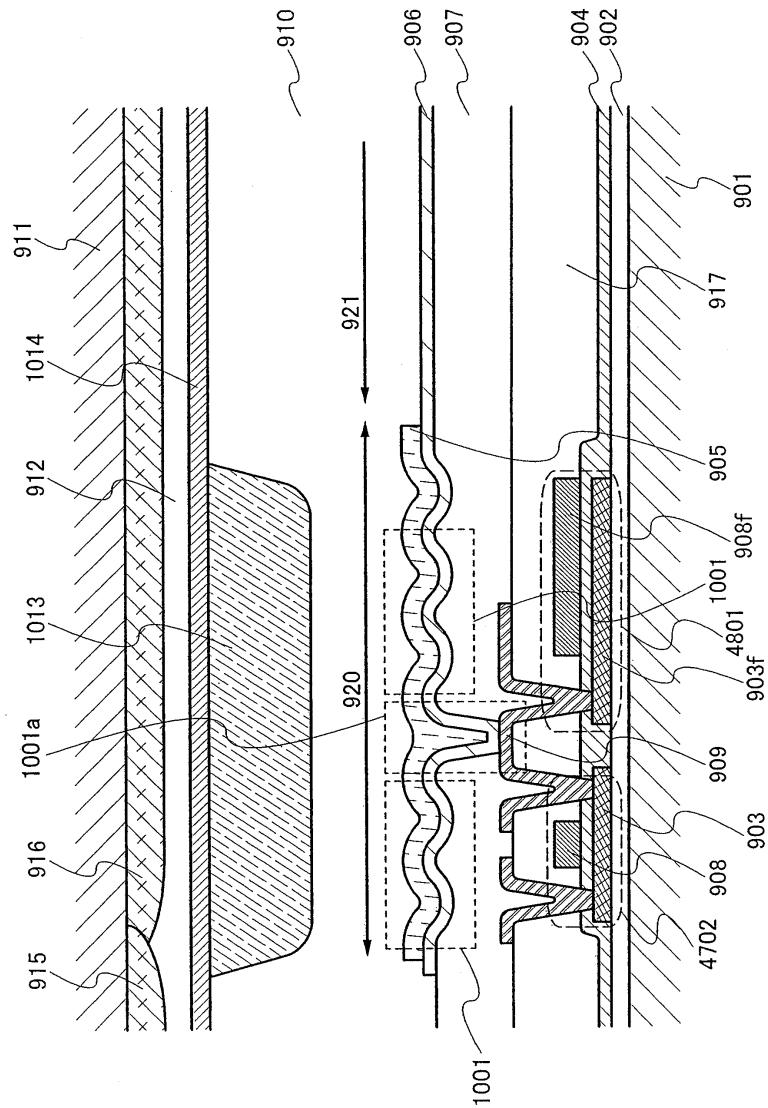
도면46



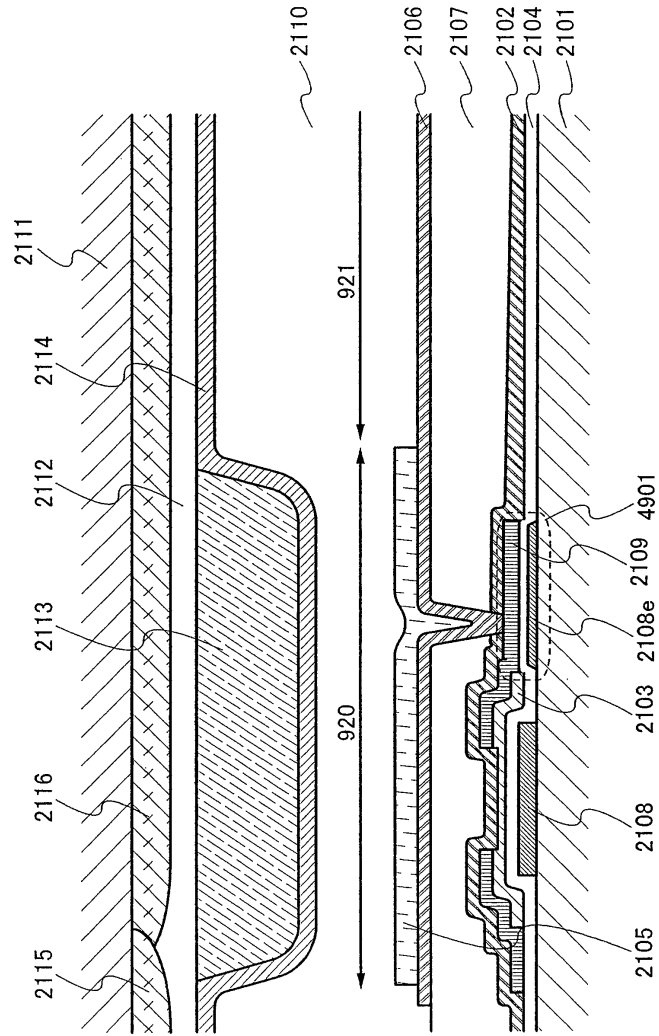
도면47



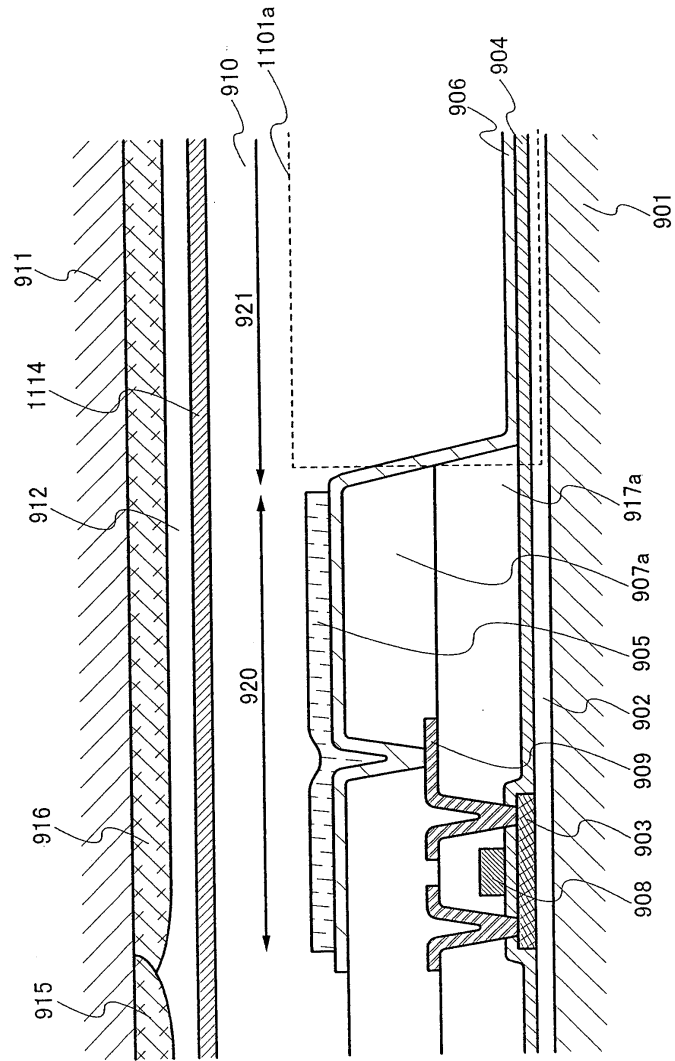
도면48



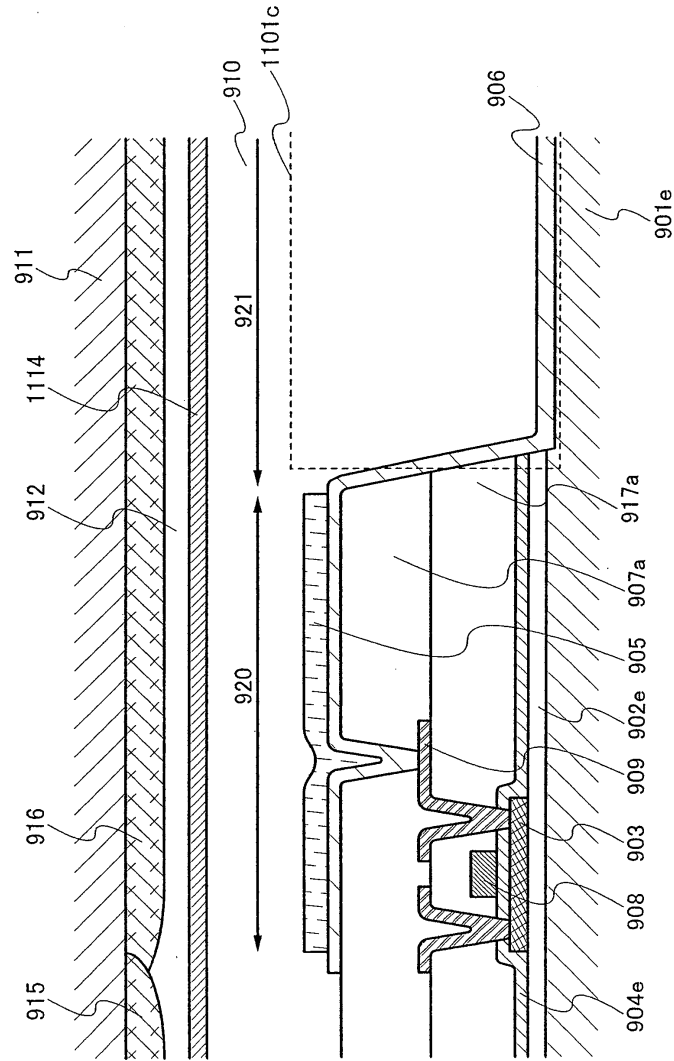
도면49



도면50



도면51



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020070070129A	公开(公告)日	2007-07-03
申请号	KR1020060136941	申请日	2006-12-28
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KIMURA HAJIME		
发明人	KIMURA HAJIME		
IPC分类号	G02F1/1335 G02F1/13 G02F1/136 H04B1/38 G02F1/1333 G02F1/1343 G02F1/1368		
CPC分类号	G02F2001/136231 G02F1/1333 G02F2202/36 G02F1/133371 G02F1/133555 B82Y20/00 G02F1/133345 G02F1/136286 G02F1/1368		
代理人(译)	李昌勋		
优先权	2005378778 2005-12-28 JP		
其他公开文献	KR101317254B1		
外部链接	Espacenet		

摘要(译)

在半透液晶显示装置中，反射电极和透明电极形成需要两个抗蚀剂掩模。因此成本很高。加载作用在像素电极上的反射电极和透明电极。使用包括反射电极上的半透射部分的曝光掩模，形成具有膜厚度小于面积的区域抗蚀剂图案。使用抗蚀剂形成反射电极和透明电极。因此，可以使用一个抗蚀剂掩模形成反射电极和透明电极。半透液晶显示装置，反射电极，透明电极，抗蚀图案。

