



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0120490
G02F 1/133 (2006.01) (43) 공개일자 2006년11월27일

(21) 출원번호 10-2006-0045233
(22) 출원일자 2006년05월19일
심사청구일자 없음

(30) 우선권주장 JP-P-2005-00148832 2005년05월20일 일본(JP)

(71) 출원인 가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자키 슌페이
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398 가부시킴가이샤한도
오따이 에네루기 켄큐쇼 내
고야마 준
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398 가부시킴가이샤한도
오따이 에네루기 켄큐쇼 내
다나다 요시후미
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398 가부시킴가이샤한도
오따이 에네루기 켄큐쇼 내
오사메 미츠야키
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398 가부시킴가이샤한도
오따이 에네루기 켄큐쇼 내
기무라 하지메
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398 가부시킴가이샤한도
오따이 에네루기 켄큐쇼 내
후쿠모토 료타
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398 가부시킴가이샤한도
오따이 에네루기 켄큐쇼 내
야나이 히로미
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398 가부시킴가이샤한도
오따이 에네루기 켄큐쇼 내

(74) 대리인 정상구
홍동오

전체 청구항 수 : 총 29 항

(54) 액정 디스플레이 장치 및 전자 장치

(57) 요약

액정 디스플레이 장치는 외부 광 강도에 따라 그레이 스케일들의 수를 변화시킴으로써 디스플레이를 수행하며 디스플레이 상에 디스플레이될 콘텐츠에 따라 디스플레이 모드를 스위칭한다. 외부 광 강도에 따라 디스플레이 모드-특정 비디오 신호 생성 회로를 제어함으로써, 입력된 비디오 신호는 아날로그 값으로서 출력되거나, 2진 디지털 값으로 출력되거나 또는 다중 디지털 값으로 출력된다. 결과로서, 화소의 디스플레이 그래데이션(gradation)은 시간에 따라 변화한다. 따라서, 선명한 영상이 디스플레이될 수 있다. 예컨대, 가시성을 보증하는 디스플레이 장치는 어두운 위치 또는 실내의 형광 아래로부터 실외 태양광 아래까지 넓은 범위에서 얻어질 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

액정 디스플레이 장치에 있어서,
 매트릭스로 제공되고, 액정 엘리먼트를 각각 포함하는 복수의 화소들;
 상기 복수의 화소들에 게이트 신호들을 공급하는 게이트 드라이버;
 아날로그 비디오 신호들 및 디지털 비디오 신호들 중 어느 하나를 상기 복수의 화소들에 공급하는 소스 드라이버; 및
 디스플레이 모드-특정 비디오 신호 생성 회로를 포함하며,
 상기 디스플레이 모드-특정 비디오 신호 생성 회로는 제 1 디스플레이 모드에서 상기 아날로그 비디오 신호들을 상기 소스 드라이버에 공급하며,
 상기 디스플레이 모드-특정 비디오 신호 생성 회로는 제 2 디스플레이 모드에서 상기 디지털 비디오 신호들을 상기 소스 드라이버에 공급하며,
 상기 제 1 디스플레이 모드 및 상기 제 2 디스플레이 모드는 외부 광 강도에 따라 스위칭되는, 액정 디스플레이 장치.

청구항 2.

제 1 항에 있어서,
 상기 아날로그 비디오 신호들을 공급하는 DA 변환기를 더 포함하는, 액정 디스플레이 장치.

청구항 3.

제 1 항에 있어서,
 상기 디지털 비디오 신호들은 2진 신호들인, 액정 디스플레이 장치.

청구항 4.

제 1 항에 있어서,

상기 디지털 비디오 신호들은 다중 값 신호들인, 액정 디스플레이 장치.

청구항 5.

제 1 항에 따른 상기 액정 디스플레이 장치를 포함하는 전자 장치.

청구항 6.

액정 디스플레이 장치에 있어서,

기관;

상기 기관위에서 매트릭스로 제공된 복수의 액정 엘리먼트들;

상기 기관위의 게이트 드라이버;

상기 기관위의 소스 드라이버;

디스플레이 모드-특정 비디오 신호 생성 회로로서,

상기 소스 드라이버에 전기적으로 접속된 출력 단말;

비디오 신호 입력 단말;

상기 출력 단말 및 상기 비디오 신호 입력 단말사이에 병렬로 접속된, 제 1 스위치 및 제 2 스위치;

아날로그 비디오 신호들을 디지털 비디오 신호들로 변환시키는 회로로서, 상기 회로 및 상기 제 2 스위치는 상기 출력 단말 및 상기 비디오 신호 입력 단말 사이에 직렬로 접속되는, 상기 변환 회로; 및

상기 제 1 스위치 및 상기 제 2 스위치의 각 스위치의 제어 단말에 전기적으로 접속된 디스플레이 모드 제어 회로를 포함하는, 상기 디스플레이 모드-특정 비디오 신호 생성 회로;

상기 디스플레이 모드 제어 회로에 전기적으로 접속된 제어기; 및

상기 제어기에 전기적으로 접속된 광학 센서를 포함하는, 액정 디스플레이 장치.

청구항 7.

제 6 항에 있어서,

상기 비디오 신호 입력 단말에 전기적으로 접속된 DA 변환기를 더 포함하는, 액정 디스플레이 장치.

청구항 8.

제 6 항에 있어서,

상기 광학 센서는 상기 기관 위에 제공되는, 액정 디스플레이 장치.

청구항 9.

제 6 항에 있어서,

상기 광학 센서는 증폭기를 통해 상기 제어기에 전기적으로 접속되는, 액정 디스플레이 장치.

청구항 10.

제 6 항에 있어서,

상기 광학 센서는 복수의 센서 엘리먼트들을 포함하는, 액정 디스플레이 장치.

청구항 11.

제 6 항에 있어서,

상기 광학 센서는 광전자 변환기를 포함하는, 액정 디스플레이 장치.

청구항 12.

제 6 항에 따른 상기 액정 디스플레이 장치를 포함하는 전자 장치.

청구항 13.

액정 디스플레이 장치에 있어서,

기관;

상기 기관위에서 매트릭스로 제공된 복수의 액정 엘리먼트들;

상기 기관위의 게이트 드라이버;

상기 기관위의 소스 드라이버;

디스플레이 모드-특정 비디오 신호 생성 회로로서,

상기 소스 드라이버에 전기적으로 접속된 출력 단말;

비디오 신호 입력 단말;

상기 출력 단말 및 상기 비디오 신호 입력 단말 사이에 병렬로 접속된, 제 1 스위치, 제 2 스위치 및 제 3 스위치;

2진화 회로로서, 상기 2진화 회로 및 상기 제 2 스위치는 상기 출력 단말 및 상기 비디오 신호 입력 단말 사이에 직렬로 접속되는, 상기 2진화 회로;

다중 값 회로로서, 상기 다중 값 회로 및 상기 제 3 스위치는 상기 출력 단말 및 상기 비디오 신호 입력 단말에 직렬로 접속되는, 상기 다중 값 회로; 및

상기 제 1 스위치, 상기 제 2 스위치 및 상기 제 3 스위치의 각 스위치의 제어 단말에 전기적으로 접속된 디스플레이 모드 제어 회로를 포함하는, 상기 디스플레이 모드-특정 비디오 신호 생성 회로;

상기 디스플레이 모드 제어 회로에 전기적으로 접속된 제어기; 및

상기 제어기에 전기적으로 접속된 광학 센서를 포함하는, 액정 디스플레이 장치.

청구항 14.

제 13 항에 있어서,

상기 비디오 신호 입력 단말에 전기적으로 접속된 DA 변환기를 더 포함하는, 액정 디스플레이 장치.

청구항 15.

제 13 항에 있어서,

상기 광학 센서는 상기 기관 위에 제공되는, 액정 디스플레이 장치.

청구항 16.

제 13 항에 있어서,

상기 광학 센서는 증폭기를 통해 상기 제어기에 전기적으로 접속되는, 액정 디스플레이 장치.

청구항 17.

제 13 항에 있어서,

상기 광학 센서는 복수의 센서 엘리먼트들을 포함하는, 액정 디스플레이 장치.

청구항 18.

제 13 항에 있어서,

상기 광학 센서는 광전자 변환기를 포함하는, 액정 디스플레이 장치.

청구항 19.

제 13 항에 따른 상기 액정 디스플레이 장치를 포함하는 전자 장치.

청구항 20.

액정 디스플레이 장치를 구동시키기 위한 방법에 있어서,

외부 광 강도를 검출하는 단계;

상기 외부 광 강도에 따라 제 1 디스플레이 모드 및 제 2 디스플레이 모드 중 어느 하나를 선택하는 단계;

상기 제 1 디스플레이 모드에서 아날로그 비디오 신호를 소스 드라이버에 공급하는 단계;

상기 제 2 디스플레이 모드에서 디지털 비디오 신호를 상기 소스 드라이버에 공급하는 단계; 및

상기 아날로그 비디오 신호 및 상기 디지털 비디오 신호 중 공급된 신호에 따라 액정 엘리먼트에 공급된 전압을 변화시키는 단계를 포함하는, 액정 디스플레이 장치 구동 방법.

청구항 21.

제 20 항에 있어서,

상기 아날로그 비디오 신호는 원래의 디지털 신호로부터 변환된 신호인, 액정 디스플레이 장치 구동 방법.

청구항 22.

제 20 항에 있어서,

상기 검출된 외부 광 신호는 전기 신호로 변환되는, 액정 디스플레이 장치 구동 방법.

청구항 23.

제 22 항에 있어서,

상기 전기 신호는 증폭되는, 액정 디스플레이 장치 구동 방법.

청구항 24.

제 20 항에 따른 상기 액정 디스플레이 장치를 포함하는 전자 장치.

청구항 25.

액정 디스플레이 장치를 구동시키기 위한 방법에 있어서,

외부 광 강도를 검출하는 단계;

상기 외부 광 강도에 따라 제 1 디스플레이 모드, 제 2 디스플레이 모드 및 제 3 디스플레이 모드 중 어느 하나를 선택하는 단계;

상기 제 1 디스플레이 모드에서 아날로그 비디오 신호를 상기 소스 드라이버에 공급하는 단계;

상기 제 2 디스플레이 모드에서 다중 값 비디오 신호를 상기 소스 드라이버에 공급하는 단계;

상기 제 3 디스플레이 모드에서 2진 비디오 신호를 상기 소스 드라이버에 공급하는 단계; 및

상기 아날로그 비디오 신호, 상기 다중 값 비디오 신호 및 상기 2진 비디오 신호 중 공급된 신호에 따라 액정 엘리먼트에 공급된 전압을 변화시키는 단계를 포함하는, 액정 디스플레이 장치 구동 방법.

청구항 26.

제 25 항에 있어서,

상기 아날로그 비디오 신호는 원래의 디지털 신호로부터 변환된 신호인, 액정 디스플레이 장치 구동 방법.

청구항 27.

제 25 항에 있어서,

상기 검출된 외부 광 강도는 전기 신호로 변환되는, 액정 디스플레이 장치 구동 방법.

청구항 28.

제 27 항에 있어서,

상기 전기 신호는 증폭되는, 액정 디스플레이 장치 구동 방법.

청구항 29.

제 25 항에 따른 상기 액정 디스플레이 장치를 포함하는 전자 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 문자, 정지영상, 동영상 등을 디스플레이할 수 있는 디스플레이 스크린을 가진 디스플레이 장치 및 다양한 동작 환경들에서 디스플레이 스크린의 가시성을 개선하는 기술에 관한 것이다.

액정 디스플레이 패널에 의하여 구성된 디스플레이 스크린을 가지면서 셀-전화를 포함하는 다양한 전자 장치들이 널리 보급되었다. 액정 패널은 얇으면서 발광하는 특징을 가지며, 액정 패널을 가진 이동형 랩탑 퍼스널 컴퓨터들이 제공된다. 게다가, PDA(개인휴대단말)라 불리는 단말 장치들은 많은 수가 생산되었으며 일반화되었다.

이러한 방식으로 사용되거나 액정 패널로 제한되지 않는 디스플레이 패널들과 관련하여, 시각적 영상 품질은 중요하게 간주되며 밝기 및 콘트라스트를 자동 또는 수동으로 조절하는 기능을 가진 패널들은 널리 보급되었다. 예컨대, 액정 패널의 역광조명(backlight)의 휘도를 증가시키지 않고 액정의 전달을 변경시킴으로써 한 톤과 다른 톤간의 가시성을 개선하는 조절 기능을 가진 액정 디스플레이 패널이 공지되어 있다(참조문헌 1: 일본특허 공개공보 제2003-186455).

액정 패널은 300 내지 700 렉스의 실내 환경에서 양호한 가시성을 가지나, 가시성은 1,000 렉스 이상의 실외 환경에서 상당히 저하되며, 이는 문제가 된다. 비록 화소 전극이 외부 광을 반사하는 구조를 가진 반사 액정 패널이 존재할지라도, 영상 품질은 실내 형광 아래에서 저하되며 기본적인 해결책이 실현되지 않는다. 즉, 어두운 위치 또는 실내 형광 아래로부터 실외 태양광 아래까지의 넓은 범위 전반에 걸쳐 가시성이 아직까지 보장되지 않는다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 디스플레이 장치가 어두운 위치로부터 강한 외부 태양광까지 세팅될 때조차 디스플레이가 인식될 수 있는 디스플레이 장치를 제공하는데 있다.

발명의 구성

본 발명은 복수의 화소가 매트릭스로 제공될 수 있는 액정 디스플레이 장치에 관한 것이며, 액정 디스플레이 장치는 소스 드라이버, 게이트 드라이버, 및 디스플레이 모드로서 적어도 제 1 디스플레이 모드 및 제 2 디스플레이 모드를 가지며, 아날로그 신호가 제 1 디스플레이 모드에서 소스 드라이버에 공급되며, 디지털 신호가 제 2 디스플레이 모드에서 소스 드라이버에 공급되며, 디스플레이 모드는 외부 광 강도에 따라 스위칭된다.

더욱이, 본 발명은 복수의 화소들이 매트릭스로 제공되는 액정 디스플레이 장치에 관한 것이며, 액정 디스플레이 장치는 소스 드라이버, 게이트 드라이버, 및 디스플레이 모드로서 적어도 제 1 디스플레이 모드 및 제 2 디스플레이 모드를 가지며, 아날로그 신호가 소스 드라이버에 공급되며, 상기 아날로그 신호가 제 1 디스플레이 모드에서 소스 드라이버로부터 복수의 화소로 공급되며, 디지털 신호가 소스 드라이버에 공급되며, 상기 디지털 신호가 제 2 디스플레이 모드에서 소스 드라이버로부터 복수의 화소로 공급되며, 디스플레이 모드는 외부 광 강도에 따라 스위칭된다.

본 발명에서, 트랜지스터는 다양한 모드들을 가질 수 있으며, 따라서 공급가능 트랜지스터의 타입은 특히 제한되지 않는다. 따라서, 비결정 실리콘 및 다결정 실리콘에 의하여 대표되는 비단결정 반도체 막을 사용하여 형성된 박막 트랜지스터(TFT), 반도체 기판 또는 SOI 기판을 사용하여 형성된 MOS 트랜지스터, 접합형 트랜지스터, 바이폴라 트랜지스터, ZnO 또는 InGaZnO와 같은 화합물 반도체를 사용하여 형성된 트랜지스터, 유기 반도체 또는 탄소 나노튜브를 사용하여 형성된 트랜지스터 또는 다른 트랜지스터들을 공급하는 것이 가능하다. 비단결정 반도체막은 수소 또는 할로젠을 포함한다는 것을 유의해야 한다. 게다가, 트랜지스터가 제공되는 기판의 타입은 특별하게 제한되지 않으며 다양한 타입의 트랜지스터들이 사용될 수 있다. 따라서, 예컨대 트랜지스터는 단결정 기판, SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 종이 기판, 셀로판 기판, 석재 기판 등상에 형성될 수 있다. 선택적으로, 트랜지스터가 기판상에 형성된후에, 트랜지스터는 처리될 다른 기판상에 전달될 수 있다.

트랜지스터의 구조는 특별히 제한되지 않으며, 다양한 모드들은 적용될 수 있다. 예컨대, 두개 이상의 게이트를 가진 다중-게이트 구조를 적용하는 것이 가능하다. 다중-게이트 구조를 사용할 때, 오프-전류는 감소되며, 트랜지스터의 내전압은 신뢰성을 개선하기 위하여 증가될 수 있으며, 특징들의 변화들은 드레인-소스 전압이 변화할 때조차 드레인-소스 전류가 변화하지 않기 때문에 트랜지스터가 포화 영역에서 동작할 때 억제될 수 있다. 게다가, 게이트 전극들은 채널 위 및 채널 아래에 제공될 수 있다. 게이트 전극들이 채널 위 및 채널 아래에 제공되는 구조는 채널 영역이 증가되도록 하며, 따라서 전류값은 증가될 수 있으며 공핍층은 S값을 증가시키기 위하여 용이하게 형성된다. 게다가, 게이트 전극이 채널 위 또는 채널 아래에 제공될 수 있다. 스테거링 구조 또는 역 스테거링 구조가 적용될 수 있다. 채널 영역은 복수의 영역들로 분할될 수 있으며, 이들 영역들은 병렬 또는 직렬로 접속될 수 있다. 소스 전극 또는 드레인 전극은 채널과 중첩될 수 있다(또는 채널의 일부분과 중첩될 수 있다). 소스 전극 또는 드레인 전극이 채널(또는 채널의 일부분)과 중첩되는 구조는 전하들이 채널의 부분에 축적되는 것을 방지하며, 이는 불안정 동작을 유발할 수 있다. 더욱이, LDD 영역이 제공될 수 있다. LDD 영역이 제공될 때, 오프 전류는 감소되며, 트랜지스터의 내전압은 신뢰성을 개선하기 위하여 증가될 수 있으며, 특징들의 변화들은 드레인-소스 전압이 변화할 때조차 드레인-소스 전류가 변화하지 않기 때문에 트랜지스터가 포화 영역에서 동작할 때 억제될 수 있다.

본 발명에서, "접속(connection)"은 전기적 접속 또는 직접 접속을 포함한다. 따라서, 본 발명에서 기술된 구조들에서, 전기적 접속을 할 수 있는 다른 엘리먼트들(스위치, 트랜지스터, 커패시터, 인덕터, 저항기 및 다이오드)은 미리 결정된 접속들에 부가하여 제공될 수 있다. 선택적으로, 엘리먼트들은 다른 엘리먼트들이 그들 사이에 삽입되지 않고 직접 접속될 수 있다. 다른 엘리먼트들이 전기적 접속을 하지 않고, 즉 전기적 접속의 경우를 포함하지 않고 단지 직접 접속의 경우만을 포함하는 경우가 "직접 접속(connected directly)"으로 기술된다는 것을 유의해야 한다. "전기적 접속(connected electrically)"을 기술하는 경우에 전기적 접속의 경우 및 직접 접속의 경우가 포함된다는 것을 유의해야 한다.

본 발명에서, 하나의 화소는 밝기를 제어하는 하나의 컴포넌트를 의미한다. 예로서, 하나의 화소는 밝기를 표현하기 위하여 하나의 색 엘리먼트를 의미한다. 따라서, R(적색), G(녹색) 및 B(청색) 색 엘리먼트들을 포함하는 칼라 디스플레이 장치의 경우에, 영상의 가장 작은 단위는 3개의 화소들, 즉 R 화소, G 화소 및 B 화소로 구성된다. 색 엘리먼트들의 수가 3가지로 제한되지 않으며 더 많은 색 엘리먼트가 사용될 수 있다는 것에 유의해야 한다. 예컨대, RGBV(W: 백색), 황색, 청록색, 또는 진홍색 추가 RGB 등이 사용될 수 있다. 다른 예로서, 만일 하나의 색 엘리먼트의 밝기가 복수의 영역들을 사용하여 제어되면, 영역들 중 한 영역은 하나의 화소로서 언급된다. 예로서, 각각의 색 엘리먼트의 밝기가 복수의 영역을 사용하여 제어되고 그레이 스케일이 모든 영역들에 의하여 표현되는 영역 그레이 스케일의 경우에, 하나의 화소는 밝기를 제어하는 영역들 중 하나를 의미한다. 이 경우에, 하나의 색 엘리먼트는 복수의 화소들에 의하여 구성된다. 게다가, 이 경우에, 각각의 화소는 디스플레이에 속하는 다른 크기 영역을 가질 수 있다. 더욱이, 약간 다른 신호들이 하나의 색 엘리먼트의 밝기를 제어하는 복수의 영역들, 즉 하나의 색 엘리먼트를 구성하는 복수의 영역들에 공급될 수 있으며, 이에 따라 뷰잉 각도가 증가한다.

본 발명은 화소들이 매트릭스로 제공(배열)될 수 있는 경우를 포함한다. 매트릭스로 제공(배열)되는 화소들은 수직 스트립 및 측면 스트립의 결합에 의하여 형성되고 색 엘리먼트의 스트립의 각 점에 배치되는 소위 격자에 화소들이 제공되는 경우를 의미한다. 매트릭스로 제공된 화소들은 3개의 색 엘리먼트들(예컨대, RGB)이 전체 색 디스플레이를 위하여 사용될 때 3개의 색 엘리먼트의 점들이 델타 패턴 및 바이어 패턴으로 제공되는 경우를 포함한다. 발광 영역의 크기는 색 엘리먼트들의 각 점에서 다를 수 있다.

트랜지스터는 게이트, 드레인 및 소스를 포함하는 적어도 3개의 단말들을 가진 엘리먼트이다. 게이트는 게이트 전극 및 게이트 와이어(또는, 게이트 라인, 게이트 신호 라인 등)의 전체 또는 일부분을 의미한다. 게이트 전극은 채널 영역, LDD(저농도로 도핑된 드레인) 영역 등을 포함하는 반도체와 중첩되는 도전막을 의미하며, 게이트 절연막은 채널 영역 및 LDD 영역 사이에 삽입된다. 게이트 와이어는 게이트 전극을 다른 와이어에 접속하는 와이어 또는 화소들의 게이트 전극들을 접속하는 와이어를 의미한다.

그러나, 게이트 전극 및 게이트 와이어로서 기능을 하는 부분이 존재한다. 이러한 부분은 게이트 전극 또는 게이트 와이어로서 언급될 수 있다. 즉, 일부 영역들에서 게이트 전극 및 게이트 와이어는 명확하게 구별되지 않는다. 예컨대, 채널 영역이 외부 게이트 와이어와 중첩되면, 영역은 게이트 와이어 및 게이트 전극으로서 기능을 한다. 따라서, 이러한 영역은 게이트 전극 또는 게이트 와이어로서 언급될 수 있다.

더욱이, 게이트 전극과 동일한 재료로 형성되고 게이트 전극에 접속되는 영역은 게이트 와이어로서 언급될 수 있다. 유사하게, 게이트 와이어와 동일한 재료로 형성되고 게이트 와이어에 접속되는 영역은 게이트 와이어로서 언급될 수 있다. 엄격히 말하면, 이러한 영역은 채널 영역과 중첩되지 않거나 또는 일부의 경우에 다른 게이트 전극에 접속하는 기능을 가지지 않는다. 그러나, 게이트 전극 또는 게이트 와이어와 동일한 재료로 형성되고 제조 마진 등에 따라 게이트 전극 또는 게이트 와이어에 접속되는 영역이 존재한다. 따라서, 이러한 영역은 게이트 전극 또는 게이트 와이어로서 언급될 수 있다.

예컨대, 다중 게이트 트랜지스터에서는 하나 이상의 트랜지스터의 게이트 전극이 게이트 전극과 동일한 재료로 형성되는 도전막을 가진 다른 트랜지스터의 게이트 전극에 접속되는 여러 경우들이 존재한다. 이러한 영역은 그것이 게이트 전극들을 서로 접속하기 때문에 게이트 와이어로서 언급될 수 있거나 또는 다중 게이트 트랜지스터가 하나의 트랜지스터인 것으로 고려될 수 있기 때문에 게이트 전극으로서 언급될 수 있다. 즉, 게이트 전극 또는 게이트 와이어와 동일한 재료로 형성되고 이들에 접속되는 영역은 게이트 전극 또는 게이트 와이어로서 언급될 수 있다. 더욱이, 예컨대, 게이트 전극이 게이트 와이어에 접속되는 도전막은 게이트 전극 또는 게이트 와이어로서 언급될 수 있다.

게이트 단말은 게이트 전극 영역의 부분 또는 게이트 전극에 전기적으로 접속되는 영역의 부분을 의미한다는 것에 유의해야 한다.

소스는 소스 영역, 소스 전극 및 소스 와이어(소스 라인, 소스 신호 라인 등으로 언급됨)의 전체 또는 일부분을 의미한다. 소스 영역은 고농도의 P-형 불순물(붕소 또는 갈륨) 또는 N-형 불순물(인 또는 비소와 같은)을 포함하는 트랜지스터 영역을 의미한다. 따라서, 소스 영역은 저농도의 P-형 불순물 또는 N-형 불순물을 포함하는 영역, 즉 소위 LDD(저농도로 도핑된 드레인) 영역을 포함하지 않는다. 소스 전극은 소스 영역의 재료와 다른 재료로 형성되고 소스 영역에 전기적으로 접속되는 부분의 도전층을 의미한다. 소스 전극은 일부 경우들에서 소스 영역을 포함한다. 소스 와이어는 화소들의 소스 전극들을 접속하는 와이어 또는 소스 전극을 다른 와이어에 접속하는 와이어를 의미한다.

그러나, 소스 전극 및 소스 와이어로서 기능을 하는 부분이 존재한다. 이러한 부분은 소스 전극 또는 소스 와이어로서 언급될 수 있다. 즉, 일부 영역에서는 소스 전극 및 소스 와이어가 명확하게 구별되지 않는다. 예컨대, 만일 소스 영역이 연장 소스 와이어와 중첩되면, 영역은 소스 와이어 및 소스 전극으로서 기능을 한다. 따라서, 이러한 영역은 소스 전극 또는 소스 와이어로서 언급될 수 있다.

더욱이, 소스 전극과 동일한 재료로 형성되고 소스 전극에 접속되는 영역, 또는 소스 전극들을 서로 접속하는 부분은 소스 전극으로서 언급될 수 있다. 게다가, 소스 영역과 중첩되는 부분은 소스 전극으로서 언급될 수 있다. 유사하게, 소스 와이어와 동일한 재료로 형성되고 소스 와이어에 접속되는 부분은 소스 와이어로서 언급될 수 있다. 엄격히 말해서, 이러한 영역은 일부의 경우들에서 다른 소스 전극에 접속하는 기능을 가지 않는다. 그러나, 소스 전극 또는 소스 와이어와 동일한 재료로 형성되고 제조 마진 등에 따라 소스 전극 또는 소스 와이어에 접속되는 영역이 존재한다. 따라서, 이러한 영역은 소스 전극 또는 소스 와이어로서 언급될 수 있다.

더욱이, 예컨대, 소스 전극이 소스 와이어에 접속되는 도전막은 소스 전극 또는 소스 와이어로서 언급될 수 있다.

소스 단말은 소스 영역, 소스 전극 또는 소스 전극에 전기적으로 접속되는 영역의 부분을 의미한다는 것에 유의해야 한다.

소스에 대한 설명은 드레인에도 적용된다.

본 발명에서, "임의의 수단상에 형성된다"에서 용어 "상에"는 임의의 수단상에 직접 형성되는 경우에 제한되지 않고 상기 임의의 수단상에 형성된 다른 수단상에 형성되는 경우를 포함한다. 따라서, "층 B는 층 A상에 형성된다"는 층 B가 층 A상에 직접 형성되는 경우 및 다른 층(예컨대, 층 C 및 층 D)이 층 A상에 직접 형성되고 층 B가 다른 층상에 직접 형성되는 경우를 포함한다. 동일한 사항이 용어 "위에"에도 적용되며, 용어는 임의의 수단상에 직접 형성되는 경우에 제한되지 않고 상기 임의의 수단상에 형성된 다른 수단상에 형성되는 경우를 포함한다. 따라서, "층 B가 층 A상에 형성된다"는 층 B가 층 A상에 직접 형성되는 경우 및 다른 층(예컨대 층 C 및 층 D)이 층 A상에 직접 형성되고 층 B가 다른 층상에 직접 형성되는 경우를 포함한다. 동일한 사항이 용어 "아래"에도 적용되며, 이들 용어들은 임의의 수단 아래에 직접 형성되는 경우 및 상기 임의의 수단 아래에 형성된 다른 수단 아래에 형성되는 경우를 포함한다.

본 발명에 따르면, 가시성이 우수한 디스플레이 장치는 외부 광 강도에 따라 디스플레이 영상의 그레이 스케일의 수를 제어함으로써 제공될 수 있다. 즉, 가시성을 보장하는 디스플레이 장치는 어두운 위치 또는 실내의 형광 아래로부터 실외 태양광 아래까지의 넓은 범위에서 얻어질 수 있다.

<실시에 모드들>

이하에서는 본 발명의 실시예 모드들이 첨부 도면들을 참조하여 기술될 것이다. 그러나, 다양한 변형들 및 수정들이 당업자에게 명백할 것이라는 것이 이해되어야 한다. 따라서, 이러한 변형들 및 수정들이 본 발명의 범위를 벗어나지 않는다면, 변형들 및 수정들은 본 발명내에 포함되는 것으로 구성되어야 한다.

도 1은 전체 블록도이다. 소스 드라이버(102) 및 게이트 드라이버(103)는 화소 어레이(101)를 구동하기 위하여 제공된다. 비디오 신호는 소스 드라이버(102)에 입력된다. 복수의 소스 드라이버들(102) 및 복수의 게이트 드라이버들(103)이 제공될 수 있다는 것에 유의해야 한다.

광학 센서(113)는 외부 광(디스플레이 장치가 수신하는 외부 광)을 검출한다. 출력은 증폭기(114)에 공급된다. 증폭기(114)는 광학 센서(113)가 출력하는 전기 신호를 증폭하며, 증폭된 전기 신호는 제어기(107)에 공급된다. 광학 센서(113) 출력에 의하여 출력되는 전기 신호가 충분히 강할 때, 증폭기(114)는 제공될 필요가 없다.

소스 드라이버 또는 이의 일부분이 화소 어레이(101)와 동일한 기판상에 있지 않으며 예컨대 외부 IC 칩을 사용하여 소스 드라이버 또는 이의 일부분이 구성될 수 있다는 것에 유의해야 한다.

증폭기(114) 또는 광학 센서(113)가 화소 어레이(101)와 동일한 기판상에 형성될 수 있다는 것에 유의해야 한다. 이 경우에, 증폭기(114) 또는 광학 센서(113)는 화소 어레이(101)와 동일한 기판상에 형성될 수 있다. 선택적으로, 화소 어레이(101), 증폭기(114) 또는 광학 센서(113)와 동일한 기판상에는 COG(클래스상의 칩), 범프 등을 사용하여 제공될 수 있다.

임의의 종류의 트랜지스터들이 본 발명의 트랜지스터로서 사용될 수 있고 본 발명의 트랜지스터가 이미 기술된 임의의 종류의 기판상에 형성될 수 있다는 것을 유의해야 한다. 따라서, 도 1에 도시된 회로는 유리 기판, 플라스틱 기판, 단결정 기판, SOI 기판 또는 임의의 종류의 기판상에 형성될 수 있다. 선택적으로, 도 1의 회로의 일부분 등은 임의의 기판상에 형성되고, 도 1의 회로의 다른 부분은 다른 기판상에 형성될 수 있다. 즉, 도 1의 회로의 모두는 동일한 기판상에 형성될 필요가 없다. 예컨대, 화소 어레이(101) 및 게이트 드라이버(103)는 도 1의 유기 기판상의 TFT 등을 사용하여 형성될 수 있으며, 소스 드라이버(102)(또는 이의 일부분)는 단결정 기판상에 형성될 수 있으며, IC 칩은 COG(유리상의 칩)에 의하여 접속되며 유리 기판상에 형성될 수 있다. 선택적으로, IC 칩은 TAB(테이프 자동 본딩) 또는 인쇄 기판을 사용하여 유리 기판에 접속될 수 있다.

유사하게, 임의의 종류의 광학 센서들은 본 발명의 광학 센서로서 사용될 수 있으며, 임의의 종류의 기판들상에 형성될 수 있다. 광학 센서의 예로서, PIN 다이오드, PN 다이오드, 쇼트키 다이오드 등이 존재한다. 더욱이, 광학 센서는 임의의 종류의 재료들을 사용하여 형성될 수 있다. 광학 센서는 비결정 실리콘, 폴리실리콘, 단결정, SOI 등을 사용하여 형성된다. 광학 센서는 또한 비결정 실리콘, 폴리실리콘으로 형성될 때, 광학 센서는 화소 어레이와 동일한 시간에 동일한 기판상에 동일한 프로세스로 형성되며, 이에 따라 비용이 감소될 수 있다.

따라서, 광학 센서 및 증폭기는 유리 기판, 플라스틱 기판, 단결정 기판, 또는 SOI 기판상에 모두 형성될 수 있다. 선택적으로, 광학 센서 또는 증폭기의 일부분은 임의의 기판상에 형성되며, 광학 센서 또는 증폭기의 다른 부분은 다른 기판상에 형성될 수 있다. 즉, 광학 센서 및 증폭기의 모두는 동일한 기판상에 형성될 필요가 없다. 예컨대, 광학 센서(113), 화소 어레이(101) 및 게이트 드라이버(103)는 도 1의 유리 기판상의 TFT를 사용하여 형성되며, 소스 드라이버(102)(이의 일부분)는 단결정 기판상에 형성되며, IC 칩은 유리 기판상에 제공될 COG(유리상의 칩)에 의하여 접속된다. 선택적으로, IC 칩은 TAB(테이프 자동 본딩) 또는 인쇄 기판을 사용하여 유리 기판에 접속될 수 있다.

소스 드라이버(102)에 입력될 비디오 신호는 각각의 디스플레이 모드에서 디스플레이 모드-특정 비디오 신호 생성 회로에서 생성된다. 디스플레이 모드-특정 비디오 신호 생성 회로(106)는 제어기(107)에 의하여 제어된다. 더욱이, 원래의 비디오 신호는 디스플레이 모드-특정 비디오 신호 생성 회로(106)에 입력된다. 그 다음에, 원래의 비디오 신호를 사용하여, 디스플레이 모드-특정 비디오 신호 생성 회로에서, 각각의 디스플레이 모드에 따른 비디오 신호가 생성되어 소스 드라이버(102)에 출력된다.

광학 센서(113)로부터의 신호에 기초하여, 제어기(107)는 디스플레이 모드-특정 비디오 신호 생성 회로(106)를 제어한다. 그 다음에, 광학 센서(113)로부터의 신호에 의하여, 즉 주변 휘도에 따라, 소스 드라이버(102) 등에 공급된 비디오 신호의 그레이 스케일들의 수는 제어된다. 그레이 스케일들의 수가 제어될 때, 그레이 스케일들의 수는 주변 휘도에 따라 점진적으로 변화될 수 있거나, 또는 스위칭은 임의의 디스플레이 모드들이 유지되는 동안 한 디스플레이 모드로부터 다른 디스플레이 모드로 스위칭하기 위하여 사용될 수 있다.

디스플레이 모드는 주로 아날로그 모드 및 디지털 모드로 분할된다. 아날로그 모드에 대하여, 화소에 입력되는 비디오 신호는 아날로그 값이 된다. 다른 한편으로, 디지털 모드에 대하여, 화소에 입력되는 비디오 신호는 디지털 값이 된다.

광학 센서(113)의 출력에 기초하여, 디스플레이 모드, 즉 그레이 스케일의 수가 변화된다. 특히, 디스플레이 장치가 강한 외부 광을 수신할 때 그리고 광학 센서(113)의 출력이 일정 값과 동일하거나 또는 일정 값 이상일 때, 디스플레이 스크린상에 표현될 영상의 그레이 스케일들의 전체 수는 감소된다. 디스플레이 장치가 강한 외부광을 수신할 때, 디스플레이 스크린상에 디스플레이될 영상은 하나의 그라데이션 및 다른 그라데이션간의 명확한 구별없이 선명하지 않게 된다. 그러나, 전술한 바와 같이, 디스플레이 장치가 수신하는 외부 광에 따라, 그레이 스케일들의 전체 수는 감소되며, 한 그라데이션 및 다른 그라데이션간의 구별이 명확하게 되며, 그 결과 디스플레이 패널의 디스플레이 스크린의 가시성이 개선될 수 있다.

더욱이, 광학 센서(116)의 출력에 의하여 디스플레이 스크린상에 디스플레이될 영상의 그레이 스케일들의 전체 수가 두개의 그레이 스케일 레벨들로 세팅될 때, 흑색 디스플레이 영상은 백색 배경 영상 상에 디스플레이되며, 그러나 역으로 백색 디스플레이 영상은 흑색 배경 영상 상에 디스플레이될 수 있다. 그 다음에, 디스플레이 스크린의 가시성은 더 개선될 수 있다. 더욱이, 디스플레이 스크린의 가시성은 백색 디스플레이 영상의 휘도를 증가시킴으로써 더 개선될 수 있다. 배경 영상 및 디스플레이 영상의 결합은 흑색 배경상의 백색 디스플레이에 제한되지 않는다. 용이한 콘트라스트의 조합이 사용되는 한(광 및 어두움의 비가 명확할 때), 임의의 색 조합이 사용될 수 있다.

광학 센서(113)의 출력은 증폭기(114)를 통해 제어기(107)에 전송된다. 제어기(107)는 광학 센서(113)의 출력이 일정 값과 동일하거나 또는 일정 값보다 높은지의 여부를 검출한다. 광 센서(103)의 출력이 임의의 값에 도달하지 않을 때, 디스플

레이 패널(106)에 출력된 비디오 신호의 전체 그레이 스케일의 수는 변화되지 않는다. 다른 한편으로, 광학 센서(113)의 출력이 일정 값과 동일하거나 또는 일정 값보다 높은 경우에, 디스플레이 패널에 출력된 비디오 신호의 그레이 스케일의 전체 수는 감소되는 것으로 정정된다.

테이블 1에 기술된 바와 같이, 실내 또는 실외 밝기는 광 조건, 날씨와 같은 기후 조건 및 시간에 따라 변화한다. 예컨대, 조 명할 때 방의 조도는 대략 800 내지 1,000 럭스이며, 낮의 흐른 하늘 아래의 조도는 대략 32,000 럭스이며, 낮의 밝은 하늘 아래의 조도는 100,000 럭스이다.

테이블 1

밝기(lux)	밝기의 개략적 표시	(lux)
1,000.000	한여름의 도야마 해변	>100,000
	낮동안의 화창한 날의 일광	100,000
	오전 10시 화창한 날의 일광	65,000
	오후 3시 화창한 날의 일광	35,000
	낮동안 흐린날의 일광	32,000
	오전 10 흐린날의 일광	25,000
10,000	일출로부터 1시간후 흐린날의 일광	2,000
1,000	일몰전 1시간에서 화창한 날의 일광	1,000
	파친코 객실의 조명	1,000
	백화점의 조명	500-700
	사무실의 형광 램프	400-500
	일출/일몰시 일광	300
	8-매트룸에서 두개의 30W 형광 램프	300
	방중의 아케이드	150-200
100	형광 램프 아래	50-100
	라이터로부터 30cm 떨어진 위치	15
10	양초로부터 20cm 떨어진 위치	10-15
	민간용 희미한 빛(태양 96도의 천정 거리)	5
1	달빛	0.5-1
	자연의 희미한 빛(태양 102도의 천정 거리)	0.01
	아스트로믹의 희미한 빛(태양 108도의 천정 거리)	0.001

다양한 밝기를 가진 조건들하에서 투과형 액정 패널(투과성 LCD 패널), 반투과형 액정 패널(반투과성 LCD 패널) 및 반사형 액정 디스플레이(반사성 LCD)를 사용하여 디스플레이 패널의 가시성들간의 비교 결과가 표 2에 기술된다.

테이블 2

	500~1500[kx]		~10000[kx]		100000[kx]		전력소비
	실내 →	조명된 실내	←	호린날 위의	←	외장한날의 위의	
투과형 LCD 패널 (1.9QVGA)	자연영상 및 텍스트로부터 양호한 가시성이 획득된다. 그러나, LCD 패널과 비교하여 콘트라스트가 감소된다.	◎~○	진술한 바와 같다. 텍스트의 가시성은 LCD 패널에서 동일하다. 그러나, 자연영상의 가시성은 LCD에 비하여 양호하지 않다.	△~x	가시성은 악화된다. 때때로, 관찰자는 직광하에서 볼 수 없다	x	○~△
반투과형 LCD 패널 (2.1OCIF+)	자연영상 및 텍스트로부터 양호한 가시성이 획득된다. 그러나, LCD 패널 및 투과형 LCD 패널의 콘트라스트와 비교하여 콘트라스트가 감소된다.	○	비교적으로 양호한 가시성이 획득된다. 콘트라스트는 감소하지 않는다. 색은 변화하지 않는다.	○	외부광의 반사성분이 증가하기 때문에 비교적 양호한 가시성이 유지된다.	○	○
반사형 LCD 패널	가시성이 현저하게 감소한다. 낮은 콘트라스트에서 가시성이 감소한다.	△~x	낮은 콘트라스트에서, 가시성은 주변 디스플레이 부분이 하프톤일 때 감소한다.	○	외부광의 반사성분이 증가하기 때문에 비교적 양호한 가시성이 유지된다.	○	◎

결과로서, 약 1,500 렉스까지의 밝기 환경(즉, 실내, 조명용 가진 홀 등)에서, 반사형 액정 패널을 제외하고 다양한 액정 패널들에서의 디스플레이 패턴(자연 영상, 텍스트(문자, 심볼) 등)과 무관하게 우수한 가시성이 획득된다. 다른 한편으로, 10,000 렉스(낮 호린날씨 시간)에서, 투과형 액정 패널에 자연 영상을 디스플레이하는 경우에, 절반-톤 부분의 낮은 콘트라스트 부분의 가시성은 현저하게 감소하는 경향이 있다. 반투과형 액정 패널에 있어서 실내에서 실외까지의 환경에서, 콘트라스트는 약간 낮으며, 그러나 10,000 렉스의 환경에서 우수한 가시성이 획득된다. 반사형 액정 패널은 전력 소비에 양호하며, 조명이 실내에서와 같이 낮은 환경에서 가시성이 감소하는 경향이 있다. 투과형 액정 디스플레이 패널에서, 전력 소모는 역광이 전력을 소모하기 때문에 반사형 액정 패널보다 높다.

테이블 2로부터 명백한 바와 같이, 투과형 액정 패널 또는 반투과형 액정 패널을 사용함으로써, 그레이 스케일들의 수가 외부 광 강도에 따라 조절되는 디스플레이 모드가 세팅되며, 이에 따라 가시성은 실내에서 실외까지의 환경에서 보장될 수 있다.

예컨대, 도 1에 도시된 디스플레이 장치에 있어서, 디스플레이 장치가 광학 센서(113)의 출력에 의하여 10 내지 100 렉스의 외부 광을 수신하는 것을 검출하는 경우에, 그레이 스케일들의 전체 수는 64에서 1024로 변화하지 않는다. 더욱이, 디스플레이 장치가 광학 센서(113)의 출력에 의하여 100 내지 1,000 렉스의 외부 광을 수신하는 것을 검출하는 경우에, 그레이 스케일들의 전체 수는 16 내지 64의 범위내에서 감소된다. 더욱이, 디스플레이 장치가 광학 센서(113)의 출력에 의하여 1,000 내지 10,000의 외부 광을 수신하는 것을 검출하는 경우에, 그레이 스케일들의 전체 수는 4 내지 16의 범위내에서 감소된다. 게다가, 디스플레이 장치가 광학 센서(113)의 출력에 의하여 10,000 내지 100,000 렉스의 외부 광을 수신하는 것을 검출하는 경우에, 그레이 스케일들의 전체 수는 2 내지 4의 범위내에서 감소된다.

사용자가 디스플레이 모드를 선택하는 선택 스위치가 디스플레이 장치에 제공될 수 있다는 것을 유의해야 한다. 그 다음에, 사용자는 선택 스위치를 작동하여 전술한 모드가 선택될 수 있다. 더욱이, 디스플레이 모드가 선택 스위치에 의하여 선택될 때조차, 선택된 디스플레이 모드의 그라데이션은 광학 센서(113)의 신호(외부 광 강도)에 따라 자동적으로 증가 또는 감소될 수 있다.

다음으로, 회로의 세부사항들이 기술된다. 도 2는 소스 드라이버(102)의 구조를 도시한다. 시프트 레지스터(231)는 순차적으로 선택한 신호(소위 샘플링 펄스)를 출력하는 회로이다. 따라서, 회로는 유사한 기능을 수행하는 회로가 사용되는 한 시프트 레지스터에 제한되지 않는다. 예컨대, 디코더 회로가 사용될 수 있다.

시프트 레지스터가 출력하는 샘플링 펄스는 샘플링 스위치들(201 내지 203)에 입력된다. 그 다음에, 비디오 신호는 샘플링 펄스에 따라 비디오 신호 라인(22)에 순차적으로 입력되며, 샘플링 스위치들(201 내지 203)은 순차적으로 턴온되며 비디오 신호는 화소 어레이(101)에 입력된다. 화소 어레이(101)에서, 화소들(211)은 매트릭스로 제공된다.

도 2는 화소들(211)이 3개의 열들 및 2개의 행들로 제공되는 경우를 도시하나 본 발명이 이에 제한되지 않는다는 것을 유의해야 한다. 임의의 수의 화소들이 제공될 수 있다.

도 15는 하나의 화소에 대한 화소(220)의 예를 도시한다. 게이트 신호 라인(1701)을 사용함으로써, 선택 트랜지스터(1704)가 제어된다. 선택 트랜지스터(1704)가 턴온될 때, 비디오 신호는 소스 신호 라인(1702)으로부터 액정 엘리먼트(1707) 또는 저장 커패시터(1705)로 입력된다. 그 다음에, 액정 분자의 방향 상태는 비디오 신호에 따라 변화한다. 결과로서, 액정 엘리먼트(1707)를 통과하는 광량은 변화하며 그라데이션이 표현될 수 있다.

화소 구성이 도 15에 제한되지 않는다는 것에 유의해야 한다. 예컨대, 저장 커패시터(1705)의 전극(1703)은 전용 와이어에 접속될 수 있거나 또는 다른 화소의 게이트 신호에 접속될 수 있다. 더욱이, 저장 커패시터(1705)의 전극(1703)의 전위는 액정 엘리먼트(1707)의 역 전극(1708)의 전위와 동일하지 않아도 된다. 그러나, 액정 엘리먼트(1707)의 역 전극(1708)의 전위를 변화시키는 경우에, 저장 커패시터(1705)의 전극(1703)의 전위가 유사하게 변화되는 것이 바람직하다.

발광 엘리먼트가 다양한 모드들을 사용할 수 있다는 것에 유의해야 한다. 예컨대, EL 엘리먼트(유기 EL 엘리먼트, 무기 EL 엘리먼트, 또는 유기 재료 또는 무기 재료를 포함하는 EL 엘리먼트), 전자 방전 엘리먼트, 액정 엘리먼트, 전자 잉크, 광 회절 엘리먼트, 방전 엘리먼트, 디지털 마이크로미러 장치(DMD), 압전 엘리먼트, 및 탄소 나노튜브와 같이 전자기 현상에 의하여 콘트라스트를 변화시키는 디스플레이 매체가 사용될 수 있다. EL 엘리먼트를 사용하는 EL 패널형 디스플레이 장치는 EL 디스플레이를 포함하며, 전자 방전 엘리먼트를 사용하는 디스플레이 장치는 필드 방사 디스플레이(FED), SED형 평판 패널 디스플레이(표면-전도 전자-에미터 디스플레이) 등을 포함하며, 액정 패널형 디스플레이 장치는 액정 디스플레이를 포함하며, 전자잉크를 사용하는 디지털 페이퍼형 디스플레이 장치는 전자 페이퍼를 포함하며, 광 회절 엘리먼트를 사용하는 디스플레이 장치는 그레이팅 광 밸브(GLV)형 디스플레이를 포함하며, 방전 엘리먼트를 사용하는 PDP(플라즈마 디스플레이 패널)형 디스플레이는 플라즈마 디스플레이를 포함하며, 마이크로 미러 엘리먼트를 사용하는 DMD 패널형 디스플레이 장치는 디지털 광 처리(DLP)형 디스플레이 장치를 포함하며, 압전 엘리먼트를 사용하는 디스플레이 장치는 압전 세라믹 디스플레이를 포함하며, 탄소 나노튜브를 사용하는 디스플레이 장치는 나노 방사 디스플레이(NED) 등을 포함한다.

저장 커패시터(1705)는 액정 엘리먼트(1707)의 전압을 유지하는 기능을 한다는 것에 유의해야 한다. 따라서, 전위가 유지될 수 있는 경우에 저장 커패시터(1705)는 생략될 수 있다.

디스플레이 모드-특정 비디오 신호 생성 회로(106)는 화소 어레이(101)와 동일한 기관상에, 소스 드라이버(102)와 동일한 기관상에, FPC(플렉시블 인쇄회로)상에 또는 PCB(인쇄회로기관)상에 형성될 수 있다.

더욱이, 디스플레이 모드-특정 비디오 신호 생성 회로(106)는 화소 어레이(101)를 형성하는 트랜지스터들과 유사한 트랜지스터로 형성될 수 있다. 선택적으로, 디스플레이 모드-특정 비디오 신호 생성 회로(106)는 다른 트랜지스터를 사용하여 형성될 수 있다. 예컨대, 화소 어레이(101)는 박막 트랜지스터들로 구성될 수 있는 반면에, 디스플레이 모드-특정 비디오 신호 생성 회로(106)는 벌크 기관 또는 SOI 기관상에 형성된 바이폴라 트랜지스터 또는 MOS 트랜지스터로 구성될 수 있다.

다음으로, 도 3은 디스플레이 모드-특정 비디오 신호 생성 회로(106)의 세부사항들을 도시한다. 제어기(107)로부터 입력된 신호에 기초하여, 디스플레이 모드 제어 회로(301)는 디스플레이가 디스플레이 모드에 따라 수행되도록 제어한다. 예

컨대, 디지털 모드의 경우에, 스위치들(303, 304)이 턴온된다. 그 후, 입력된 비디오 신호는 2진화 회로(302)에 의하여 처리되며 소스 드라이버(102)에 출력된다. 이러한 경우에, 스위치(305)는 턴오프된다. 다른 한편으로, 아날로그 모드의 경우에, 스위치(305)는 턴온되며 입력된 비디오 신호는 소스 드라이버(102)에 출력된다. 디스플레이 모드-특정 비디오 신호 생성 회로(106)에 입력될 비디오 신호가 아날로그 값인 경우에, 비디오 신호는 비디오 신호가 아날로그 신호로서 소스 드라이버(102)에 출력되도록 임의의 변화없이 출력된다.

도 3은 디스플레이 모드가 아날로그 모드 및 디지털 모드인 경우를 기술하나 본 발명이 이에 제한되지 않는다는 것을 유의해야 한다. 이산값이나 2진이 아닌 디스플레이 모드는 다중 값 모드라 불린다. 비디오 신호 및 휘도간의 관계의 예들은 도 4A 내지 4C에 도시된다.

도 4A는 본 실시예 모드에서 아날로그 모드의 경우를 도시한다. 비디오 신호는 아날로그 방식으로 변화하며, 따라서 휘도 또한 아날로그 방식으로 변화한다.

도 4B는 본 실시예 모드에서 디지털 모드의 경우를 도시한다. 비디오 신호는 2진값이며, 광은 하나의 값으로 방사되며 다른 값으로 방사되지 않는다.

도 4C는 본 실시예 모드에서 다중 값 모드의 경우를 도시한다. 비디오 신호는 이산값을 취하나 2진값이 아니다.

도 4A 내지 도 4C가 양전극에서 비디오 신호의 예를 도시한다는 것을 유의해야 한다. 액정 엘리먼트는 보통 교류전류에 의하여 동작된다. 따라서, 액정 엘리먼트의 양 단부들에서 추가될 전압 극성은 미리 결정된 시간이 경과함에 따라 반전된다. 따라서, 도 4A 내지 도 4C의 그래픽의 극성은 음전극에서 비디오 신호로 반전될 수 있다. 그 다음에, 양전극의 비디오 신호 및 음전극의 비디오 신호는 액정 엘리먼트에 교번하여 추가된다.

그 다음에, 다중 값 모드의 경우에 대응하는 디스플레이 모드-특정 비디오 신호 생성 회로(106)의 세부사항들은 도 5에 도시된다. 제어기(107)로부터 입력된 신호에 기초하여, 디스플레이 모드 제어 회로(501)는 디스플레이 모드에 따른 디스플레이가 수행될 수 있도록 제어를 수행한다. 예컨대, 디지털 모드의 경우에, 스위치들(303, 304)은 턴온된다. 그 다음에, 입력된 비디오 신호는 2진화 회로(302)에 의하여 처리되어 소스 드라이버(102)에 출력된다. 이 경우에, 스위치들(403, 404) 및 스위치(305)는 턴오프된다. 다른 한편으로, 아날로그 모드의 경우에, 스위치(305)는 턴온되며, 입력된 비디오 신호는 임의의 변화없이 소스 드라이버(102)에 출력된다. 디스플레이 모드-특정 비디오 신호 생성 회로(106)에 입력될 비디오 신호가 아날로그 값인 경우에, 비디오 신호는 임의의 변화없이 출력되며, 이에 따라 비디오 신호는 소스 드라이버(102)에 아날로그 값으로서 출력된다. 다중 값 모드의 경우에, 스위치들(403, 404)은 턴온된다. 그 다음에, 입력된 비디오 신호는 다중 값 회로(402)에 의하여 처리되어 소스 드라이버(102)에 출력된다. 이 경우에, 스위치들(303, 304, 305)은 턴오프된다.

다음으로, 도 6A는 2진화 회로(302)의 세부사항들을 도시한다. 도 6A의 회로도에 도시된 바와 같이, 비교기(비교) 회로(621, 622)는 연산증폭기를 사용하여 형성된다. 교번 구동을 수행하기 위하여, 액정은 보통 양의 2진화 회로 및 음의 2진화 회로를 필요로 한다. 비교기 회로는 입력전압이 2진화를 수행하기 위하여 기준 전위들 V_{refp} 및 V_{refm} 보다 높거나 또는 낮은지의 여부에 따라 H 또는 L의 신호(액정이 턴온 또는 턴오프되는 신호)를 출력한다. 그 다음에, 스위치들(611, 612)은 양 전극 또는 음 전극에 대한 전극이 출력되도록 스위칭한다. 비교기 회로가 연산 증폭기를 사용하여 형성되나 본 발명이 이에 제한되지 않는다는 것을 유의해야 한다. 초퍼 반전기 비교기 회로가 사용될 수 있으나 비교기 회로는 다른 회로를 사용하여 형성될 수 있다.

도 6B는 기준 전위 V_{refp} 를 생성하는 회로를 도시한다. 기준 전위 V_{refp} 의 값은 전압들 V1 및 V2간의 값에 대응하며 저항기들(R1, R2)에 의하여 분할된 값이 된다. 단지 2진 회로가 동작될 때만, 스위치들(623, 624)은 턴 온될 수 있다. 결과로서, 전류가 저항기들(R1, R2)을 흐를때 주기가 단축될 수 있기 때문에, 전력 소모가 감소될 수 있다.

도 6B는 기준 전위 V_{refp} 를 생성하는 회로를 도시하나, 기준 전위 V_{refm} 을 생성하는 회로는 전위의 값을 변화시킴으로써 유사하게 형성될 수 있다.

기준 전위 V_{ref} (V_{refp} 및 V_{refm})이 상화에 따라 변화되는 경우에 많은 저항기들(도 7에서 저항기들 R1, R2, R3, R4, R5)이 도 7에 도시된 바와 같이 접속되며 출력 접속부들이 턴온/턴오프 스위치들(604 내지 607)에 의하여 스위칭되는 것이 바람직하다.

도 8A 및 도 8B는 다중 값 회로(402)의 세부사항들을 도시한다. 도 8A는 다중 값 회로(402)의 전체 블록도를 도시한다. 신호들은 양 전극 다중 값 회로(412A) 및 음전극 다중 값 회로(412B)에 입력된다. 그 다음에, 스위치(881) 및 스위치(882)는 양전극에 대한 신호 또는 음전극에 대한 시간을 출력하도록 변화된다.

양 전극 다중 값 회로(412A) 및 음전극 다중 값 회로(412B)의 상세한 구성도는 도 8B의 다중 값 회로(412)로 도시된다. 다중 값 회로(412)와 관련하여, 전압 V_a 및 V_b 의 값은 양전극 및 음전극에 대하여 양전극 다중 값 회로(412A) 및 음전극 다중 값 회로(412B)에서 다르다.

입력 신호가 결정 회로(811)에 입력된다. 더욱이, 기준 전위에 대응하는 두개의 전압들은 결정 회로(811)에 입력된다. 그 다음에, 입력 신호의 전위가 두개의 기준 전위들 사이에 있는 경우에, 결정 회로(811)는 H 신호를 출력한다. 결과로서, 스위치들(821 내지 824)중 한 스위치는 개방되며, 스위치들(801 내지 804)은 턴온되며 샘플링된 전압이 출력된다. 단지 다중 값 회로(402)가 동작될 때만, 스위치들(801 내지 804)이 턴온될 수 있다는 것에 유의해야 한다. 결과로서, 전류가 V_a 및 V_b 사이에서 흐르는 동안 주기가 단축될 수 있기 때문에, 전력 소모는 감소될 수 있다.

도 9는 결정 회로(811)의 세부사항들을 도시한다. 비교기(비교) 회로는 연산 증폭기들(901, 902)을 사용하여 형성된다. 입력 신호의 전위 V_{in} 가 기준 전위 V_x 내지 기준 전위 V_y 의 범위내에 있을때, 연산 증폭기들(901, 902)의 각각은 H 신호를 출력한다. 신호들은 AND 회로(903)에 입력된다. 그 다음에, AND 회로(903)에의 입력 신호들의 둘다가 H 신호들일때, H 신호는 출력된다.

결정 회로가 도 9의 AND 회로를 사용하여 형성되나 본 발명이 이에 제한되지 않는다는 것을 유의해야 한다. OR 회로, NAND 회로 또는 NOR 회로가 사용될 때, 유사한 기능이 수행될 수 있다.

이러한 방식에서, 디스플레이 디지털 모드 또는 다중 값 모드로 수행될 때, 영상 데이터의 샘플링이 수행된다. 결과로서, 잡음을 포함하는 영상은 영상이 실제로 디스플레이될 때 잡음이 제거되어 디스플레이될 수 있다. 더욱이, 각각의 그레이 스케일 레벨의 휘도 변화가 중요하기 때문에, 콘트라스트가 강화된다.

게다가, 이러한 디스플레이 모드 선택은 외부 광 강도에 따라 제어될 수 있다. 이러한 방식에서, 주변 휘도에 따라, 가시성이 우수한 디스플레이 장치는 디스플레이 영상의 그레이 스케일들의 수를 제어함으로써 제공될 수 있다. 즉, 가시성을 보장하는 디스플레이 장치는 어두운 위치 또는 실내의 형광 아래로부터 실외 태양광 아래까지의 넓은 범위에서 획득될 수 있다.

도 2, 도 3 및 도 5 등에 도시된 스위치들이 샘플링 스위치(201) 등으로서 사용될 수 있다는 것에 유의해야 한다. 예로서, 스위치, 기계적 스위치 등이 존재한다. 즉, 전류 흐름이 제어될 수 있는한, 본 발명은 특정 스위치에 제한되지 않으며 다양한 스위치들이 사용될 수 있다. 예컨대, 스위치는 트랜지스터, 다이오드(PN 다이오드, PIN 다이오드, 쇼트키 다이오드, 다이오드 접속 트랜지스터 등) 또는 이들의 결합인 논리 회로일 수 있다. 따라서, 트랜지스터가 스위치로 사용되는 경우에, 트랜지스터가 스위치에서처럼 동작하기 때문에, 트랜지스터의 극성(도전형)이 특별하게 제한되지 않는다. 그러나, 낮은 오프-전류가 바람직한 경우에, 낮은 오프-전류를 가진 극성을 가진 트랜지스터는 바람직하게 사용된다. 낮은 오프-전류를 가진 트랜지스터로서, LDD 영역을 가진 트랜지스터, 다중-게이트 구조를 가진 트랜지스터 등이 사용될 수 있다. 더욱이, 소스 전극의 전위가 낮은 전위 측면 전력 소스(V_{ss} , GND 또는 0V 등)에 근접한 상태에 스위치로서 동작될 트랜지스터가 동작할 때 n-채널 트랜지스터를 사용하는 것이 바람직한 반면에, 소스 전극의 전위가 높은 전위측 전력소스(V_{dd} 등)에 근접하는 상태에서 트랜지스터가 동작할 때 p-채널 트랜지스터를 사용하는 것이 바람직하다. 이는 게이트-소스 전압의 절댓값이 증가할 수 있기 때문이며, 이에 따라 트랜지스터는 스위치로서 용이하게 동작한다. 스위치가 n-채널 트랜지스터 및 p-채널 트랜지스터를 사용하여 CMOS 타입일 수 있다는 것에 유의해야 한다. CMOS 스위치의 경우에, 스위치를 통해 출력되는 전압(즉, 스위치에 대한 입력전압)이 출력 전압에 대하여 높거나 또는 낮도록 상황이 변화할 때 조차, 스위치는 적절하게 동작될 수 있다.

도 14A 내지 도 14D는 스위치의 예를 도시한다. 도 14A는 개략적으로 기술된 스위치이다. 도 14B는 AND 회로를 사용하는 스위치이다. 제어 라인(1502)은 입력(1501)의 신호가 출력(1503)에 전송되는지의 여부를 제어하기 위하여 사용된다. 도 14B의 경우에, 제어는 출력(1503)이 입력 신호와 무관하게 L 신호가 되도록 가능하다. 그러나, 출력(1503)은 부동 상태가 되지 않는다. 따라서, 출력(1503)이 디지털 회로 등의 입력에 접속되는 경우에, 도 14B의 스위치는 바람직하게 사용된다. 디지털 회로의 경우에, 입력이 부동 상태일지라도, 출력은 부동 상태가 되지 않는다. 입력이 부동 상태가 되며, 출력은 불안정하게 되며 이는 바람직하지 않다. 따라서, 디지털 회로 등의 입력에 접속되는 경우에, 도 14B의 스위치는 바람직하게 사용된다.

도 14B의 스위치가 AND 회로를 사용하여 형성되거나 본 발명이 이에 제한되지 않는다는 것을 유의해야 한다. OR 회로, NAND 회로 또는 NOR 회로가 사용될 때 유사한 기능이 수행될 수 있다.

다른 한편으로, 입력이 바람직하게 부동 상태인 경우에, 도 14C 또는 도 14D의 스위치가 사용될 수 있다. 도 14C는 전송 게이트라 불리는 회로, 아날로그 스위치 등이다. 도 14C에서, 입력(1511)의 전위는 거의 변화하지 않으면서 출력(1513)에 전송된다. 따라서, 입력(1511)의 전위는 아날로그 신호를 전송하기 위하여 바람직하다. 도 14D는 클록 인버터라 불리는 회로 등이다. 도 14D에서, 입력(1521)의 신호는 반전되어 출력(1523)에 전송된다. 따라서, 디지털 신호를 전송하는 것이 바람직하다.

전술한 바와 같이, 도 14C의 스위치는 샘플링 스위치(201), 스위치(305), 스위치(2511) 등으로서 바람직하게 사용된다. 도 14C 또는 도 14D의 스위치는 출력이 부동 상태로 되도록 요구되기 때문에 스위치(304) 등에 적합하다. 그러나, 도 14D의 스위치는 스위치(304)에 대한 입력이 디지털 신호이기 때문에 더 적절하다.

(실시예 모드 2)

실시예 모드 1은 디스플레이 모드-특정 비디오 신호 생성 회로(106)에 입력될 비디오 신호가 아날로그 값인 경우를 기술한다. 다음으로, 디지털 값이 입력되는 경우가 기술된다.

도 24는 전체 블록도이다. 소스 드라이버(102)에 입력된 비디오 신호는 디스플레이 모드-특정 비디오 신호 생성 회로(106)에 따라 생성된다. 디스플레이 모드-특정 비디오 신호 생성 회로(106)는 제어기(2307)를 사용하여 제어된다. 더욱이, 원래의 디지털 비디오 신호는 디스플레이 모드-특정 비디오 신호 생성 회로(2306)에 입력된다. 그 다음에, 원래의 비디오 신호를 사용함으로써, 각각의 디스플레이 모드에 따른 비디오 신호는 생성되어 디스플레이 모드-특정 비디오 신호 생성 회로(2306)의 소스 드라이버(102)에 출력된다.

광학 센서(2313)는 외부 광(디스플레이 장치가 수신하는 외부 광)을 검출한다. 출력은 증폭기(2314)에 공급된다. 증폭기(2314)는 광학 센서(2313)가 출력하는 저기 신호를 증폭하며, 증폭된 전기 신호는 제어기(2307)에 공급된다. 광학 센서(2313)에 의하여 출력된 전기 신호가 충분히 강하기 때문에, 증폭기(2314)는 반드시 제공될 필요가 없다.

광학 센서(2313)로부터의 신호에 기초하여, 제어기(2307)는 디스플레이 모드-특정 비디오 신호 생성 회로(2306)를 제어한다. 그 다음에, 광학 센서(2313)로부터의 신호에 의하여, 즉 주변 휘도에 따라, 소스 드라이버(102) 등에 공급된 비디오 신호의 그레이 스케일들의 수는 제어된다. 그레이 스케일들의 수가 제어될 때, 그레이 스케일들의 수는 주변 휘도에 따라 점진적으로 변화될 수 있거나, 또는 스위칭은 임의의 디스플레이 모드들이 유지되는 동안 한 디스플레이 모드로부터 다른 디스플레이 모드로 스위칭하기 위하여 사용될 수 있다.

광학 센서(2313)의 출력에 기초하여, 디스플레이 모드, 즉 그레이 스케일의 수가 변화된다. 특히, 디스플레이 장치가 강한 외부 광을 수신할 때 그리고 광학 센서(2313)의 출력이 일정 값과 동일하거나 또는 일정 값 이상일 때, 디스플레이 스크린 상에 표현될 영상의 그레이 스케일들의 전체 수는 감소된다. 디스플레이 장치가 강한 외부광을 수신할 때, 디스플레이 스크린 상에 디스플레이될 영상은 하나의 그라데이션 및 다른 그라데이션간의 명확한 구별없이 선명하지 않게 된다. 그러나, 전술한 바와 같이, 디스플레이 장치가 수신하는 외부 광에 따라, 그레이 스케일들의 전체 수는 감소되며, 한 그라데이션 및 다른 그라데이션간의 구별이 명확하게 되며, 그 결과 디스플레이 패널의 디스플레이 스크린의 가시성이 개선될 수 있다.

증폭기(2314) 및 광학 센서(2313)는 화소 어레이(101)와 동일한 기관상에 존재할 수 있다는 것에 유의해야 한다. 이 경우에, 증폭기(2314) 및 광학 센서(2313)가 화소 어레이(101)와 동일한 기관상에 형성될 수 있다. 선택적으로, 화소 어레이(101), 증폭기(2314) 또는 광학 센서(2313)와 동일한 기관상에는 COG(클래스상의 칩), 범프 등을 사용하여 제공될 수 있다.

디스플레이 모드는 주로 아날로그 모드 및 디지털 모드로 분할된다. 아날로그 모드에 대하여, 화소에 입력되는 비디오 신호는 아날로그 값이 된다. 다른 한편으로, 디지털 모드에 대하여, 화소에 입력되는 비디오 신호는 디지털 값이 된다.

다음으로, 도 25는 디스플레이 모드-특정 비디오 신호 생성 회로(2306)의 세부사항들을 도시한다. 제어기(107)로부터 입력된 신호에 기초하여, 디스플레이 모드 제어 회로(301)는 디스플레이 모드에 따른 디스플레이가 수행될 수 있도록 제어를 수행한다. 예컨대, 디지털 모드의 경우에, 스위치들(2513, 1514)은 턴온되며 단지 비디오 신호의 최상위 비트가 소스 드라이버(102)에 출력된다. 그러나, 전위 레벨이 충족되지 않는 경우가 존재한다. 이 경우에, 전위 레벨은 필수적인 레벨로

변환될 필요가 있다. 더욱이, 양 전극 및 음 전극에 대응하는 전위를 발생시키는 것이 필요하다. 따라서, 필요할 때, 레벨 변환 회로(2504)가 제공된다. 다른 한편으로 아날로그 모드의 경우에, 비디오 신호는 DA 변환기 회로(2502)에 전송되며, 적정 아날로그 값은 스위치(2511)를 통해 소스 드라이버(102)에 출력된다. DA 변환기 회로(2502)에서는 양 전극 및 음 전극에 대응하는 비디오 신호의 전위가 생성된다는 것에 유의해야 한다.

양전극 신호 및 음전극 신호를 형성하는 회로는 소스 드라이버(102) 및 디스플레이 모드-특정 비디오 신호 생성 회로(2306)사이에 제공될 수 있다. 예컨대, 양전극 신호가 입력되어 음전극 신호로 변환되고 필요한 경우에 출력되는 회로가 존재한다.

도 25는 디스플레이 모드가 아날로그 모드 및 디지털 모드인 경우를 기술하나 본 발명이 이에 제한되지 않는다는 것에 유의해야 한다.

그 다음에, 다중 값 모드의 경우에 대응하는 디스플레이 모드-특정 비디오 신호 생성 회로(2306)의 세부사항들이 도 26에 도시된다. 제어기(2307)로부터 입력된 신호에 기초하여, 디스플레이 모드 제어 회로(2501)는 디스플레이 모드에 따른 디스플레이가 수행될 수 있도록 제어를 수행한다. 아날로그 모드 및 디지털 모드의 경우들이 도 25와 유사하다. 다중 값 모드의 경우에, 비디오 신호의 단지 높은 비트만일 DA 변환기 회로(2503)에 입력된다. 낮은 비트는 입력되지 않는다. 따라서, 평활한 디스플레이가 아니라 샘플링된 디스플레이가 수행된다.

다중 값 모드에 있어서, 신호가 하위 비트를 사용하지 않고 샘플링될 수 있기 때문에 도 26의 구조에 본 발명이 제한되지 않는다는 것을 유의해야 한다. 예컨대, 도 27에 도시된 바와 같이, 하위 비트 데이터 제거 회로(2702)는 DA 변환기 회로(2502)의 입력 부분에서 제공될 수 있다. 결과로서, 디스플레이 모드 제어 회로의 신호에 따라, 하위 비트값은 강제로 0(또는 L 신호)으로 세팅된다. 따라서, 평활한 디스플레이가 아니라 샘플링된 디스플레이가 수행된다.

따라서, 도 28은 하위 데이터 제거 회로(2702)의 예를 도시한다. AND 회로가 사용되며, 하위 3비트에 대한 데이터가 강제로 0(또는 L 신호)으로 세팅된다.

AND 회로가 도 28에서 사용되나 본 발명이 이에 제한되지 않는다는 것에 유의해야 한다. 만일 OR 회로, NAND 회로 또는 NOR 회로가 사용되면, 유사한 기능이 수행될 수 있다. 더욱이, 도 28에서, 6비트의 비디오 신호가 입력되며, 하위 3비트의 데이터가 강제로 0(또는 L 신호)으로 세팅되나, 본 발명은 이에 제한되지 않는다. 수정은 적절하게 이루어질 수 있다.

따라서, 실제 동작동안, 수비트들에 대한 데이터는 강제로 0(또는 L 신호)으로 세팅되도록 변화될 수 있다. 도 29는 이러한 경우의 회로도들 도시한다. AND 회로들에 입력된 신호들이 분리되기 때문에, 신호들은 개별적으로 제어될 수 있다.

다음으로, 도 30은 도 25 내지 도 27에 기술된 DA 변환기 회로의 세부사항들을 도시한다. 디코더 회로(3021)는 입력 디지털 신호를 디코딩하며, 따라서 스위치들(3011 내지 3016)의 일부는 아날로그 전압을 출력하도록 턴온된다. 그 다음에, 단지 DA 변환기 회로가 동작될 때만, 스위치들(3002, 3003)은 턴온될 수 있다. 결과로서, 저항기로의 전류 흐름이 단축될 수 있는 주기가 단축될 수 있기 때문에, 전력 소비가 감소될 수 있다.

그러나, 도 30의 임의의 변화없이 양전극 데이터 및 음전극 데이터를 생성하는 것이 곤란한 가능성이 존재한다. 따라서, 이러한 경우에, DA 변환기 회로 및 소스 드라이버(102)사이에 양전극 신호 및 음전극 신호를 형성하기 위한 회로를 제공하는 것이 바람직하다. 예컨대, 양전극 신호가 입력되어 음전극 신호로 변환되며 필요한 경우에 출력되는 회로가 존재한다.

도 16은 회로가 제공되지 않고 DA 변환기 회로가 양전극 데이터 및 음전극 데이터를 생성하는 기능을 가지는 경우를 도시한다. 도 30에서, 전압을 생성하는 두개의 회로들은 병렬로 접속된다. 각각의 회로에서, 양전극 데이터 및 음전극 데이터가 생성된다. 그 다음에, 스위치들(1611, 1612)은 양전극 데이터 및 음전극 데이터가 출력되도록 스위칭된다.

이러한 방식에서, 디스플레이가 디지털 모드 또는 다중 값 모드에서 수행될 때, 2진화가 수행되고 영상 데이터의 샘플링이 수행된다. 결과로서, 잡음을 포함하는 영상은 영상이 실제로 디스플레이될 때 잡음이 제거되어 디스플레이될 수 있다. 더욱이, 각각의 그레이 스케일 레벨에서 휘도 변화가 중요하기 때문에 콘트라스트가 강화된다.

게다가, 이러한 디스플레이 모드선택은 외부 광 강도에 따라 제어될 수 있다. 이러한 방식에서, 주변 휘도에 따라, 가시성이 우수한 디스플레이 장치는 디스플레이 영상의 그레이 스케일의 수를 제어함으로써 제공될 수 있다. 즉, 가시성을 보장하는 디스플레이 장치는 어두운 위치 또는 실내의 형광 아래로부터 실외 태양광 아래까지의 넓은 범위에서 획득될 수 있다.

본 실시예에서 기술된 내용은 실시예 모드들 1 내지 2에 기술된 내용과 자유롭게 결합될 수 있다.

(실시예 모드 3)

아날로그 모드에서 화소를 구동시키는 방법이 본 실시예 모드에서 기술된다.

아날로그 그라데이션 시스템은 아날로그 모드로서 사용되며 그라데이션이 표현된다. 따라서, 아날로그 그라데이션 시스템은 아날로그 방식으로 액정 엘리먼트와 같은 디스플레이 엘리먼트에 공급될 전압을 변화시킴으로써 광전송량이 아날로그 방식으로 변화하는 상태에서 동작하는 것이 바람직하다.

본 실시예 모드는 아날로그 모드의 경우를 기술하나 다중 값 모드의 경우와 유사하게 적용된다는 것에 유의해야 한다.

본 실시예 모드가 실시예 모드 1의 화소를 상세히 기술하는 것에 유의해야 한다. 따라서, 본 실시예에 기술된 내용은 실시예 모드들 1 및 2에 기술된 내용과 자유롭게 결합될 수 있다.

(실시예 모드 4)

디지털 모드에서 화소를 구동시키는 방법이 본 실시예 모드에서 기술된다.

디지털 모드에서는 신호가 H 및 L의 2진으로 제한된다. 따라서, 액정 엘리먼트의 상태는 전압이 공급되는지에 관한 2진으로 제한된다. 즉, 디지털 모드에서, 액정 엘리먼트의 상태는 광이 전송되는지의 여부에 제한된다.

칼라 디스플레이가 디지털 모드에서 수행되는 경우에 전체 8개의 색들은 각각의 RGB에 대하여 2진으로 표현하기 때문에 디스플레이될 수 있다.

이러한 실시예 모드가 실시예 모드 1 등의 화소를 상세히 기술한다는 것을 유의해야 한다. 따라서, 이러한 실시예에서 기술된 내용은 실시예 모드들 1 내지 3에 기술된 내용과 자유롭게 결합될 수 있다.

(실시예 모드 5)

다음으로, 본 발명의 디스플레이 장치의 화소 레이아웃이 기술된다. 예컨대, 도 17은 도 15에 도시된 회로의 레이아웃 도면을 도시한다. 회로 도면 및 레이아웃 도면이 도 15 및 도 17에 제한되지 않는다는 것에 유의해야 한다.

선택 트랜지스터(1704), 액정 엘리먼트(1707)의 화소 전극(1707A) 및 저장 커패시터(1705)가 제공된다. 선택 트랜지스터(1704)의 소스 및 드레인은 액정 엘리먼트(1707)의 소스 신호 라인(1702) 및 화소 전극(1707A)에 접속된다. 선택 트랜지스터(1704)의 게이트는 게이트 신호 라인(1701)에 접속된다. 저장 커패시터(1705)는 전극(1703)을 사용하여 제공된다.

소스 신호 라인(1702)은 제 2 와이어로 형성되는 반면에, 게이트 신호 라인(1701)은 제 1 와이어로 형성된다.

상부 게이트 구조의 경우에, 막은 기관, 반도체층, 게이트 절연막, 제 1 와이어, 층간 절연막, 및 제 2 와이어를 이 순서대로 형성함으로써 구성된다. 하부 게이트 구조의 경우에, 막은 기관, 제 1 와이어, 게이트 절연막, 제 1 와이어, 층간 절연막 및 제 2 와이어를 이 순서대로 형성함으로써 구성된다.

다음으로, 도 10은 박막 트랜지스터(TFT) 및 이에 접속된 액정 엘리먼트로 구성된 화소의 단면도이다.

도 10에서, 기본층(701), TFT(750)를 형성하는 반도체층(702), 및 커패시터(751)의 하나의 전극을 형성하는 반도체층(752)은 기관(700)상에 형성된다. 제 1 절연층(703)은 상기 층들상에 형성되며, TFT(750)는 게이트 절연층으로서 기능을 하며, 커패시터(751)는 커패시터를 형성하는 유전체층으로서 기능을 한다.

게이트 전극(704), 및 커패시터(751)의 다른 전극을 형성하는 도전층(754)은 제 1 절연층(703)상에 형성된다. TFT(750)에 접속된 와이어(707)는 액정 엘리먼트의 제 1 전극(708)에 접속된다. 이러한 와이어(707)는 제 3 절연층(706)상에 형성된다. 그 다음에, 제 1 전극(708)은 제 4 절연층(710) 상에 형성된다. 제 1 절연층(703) 및 제 3 절연층(706) 사이에 형성될 수 있다. 액정 엘리먼트는 제 1 전극(708) 및 역 전극인 제 2 전극 사이에 제공된다.

다음으로, 앞서 도시된 구조의 세부사항들이 기술된다. 기판(700)으로서, 예컨대 바륨 붕규산 유리 또는 알루미늄 붕규산 유리와 같은 유리 기판, 석영 기판, 세라믹 기판 등이 기술될 수 있다. 더욱이, 스테인레스를 포함하는 금속 기판 또는 반도체 기판의 표면에 형성된 절연막이 사용될 수 있다. 플라스틱과 같이 가요성을 가진 합성수지로 형성된 기판이 또한 사용될 수 있다. 기판(700)의 표면은 화학 기계적 폴리싱(CMP)과 같은 폴리싱에 의하여 사전에 평탄화될 수 있다.

실리콘 산화물, 실리콘 질화물 또는 실리콘 질화물 산화물과 같은 절연막은 기본층(701)으로서 사용될 수 있다. 기본층(701)은 기판(700)에 포함된 Na 또는 알칼리 토금속과 같은 알칼리 금속이 반도체층(702)으로 확산되어 TFT(750)의 특징에 악영향을 미치는 것을 방지할 수 있다. 도 10에서, 기본층(701)은 단층 구조를 가지나 다층으로 형성될 수 있다. 석영 기판등으로부터 불순물의 확산이 큰 문제가 되지 않는 경우에 기본층(701)이 반드시 제공될 필요가 없다는 것에 유의해야 한다.

더욱이, 유리 기판의 표면은 마이크로파에 의하여 여기된 고밀도 플라즈마에 의하여 직접 처리될 수 있으며, 여기서 전자 온도는 2eV 이하이고, 이온 에너지는 5eV 이하이며 전자 밀도는 대략 10^{11} 내지 $10^{13}/\text{cm}^3$ 이다. 방사 슬롯 안테나를 사용한 마이크로파 여기의 플라즈마 처리 장치는 플라즈마를 생성하기 위하여 사용될 수 있다. 이러한 시간에, 질소(N_2), 암모니아(NH_3) 또는 질소 산화물(N_2O)이 유입될 때, 유리 기판의 표면은 질화될 수 있다. 이러한 유리 기판의 표면에 형성된 질화물층은 실리콘 질화물이 주성분으로서 포함되기 때문에 불순물이 유리 기판으로부터 확산되는 것을 방지하는 차단층으로서 사용될 수 있다. 실리콘 산화물막 또는 실리콘 산질화물 막은 기본층(701)이 되도록 플라즈마 CVD에 의하여 질화물층상에 형성될 수 있다.

더욱이, 실리콘 산화물, 실리콘 산질화물 등으로 형성된 기본층(701)의 표면에 대하여 유사한 플라즈마 처리를 수행함으로써, 질화 처리는 표면으로부터 1 내지 10nm의 깊이로 표면에 대하여 수행될 수 있다. 이러한 박막 실리콘 질화물층은 그 위에 형성된 반도체층상의 응력을 영향을 미치지 않는 차단층으로 세팅될 수 있다.

패터닝된 결정성 반도체막은 반도체층(702) 및 반도체층(752)으로서 바람직하게 사용된다. 패터닝이 막의 형상이 처리된다는 것을 의미한다. 다시 말해서, 패터닝은 포토리소그래피 기술(예컨대, 감광 아크릴에 접촉 홀을 형성하는 단계, 스페이서가 형성되도록 감광 아크릴의 형성을 처리하는 단계를 포함함)에 의하여 형성된다는 것을 의미하며, 마스크 패터닝은 포토리소그래피 기술에 의하여 형성되며, 에칭 프로세스는 마스크 패터닝 등을 사용하여 수행된다. 결정성 반도체막은 비결정 반도체막을 결정화함으로써 획득될 수 있다. 결정 방법으로서, 레이저 결정 방법, RTA 또는 열처리 노를 사용하는 열적 결정 방법, 결정화를 촉진하기 위하여 금속 엘리먼트를 사용하는 열적 결정화 방법 등이 사용될 수 있다. 반도체층(702)은 채널 형성 영역, 및 도전성을 형성하는 불순물 성분으로 도핑되는 불순물 영역들의 쌍을 포함한다. 저농도로 불순물 성분으로 도핑되는 불순물 영역은 채널 형성 영역 및 불순물 영역들의 쌍사이에 형성될 수 있다는 것에 유의해야 한다. 전체 반도체층(752)이 하나의 도전형 또는 반대 도전형을 형성하기 위하여 불순물 성분으로 도핑되는 구조가 사용될 수 있다.

단일층 또는 복수의 적층 막들은 실리콘 산화물, 실리콘 질화물, 실리콘 질화물 산화물 등을 사용하여 제 1 절연층(703)을 형성하기 위하여 사용될 수 있다. 이러한 경우에, 앞서 언급된 것과 유사하게, 절연막의 표면은 마이크로파에 의하여 여기된 고밀도 플라즈마에 의하여 산화 또는 질화될 수 있으며, 여기서 전자 온도는 2eV 이하이고, 이온 에너지는 5eV 이하이며 전자 밀도는 대략 10^{11} 내지 $10^{13}/\text{cm}^3$ 이다. 이러한 프로세스는 제 1 절연층(703)의 막형성전에 수행될 수 있다. 즉, 플라즈마 처리는 반도체층(702)의 표면에 대하여 수행될 수 있다. 이 시간에, 그 위에 적층된 게이트 절연막을 가진 바람직한 경계는 산화 분위기(O_2 , N_2O 등) 또는 질소 분위기(N_2 , NH_3 등)에서 300 내지 450°C의 기판 온도로 처리함으로써 형성될 수 있다.

게이트 전극(704) 및 도전층(754)은 Ta, W, Ti, Mo, Al, Cu, Cr, 또는 Nd 또는 복수의 성분을 포함하는 합금 또는 화합물로부터 선택된 성분으로 형성된 적층 구조 또는 단일층을 사용하여 형성될 수 있다.

TFT(750)는 반도체층(702), 게이트 전극(704), 및 반도체층(702) 및 게이트 전극(704)사이의 제 1 절연막(703)으로 구성된다. 도 10에서는 액정 엘리먼트의 제 1 전극(708)에 접속된 TFT(750)가 화소를 형성하는 TFT로서 도시된다. 이러한

TFT(750)는 복수의 게이트 전극들(704)이 반도체층(702)사이 에 제공되는 다중-게이트 구조를 도시한다. 즉, 복수의 TFT가 직렬로 접속되는 구조가 존재한다. 이러한 구조는 준비없는 오프 전류 대신에 억제할 수 있다. 도 10에서 상부-게이트 TFT가 TFT(750)로서 도시될지라도, TFT(750)는 게이트 전극이 반도체층 아래에 제공된 하부-게이트 TFT 뿐만 아니라 게이트 전극들이 반도체층 위 및 아래에 제공되는 듀얼-게이트 TFT일 수 있다.

커패시터(751)는 유전체로서 제 1 절연막(703)으로 형성되며, 제 1 절연막(703)을 삽입하기 위하여 서로 대면하는 전극들의 쌍으로서 반도체층(752) 및 도전층(754)으로 형성된다. 도 10은 화소에 제공된 커패시터들로서 TFT(750)의 반도체층(702)과 함께 동시에 형성된 반도체층(752)이 전극들의 쌍중 한 쌍으로서 사용되고 게이트 전극(704)과 함께 동시에 형성된 도전층(754)이 다른 전극으로서 사용되는 예를 도시하나 본 발명이 이에 제한되지 않는다는 것을 유의해야 한다.

바람직하게, 제 2 절연층(705)은 이온 불순물을 차단하는 실리콘 질화물 막과 같은 장벽 특성들을 가진 절연막이다. 제 2 절연층(705)은 실리콘 질화물 막 또는 실리콘 산질화물로 형성된다. 제 2 절연층(705)은 반도체층(702)의 오염을 방지하는 보호막으로서 기능을 한다. 제 2 절연층(705)이 적층된후에, 제 2 절연층(705)의 수소화는 수소 가스를 유입하고 전술한 바와 같이 플라즈마가 마이크로파에 의하여 여기되는 고밀도 플라즈마 처리를 수행함으로써 수행될 수 있다. 게다가, 암모니아 가스가 도입되고, 제 2 절연층(705)의 질화 및 수소화가 수행될 수 있다. 게다가, 산화, N₂O 가스 등, 및 수소 가스가 도입되며, 산질화 처리 및 수소화가 수행될 수 있다. 본 방법에 따르면, 제 2 절연층(705)의 표면은 질화 처리, 산화 처리 또는 산질화 처리를 수행함으로써 고밀도로 될 수 있다. 따라서, 보호막으로서의 기능은 강화될 수 있다. 제 2 절연층(705)에 유입된 수소는 400 내지 450°C의 열처리에 의하여 제 2 절연층(705)을 형성하는 실리콘 질화물로부터 해제되며, 따라서 반도체층(702)은 수소화될 수 있다.

제 3 절연층(706)에 대하여, 무기 절연막 또는 유기 절연막이 사용될 수 있다. CVD, SOG(클래스상의 스피너) 막(코팅된 실리콘 산화물 막) 등이 무기 절연막으로서 사용될 수 있다. 폴리이미드, 폴리아미드, BCB(벤조사이클로부텐), 아크릴, 양의 감광 유기수지, 음의 감광 유기수지 막등은 유기 절연막으로서 사용될 수 있다. 더욱이, 실리콘(Si) 및 산소(O)에 의하여 형성된 스키텔론 구조를 가진 재료는 제 3 절연층(706)으로서 사용될 수 있다. 적어도 수소(예컨대, 알킬 그룹 또는 방향족 탄화수소)를 포함하는 유기 그룹은 치환체로서 포함된다. 선택적으로, 플루오르 그룹은 치환체로서 사용될 수 있다. 게다가, 선택적으로 적어도 수소를 포함하는 플루오르 그룹 및 유기 그룹은 치환체로서 사용될 수 있다.

와이어(707)는 Al, Ni, C, W, Mo, Ti, Pt, Cu, Ta, Au, 또는 Mn 또는 복수의 성분을 포함하는 합금으로부터 선택된 성분으로 형성된 적층 구조 또는 단일층을 사용하여 형성될 수 있다.

제 1 전극(708) 및 제 2 전극 중 하나 또는 둘 다는 투과형 전극으로 세팅될 수 있다. 투과형 전극은 텅스텐 산화물을 포함하는 인듐 산화물(IWO), 텅스텐 산화물을 포함하는 인듐 아연 산화물(IWZO), 티타늄 산화물을 포함하는 인듐 산화물(ITiO), 티타늄 산화물을 포함하는 인듐 주석 산화물(ITTiO), 몰리브덴을 포함하는 인듐 주석 산화물(ITMO) 등을 사용하여 형성될 수 있다. 물론, 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 실리콘 산화물이 첨가되는 인듐 주석 산화물(ITSO) 등이 사용될 수 있다.

제 1 전극(708)의 한 부분은 광 투과성없이 금속으로 형성될 수 있다. 예컨대, Li 또는 Cs와 같은 알칼리 금속, Mg, Ca 또는 Sr와 같은 알칼리 토류금속, 금속들(Mg: Ag, Al: Li, Mg: In 등)을 포함하는 합금, 금속들(CaF₂, Ca₃N₂ 등)의 화합물 또는 Yb 또는 Er과 같은 희토류 금속이 사용될 수 있다.

제 4 절연층(712)은 제 3 절연층(706)의 재료와 유사한 재료로 형성될 수 있다.

도 10에 도시된 구조의 화소 및 외부 광 강도 검출수단을 결합함으로써, 액정 엘리먼트에서 액정 분자들의 방향 상태는 변화되며, 액정 엘리먼트를 통과하는 광량은 제어되며, 디스플레이 스크린의 휘도는 제어될 수 있다.

트랜지스터는 반도체층에 대한 폴리실리콘 뿐만아니라 비결정 실리콘을 사용하여 사용될 수 있다.

다음으로, 비결정 실리콘(a-Si:H) 막이 트랜지스터의 반도체층으로서 사용되는 경우가 기술된다. 도 12는 상부 게이트 트랜지스터의 경우를 도시하며, 도 13 및 도 35는 하부 게이트 트랜지스터의 경우를 도시한다.

도 12는 비결정 실리콘이 반도체층으로서 사용되는 상부 게이트 트랜지스터의 단면도를 도시한다. 기본막(2802)은 도 12에 도시된 바와 같이 기판(2801)상에 형성된다. 더욱이, 동일한 재료로 형성된 제 1 전극(2820)은 기본막(2802)상에 형성된다.

유리 기판, 석영 기판, 세라믹 기판 등이 기판으로서 형성될 수 있다. 더욱이, 기본막(2802)은 알루미늄 질화물(AlN), 실리콘 산화물(SiO₂), 실리콘 산질화물(SiO_xN_y) 등의 단일층 또는 상기 성분들의 적층을 사용하여 형성될 수 있다.

더욱이, 와이어(2805) 및 와이어(2806)는 기본막(2802)상에 형성된다. N-형 도전형을 각각 가진 N-형 반도체층(2807) 및 N-형 반도체층(2808)은 와이어(2805) 및 와이어(2806)상에 각각 형성된다. 더욱이, 반도체층(2809)은 기본막(2802)상에 그리고 와이어(2806) 및 와이어(2805)사이에 형성된다. 더욱이, 반도체층(2809)의 일 부분은 N-형 반도체층(2807) 및 N-형 반도체층(2808)으로 연장된다. 이러한 반도체층은 비결정 실리콘(a-Si:H) 또는 마이크로결정 반도체(μ -Si:H)와 같은 비결정 특성을 가진 반도체막으로 형성된다. 게이트 절연막(2810)은 반도체층(2809)상에 형성된다. 게이트 절연막(2810)과 동일한 층에 동일한 재료로 형성된 절연막(2811)은 제 1 전극(2820)상에 형성된다. 실리콘 산화물막, 실리콘 질화물막 등이 게이트 절연막(2810)으로서 사용된다는 것을 유의해야 한다.

더욱이, 게이트 전극(2812)은 게이트 절연막(2810)상에 형성된다. 게이트 전극과 동일한 재료로 형성된 제 2 전극(2813)은 제 1 전극(2820)상에 형성되며, 절연막(2811)은 제 1 전극(2820) 및 제 2 전극(2813)사이에 삽입된다. 커패시터(2819)는 제 1 전극(2820) 및 제 2 전극(2813)사이에 절연막(2811)을 삽입함으로써 형성된다. 더욱이, 층간 절연막(2814)은 화소 전극(2803), 구동 트랜지스터(2818) 및 커패시터(2819)의 단부 부분을 커버하도록 형성된다.

액정층(2815) 및 역 전극(2816)은 층간 절연막(2814)상에 있는 화소 전극(2803)상에 형성되며, 액정층(2815)은 화소 전극(2803) 및 역 전극(2816)사이에 삽입된다.

더욱이, 제 1 전극(2820)은 와이어들(2805, 2806)과 동일한 층에서 동일한 재료로 형성된다.

더욱이, 도 13은 비결정 실리콘이 반도체층으로서 사용되는 바닥 게이트 트랜지스터를 사용하여 디스플레이 장치의 패널에 대한 부분 단면도를 도시한다.

기본막(2902)은 기판(2901)상에 형성된다. 게다가, 게이트 전극(2903)은 기본막(2902)상에 형성된다. 더욱이, 제 1 전극(2904)은 게이트 전극과 동일한 층에서 동일한 재료로 형성된다. 비결정성 추가 다결정 실리콘은 게이트 전극(2903)의 재료로서 사용될 수 있다. 인-첨가 다결정 실리콘과 다르게, 금속 및 실리콘의 화합물인 실리사이드가 또한 사용될 수 있다.

더욱이, 게이트 절연막(2905)은 게이트 전극(2903) 및 제 1 전극(2904)을 커버하기 위하여 형성된다. 게이트 절연막(2905)은 실리콘 산화물막, 실리콘 질화물막 등을 사용하여 형성된다.

게다가, 반도체층(2906)은 게이트 절연막(2905)상에 형성된다. 더욱이, 반도체층(2907)은 반도체층(2906)과 동일한 층에 동일한 재료로 형성된다.

유리 기판, 석영 기판, 세라믹 기판 등이 기판으로서 사용될 수 있다. 더욱이, 기본막(2902)은 알루미늄 질화물(AlN), 실리콘 산화물(SiO₂), 실리콘 산질화물(SiO_xN_y) 등의 단일층 또는 상기 성분들의 적층을 사용하여 형성될 수 있다.

N-형 도전형을 각각 가진 N-형 반도체층(2808, 2809)은 반도체층(2906)상에 형성되며, N-형 반도체층(2910)은 반도체층(2907)상에 형성된다.

와이어들(2911, 2912)은 N-형 반도체층들(2908, 2909)상에 형성되며, 와이어들(2911, 2912)과 동일한 층에서 동일한 재료로 형성된 도전층(2913)은 N-형 반도체층(2910)상에 형성된다.

제 2 전극은 반도체층(2907), N-형 반도체층(2910) 및 도전층(2913)으로 구성된다. 제 2 전극 및 제 1 전극(2904)사이에 게이트 절연막(2905)을 삽입한 구조를 가진 커패시터(2920)가 형성된다는 것에 유의해야 한다.

더욱이, 와이(2911)의 한 단부는 연장되며, 접촉홀은 연장된 와이어(2911)상에 형성되며, 화소 전극(2914)이 형성된다.

더욱이, 절연체(2915)는 구동 트랜지스터(2919) 및 커패시터(2920)를 커버하기 위하여 형성된다.

화소 전극(2914), 액정층(2916) 및 역 전극(2917)은 절연체(2915)상에 형성되며, 액정층(2916)은 화소 전극(2914) 및 역 전극(2917)사이에 삽입된다.

커패시터의 제 2 전극의 일부분인 반도체층(2907) 및 N-형 반도체층(2910)은 제공될 필요가 없다. 즉, 도전층(2913)은 제 2 전극으로서 사용될 수 있으며, 게이트 절연막이 제 1 전극(2904) 및 도전층(2913)사이 에 삽입되는 구조를 가진 커패시터가 존재할 수 있다.

도 13은 채널 에칭형의 역 스테거링형 트랜지스터를 도시하나, 채널 보호형 트랜지스터가 사용될 수 있다는 것은 두말할 것도 없다. 채널 보호형 트랜지스터의 경우는 도 35를 참조하여 기술된다.

도 35에 도시된 채널 보호형 트랜지스터는 에칭 마스크로서 사용되는 절연체(3001)가 반도체층(2906)에서 채널 형성 영역상에 제공된다는 점에서 도 13에 도시된 채널 에칭형의 구동 트랜지스터(2919)와 다르다. 도 13과 동일한 다른 부분들은 동일한 도면부호들로 표시된다.

본 발명의 화소를 구성하는 트랜지스터의 반도체층(채널 형성 영역, 소스 영역, 드레인 영역 등)으로서 비결정 반도체막을 사용함으로써, 제조비용이 감소될 수 있다. 예컨대, 다양한 화소 구성들을 사용함으로써, 비결정 반도체막이 적용될 수 있다.

본 발명의 화소 구성에 적용가능한 커패시터의 구조 및 트랜지스터의 구조가 전술한 구조들에 제한되지 않고 다양한 구조들이 사용될 수 있다는 것에 유의해야 한다.

이러한 실시예 모드에 기술된 내용은 실시예 모드들 1 내지 4에 기술된 내용과 자유롭게 결합함으로써 구현될 수 있다는 것에 유의해야 한다.

(실시예 모드 6)

외부 광 강도를 검출하는 광학 센서는 디스플레이 장치의 일 부분에 통합될 수 있다. 이러한 광학 센서는 디스플레이 장치 상에 일부분으로서 장착될 수 있거나 또는 디스플레이 패널상에 일체형으로 형성될 수 있다. 디스플레이 패널상에 일체형으로 형성되는 경우에, 디스플레이 표면은 설계시 현저한 효과를 가지도록 광학 센서의 광 수신면으로서 함께 사용될 수 있다. 즉, 광학 센서가 디스플레이 장치에 부착된다는 것을 인식하지 않고, 외부 광 강도에 기초한 그라데이션 제어가 수행될 수 있다.

도 11은 디스플레이 패널상에 광학 센서를 일체형으로 형성하기 위한 일 모드를 도시한 도면이다. 도 8A 및 도 8B는 액정 엘리먼트를 가진 화소 및 이의 동작을 제어하는 TFT를 형성하는 경우를 도시한다.

도 11를 참조하면, 스위칭 TFT(8801), 광 투과형 재료로 형성된 제 1 전극(화소 전극)(8802), 액정(8803), 및 역 전극(8805)상에 광 투과형 재료로 형성된 제 2 전극(역 전극)(8804)은 광 투과성을 가진 기관(8800)상에 제공된다. 더욱이, 와이어(8806)는 절연막(8812)상에 형성된다. 유사하게, P-형 층(8831), 진성 i-형 층(8832) 및 n-형층(8833)의 적층을 포함하는 광전자 변환기(8838), p-형 층(8831)에 접속된 전극(8830), 및 n-형 층(8833)에 접속된 전극(8834)이 절연막(8812)상에 제공된다. 광전자 변환기(8838)는 선(8806)과 동일한 층내에, 즉 절연막(8812)상 형성될 수 있다. 광전자 변환기(8838)는 제 1 전극(화소 전극)(8802)와 동일한 층내에, 즉 절연막(8851)상에 형성될 수 있다. 광전자 변환기(8838)는 게이트 와이어와 동일한 층내에, 즉 절연막(8852)상에 형성될 수 있다.

광전자 변환기(8838)는 본 실시예에서 광 센서 엘리먼트로서 사용된다. 광전자 변환기(8838)는 동일한 기관(8800)상에 형성되며, 액정(8803)을 통과하는 광은 영상을 형성하며, 사용자는 시각적으로 식별한다. 다른 한편으로, 광전자 변환기는 외부 광을 검출하고 검출신호를 제어기에 전송하는 기능을 가진다. 이러한 방식에서, 액정 엘리먼트 및 광학 센서(광전자 변환기)는 세팅의 다운사이징에 기여하도록 동일한 기관상에 형성될 수 있다.

본 실시예 모드에서 기술된 내용은 실시예 모드들 1 내지 5에 기술된 내용과 자유롭게 결합함으로써 구현될 수 있다는 것에 유의해야 한다.

(실시예 모드 6)

이러한 실시예 모드는 실시예 모드 1 내지 5에 기술된 디스플레이 장치를 제어하는 하드웨어를 기술한다.

도 18은 개략적인 구성도이다. 화소 어레이(1804)는 기관(1801)상에 제공된다. 소스 드라이버(1806) 또는 게이트 드라이버(1805)가 제공되는 여러 경우들이 존재한다. 게다가, 전력 공급 회로, 사전충전 회로, 타이밍 생성 회로 등이 제공될 수 있다. 더욱이, 소스 드라이버(1806) 또는 게이트 드라이버(1805)가 제공되지 않는 경우가 존재한다. 이 경우에, 기관(1801)상에 제공되지 않는 드라이버가 IC상에 형성되는 여러 경우가 존재한다. IC가 COG(클래스상의 칩)에 의하여 기관(1801)상에 제공되는 여러 경우가 존재한다. 선택적으로, 주변 회로 기관(1802) 및 기관(1801)을 접속하는 접속 기관(1807)상에 IC가 제공되는 경우가 존재한다.

신호(1803)는 주변 회로 기관(1802)에 입력된다. 그 다음에, 제어기(1808)는 메모리들을 제어하며, 신호는 메모리(1809), 메모리(1810) 등에 저장된다. 신호(1803)가 아날로그 신호인 경우에, 아날로그-디지털 변환이 수행된후에 신호가 메모리(1809), 메모리(1810) 등에 저장되는 여러 경우들이 존재한다. 그 다음에, 제어기(1808)는 메모리(1809), 메모리(1810) 등에 저장된 신호를 사용하며 신호를 기관(1801)에 출력한다.

제어기(1808)는 다양한 펄스 신호들 등을 제어하며, 실시예 모드들 1 내지 5에 기술된 구동 방법을 실현하기 위하여 기관(1801)에 신호를 출력한다.

본 실시예 모드에 기술된 내용이 실시예 모드들 1 내지 6에 기술된 내용과 자유롭게 결합함으로써 구현될 수 있다는 것에 유의해야 한다.

(실시예 모드 7)

본 발명의 디스플레이 장치 또는 디스플레이 부분에서 구동 방법을 사용하는 디스플레이 장치를 가진 이동전화의 구조적 예가 도 19를 참조하여 기술된다.

디스플레이 패널(5410)은 하우징(5400)내에 분리가능하게 통합된다. 하우징(5400)의 형상 및 크기는 디스플레이 패널(5410)의 크기에 따라 적절하게 변화될 수 있다. 디스플레이 패널(5410)이 고정되는 하우징(5400)은 모듈로서 구성될 인쇄기관(5401) 내에 적합하다.

디스플레이 패널(5410)은 FPC(5411)를 통해 인쇄 기관(5401)에 접속된다. 스피커(5402), 마이크로폰(5403), 전송/수신 회로(5404), CPU를 포함하는 신호처리회로(5405), 제어기 등이 인쇄기관(5401)상에 형성된다. 이러한 모듈, 입력수단(5406) 및 배터리(5407)는 새시(5409)내에 통합되도록 결합된다. 디스플레이 패널(5410)의 화소 부분은 새시(5409)의 개방 윈도우로부터 보여지도록 제공된다.

디스플레이 패널(5410)에서, 주변 드라이버 회로(복수의 드라이버 회로 중에서 동작 주파수가 낮은 드라이버 회로)의 일부 및 화소 부분은 TFT를 사용하여 기관상에 일체형으로 형성될 수 있다. 반면에, 주변 드라이버 회로(복수의 드라이버 회로들 중에서 동작 주파수가 높은 드라이버 회로)의 다른 부분은 IC 칩상에 형성될 수 있으며, IC 칩은 COG(클래스상의 칩)에 의하여 디스플레이 패널(5410)상에 장착될 수 있다. 게다가, IC 칩은 TAB(테이프 자동 본딩) 또는 인쇄기관에 의하여 유리 기관에 접속될 수 있다. 도 20a는 주변 드라이버 회로의 일부분 및 화소 부분이 기관상에 일체형으로 형성된 디스플레이 패널의 구조에 대한 예를 기술하며, 다른 주변 드라이버 회로가 형성되는 IC 칩은 COG 등에 의하여 그 위에 장착된다. 이러한 구조를 사용함으로써, 디스플레이 장치의 전력 소비는 감소되며, 한번 충전함으로써 이동전화의 동작시간이 연장될 수 있다. 더욱이, 이동전화의 비용이 감소될 수 있다.

더욱이, 버퍼에 의하여 스캔 라인 또는 신호 라인에 세팅되는 신호를 임피던스 변환함으로써, 각 행의 화소들의 기록 주기가 단축될 수 있다. 따라서, 고선명 디스플레이 장치가 제공될 수 있다.

더욱이, 화소 부분은 TFT를 사용하여 기관상에 형성될 수 있으며, 모든 주변 드라이버 회로는 IC 기관상에 형성될 수 있으며, IC 칩은 전력 소비를 더 감소시키기 위하여 COG(클래스상의 칩) 등을 사용하여 디스플레이 패널상에 장착될 수 있다.

본 발명의 디스플레이 장치를 사용함으로써, 높은 콘트라스트를 가진 선명 영상이 디스플레이될 수 있다.

더욱이, 본 실시예 모드에 기술된 구조는 본 발명의 디스플레이 장치가 이동전화의 구조에 제한되지 않고 다양한 이동전화들에 적용될 수 있도록 이동전화의 예이다.

본 실시예에 기술된 내용은 실시예 모드들 1 내지 7에 기술된 내용과 자유롭게 결합함으로써 구현될 수 있다는 것에 유의해야 한다.

(실시예 모드 8)

도 21은 디스플레이 패널(5701) 및 회로 기관(5702)을 결합함으로써 형성된 EL 모듈을 도시한다. 디스플레이 패널(5701)은 화소 부분(5703), 스캔 드라이버 회로(5704) 및 신호 드라이버 회로(5705)를 포함한다. 예컨대, 제어 회로(5706), 신호 분할 회로(5707) 등이 회로 기관(5702)상에 형성된다. 디스플레이 패널(5701)은 접속 와이어(5708)를 사용하여 회로 기관(5702)에 접속된다. FPC 등은 접속 와이어로서 사용될 수 있다.

제어 회로(5706)는 실시예 모드 7에서 제어기(1808), 메모리(1809), 메모리(1810) 등에 대응한다. 주로, 제어 회로(5706)는 서브프레임의 발생 순서 등을 제어한다.

디스플레이 패널(5701)에서, 주변 드라이버 회로(복수의 드라이버 회로 중에서 동작 주파수가 낮은 드라이버 회로)의 일부 및 화소 부분은 TFT를 사용하여 기관상에 일체형으로 형성될 수 있다. 반면에, 주변 드라이버 회로(복수의 드라이버 회로들 중에서 동작 주파수가 높은 드라이버 회로)의 다른 부분은 IC 칩상에 형성될 수 있으며, IC 칩은 COG(클래스상의 칩) 등에 의하여 디스플레이 패널(5701)상에 장착될 수 있다. 게다가, IC 칩은 TAB(테이프 자동 본딩) 또는 인쇄기관에 의하여 디스플레이 패널(5701)에 접속될 수 있다. 도 20a는 주변 드라이버 회로의 일부분 및 화소 부분이 기관상에 일체형으로 형성된 디스플레이 패널의 구조에 대한 예를 기술하며, 주변 드라이버 회로의 다른 부분이 형성되는 IC 칩은 COG 등에 의하여 그 위에 장착된다. 이러한 구조를 사용함으로써, 디스플레이 장치의 전력 소비는 감소되며, 한번 충전함으로써 이동전화의 동작시간이 연장될 수 있다. 더욱이, 이동전화의 비용이 감소될 수 있다.

더욱이, 버퍼에 의하여 스캔 라인 또는 신호 라인에 세팅되는 신호를 임피던스 변환함으로써, 각 행의 화소들의 기록 주기가 단축될 수 있다. 따라서, 고선명 디스플레이 장치가 제공될 수 있다.

더욱이, 화소 부분은 TFT를 사용하여 기관상에 형성될 수 있으며, 모든 신호 라인 드라이버 회로는 IC 기관상에 형성될 수 있으며, IC 칩은 전력 소비를 더 감소시키기 위하여 COG(클래스상의 칩)등을 이용하여 디스플레이 패널상에 장착될 수 있다.

화소 부분은 TFT를 사용하여 기관상에 형성될 수 있으며, 모든 주변 드라이버 회로는 IC 칩상에 형성될 수 있으며, IC 칩은 COG(클래스상의 칩) 등에 의하여 디스플레이 패널상에 장착될 수 있다. 도 20b는 화소 부분이 기관상에 형성되는 구조의 예를 도시하며, 신호 드라이버 회로가 형성되는 IC 칩은 COG 등에 의하여 기관상에 장착된다.

액정 텔레비전 수신기는 이러한 액정 모듈을 사용하여 완성될 수 있다. 도 22는 액정 텔레비전 수신기의 주 구조를 도시하는 블록도이다. 튜너(5801)는 비디오 신호 및 오디오 신호를 수신한다. 비디오 신호는 비디오 신호 증폭기 회로(5802), 영상 신호 증폭기 회로(5802)로부터 출력된 신호를 적색, 녹색 및 청색의 각각에 대응하는 색 신호들로 변환하는 비디오 신호 처리회로(5803), 및 드라이버 회로의 입력 사양으로 영상 신호를 변환하는 제어 회로(5706)에 의하여 처리된다. 제어 회로(5706)는 스캔 라인 측면 및 신호 라인 측면의 각각에 신호를 출력한다. 디지털 구동의 경우에, 신호 구동 회로(5707)는 입력 디지털 신호가 공급된 m개의 신호들로 분할될 수 있도록 신호 라인 측면에 제공될 수 있다.

튜너(5801)에 의하여 수신된 신호 중 오디오 신호는 오디오 신호 증폭기 회로(5804)에 전송되며, 출력은 오디오 신호 처리 회로(5805)를 통해 스피커(5806)에 공급된다. 제어 회로(5807)는 입력 부분(5808)으로부터 수신국(수신 주파수) 또는 볼륨과 같은 제어 데이터를 수신하며 튜너(5801) 및 오디오 신호 처리회로(5805)에 신호를 전송한다.

액정 모듈은 텔레비전 수신기를 완성하기 위하여 새시에 통합된다. 액정 모듈에는 디스플레이 부분이 형성될 수 있다. 더욱이, 스피커, 비디오 입력 단자 등이 적절하게 제공된다.

물론, 텔레비전은 텔레비전 수신기에 제한되지 않으며, 퍼스널 컴퓨터의 모니터, 기차역, 공항 등의 정보 디스플레이 보드 또는 거리상에 있는 광고 디스플레이 보드와 같이 대화면 매체로서 다양 응용들에 적용될 수 있다.

이러한 방식에서, 본 발명의 디스플레이 장치를 사용함으로써, 높은 콘트라스트를 가진 선명 영상이 디스플레이될 수 있다.

이러한 실시예 모드에 기술된 내용이 실시예 모드들 1 내지 8에 기술된 내용과 자유롭게 결합함으로써 구현될 수 있다는 것에 유의해야 한다.

(실시예 모드 9)

이러한 실시예 모드는 광학 센서 및 증폭기와 같은 예를 기술한다.

도 34는 기본 구성도이다. 광전자 변환기(3601)는 휘도에 따라 광 및 전류 흐름으로 조사된다. 전류는 전류-전압 변환기 회로(3902)에서 전압 신호로 변환된다. 이러한 방식에서, 광학 센서(113)는 광전자 변환기(3601) 및 전류-전압 변환기 회로(3902)로 형성된다. 그 다음에, 광학 센서(113)로부터 출력된 신호는 증폭기(114)에 입력된다. 도 34는 연산 증폭기를 사용하여 전압 추적기 회로를 도시한다. 그러나, 본 발명은 이에 제한되지 않는다.

저항기(3602)는 도 31에 도시된 바와 같이 전류-전압 변환기 회로(3902)의 예로서 사용될 수 있다. 그러나, 본 발명은 이에 제한되지 않는다. 회로는 연산 증폭기를 사용하여 형성될 수 있다.

도 34 및 도 31에서, 광전자 변환기(3601)에의 전류 흐름이 사용되거나 이러한 전류는 증폭될 수 있다. 예컨대, 도 32에 도시된 바와 같이, 전류-전압 변환기 회로인 저항기(3702)로의 전류 흐름은 전류 미러 회로(3703)를 사용하여 증가될 수 있다. 결과로서, 광에 대한 감도가 개선되고 잡음에 대한 저항 특성들이 개선될 수 있다.

게다가, 도 33에 도시된 바와 같이, 광전자 변환기(3601) 및 전류 미러 회로(3803)에의 모든 전류 흐름은 전류-전압 변환기 회로(3802)로 흐를 수 있으며, 이에 따라 광에 대한 감도가 더 개선되며, 잡음에 대한 저항 특성들이 개선된다. 더욱이, 이러한 방식에서, 접속 단말들의 수는 광전자 변환기(3601)의 출력 및 전류 미러 회로의 출력이 1로 세팅될 수 있기 때문에 감소될 수 있다.

이러한 실시예 모드에서 기술된 내용은 실시예 모드 1 내지 9에서 기술된 내용과 자유롭게 결합함으로써 구현될 수 있다는 것에 유의해야 한다.

(실시예 모드 10)

본 발명에 관한 디스플레이 장치의 구조가 기술된다. 디스플레이 장치의 디스플레이 부분은 복수의 소스 신호 라인들, 복수의 소스 신호 라인들과 교차하도록 제공되는 복수의 게이트 신호 라인들, 및 복수의 소스 신호 라인들 및 복수의 게이트 신호 라인들의 각각의 교차점에 제공된 화소를 가진다. 이러한 실시예 모드는 액정을 사용하는 액정 디스플레이 장치의 화소의 예를 도시한다.

도 36은 하나의 화소의 구성을 도시한다. 화소는 소스 신호 라인(4801) 및 게이트 신호 라인(4802)의 교차점에 제공되며, 트랜지스터(4803), 커패시터(4804), 및 액정 엘리먼트를 가진다. 액정 엘리먼트의 액정을 구동시키는 전극들의 쌍 중 단지 하나의 전극(화소 전극(4805))만이 도면에 도시된다는 것에 유의해야 한다.

저항기(4803)는 반도체층(4806), 제 1 절연층 및 이들 사이에 삽입된 제 1 절연층을 가진 반도체층(4806)과 중첩하는 게이트 신호 라인(4802)의 일부분으로 구성된다. 반도체층(4806)은 트랜지스터(4803)의 활성층이 된다. 제 1 절연층은 트랜지스터의 게이트 절연층으로서 기능을 한다. 트랜지스터(4803)의 소스 및 드레인중 하나는 접촉홀(4807)을 사용하여 소스 신호 라인(4801)에 접속되며, 다른 하나는 접촉 홀(4808)을 사용하여 접속 와이어(4809)에 접속된다. 접속 와이어(4809)는 접촉 홀(4810)을 사용하여 화소 전극(4805)에 접속된다. 접속 와이어(4809)는 소스 신호 라인(4801)의 도전층과 동일한 도전층을 사용하여 형성되며 동시에 에칭된다.

커패시터(4804)는 반도체층(4806) 및 반도체층(4806)과 중첩하는 커패시터 와이어(4811)(이들 사이에는 제 1 절연층이 삽입됨)가 전극들의 쌍으로서 세팅되고 제 1 절연층이 유전체층으로서 세팅되는 커패시터(제 1 커패시터라 칭함)로 세팅될 수 있다. 게다가, 커패시터(4804)는 커패시터 와이어(4811) 및 커패시터 와이어(4811)와 중첩하는 화소 전극(4805)(이들사이에 제 2 절연층이 삽입됨)가 전극들의 쌍으로서 세팅되고 제 2 절연층이 유전체층으로서 세팅되는 커패시터(제 2 커패시터라 칭함)를 가진 구조를 가질 수 있다. 제 2 커패시터가 제 1 커패시터와 병렬로 접속되기 때문에, 커패시터(4804)의 커패시턴스 값은 제 2 커패시터를 제공함으로써 증가될 수 있다. 더욱이, 커패시터 와이어(4811)는 게이트 신호 라인(4802)의 도전층과 동일한 도전층을 사용하여 형성될 수 있으며 동시에 에칭된다.

반도체층(4806)은 바람직하게 실리콘 또는 결정 반도체 함유 실리콘으로 형성된다. 예컨대, 실리콘 박막이 레이저 열처리 등에 의하여 결정화되는 다결정 실리콘, 단결정 실리콘 등이 적용된다. 더욱이, 반도체 특성을 가지는 금속-산화물 반도체, 비결정 실리콘, 또는 유기 반도체는 반도체층(4806)을 형성하는 재료로서 적용될 수 있다.

반도체층(4806)의 패터닝 방법이 기술된다. 반도체층은 절연층 또는 이의 일부분을 가진 기판의 전체 표면에 형성된다. 그 다음에, 마스크 패턴은 포토리소그래피 기술에 의하여 반도체층상에 형성된다. 에칭은 마스크 패턴을 사용하여 반도체층에서 수행되며, 이에 따라 반도체층(4806)은 형성되도록 패터닝된다.

반도체층(4806)을 패터닝하는 마스크 패턴은 포토마스크를 사용하여 형성된다. 포토마스크의 패턴은 코너에서 10 μ m보다 짧거나 또는 동일한 측면 길이만큼 챔버링이 형성된 형상을 가진다. 마스크 패턴은 이러한 포토마스크 패턴을 사용하여 형성되며, 반도체층(4806)은 형성될 마스크 패턴을 사용하여 패터닝되며, 이에 따라 반도체층(4806)의 패턴의 코너가 더 라운딩될 수 있는 형상이 형성될 수 있다. 반도체층(4806)의 패턴의 코너가 더 라운딩될 수 있다는 것에 유의해야 한다. 즉, 노출 조건 및 에칭 조건을 적절하게 세팅함으로써, 반도체층(4806)의 패턴 형상은 포토마스크 패턴보다 더 평활하게 될 수 있다. 따라서, 코너가 라운딩되는 반도체층(4806)이 형성된다.

한 부분에서 적어도 실리콘 산화물 또는 실리콘 질화물을 가지는 절연층은 제 1 절연층으로서 사용될 수 있다.

게이트 신호 라인(4802) 및 커패시터 와이어(4811)는 포토리소그래피 기술에 의하여 높은 도전성을 가진 반도체층 또는 금속층을 증착시킴으로써 형성된다.

게이트 신호 라인(4802) 및 커패시터 와이어(4811)를 형성하는 포토마스크 패턴은 코너에서 10 μ m보다 짧거나 또는 동일한 측면 길이, 또는 1/5와 동일하거나 또는 더 긴 길이이나 와이어 라인 폭의 1/2보다 짧거나 또는 동일한 길이만큼 챔버링이 형성된 형상을 가진다. 마스크 패턴은 이러한 포토마스크 패턴을 사용하여 형성되며, 게이트 신호 라인(4802) 및 커패시터 와이어(4811)가 형성될 마스크 패턴을 사용하여 패터닝되며 이에 따라 게이트 신호 라인(4802) 및 커패시터 와이어(4811)의 각 패턴의 코너가 라운딩되는 형상이 형성될 수 있다. 게이트 신호 라인(4802) 및 커패시터 와이어(4811)의 각 패턴의 코너가 더 라운딩 될 수 있다는 것에 유의해야 한다. 즉, 노출 조건 및 에칭 조건을 적절하게 세팅함으로써, 게이트 신호 라인(4802) 및 커패시터 와이어(4811)의 각각의 패턴 형상은 포토마스크 패턴보다 더 평활하게 될 수 있다. 따라서, 코너가 라운딩되는 게이트 신호 라인(4802) 및 커패시터 와이어(4811)가 형성된다.

제 2 절연층은 실리콘 산화물과 같은 무기 절연재료를 사용함으로써 또는 폴리이미드, 아크릴 수지 등을 사용하여 유기 절연재료를 사용함으로써 형성된다. 제 2 절연층이 재료를 사용하는 절연층, 및 실리콘 질화물, 실리콘 질화물 산화물 등의 절연층의 적층 구조일 수 있다는 것에 유의해야 한다. 실리콘 질화물, 실리콘 질화물 산화물 등의 절연층은 반도체층 및 게이트 절연층이 트랜지스터에 부적절한 금속 이온 또는 습기와 같은 불순물에 의하여 오염되는 것을 방지할 수 있다.

소스 신호 라인(4801) 및 접속 와이어(4809)는 금속 또는 금속 화합물의 단일층 또는 복수의 층들로 형성된다.

소스 신호 라인(4801) 및 접속 와이어(4809)를 형성하기 위한 포토마스크 패턴은 코너에서 10 μ m보다 짧거나 또는 동일한 측면 길이, 또는 1/5와 동일하거나 또는 더 긴 길이이나 와이어 라인 폭의 1/2보다 짧거나 또는 동일한 길이만큼 챔버링이 형성된 형상을 가진다. 마스크 패턴은 이러한 포토마스크 패턴을 사용하여 형성되며, 소스 신호 라인(4801) 및 접속 와이어(4809)는 마스크 패턴을 사용하여 패터닝되며 이에 따라 소스 신호 라인(4801) 및 접속 와이어(4809)의 각 패턴의 코너가 라운딩되는 형상이 형성될 수 있다. 소스 신호 라인(4801) 및 접속 와이어(4809)의 각 패턴의 코너가 더 라운딩 될 수 있다는 것에 유의해야 한다. 즉, 노출 조건 및 에칭 조건을 적절하게 세팅함으로써, 소스 신호 라인(4801) 및 접속 와이어(4809)의 각각의 패턴 형상은 포토마스크 패턴보다 더 평활하게 될 수 있다. 따라서, 코너가 라운딩되는 소스 신호 라인(4801) 및 접속 와이어(4809)가 형성된다.

화소 전극(4805)은 광투과성의 도전 금속 또는 금속과 같은 비광투과성의 도전 금속으로 형성된다.

마스크 패턴은 포토리소그래피 기술에 의하여 전술한 도전 재료로 형성된 도전층의 전체 표면에 형성되며, 에칭은 미리 결정된 패턴을 가진 화소 전극(4805)이 형성되도록 마스크 패턴을 사용함으로써 수행된다. 화소 전극(4805)을 형성하는 포토마스크 패턴은 코너의 한 측면이 10 μ m보다 짧거나 또는 동일한 측면 길이만큼 챔버링이 형성된 형상을 가진다. 이러한 마스크 패턴은 이러한 포토마스크 패턴을 사용하여 형성되며, 마스크 패턴은 화소 전극(4805)을 패터닝하기 위하여 사

용된다. 따라서, 화소 전극(4805)의 패턴의 코너는 챔버링된 형상을 가질 수 있다. 화소 전극(4805)의 패턴의 코너가 더 챔버링될 수 있다는 것에 유의해야 한다. 즉, 노출 조건 및 에칭 조건을 적절하게 세팅함으로써, 화소 전극(4805)의 패턴 형상은 포토마스크 패턴보다 더 평활하게 될 수 있다. 따라서, 라운드 코너를 가진 화소 전극(4805)이 형성된다.

라인 폭이 변화하는 부분 또는 굵은 부분의 코너가 와이어 및 전극에서 평활 및 챔버링될 때, 이하의 현상들이 존재한다. 플라즈마를 사용하는 건식 에칭이 볼록 부분을 챔버링함으로써 수행될 때, 방전으로 인한 세밀 입자의 생성이 억제될 수 있다. 비록 세밀 입자가 생성될지라도, 세밀 입자는 세정시간에 코너에서 수집되지 않도록 하며, 세밀 입자는 볼록 부분을 챔버링함으로써 세정될 수 있다. 따라서, 제조공정시 세밀 입자들 또는 먼지의 문제가 해결될 수 있으며 수율이 개선될 수 있다.

본 실시예 모드에 기술된 화소가 전술한 실시예 모드들 1 내지 10의 디스플레이 장치에 적용될 수 있다는 것에 유의해야 한다.

(실시예 모드 11)

본 발명은 다양한 전자 장치에 적용될 수 있다. 특히, 본 발명은 전자 장치의 디스플레이 부분에 적용될 수 있다. 이러한 전자 장치로서, 비디오 카메라, 디지털 카메라, 고글형 디스플레이, 네비게이션 시스템, 음 재생 장치(카오디오, 오디오 컴포넌트 시스템 등), 컴퓨터, 게임 머신, 휴대용 데이터 단말(이동 컴퓨터, 이동 전화, 휴대용 게임 머신, 전자책 등), 기록 매체를 가진 영상 재생 장치(디지털 다방면 디스크(DVD)와 같은 기록 매체를 재생하는 장치) 등이 존재한다.

도 23A는 새시(35001), 지지 베이스(35002), 디스플레이 부분(35003), 스피커 부분들(35004), 비디오 입력 단말(35005) 등을 포함하는 발광 장치이다. 본 발명의 디스플레이 장치는 디스플레이 부분(35003)으로서 사용될 수 있다. 발광 장치는 퍼스널 컴퓨터, 텔레비전 수신기 및 광고 디스플레이와 같은 정보 디스플레이에 대한 모든 발광 장치들을 포함한다. 디스플레이 부분(35003)에 대하여 본 발명의 디스플레이 장치를 사용하는 발광 장치는 높은 콘트라스트를 가진 선명 영상들을 디스플레이할 수 있다.

도 23B는 주몸체(35101), 디스플레이 부분(35102), 영상 수신부(35103), 동작 키들(35104), 외부 접속 포트(35105), 셔터(35106) 등을 포함하는 카메라를 도시한다.

디스플레이 부분(35102)에 대하여 본 발명을 사용하는 디지털 카메라는 높은 콘트라스트를 가진 선명 영상들을 디스플레이할 수 있다.

도 23C는 주몸체(35201), 새시(35202), 디스플레이 부분(35203), 키보드(35204), 외부 접속 포트(35205), 포인팅 마우스(35206) 등을 포함하는 컴퓨터를 도시한다. 디스플레이 부분(35203)에 대하여 본 발명을 사용하는 컴퓨터는 높은 콘트라스트를 가진 선명 영상들을 디스플레이할 수 있다.

도 23D는 주몸체(35301), 디스플레이 부분(35302), 스위치(35303), 동작 키들(35304), 적외선 포트(35305) 등을 포함하는 이동 컴퓨터를 도시한다. 디스플레이 부분(35302)에 대하여 본 발명을 사용하는 이동 컴퓨터는 높은 콘트라스트를 가진 선명 영상들을 디스플레이할 수 있다.

도 23E는 주몸체(35401), 새시(35402), 디스플레이 부분 A(35403), 디스플레이 부분 B(35404), 기록 매체(DVD 등) 판독 부분(35405), 동작 키(35406), 스피커 부분(35407) 등을 포함하는, 기록 매체를 가진 휴대용 영상 재생 장치(특히, DVD 재생장치)를 도시한다. 디스플레이 부분 A(35403)는 영상 데이터를 주로 디스플레이하는 반면에, 디스플레이 부분 B(35404)은 주로 텍스트 데이터를 디스플레이할 수 있다. 디스플레이 부분 A(35403) 및 디스플레이 부분 B(35404)에 대하여 본 발명을 사용하는 영상 재생장치는 높은 콘트라스트를 가진 선명 영상들을 디스플레이할 수 있다.

도 23F는 주몸체(35501), 디스플레이 부분(35502) 및 암 부분(35503)을 포함하는 고글형 디스플레이를 도시한다. 디스플레이 부분(35502)에 대하여 본 발명을 사용하는 고글형 디스플레이는 높은 콘트라스트를 가진 선명 영상들을 디스플레이할 수 있다.

도 23G는 주몸체(35601), 디스플레이 부분(35602), 새시(35603), 외부 접속 포트(35604), 원격 제어 수신부(35605), 영상 수신부(35606), 배터리(35607), 음성 입력부(35608), 동작 키들(35609), 아이피스 부분(35610) 등을 포함하는 비디오 카메라를 도시한다. 디스플레이 부분(35602)에 대하여 본 발명을 사용하는 비디오 카메라는 높은 콘트라스트를 가진 선명 영상들을 디스플레이할 수 있다.

도 23H는 주몸체(35701), 새시(35702), 디스플레이 부분(35703), 음성 입력부(35704), 음성 출력부(35705), 동작 키(35706), 외부 접속 포트(35707), 안테나(35708) 등을 포함하는 이동 전화를 도시한다. 디스플레이 부분(35703)에 대하여 본 발명을 사용하는 이동전화는 높은 콘트라스트를 가진 선명 영상들을 디스플레이할 수 있다.

전술한 바와 같이, 본 발명의 응용가능한 범위는 매우 넓으며, 이에 따라 본 발명은 다양한 분야에서 전자 장치로서 사용될 수 있다. 더욱이, 본 실시예 모드에서 기술된 전자 장치들은 실시예 모드들 1 내지 10에 기술된 디스플레이 장치들의 임의의 구성을 사용할 수 있다.

본 출원은 2005년 5월 20일에 일본특허청에 출원된 일본특허출원번호 제2005-148832호에 기초한다.

발명의 효과

본 발명은 디스플레이 장치가 어두운 위치로부터 강한 외부 태양광까지 세팅될 때조차 디스플레이가 인식될 수 있는 디스플레이 장치를 제공하는 효과를 가진다.

도면의 간단한 설명

도 1은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 2는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 3은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 4a 내지 4c는 본 발명의 디스플레이 장치의 구동 방법을 각각 기술한 도면들.

도 5는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 6a 및 도 6b는 본 발명의 디스플레이 장치의 구조를 각각 도시한 도면들.

도 7은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 8a 및 도 8b는 본 발명의 디스플레이 장치의 구조를 각각 도시한 도면들.

도 9는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 10은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 11은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 12는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 13은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 14a 내지 도 14d는 본 발명의 디스플레이 장치의 구조를 각각 도시한 도면들.

도 15는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 16은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 17은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 18은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 19는 본 발명이 적용되는 전자 장치를 도시한 도면.

도 20a 및 도 20b는 본 발명의 디스플레이 장치의 구조를 각각 도시한 도면들.

도 21은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 22는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 23a 내지 도 23h는 본 발명이 적용되는 전자 장치를 각각 도시한 도면들.

도 24는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 25는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 26은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 27은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 28은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 29는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 30은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 31은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 32는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 33은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 34는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 35는 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도 36은 본 발명의 디스플레이 장치의 구조를 도시한 도면.

도면의 주요부분에 대한 부호의 설명

101: 화소 어레이 102: 소스 드라이버

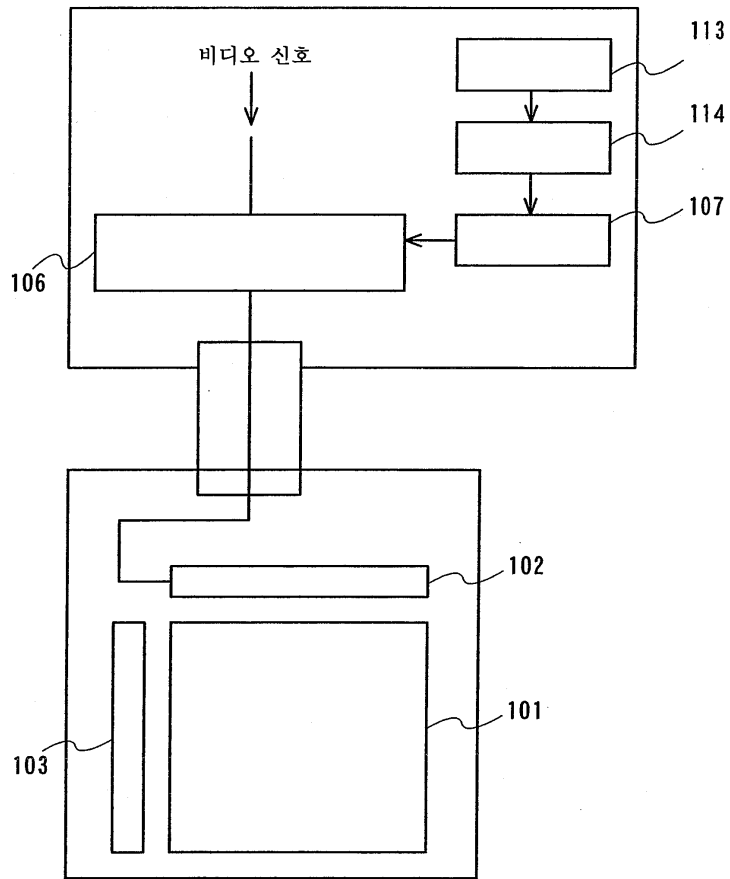
103: 게이트 드라이버 113: 광학 센서

114: 증폭기 211: 화소

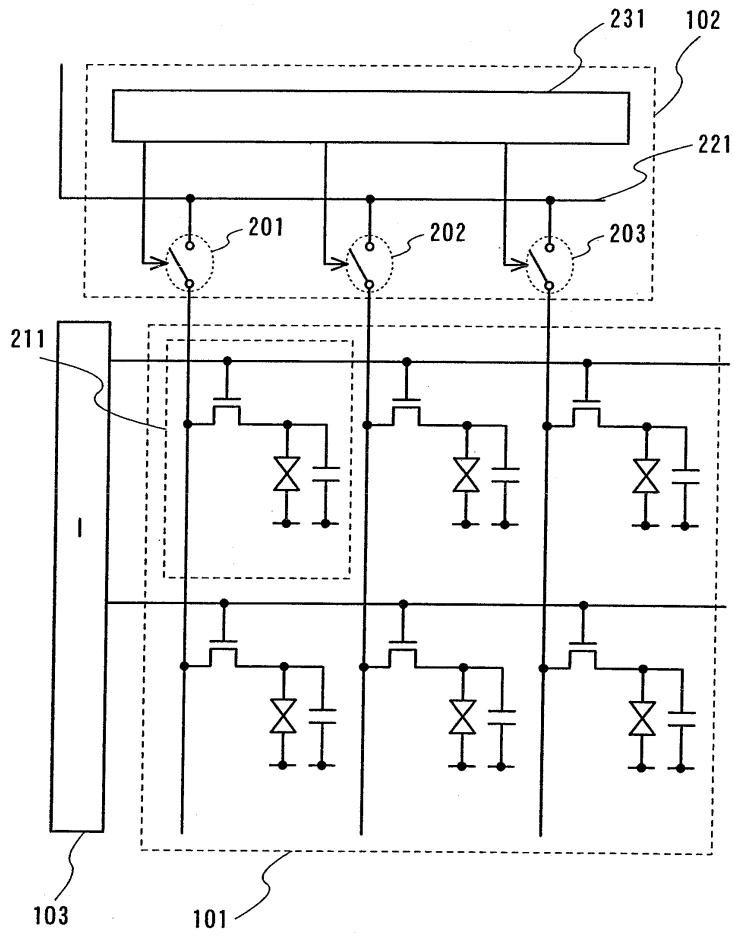
1704: 액정 디스플레이 1705: 저장 커패시터

도면

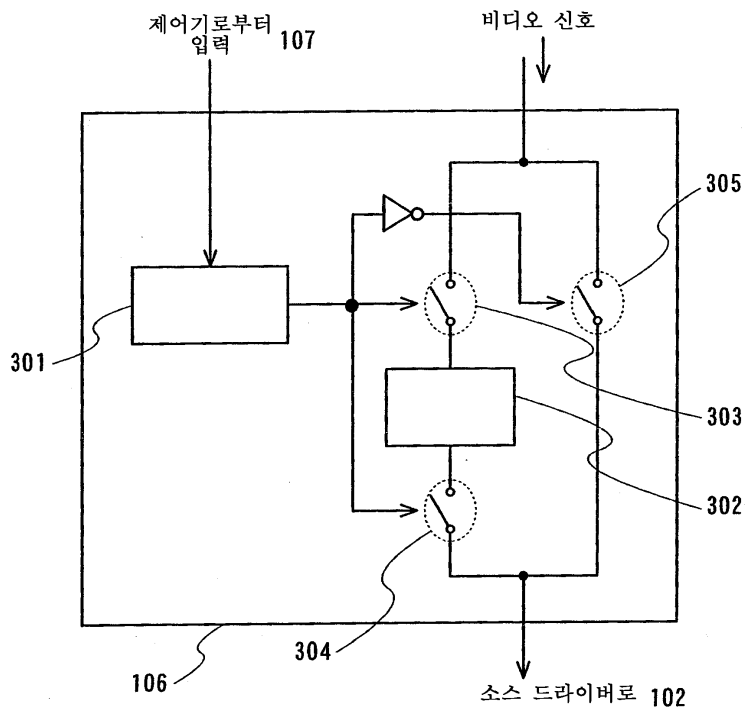
도면1



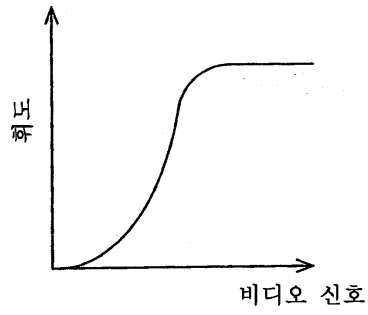
도면2



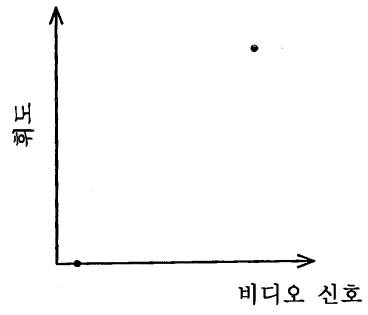
도면3



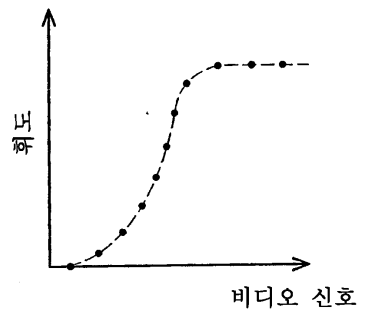
도면4a



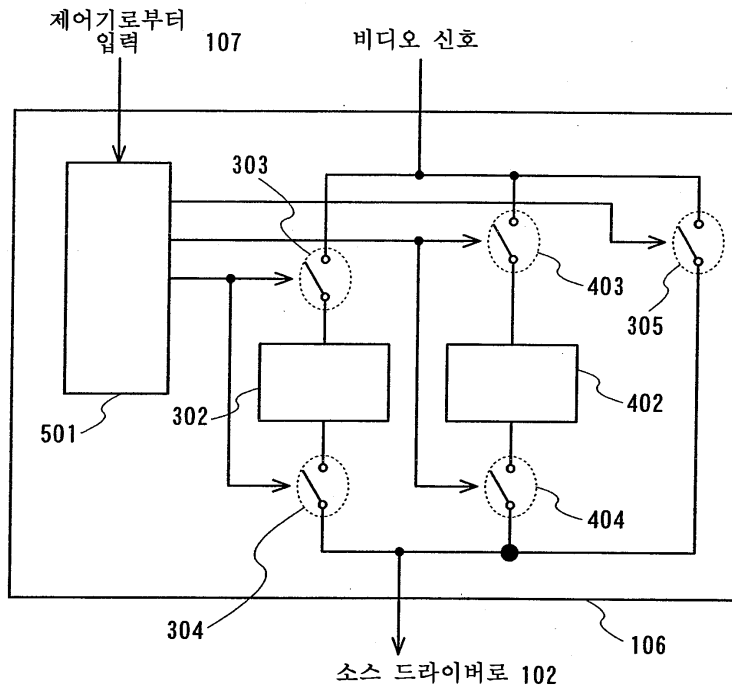
도면4b



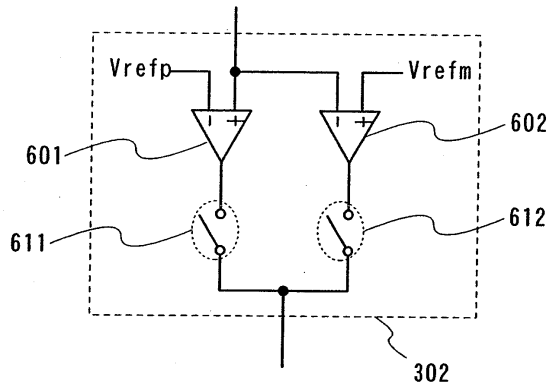
도면4c



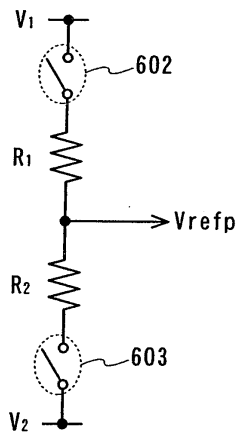
도면5



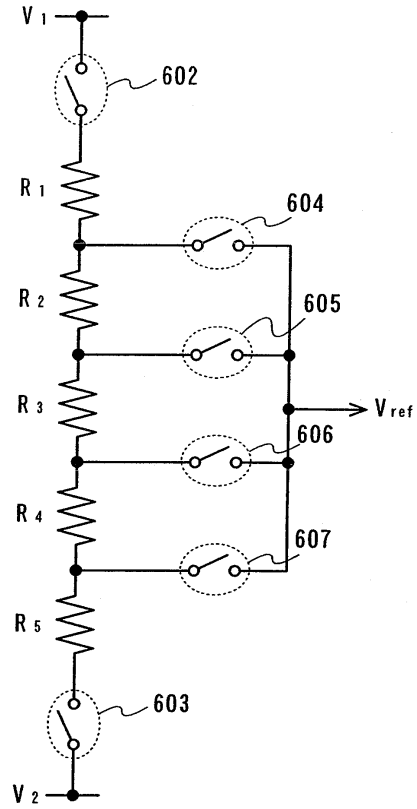
도면6a



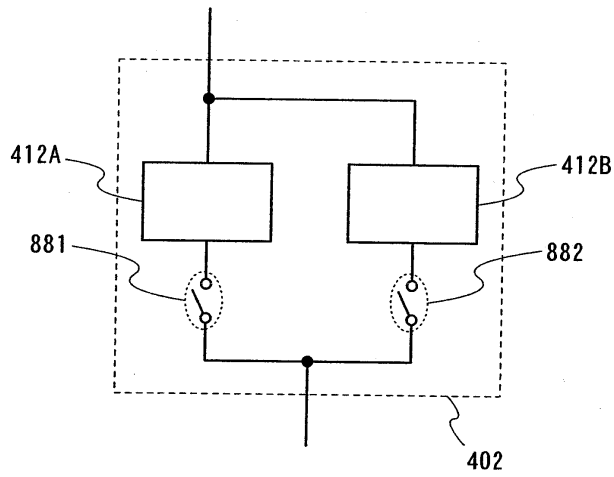
도면6b



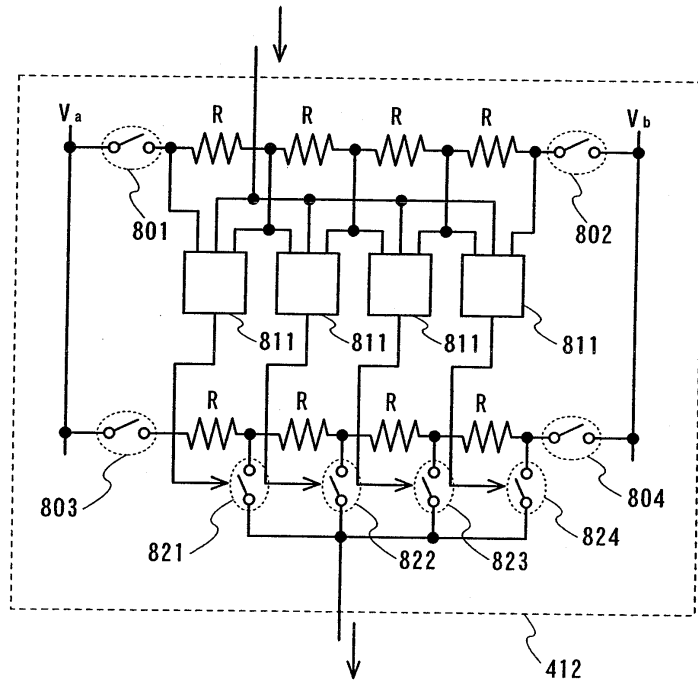
도면7



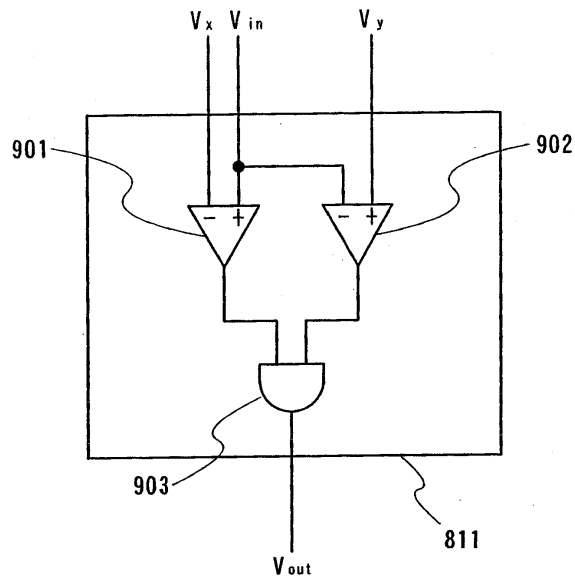
도면8a



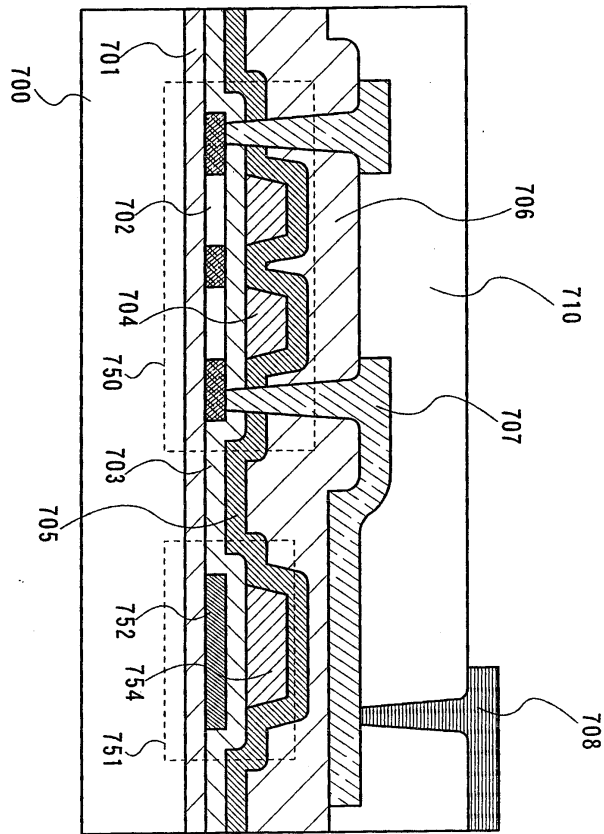
도면8b



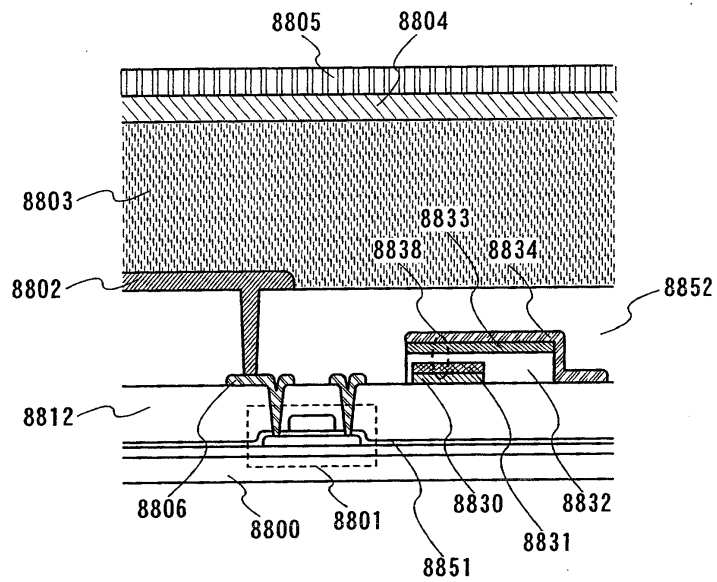
도면9



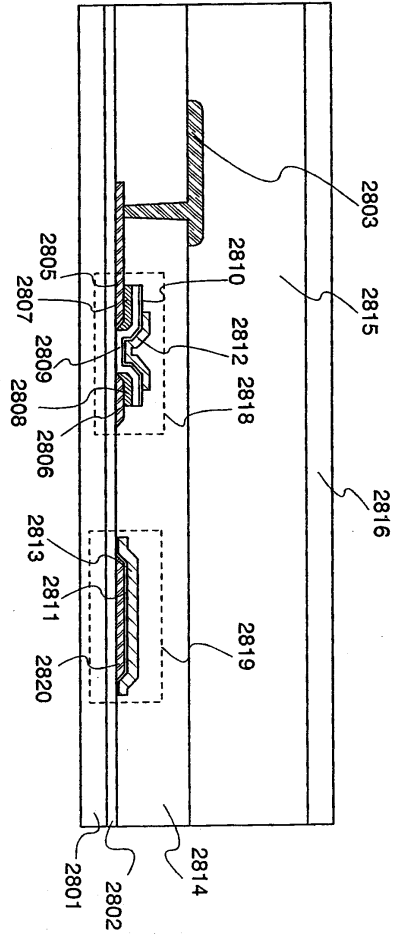
도면10



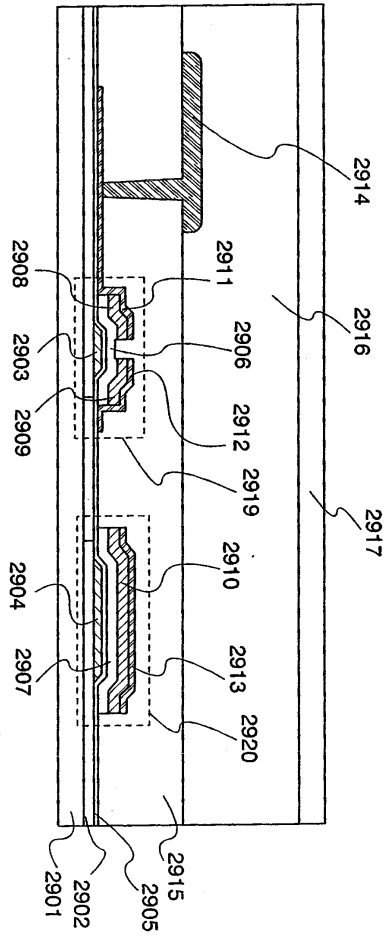
도면11



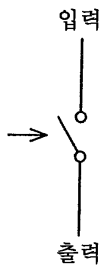
도면12



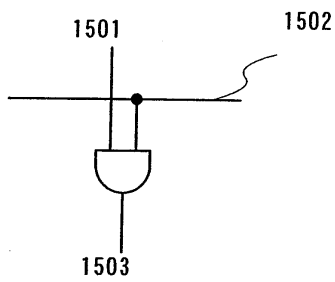
도면13



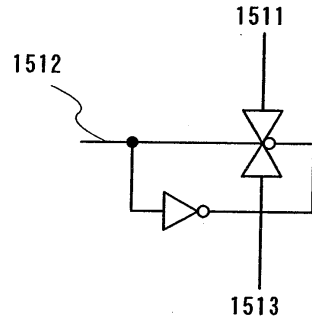
도면14a



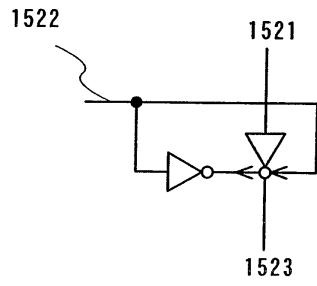
도면14b



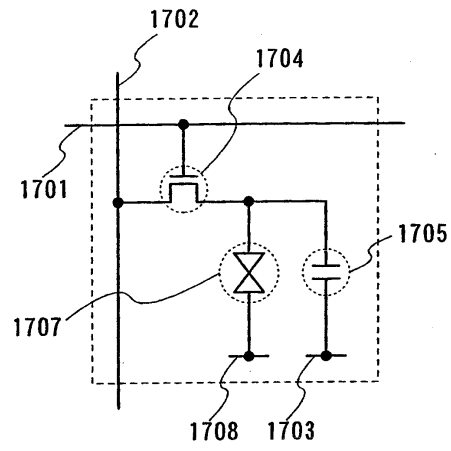
도면14c



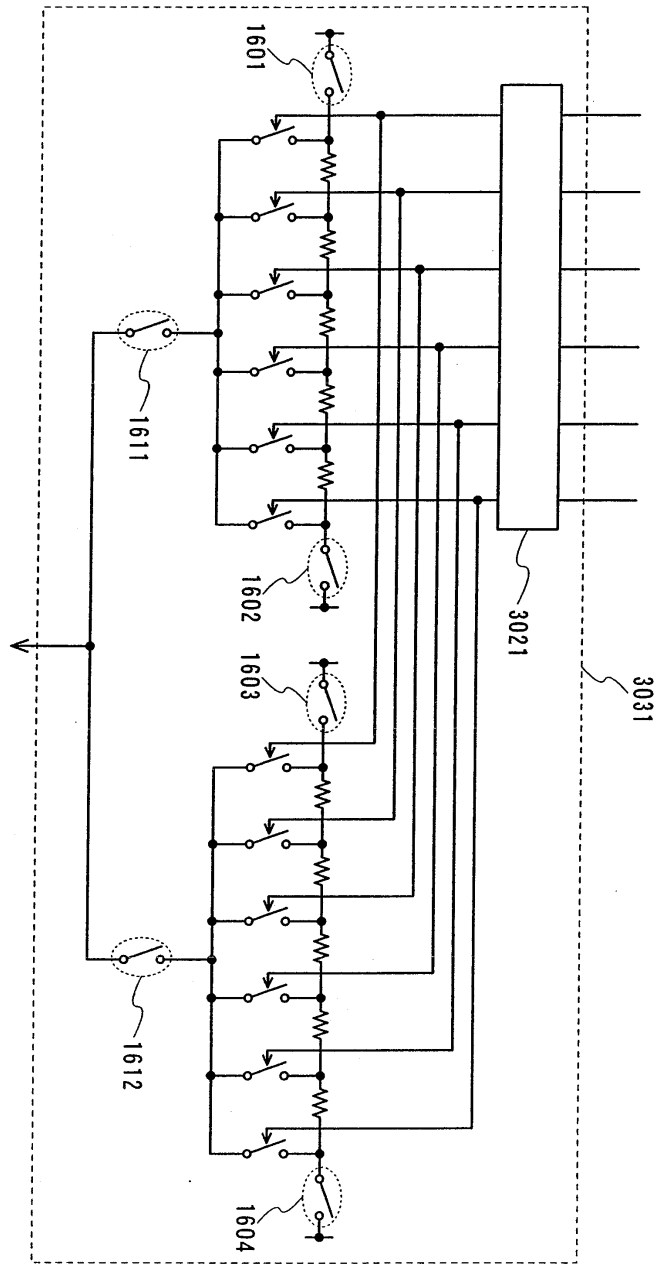
도면14d



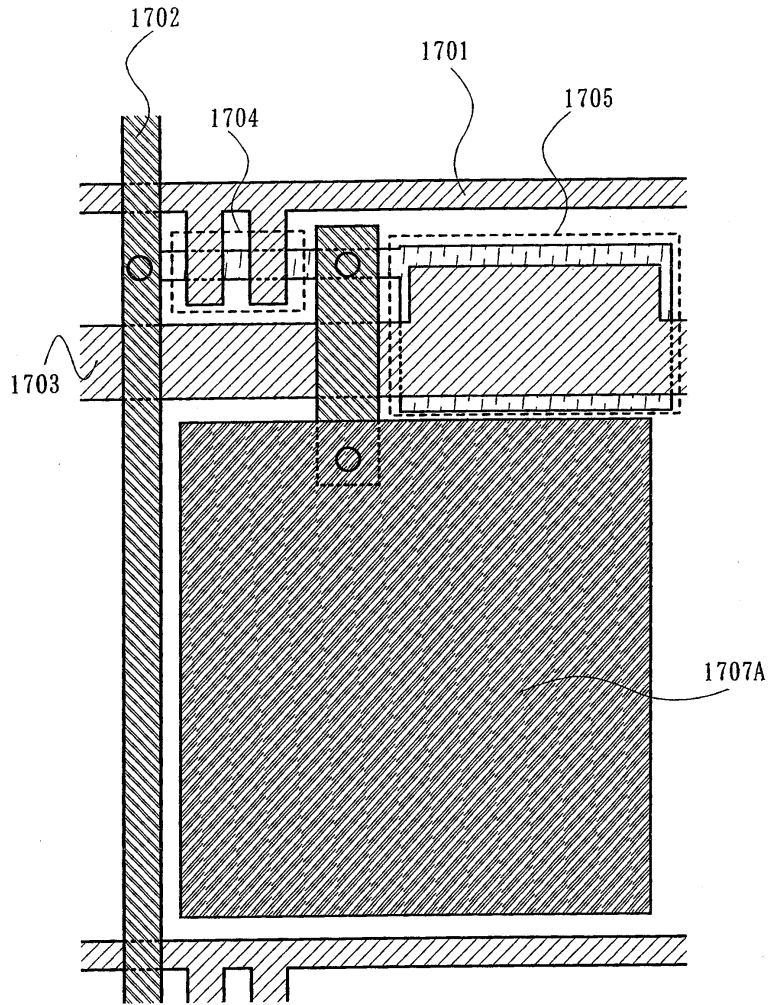
도면15



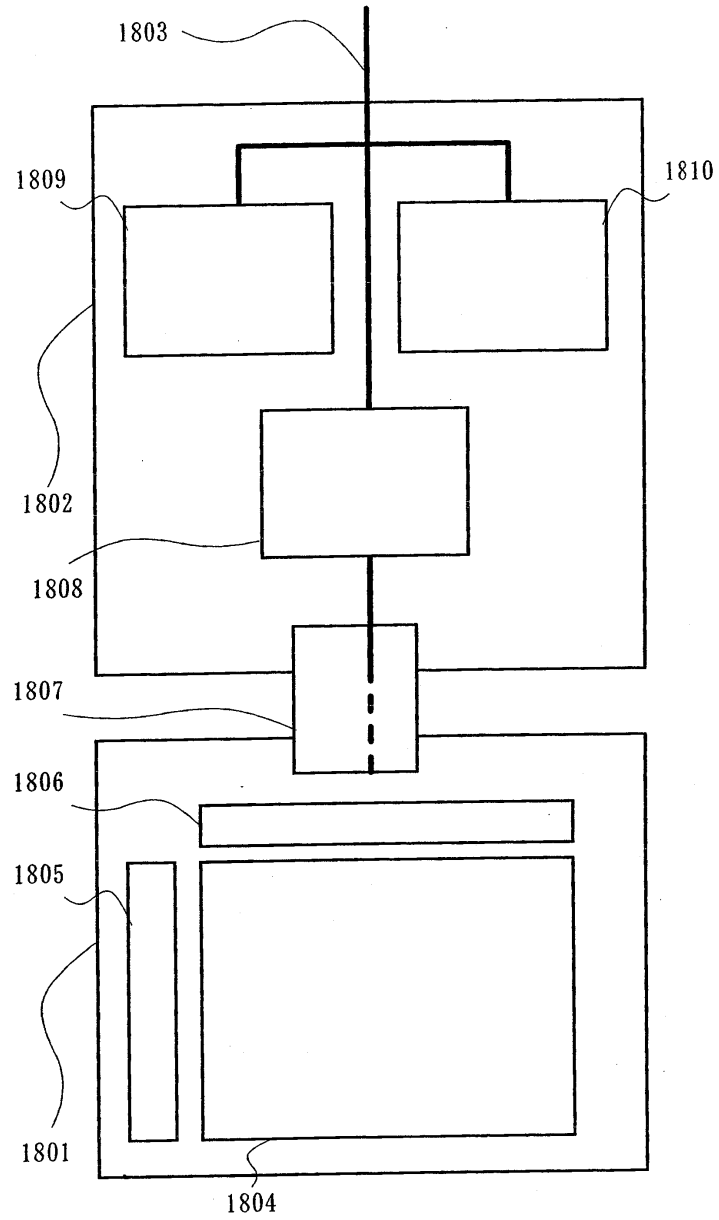
도면16



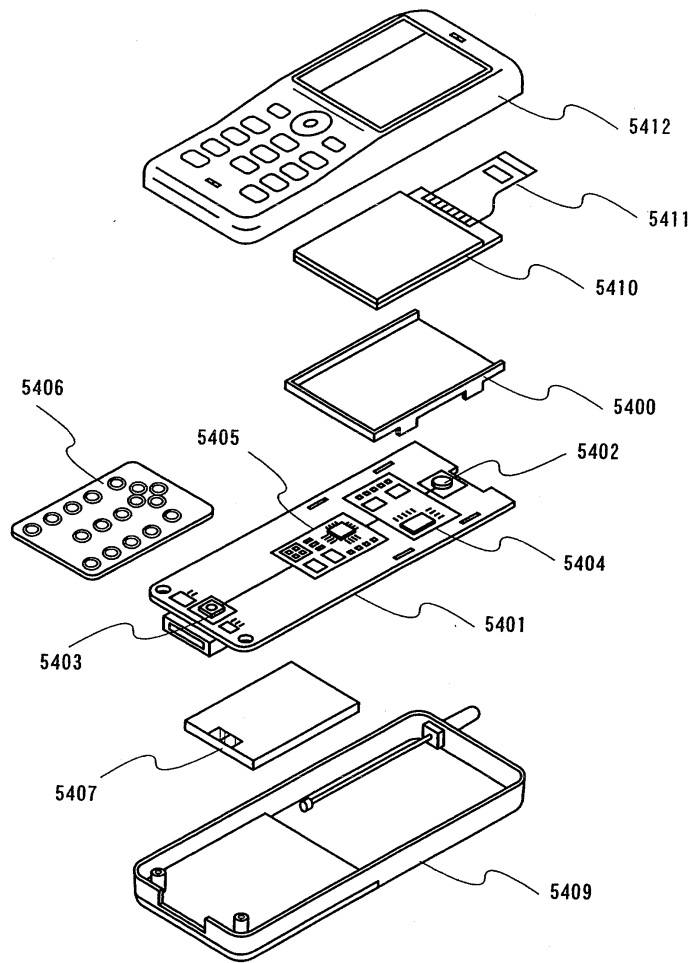
도면17



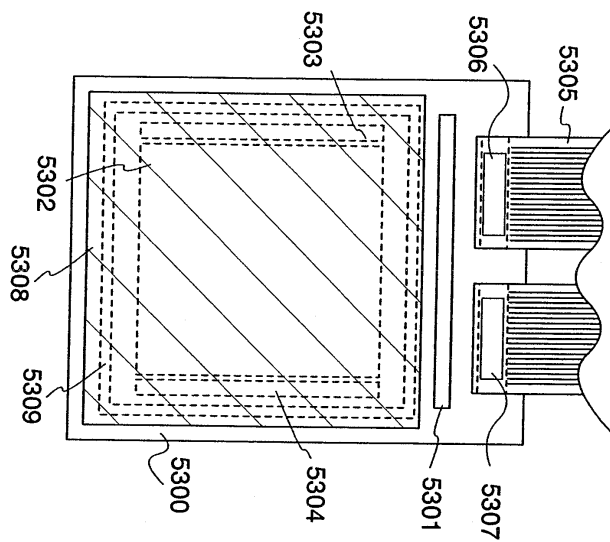
도면18



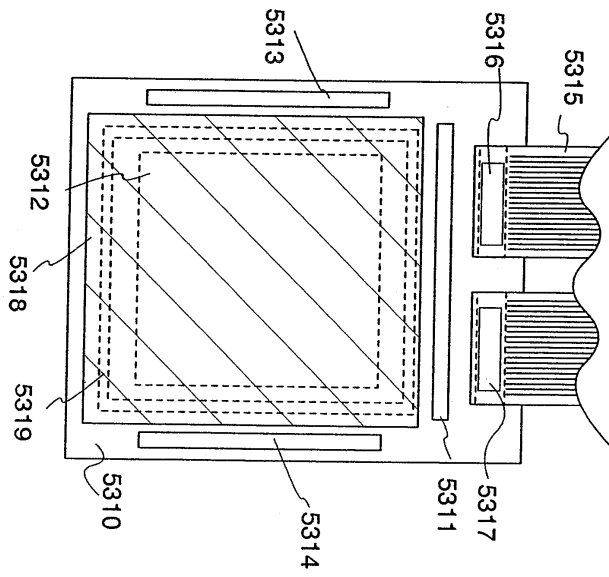
도면19



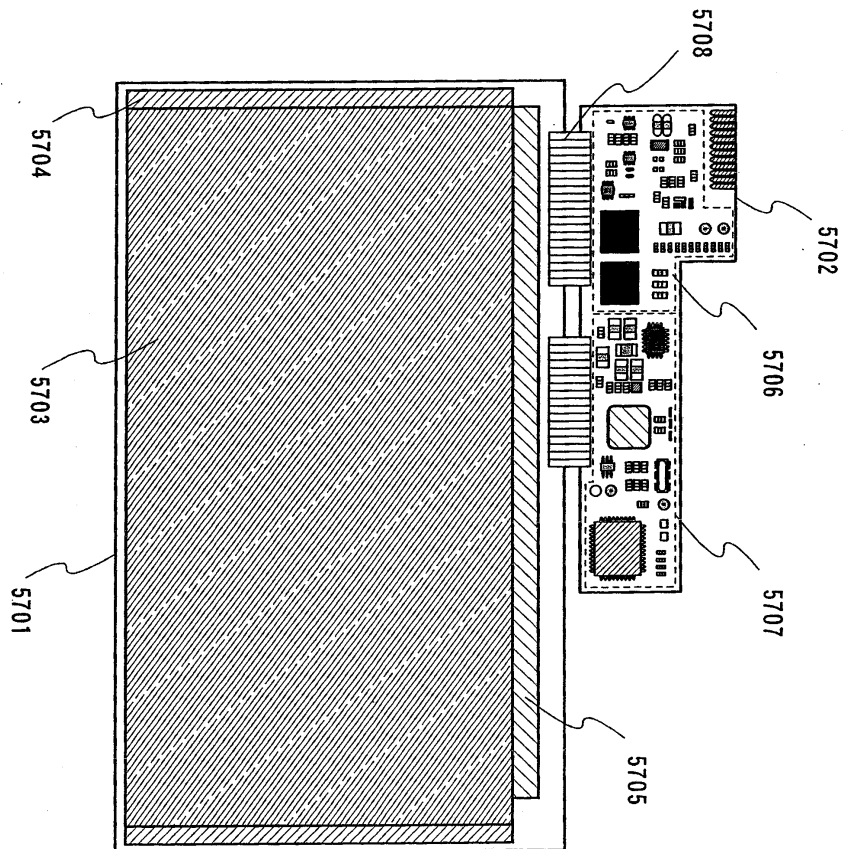
도면20a



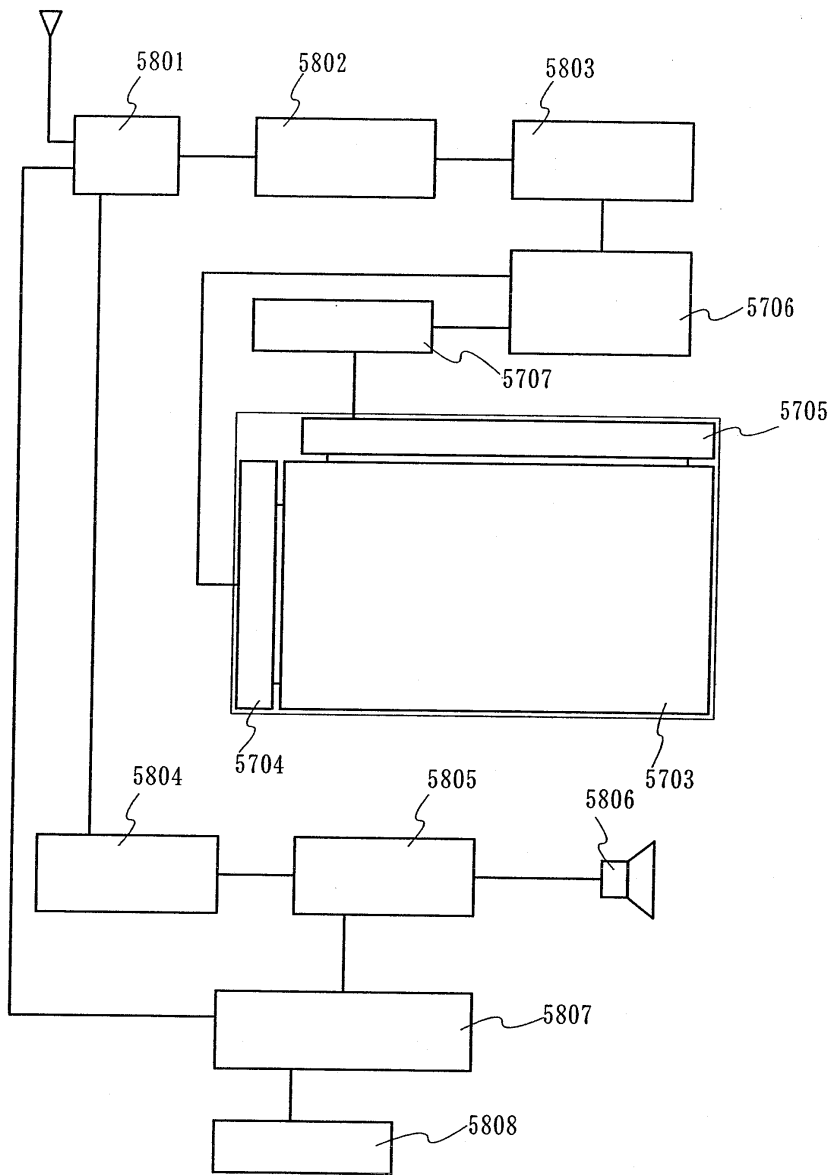
도면20b



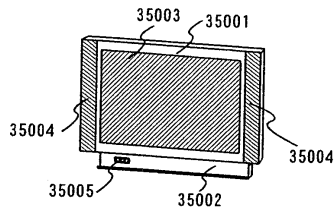
도면21



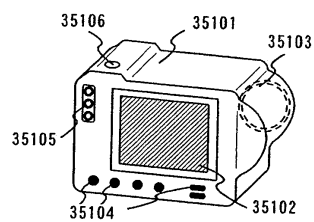
도면22



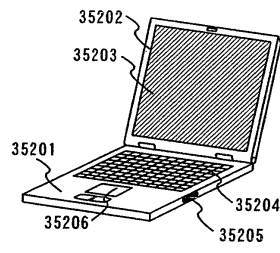
도면23a



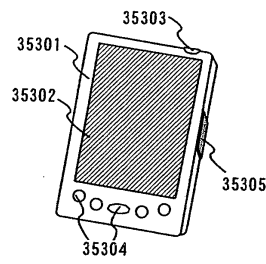
도면23b



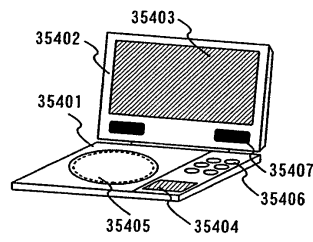
도면23c



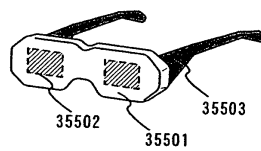
도면23d



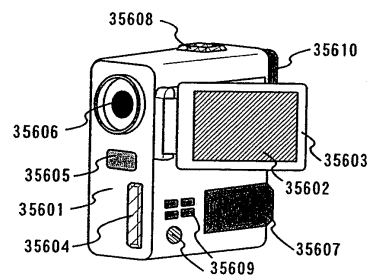
도면23e



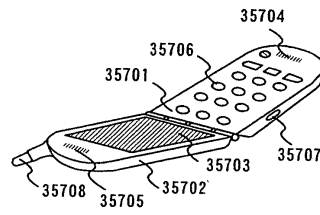
도면23f



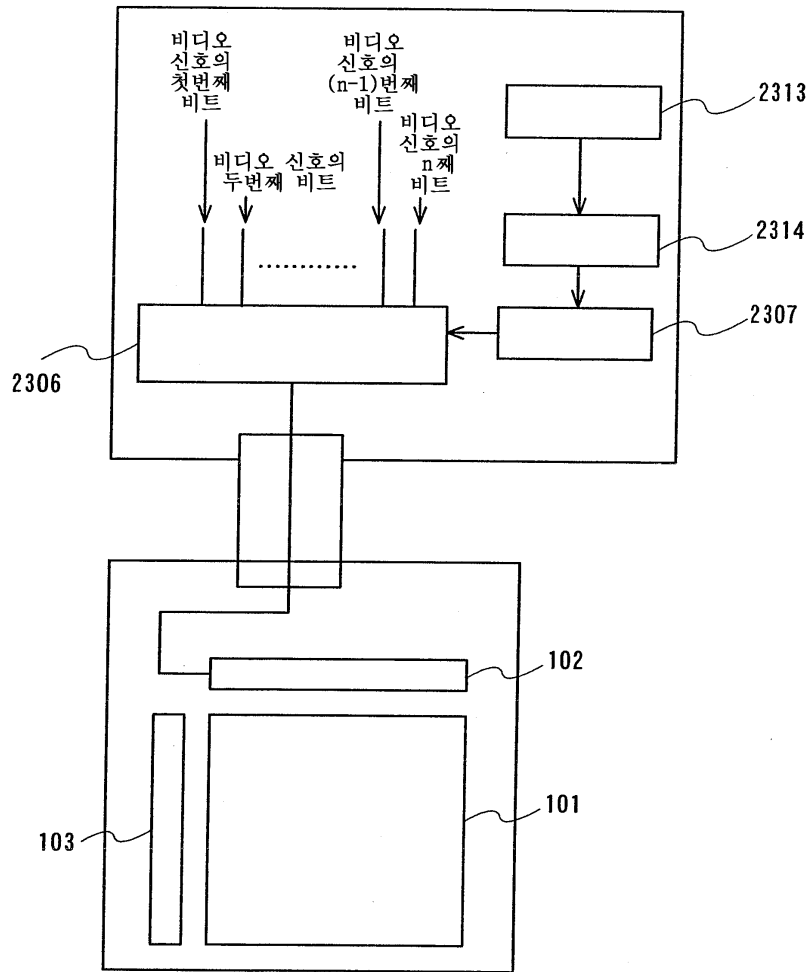
도면23g



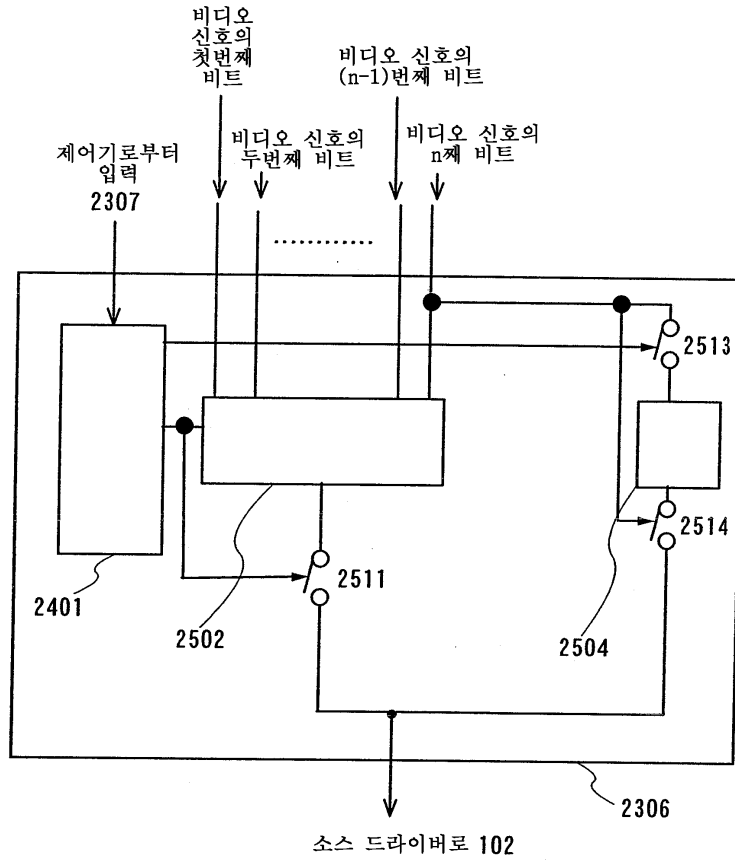
도면23h



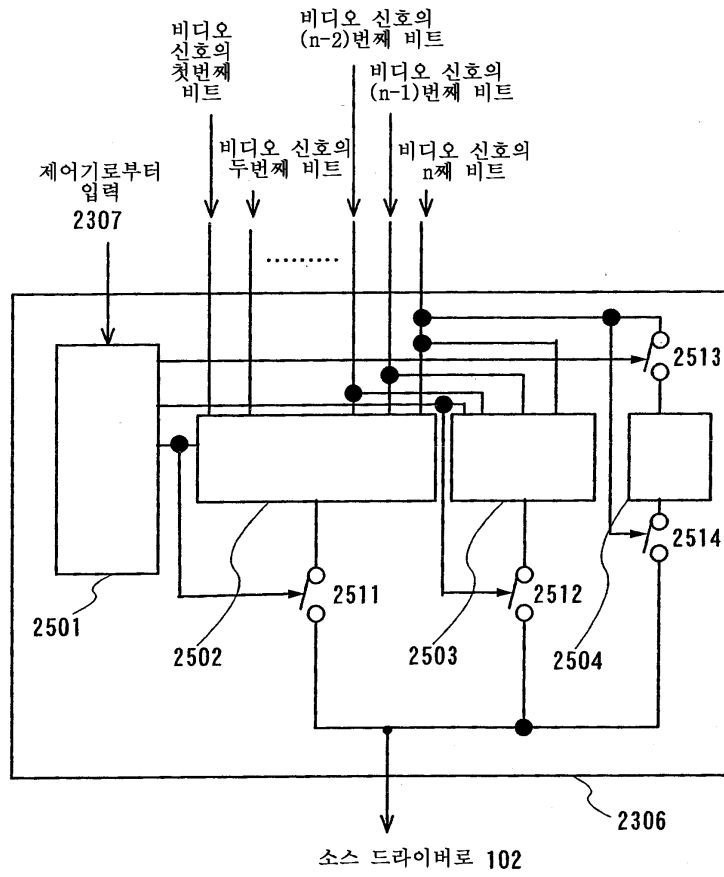
도면24



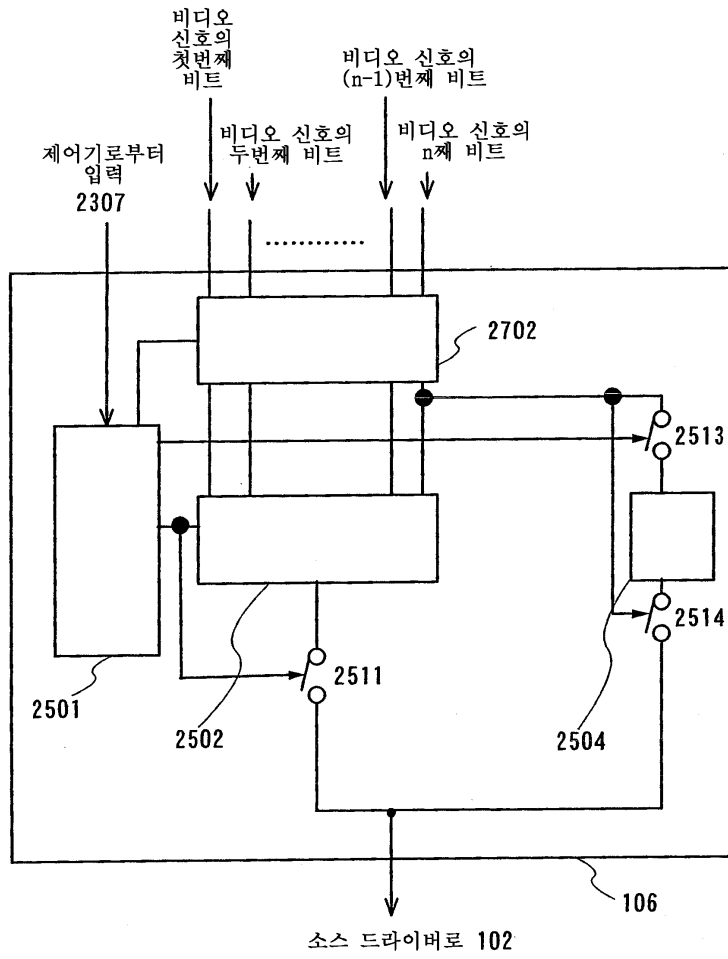
도면25



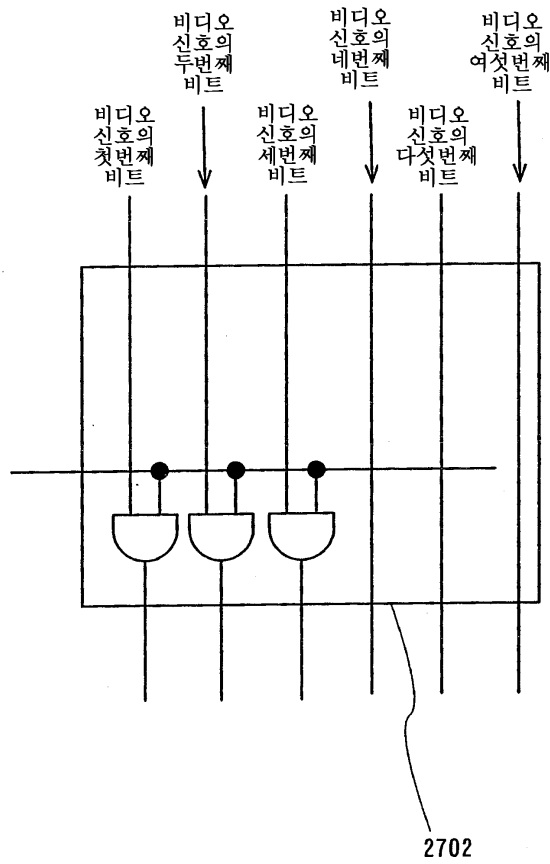
도면26



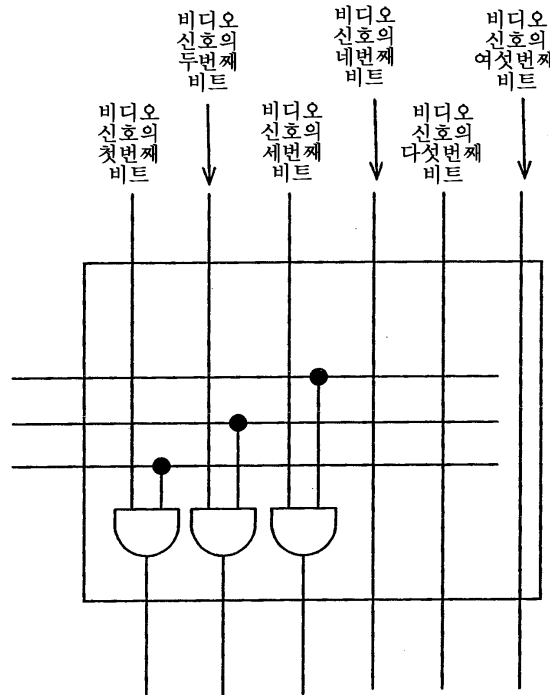
도면27



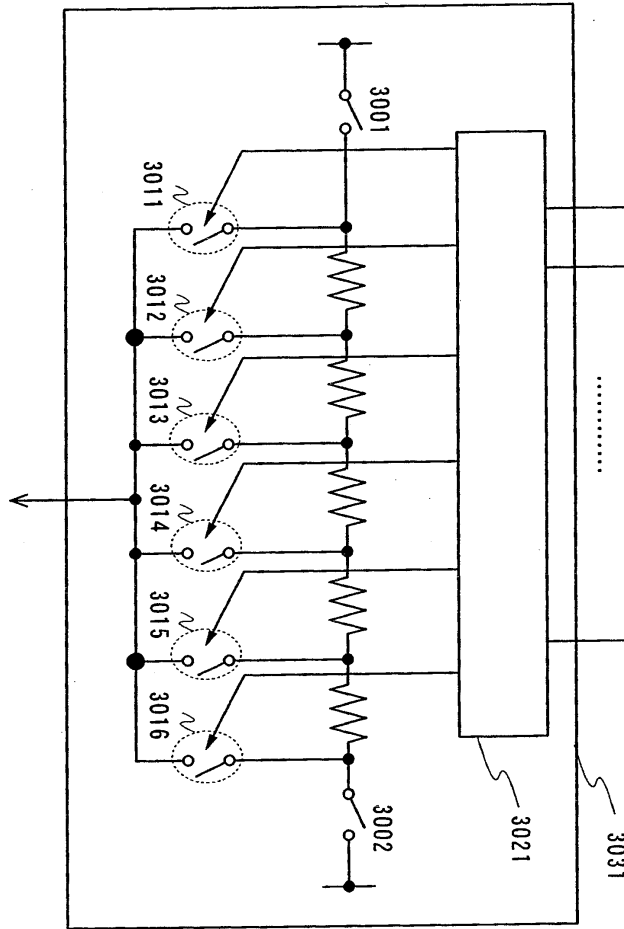
도면28



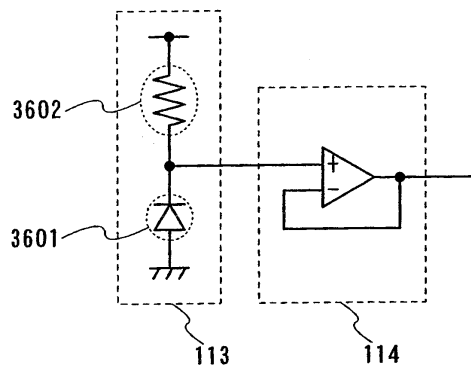
도면29



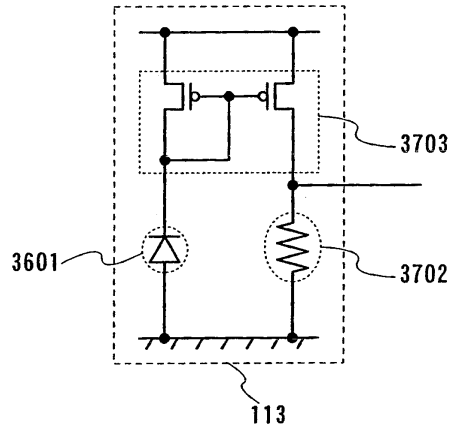
도면30



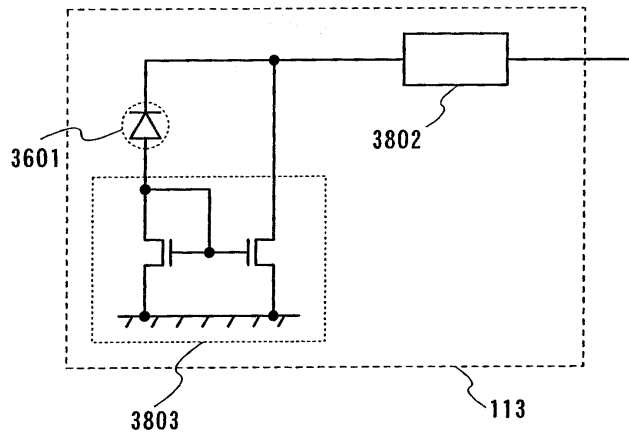
도면31



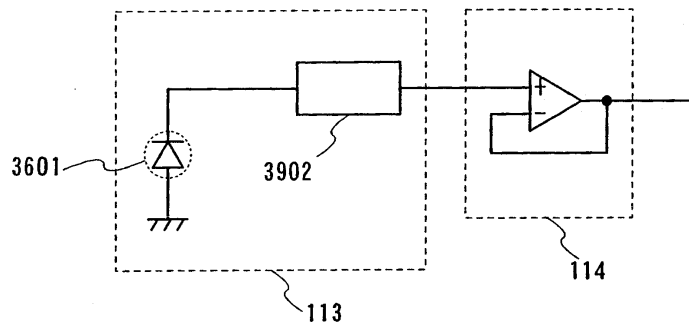
도면32



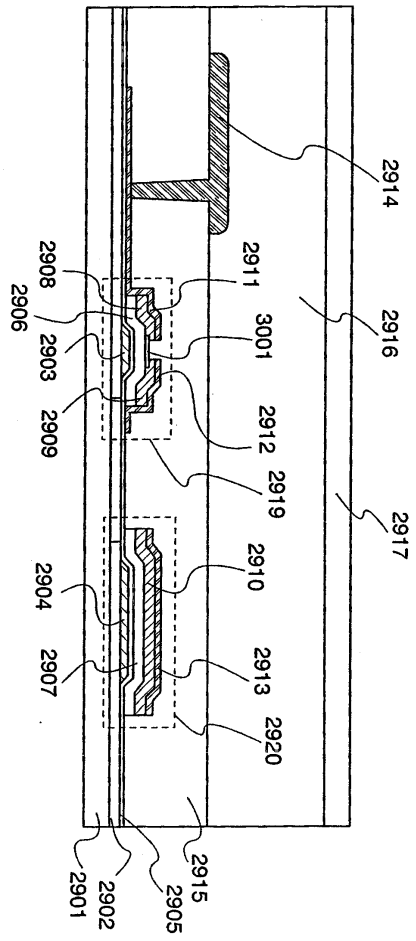
도면33



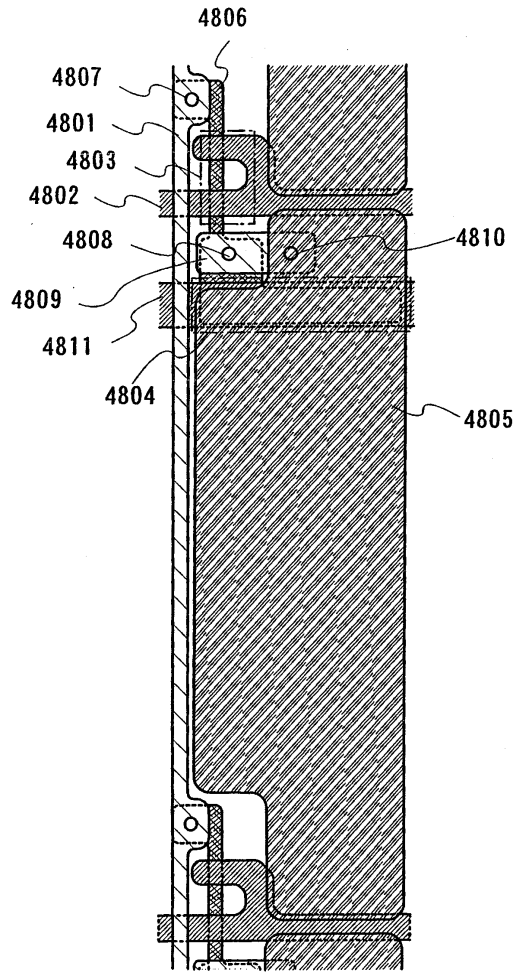
도면34



도면35



도면36



专利名称(译)	液晶显示装置和电子设备		
公开(公告)号	KR1020060120490A	公开(公告)日	2006-11-27
申请号	KR1020060045233	申请日	2006-05-19
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 KOYAMA JUN 고야마준 TANADA YOSHIFUMI 다나다요시후미 OSAME MITSUAKI 오사메미츠아키 KIMURA HAJIME 기무라하지메 FUKUMOTO RYOTA 후쿠모토료타 YANAI HIROMI 야나이히로미		
发明人	야마자키순페이 고야마준 다나다요시후미 오사메미츠아키 기무라하지메 후쿠모토료타 야나이히로미		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3688 G09G3/20 G09G2310/0294 G09G2320/0271 G09G2340/0428 G09G2360/144 G09G2370/08		
代理人(译)	张本勋		
优先权	2005148832 2005-05-20 JP		
其他公开文献	KR101335318B1		
外部链接	Espacenet		

摘要(译)

目的：通过根据外部光线的强度控制显示模式特定的视频信号产生电路，提供LCD和电子设备，以在室内荧光灯和室外阳光下显示清晰的图像。组成：LCD包括多个像素，栅极驱动器（102），源极驱动器（103）和显示模式特定的视频信号生成电路（106）。显示模式特定视频信号产生电路以第一显示模式将模拟视频信号提供给源极驱动器。显示模式特定视频信号产生电路以第二显示模式将数字视频信号提供给源极驱动器。第一显示模式和第二显示模式根据外部光的强度切换。©KIPO 2007

