

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.
G09G 3/36 (2006.01)

(11) 공개번호 10-2006-0074933
(43) 공개일자 2006년07월03일

(21) 출원번호 10-2004-0113923

(22) 출원일자 2004년12월28일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이승정
서울 관악구 신림11동 1567-4
김도운
경기 화성시 태안읍 병점리 201-2 신미주아파트 105동 1203호
최창휘
경기 용인시 기흥읍 서천리 SK아파트 107동 202호

(74) 대리인 리앤목특허법인
이해영

심사청구 : 있음

(54) 액정표시장치의 소오스 구동부에서 출력 신호의 슬루레이트를 개선한 출력 버퍼

요약

액정표시장치의 소오스 구동부에서 출력 신호의 슬루 레이트를 개선한 출력 버퍼가 개시된다. 본 발명의 실시예에 따른 출력 버퍼는 차동 증폭부, 제어부 및 출력부를 구비한다. 차동 증폭부는 스위칭 신호 및 반전 스위칭 신호를 수신하고, 입력 신호 및 출력신호를 차동 입력하여 상기 입력신호의 논리 레벨과 반대되는 논리 레벨을 가지는 풀업 신호와 상기 풀업신호의 논리 레벨과 반대되는 논리 레벨을 갖는 제어신호를 발생한다. 제어부는 상기 입력 신호의 로우 레벨에서, 상기 제어신호와 소정의 전압 레벨을 갖는 제1바이어스 전압에 응답하여 출력 노드를 제어 전압의 전압 레벨로 설정시킨다. 출력부는 상기 풀업 신호와 상기 제1바이어스 전압에 응답하여 상기 출력 노드에서 출력되는 상기 출력 신호의 전압 레벨이 전원전압과 상기 제어 전압사이를 스윙하도록 제어한다. 상기 제어 전압의 전압 레벨은 상기 전원 전압의 전압 레벨의 절반일 수 있다. 상술한 바와 같이 본 발명에 따른 액정표시장치의 소오스 구동부에서 출력 신호의 슬루 레이트를 개선한 출력 버퍼는 제어부에 의하여 출력 노드의 전압 레벨을 제어함으로써 출력부의 구동 능력을 향상시켜 출력 신호의 슬루 레이트를 개선시킬 뿐만 아니라 소비 전력을 감소시킬 수 있는 장점이 있다.

대표도

도 7

명세서

도면의 간단한 설명

도 1은 액정표시장치를 개략적으로 나타내는 블록도이다.

도 2는 도 1의 소오스 구동부를 개략적을 나타내는 블록도이다.

도 3은 종래의 고전압 파트 전압 폴로어 출력 버퍼를 나타내는 회로도이다.

도 4는 도 3의 고전압 파트 전압 폴로어 출력 버퍼의 입력 신호 및 출력 신호를 각각 나타내는 도면이다.

도 5는 종래의 저전압 파트 전압 폴로어 출력 버퍼를 나타내는 회로도이다.

도 6은 도 5의 저전압 파트 전압 폴로어 출력 버퍼의 입력 신호 및 출력 신호를 각각 나타내는 도면이다.

도 7은 본 발명의 실시예에 따른 소오스 구동부에서 출력 신호의 슬루 레이트를 개선한 출력 버퍼를 설명하는 회로도이다.
도 8은 본 발명의 다른 실시예에 따른 소오스 구동부에서 출력 신호의 슬루 레이트를 개선한 출력 버퍼를 설명하는 회로도이다.

도 9a 및 도 9b는 종래의 고전압 파트 출력 버퍼 및 저전압 파트 출력 버퍼에서 슬루 레이트 특성을 나타내는 도면이다.

도 10a 및 도 10b는 본 발명의 실시예에 따른 고전압 파트 출력 버퍼 및 저전압 파트 출력 버퍼에서 슬루 레이트 특성을 각각 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치의 소오스 구동부에서 출력 신호의 슬루 레이트를 개선한 출력 버퍼에 관한 것이다.

일반적으로, 액정표시장치는 크게 액정 패널부와 구동부로 구분할 수 있다.

액정 패널부는 픽셀 전극 및 박막 트랜지스터가 매트릭스 형태로 배열되는 하층 유리 기판과 공통 전극 및 칼라 필터층으로 형성되는 상층 유리 기판 그리고, 상/하층 유리 기판 사이에 채워지는 액정층으로 구성된다.

구동부는 외부에서 입력되는 영상 신호를 처리하여 복합 동기신호를 출력하는 영상신호 처리부, 영상 신호 처리부에서 출력되는 복합 동기신호를 입력 받아 수평 동기신호 및 수직 동기신호를 분리하여 출력하고 모드 선택 신호에 따라 타이밍을 제어하는 제어부, 제어부의 출력 신호에 의해 액정 패널부의 주사라인 및 신호라인에 순차적으로 구동 전압을 인가하는 게이트 구동부 및 소오스 구동부 등을 구비한다.

이와 같이 구성되는 액정표시장치에서 소오스 구동부의 각 채널간 오프셋은 액정표시장치의 특성에 매우 중요한 역할을 담당하고 있기 때문에 이를 줄이기 위한 방안이 현재 활발히 진행되고 있다. 한편, 소오스 구동부에서 각 채널간의 오프셋 유발은 소오스 드라이버가 구비하는 출력 버퍼에 기인한다.

도 1은 액정표시장치를 개략적으로 나타내는 블록도이다.

도 1에 도시된 액정표시장치(100)는 다수의 게이트 라인(GL)들과 다수의 소오스 라인(SL)들의 교차점에 다수의 화소를 갖는 액정 패널(30)과 액정 패널의 소오스 라인(SL)을 통하여 각각의 화소에 영상 신호를 제공하는 소오스 구동부(20)와 액정패널의 게이트 라인(GL)을 선택하여 다수의 화소들을 '온(ON)'시키는 게이트 구동부(10)를 구비한다.

이때 각 화소는 게이트가 게이트 라인(GL)과 연결되고 드레인이 소오스 라인(SL)과 연결된 박막 트랜지스터(TR), 박막 트랜지스터(TR)의 소오스와 각각 병렬 연결된 저장 커패시터(Cs) 및 액정 커패시터(Clc)를 구비한다.

도 2는 도 1의 소오스 구동부를 개략적을 나타내는 블록도이다.

소오스 구동부(20)로 입력되는 디지털 R,G,B 데이터는 쉬프트 레지스터(40)에서 출력되는 래치 인에이블 신호(미도시)에 응답하여 각각의 픽셀 (3픽셀 = 1도트)에 대한 정보가 칼럼 라인별로 샘플링되어 래치(50)에 저장된다.

데이터 래치(60)는 래치(50)에서 샘플링 된 디지털 R,G,B 데이터를 클럭신호에 응답하여 수신한다. D/A 변환기(70)는 데이터 래치(60)에 저장된 디지털 R,G,B 데이터를 아날로그 R,G,B 데이터로 변환하고, 출력 버퍼(80)는 D/A 변환기(70)에서 아날로그 신호로 변환된 R,G,B 데이터에 해당되는 신호를 증폭하여 액정 패널의 소스 라인으로 출력한다.

이 때, 종래의 출력 버퍼(80)는 전원 전압(VDD)이 구동전압으로 이용되며, 출력 신호는 매 수평 주기마다 공통전압 (common voltage : $V_{com}=VDD/2$)을 기준으로 양에서 음으로, 음에서 양으로 인버전되어 변화하기 때문에 큰 폭의 전압 값을 필요로 한다.

한편, 출력 버퍼(80)를 이루는 전압 폴로어(voltage follower) 증폭기에 의해 오프셋이 발생되어 출력 신호에 전압 편차가 생긴다. 이러한 출력 신호의 전압 편차에 의해 다 출력 특성을 갖는 액정 패널의 화면상에 줄무늬 현상이 발생하는 등 화면의 품질이 저하된다.

이와 같은 출력신호의 전압편차를 줄이기 위한 방법 중 하나는 쇼핑 방법(Chopping Method)을 사용하고, 전압 폴로어 증폭기를 고전압 파트(High Voltage part)와 저전압 파트(Low Voltage Part)를 각각 제어하는 증폭기들로 구분하는 방법이다.

이 경우, 고전압 파트와 저전압 파트를 분리하여 제어하는 방법은 레일-투-레일(Rail-to Rail) 구조의 전압 폴로어 증폭기를 사용하는 경우보다 회로 면적 면에서 많은 이득을 볼 수는 있으나, 슬루율(slew rate) 측면에서 취약한 특성을 보인다. 여기서, 슬루율은 출력신호가 입력신호를 얼마나 빠르게 쫓아가는가를 나타내는 수치이다.

도 3은 종래의 고전압 파트 전압 폴로어 출력 버퍼를 나타내는 회로도이다.

도 4는 도 3의 고전압 파트 전압 폴로어 출력 버퍼의 입력신호 및 출력신호를 각각 나타내는 도면이다.

도 3을 참조하면, 전압 폴로어 출력 버퍼(300)는 차동 증폭기(310)와 출력부(320)를 구비한다. 도 3에 개시된 전압 폴로어 출력 버퍼(300)의 동작은 당업자라면 이해할 수 있으므로 상세한 설명은 생략한다.

도 3에 도시된 바와 같이, 일반적인 차동 증폭기(310)를 사용한 고전압 파트 전압 폴로어 출력 버퍼(300)는 입력신호(90)가 상승하는 폴 업 동작 시에는 출력 신호(92)의 슬루 율에 이상이 없으나 출력 신호(92)가 하강하는 폴다운 동작 시에는 출력단(OUTPUT)에 연결된 엔모스 트랜지스터(NTR) 게이트의 입력이 일정한 전압을 갖는 바이어스 전압(BIAS1)에 의해 제어된다.

일정한 전압 레벨을 갖는 바이어스 전압(BIAS1)에 의해서 엔모스 트랜지스터(NTR)는 일정한 정도로만 턴 온 상태를 유지하므로, 엔모스 트랜지스터(NTR)는 출력단(OUTPUT)에 연결되는 액정 패널(미도시)의 로드(load) 커패시터에 채워진 전하를 출력시키기 위한 능력이 부족하여 입력 신호(90)가 하강할 때 출력신호(92)의 슬루율이 도 4에 도시된 바와 같이 작아진다.

도 5는 종래의 저전압 파트 전압 폴로어 출력 버퍼를 나타내는 회로도이다.

도 6은 도 5의 저전압 파트 전압 폴로어 출력 버퍼의 입력 신호 및 출력 신호를 각각 나타내는 도면이다.

도 5를 참조하면, 전압 폴로어 출력 버퍼(500)는 차동 증폭기(510)와 출력 부(520)를 구비한다. 도 5에 개시된 전압 폴로어 출력 버퍼(500)의 동작은 당업자라면 이해할 수 있으므로 상세한 설명은 생략한다.

도 5에 도시된 저전압 파트 전압 폴로어 출력 버퍼(500)의 경우도 마찬가지로, 도 6에 도시된 바와 같이 입력 신호(94)가 하강하는 폴다운 동작 시에는 출력 신호(96)의 슬루율에 이상이 없다.

그러나, 상승 동작 시 폴 업 동작을 하는 출력단(OUTPUT)의 피모스 트랜지스터(PTR)의 게이트 입력이 일정한 전압을 갖는 바이어스 전압(BIAS1)으로 고정되어 있으며, 이로 인해 입력 신호(94)의 상승 동작에서 출력 신호(96)의 슬루율이 도 6에 보인 바와 같이 작아지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 액정표시장치의 소오스 구동부에서 높은 슬루율 및 낮은 소비전력을 갖는 출력 버퍼를 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 출력 버퍼는 차동 증폭부, 제어부 및 출력부를 구비한다.

차동 증폭부는 스위칭 신호 및 반전 스위칭 신호를 수신하고, 입력신호 및 출력신호를 차동 입력하여 상기 입력신호의 논리 레벨과 반대되는 논리 레벨을 가지는 폴업 신호와 상기 폴업신호의 논리 레벨과 반대되는 논리 레벨을 갖는 제어신호를 발생한다.

제어부는 상기 입력 신호의 로우 레벨에서, 상기 제어신호와 소정의 전압 레벨을 갖는 제1바이어스 전압에 응답하여 출력 노드를 제어 전압의 전압 레벨로 설정시킨다.

출력부는 상기 폴업 신호와 상기 제1바이어스 전압에 응답하여 상기 출력 노드에서 출력되는 상기 출력 신호의 전압 레벨이 전원전압과 상기 제어 전압사이를 스윙하도록 제어한다.

상기 제어 전압의 전압 레벨은 상기 전원 전압의 전압 레벨의 절반일 수 있다.

상기 제어부는 제 1 내지 제 3 트랜지스터를 구비한다. 제 1 트랜지스터는 상기 전원전압에 제 1 단이 연결되고 게이트에 상기 제어신호가 인가되며 제 2단이 제 1 노드에 연결된다. 제2트랜지스터는 상기 제 1 노드에 제 1단이 연결되고 상기 제 1바이어스 전압이 게이트에 인가되며 제 2단이 상기 제어 전압에 연결된다.

제3트랜지스터는 상기 제어전압에 제 1 단이 연결되고 게이트가 상기 제 1 노드에 연결되며 제 2 단이 상기 출력 노드에 연결되어 상기 출력 노드의 전압 레벨을 제어한다. 상기 제 3 트랜지스터는 상기 입력 신호가 로우 레벨이면 턴 온 되어 상기 출력 노드를 상기 제어 전압 레벨로 설정한다.

상기 출력부는 제 1 및 제 2 출력 트랜지스터를 구비한다. 제 1 출력 트랜지스터는 상기 전원 전압에 제 1단이 연결되고 상기 폴업 신호가 게이트에 인가되며 제 2 단이 상기 출력 노드에 연결된다.

제2출력 트랜지스터는 상기 출력 노드에 제 1 단이 연결되고 상기 제1바이어스 전압이 게이트에 인가되며 제 2 단이 상기 제어 전압에 연결된다. 상기 입력 신호는 상기 전원 전압에서 상기 제어 전압 사이의 범위를 가진다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 출력 버퍼는 차동 증폭부, 제어부 및 출력부를 구비한다.

차동 증폭부는 스위칭 신호 및 반전 스위칭 신호를 수신하고, 입력신호 및 출력신호를 차동 입력하여 상기 입력신호의 논리 레벨과 반대되는 논리 레벨을 가지는 폴 다운 신호와 상기 폴 다운 신호의 논리 레벨과 반대되는 논리 레벨을 갖는 제어신호를 발생한다.

제어부는 상기 입력 신호의 하이 레벨에서, 상기 제어신호와 소정의 전압 레벨을 갖는 제1바이어스 전압에 응답하여 출력 노드를 제어 전압의 전압 레벨로 설정시킨다.

출력부는 상기 폴 다운 신호와 상기 제1바이어스 전압에 응답하여 상기 출력 노드에서 출력되는 상기 출력 신호의 전압 레벨이 접지 전압과 상기 제어 전압사이를 스윙하도록 제어한다. 상기 제어 전압의 전압 레벨은 전원 전압의 전압 레벨의 절반일 수 있다.

상기 제어부는 제 1내지 제 3 트랜지스터를 구비한다.

제 1 트랜지스터는 상기 접지 전압에 제 1 단이 연결되고 상기 제어 신호가 게이트로 인가되며 제 2 단이 제 1 노드에 연결된다. 제 2 트랜지스터는 상기 제어 전압에 제 1 단이 연결되고 게이트에 상기 제 1 바이어스 전압이 인가되며 제 2단이 상기 제 1 노드에 연결된다.

제 3트랜지스터는 상기 제어 전압에 제 1단이 연결되고 게이트가 상기 제 1 노드에 연결되며 제 2단이 상기 출력 노드에 연결되어 상기 출력 노드의 전압 레벨을 제어한다. 상기 제 3 트랜지스터는 상기 입력 신호가 하이 레벨이면 턴 온 되어 상기 출력 노드를 상기 제어 전압 레벨로 설정한다.

상기 출력부는 제 1 및 제 2 출력 트랜지스터를 구비한다. 제 1 출력 트랜지스터는 상기 접지 전압에 제 1단이 연결되고 상기 풀 다운 신호가 게이트에 인가되며 제 2 단이 상기 출력 노드에 연결된다.

제2출력 트랜지스터는 상기 출력 노드에 제 1 단이 연결되고 상기 제1바이어스 전압이 게이트에 인가되며 제 2 단이 상기 제어 전압에 연결되는 제2출력 트랜지스터를 구비한다. 상기 입력 신호는 상기 접지 전압에서 상기 제어 전압 사이의 범위를 가진다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 출력 버퍼는 제 1 및 제 2 차동 증폭부, 제 1 및 제 2 제어부, 제 1 및 제 2 출력부를 구비한다.

제 1 차동 증폭부는 제 1스위칭 신호 및 제 1 반전 스위칭 신호를 수신하고, 제 1 입력신호 및 제 1 출력신호를 차동 입력하여 상기 제 1 입력신호의 논리 레벨과 반대되는 논리 레벨을 가지는 풀 업 신호와 상기 풀 업신호의 논리 레벨과 반대되는 논리 레벨을 갖는 제 1 제어신호를 발생한다.

제 1 제어부는 상기 제 1 입력 신호의 로우 레벨에서, 상기 제 1 제어신호와 소정의 전압 레벨을 갖는 제1바이어스 전압에 응답하여 제 1 출력 노드를 제어 전압의 전압 레벨로 설정시킨다.

제 1 출력부는 상기 풀업 신호와 상기 제1바이어스 전압에 응답하여 상기 제 1 출력 노드에서 출력되는 상기 제 1 출력 신호의 전압 레벨이 전원전압과 상기 제어 전압사이를 스윙하도록 제어한다.

제 2 차동 증폭부는 제 2 스위칭 신호 및 제 2 반전 스위칭 신호를 수신하고, 제 2입력신호 및 제 2 출력신호를 차동 입력하여 상기 제 2 입력신호의 논리 레벨과 반대되는 논리 레벨을 가지는 풀 다운 신호와 상기 풀 다운 신호의 논리 레벨과 반대되는 논리 레벨을 갖는 제 2 제어신호를 발생한다.

제 2 제어부는 상기 제 2 입력 신호의 하이 레벨에서, 상기 제 2 제어신호와 소정의 전압 레벨을 갖는 제 2바이어스 전압에 응답하여 제 2 출력 노드를 상기 제어 전압의 전압 레벨로 설정시킨다.

제 2 출력부는 상기 풀 다운 신호와 상기 제2바이어스 전압에 응답하여 상기 제 2 출력 노드에서 출력되는 상기 제 2 출력 신호의 전압 레벨이 접지 전압과 상기 제어 전압사이를 스윙하도록 제어한다.

이하, 본 발명에 따른 액정표시장치의 소오스 구동부에서 높은 슬루 레이트 및 낮은 소비전력을 갖는 출력 버퍼를 첨부한 도면들을 참조하여 다음과 같이 설명한다.

도 7은 본 발명의 실시예에 따른 소오스 구동부에서 출력 신호의 슬루 레이트를 개선한 출력 버퍼를 설명하는 회로도이다.

도 7에 도시된 본 발명에 따른 출력버퍼(700)는 전술된 바와 같이 쇼팅(chopping) 방식에서 하이 파트를 담당하는 출력버퍼에 대한 것으로서, 차동 증폭부(710), 제어부(720) 및 출력부(730)를 구비한다.

도 7을 참조하면, 차동증폭부(710)는 일반적인 차동 증폭기로 구성되며, 입력신호(HINPUT) 및 출력신호(HOUTPUT)를 스위칭 신호(HSW)와 반전 스위칭 신호(HSWB)에 응답하여 차동 입력하여 상기 입력신호(HINPUT)의 논리 레벨과 반대의 논리 레벨을 가지는 풀업 신호(HPU)와, 상기 풀업 신호(HPU)의 논리 레벨과 반대의 논리 레벨을 가지는 제어 신호(HCTRL)를 발생시킨다.

제어부(720)는 제어 신호(HCTRL)와 소정의 전압을 갖는 제1바이어스 전압(VHBIAS1)에 응답하여 출력 노드(ONODE)를 제어 전압(VDD/2)의 전압 레벨로 설정시킨다. 좀 더 설명하면, 제어부(710)는 제1 트랜지스터(HCTR1), 제2 트랜지스터(HCTR2) 및 제3 트랜지스터(HCTR3)를 구비한다.

제 1 트랜지스터(HCTR1)는 전원전압(VDD)에 제 1 단이 연결되고 게이트에 제어신호(VDD/2)가 인가되며 제 2단이 제 1 노드(HA)에 연결된다. 제2트랜지스터(HCTR2)는 제 1 노드(HA)에 제 1단이 연결되고 제1바이어스 전압(VHBIAS1)이 게이트에 인가되며 제 2단이 제어 전압(VDD/2)에 연결된다.

제어 전압(VDD/2)의 전압 레벨은 전원 전압(VDD)의 전압 레벨의 절반일 수 있다. 제3트랜지스터(HCTR3)는 제어전압(VDD/2)에 제 1 단이 연결되고 게이트가 제 1 노드(HA)에 연결되며 제 2 단이 출력 노드(ONODE)에 연결되어 출력 노드(ONODE)의 전압 레벨을 제어한다.

제 3 트랜지스터(HCTR3)는 입력 신호(HINPUT)가 로우 레벨이면 턴 온 되어 출력 노드(ONODE)를 제어 전압(VDD/2) 레벨로 설정한다. 입력 신호(HINPUT)는 전원 전압(VDD)에서 제어 전압(VDD/2) 사이의 범위를 가진다.

출력부(730)는 풀업 신호(HPU)와 제1바이어스 전압(VHBIAS1)에 응답하여 출력 노드(ONODE)에서 출력되는 출력 신호(HOUTPUT)의 전압 레벨이 전원 전압(VDD)과 제어 전압(VDD/2)사이를 스윙하도록 제어한다.

구체적으로, 출력부(730)는 제1출력 트랜지스터(HOUT1) 및 제2출력 트랜지스터(HOUT2)를 구비한다. 출력부(730)는 안정화 커패시터(C1)를 더 구비할 수 있다.

출력부(730)는 제 1 및 제 2 출력 트랜지스터(HOUT1, HOUT2)를 구비한다.

제 1 출력 트랜지스터(HOUT1)는 전원 전압(VDD)에 제 1단이 연결되고 풀업 신호(HPU)가 게이트에 인가되며 제 2 단이 출력 노드(ONODE)에 연결된다.

제2출력 트랜지스터(HOUT2)는 출력 노드(ONODE)에 제 1 단이 연결되고 제1바이어스 전압(VHBIAS1)이 게이트에 인가되며 제 2 단이 제어 전압(VDD/2)에 연결된다.

출력부(730)는 제1출력 트랜지스터(HOUT1)의 게이트와 드레인 사이에 연결되어 출력 신호(HOUTPUT)를 안정화 시키는 안정화 커패시터(C1)를 더 구비할 수 있다.

이하, 도 7에 도시된 장치의 동작을 설명한다. 차동 증폭부(710)는 바이어스 전압들(VHBIAS2, VHBIAS3)에 응답하여 바이어스 트랜지스터들(BTR1, BTR2)이 턴 온 되면 동작한다.

스위칭 신호(HSW)가 하이 레벨이라고 가정한다. 그러면 스위치 트랜지스터들(STR1, STR4)은 턴 오프 되고 스위치 트랜지스터들(STR2, STR3)은 턴 온 된다. 또한, 미러 트랜지스터들(MTR2, MTR3)은 턴 오프 되고 미러 트랜지스터들(MTR1, MTR4)은 턴 온 된다.

이 경우, 입력신호(HINPUT)가 하이 논리레벨이 되면, 풀업신호(HPU)는 차동 증폭 동작에 의해 로우 논리레벨이 되어 제 1출력 트랜지스터(HOUT1)를 턴 온 시키고 제어 신호(HCTRL)는 하이 레벨로 발생된다. 턴 온 된 제1출력트랜지스터(HOUT1)에 의해 출력신호(HOUTPUT)는 하이 논리레벨로 된다.

이 때, 하이 레벨의 제어 신호(HCTRL)에 의하여 제 1 트랜지스터(HCTR1)가 턴 오프 되고 제 1 노드(HA)는 제 1 바이어스 전압(VHBIAS1)에 의하여 일정한 정도로 턴 온 되어 있는 제 2 트랜지스터(HCTR2)에 의해서 로우 레벨이 된다. 그러면, 제 3 트랜지스터(HCTR3)는 턴 오프 된다.

이러한 출력신호(HOUTPUT)의 상승 동작시 제1출력 트랜지스터(HOUT1)의 게이트에 인가되는 풀업 신호(HPU)의 전압 레벨은 로우 레벨을 가지므로 제 1 출력 트랜지스터(HOUT1)를 충분히 턴 온 시켜 출력 노드(ONODE)에 연결되는 TFT LCD 패널(미도시)의 부하를 구동하는데 무리가 없다.

입력신호(HINPUT)가 로우 논리레벨이 되면, 풀업 신호(HPU)는 차동 증폭 동작에 의해 하이 논리레벨이 되며 제어신호(HCTRL)는 로우 논리레벨이 된다. 상기 로우 논리레벨의 제어신호(HCTRL)에 의해 제1트랜지스터(HCTR1)는 턴 온 되어 전원전압(VDD)이 출력되며 제1노드(HA)가 하이 논리레벨이 된다.

하이 논리레벨의 풀업신호(HPU)에 의해 제1출력 트랜지스터(HOUT1)는 턴 오프 되며, 일정한 전압 레벨을 가지는 제1바이어스전압(VHBIAS1)에 의해 제2출력 트랜지스터(HOUT2)가 턴 온 되어 로우 논리레벨의 출력신호(HOUTPUT)가 출력된다.

이러한 출력신호(HOUTPUT)의 하강 동작 시, 제2트랜지스터(HCTR2)는 게이트에 제1바이어스전압(VHBIAS1)이 연결되어 일정한 전류를 공급 받으며 제1트랜지스터(HCTR1)의 전류 부하 역할을 한다. 그리고, 출력 신호(HOUTPUT)가 하강할 때, 제1트랜지스터(HCTR1)의 동작으로 제1노드(HA)의 전압 레벨은 올라가게 되고, 제3트랜지스터(HCTR3)는 턴 온 된다.

출력부(730)는 제 2 출력 트랜지스터(HOUT2) 이외에 출력 노드(ONODE)의 전압 레벨을 빠르게 낮출수 있는 제 3 트랜지스터(HCTR3)에 의하여 제어되므로 출력 신호(HOUTPUT)가 하강하는 경우 슬루 레이트를 향상시킬 수 있다.

또한, 종래와 같이 출력신호(OUTPUT)의 하강 동작시 제2출력 트랜지스터(HOUT2)의 사용범위를 전원 전압(VDD)부터 접지 전압(VSS)까지가 아니라 전원전압(VDD)부터 제어전압(VDD/2)으로 하여 제2 출력 트랜지스터(HOUT2)의 게이트 전압이 제 1 바이어스 전압(VHBIAS1)에 의해 그 구동능력이 고정되지 않고 제1, 제2 및 제3 트랜지스터(HCTR1, HCTR2, HCTR3)에 의해 제 2 출력 트랜지스터(HOUT2)의 동작 레벨이 조정되므로 출력 신호(HOUTPUT)의 슬루 레이트가 개선된다.

도 8은 본 발명의 다른 실시예에 따른 소오스 구동부에서 출력 신호의 슬루 레이트를 개선한 출력 버퍼를 설명하는 회로도이다.

도 8에 도시된 본 발명의 실시예에 따른 출력버퍼(800)는 전술된 바와 같이 톱핑(chopping) 방식에서 로우 파트 출력 버퍼(800)에 대한 것으로서, 차동증폭부(810), 제어부(820) 및 출력부(830)를 구비한다.

차동증폭부(810)는 일반적인 차동증폭기로 구성되며, 입력신호(LINPUT) 및 출력신호(LOUPUT)를 스위칭 신호(LSW)와 반전 스위칭 신호(LSWB)에 응답하여 차동 입력하여, 입력신호(LINPUT)와 반대되는 논리 레벨을 가지는 풀다운 신호(LPD)와, 풀다운 신호(LPD)와 반대되는 논리 레벨을 가지는 제어신호(LCTRL)를 발생시킨다.

제어부(820)는 제어 신호(LCTRL)와 소정의 전압을 갖는 제1 바이어스(VLBIAS1) 전압에 응답하여 출력 노드(ONODE)를 제어 전압(VDD/2)의 전압 레벨로 설정시킨다.

제어부(820)는 제 1내지 제 3 트랜지스터(LCTR1, LCTR2, LCTR3)를 구비한다.

제 1 트랜지스터(LCTR1)는 접지 전압(VSS)에 제 1 단이 연결되고 제어 신호(LCTRL)가 게이트로 인가되며 제 2 단이 제 1 노드(LA)에 연결된다. 제 2 트랜지스터(LCTR2)는 제어 전압(VDD/2)에 제 1 단이 연결되고 게이트에 제 1 바이어스 전압(VLBIAS1)이 인가되며 제 2단이 제 1 노드(LA)에 연결된다.

제 3트랜지스터(LCTR3)는 제어 전압(VDD/2)에 제 1단이 연결되고 게이트가 제 1 노드(LA)에 연결되며 제 2단이 출력 노드(ONODE)에 연결되어 출력 노드(ONODE)의 전압 레벨을 제어한다. 제 3 트랜지스터(LCTR3)는 입력 신호(LINPUT)가 하이 레벨이면 턴 온 되어 출력 노드(ONODE)를 제어 전압(VDD/2) 레벨로 설정한다.

출력부(830)는 풀 다운 신호(LPD)와 제1바이어스 전압(VLBIAS1)에 응답하여 출력 노드(ONODE)에서 출력되는 출력 신호(LOUTPUT)의 전압 레벨이 접지 전압(VSS)과 제어 전압(VDD/2)사이를 스윙하도록 제어한다. 제어 전압(VDD/2)의 전압 레벨은 전원 전압(VDD)의 전압 레벨의 절반일 수 있다.

출력부(830)는 제 1 및 제 2 출력 트랜지스터(LOUT1, LOUT2)를 구비한다.

제 1 출력 트랜지스터(LOUT1)는 접지 전압(VSS)에 제 1단이 연결되고 풀 다운 신호(LPD)가 게이트에 인가되며 제 2 단이 출력 노드(ONODE)에 연결된다.

제2출력 트랜지스터(LOUT2)는 출력 노드(ONODE)에 제 1 단이 연결되고 제1바이어스 전압(VLBIAS1)이 게이트에 인가되며 제 2 단이 제어 전압(VDD/2)에 연결된다. 입력 신호(LINPUT)는 접지 전압(VSS)에서 제어 전압(VDD/2) 사이의 범위를 가진다.

출력부(830)는 제2출력트랜지스터(LOUT2)의 게이트와 드레인 사이에 연결되어 출력신호(HOUTPUT)를 안정화 시키는 안정화 커패시터(C2)를 더 구비할 수 있다.

이하, 도 8에 도시된 출력 버퍼(800)의 동작을 설명한다.

입력신호(LINPUT)가 로우 논리레벨이면, 폴다운 신호(LPD)는 차동 증폭 동작에 의해 하이 논리레벨이 되어 제1출력 트랜지스터(LOUT1)를 턴 온 시킨다. 차동 증폭부(810)의 동작 원리는 도 7의 차동 증폭부(710)와 동일하므로 상세한 설명을 생략한다.

턴 온 된 제1출력 트랜지스터(LOUT1)에 의해 출력신호(LOUTPUT)는 로우 논리 레벨로 된다. 이러한 출력 신호(LOUTPUT)의 하강 동작 시 제1출력 트랜지스터(LOUT1)의 게이트에 인가되는 폴다운 신호(LPD)의 전압 레벨은 하이 레벨을 가지므로 제 1 출력 트랜지스터(LOUT1)를 충분히 턴 온 시켜 출력 노드(ONODE)에 연결되는 TFT LCD 패널(미도시)의 부하를 구동하는데 무리가 없다.

입력신호(LINPUT)가 하이 논리레벨이 되면, 폴다운 신호(LPD)는 차동 증폭 동작에 의해 로우 논리레벨이 되며 제어신호(LCTRL1)는 하이 논리레벨이 된다. 하이 논리레벨의 제어신호(LCTRL1)에 의해 제1트랜지스터(LCTR1)는 턴 온 되어 제1노드(LA)가 로우 논리레벨이 된다.

로우 논리레벨의 폴다운 신호(LPD)에 의해 제1출력 트랜지스터(LOUT1)는 턴 오프 되며, 일정한 전압 레벨을 가지는 제1 바이어스전압(VLBIAS1)에 의해 제2출력 트랜지스터(LOUT2)가 턴 온 되어 하이 논리레벨의 출력신호(LOUTPUT)를 출력한다.

이러한 출력신호(LOUTPUT)의 하강 동작 시, 제2트랜지스터(LCTR2)의 게이트에 제1바이어스전압(VLBIAS1)이 연결되어 일정한 전류를 공급 받으며 제1트랜지스터(LCTR1)의 전류 로드 역할을 한다.

출력부(830)는 제 2 출력 트랜지스터(LOUT2) 이외에 출력 노드(ONODE)의 전압 레벨을 빠르게 상승시킬 수 있는 제 3 트랜지스터(LCTR3)에 의하여 제어되므로 출력 신호(HOUTPUT)가 상승하는 경우 슬루 레이트를 향상시킬 수 있다.

또한, 종래와 같이 출력신호(OUTPUT)의 상승 동작시 제2출력 트랜지스터(LOUT2)의 사용범위를 전원 전압(VDD)부터 접지 전압(VSS)까지가 아니라 제어 전압(VDD/2)부터 접지전압(VSS)으로 하여 제2 출력 트랜지스터(LOUT2)의 게이트 전압이 제 1 바이어스 전압(VLBIAS1)에 의해 그 구동능력이 고정되지 않고 제1, 제2 및 제3 트랜지스터(LCTR1, LCTR2, LCTR3)에 의해 제 2 출력 트랜지스터(LOUT2)의 동작 레벨이 조정되므로 출력 신호(HOUTPUT)의 슬루 레이트가 개선된다.

도 9(a) 및 도 9(b)는 종래의 고전압 파트 출력 버퍼 및 저전압 파트 출력 버퍼에서 슬루 레이트 특성을 나타내는 도면이다.

도 9(a)를 참조하면, 종래의 고전압 파트 출력 버퍼(300)에서는 입력 신호(90)의 하강 시 출력 신호(92)의 슬루 레이트 특성이 입력 신호(90)의 상승 시 출력 신호(92)의 슬루 레이트 특성보다 떨어짐을 알 수 있다.

또한, 도 9(b)를 참조하면, 종래의 저전압 파트 출력 버퍼(500)에서는 입력 신호(94)의 상승 시 출력 신호(96)의 슬루 레이트 특성이 입력 신호(94)의 하강 시 출력 신호(96)의 슬루 레이트 특성보다 떨어짐을 알 수 있다.

도 10(a) 및 도 10(b)는 본 발명의 실시예에 따른 고전압 파트 출력 버퍼 및 저전압 파트 출력 버퍼에서 슬루 레이트 특성을 각각 나타내는 도면이다.

도 10(a)를 참조하면, 본 발명에 따른 고전압 파트 출력버퍼(700)의 입력 신호(90)의 하강 시 출력 신호(92)의 슬루 레이트 특성이 도 9(a)에 도시된 입력 신호(90)의 하강 시 출력 신호(92)의 슬루 레이트 특성보다 향상됨을 알 수 있다.

또한, 도 10(b)를 참조하면, 본 발명에 따른 저전압 파트 출력버퍼(800)의 입력 신호(94)의 상승 시 출력 신호(96)의 슬루 레이트 특성이 도 9(b)에 도시된 입력 신호(94)의 상승 시 출력 신호(96)의 슬루 레이트 특성보다 향상됨을 알 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 출력 버퍼(미도시)는 제 1 및 제 2 차동 증폭부(미도시), 제 1 및 제 2 제어부(미도시), 제 1 및 제 2 출력부(미도시)를 구비한다.

제 1 차동 증폭부(미도시), 제 1 제어부(미도시) 및 제 1 출력부(미도시)는 각각 도 7의 차동 증폭부(710), 제어부(720) 및 출력부(730)의 구조와 동일하며 동작 또한 동일하다. 제 2 차동 증폭부(미도시), 제 2 제어부(미도시) 및 제 2 출력부(미도시)는 각각 도 8의 차동 증폭부(810), 제어부(820) 및 출력부(830)의 구조와 동일하며 동작 또한 동일하다.

제 1 및 제 2 차동 증폭부(미도시), 제 1 및 제 2 제어부(미도시), 제 1 및 제 2 출력부(미도시) 내부의 트랜지스터들이나 신호들의 명칭이 각각 도 7 및 도 8의 차동 증폭부(710, 810), 제어부(720, 820) 및 출력부(730, 830) 내부의 트랜지스터들이나 신호들의 명칭과 다르지만, 도 7 및 도 8에 의해서 당업자라면 제 1 및 제 2 차동 증폭부(미도시), 제 1 및 제 2 제어부(미도시), 제 1 및 제 2 출력부(미도시)를 구비하는 본 발명의 다른 실시예에 따른 출력 버퍼 구조와 동작을 이해할 수 있으므로 상세한 설명을 생략한다.

이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다.

그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 액정표시장치의 소오스 구동부에서 출력 신호의 슬루 레이트를 개선한 출력 버퍼는 제어부에 의하여 출력 노드의 전압 레벨을 제어함으로써 출력부의 구동 능력을 향상시켜 출력 신호의 슬루 레이트를 개선시킬 뿐만 아니라 소비 전력을 감소시킬 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

스위칭 신호 및 반전 스위칭 신호를 수신하고, 입력신호 및 출력신호를 차동 입력하여 상기 입력신호의 논리 레벨과 반대되는 논리 레벨을 가지는 풀업 신호와 상기 풀업신호의 논리 레벨과 반대되는 논리 레벨을 갖는 제어신호를 발생하는 차동 증폭부;

상기 입력 신호의 로우 레벨에서, 상기 제어신호와 소정의 전압 레벨을 갖는 제1바이어스 전압에 응답하여 출력 노드를 제어 전압의 전압 레벨로 설정시키는 제어부; 및

상기 풀업 신호와 상기 제1바이어스 전압에 응답하여 상기 출력 노드에서 출력되는 상기 출력 신호의 전압 레벨이 전원전압과 상기 제어 전압사이를 스윙하도록 제어하는 출력부를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 2.

제1항에 있어서, 상기 제어 전압의 전압 레벨은,

상기 전원 전압의 전압 레벨의 절반인 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 3.

제 1항에 있어서, 상기 제어부는

상기 전원전압에 제 1 단이 연결되고 게이트에 상기 제어신호가 인가되며 제 2단이 제 1 노드에 연결되는 제1트랜지스터;

상기 제 1 노드에 제 1단이 연결되고 상기 제1바이어스 전압이 게이트에 인가되며 제 2단이 상기 제어 전압에 연결되는 제 2트랜지스터; 및

상기 제어전압에 제 1 단이 연결되고 게이트가 상기 제 1 노드에 연결되며 제 2 단이 상기 출력 노드에 연결되어 상기 출력 노드의 전압 레벨을 제어하는 제 3트랜지스터를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 4.

제3항에 있어서, 상기 제 3 트랜지스터는,

상기 입력 신호가 로우 레벨이면 턴 온 되어 상기 출력 노드를 상기 제어 전압 레벨로 설정하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 5.

제 1항에 있어서, 상기 출력부는

상기 전원 전압에 제 1단이 연결되고 상기 풀업 신호가 게이트에 인가되며 제 2 단이 상기 출력 노드에 연결되는 제1출력 트랜지스터; 및

상기 출력 노드에 제 1 단이 연결되고 상기 제1바이어스 전압이 게이트에 인가되며 제 2 단이 상기 제어 전압에 연결되는 제2출력 트랜지스터를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 6.

제 1항에 있어서, 상기 입력 신호는

상기 전원 전압에서 상기 제어 전압 사이의 범위를 가지는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 7.

스위칭 신호 및 반전 스위칭 신호를 수신하고, 입력신호 및 출력신호를 차동 입력하여 상기 입력신호의 논리 레벨과 반대되는 논리 레벨을 가지는 풀 다운 신호와 상기 풀 다운 신호의 논리 레벨과 반대되는 논리 레벨을 갖는 제어신호를 발생하는 차동 증폭부;

상기 입력 신호의 하이 레벨에서, 상기 제어신호와 소정의 전압 레벨을 갖는 제1바이어스 전압에 응답하여 출력 노드를 제어 전압의 전압 레벨로 설정시키는 제어부; 및

상기 풀 다운 신호와 상기 제1바이어스 전압에 응답하여 상기 출력 노드에서 출력되는 상기 출력 신호의 전압 레벨이 접지 전압과 상기 제어 전압사이를 스윙하도록 제어하는 출력부를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 8.

제7항에 있어서, 상기 제어 전압의 전압 레벨은,

전원 전압의 전압 레벨의 절반인 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 9.

제7항에 있어서, 상기 제어부는

상기 접지 전압에 제 1 단이 연결되고 상기 제어 신호가 게이트로 인가되며 제 2 단이 제 1 노드에 연결되는 제 1 트랜지스터;

상기 제어 전압에 제 1 단이 연결되고 게이트에 상기 제 1 바이어스 전압이 인가되며 제 2 단이 상기 제 1 노드에 연결되는 제 2 트랜지스터; 및

상기 제어 전압에 제 1 단이 연결되고 게이트가 상기 제 1 노드에 연결되며 제 2 단이 상기 출력 노드에 연결되어 상기 출력 노드의 전압 레벨을 제어하는 제 3 트랜지스터를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 10.

제 9항에 있어서, 상기 제 3 트랜지스터는,

상기 입력 신호가 하이 레벨이면 턴 온 되어 상기 출력 노드를 상기 제어 전압 레벨로 설정하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 11.

제7항에 있어서, 상기 출력부는

상기 접지 전압에 제 1 단이 연결되고 상기 풀 다운 신호가 게이트에 인가되며 제 2 단이 상기 출력 노드에 연결되는 제1 출력 트랜지스터; 및

상기 출력 노드에 제 1 단이 연결되고 상기 제1 바이어스 전압이 게이트에 인가되며 제 2 단이 상기 제어 전압에 연결되는 제2 출력 트랜지스터를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 12.

제 7항에 있어서, 상기 입력 신호는,

상기 접지 전압에서 상기 제어 전압 사이의 범위를 가지는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 13.

제 1 스위칭 신호 및 제 1 반전 스위칭 신호를 수신하고, 제 1 입력신호 및 제 1 출력신호를 차동 입력하여 상기 제 1 입력 신호의 논리 레벨과 반대되는 논리 레벨을 가지는 풀 업 신호와 상기 풀 업신호의 논리 레벨과 반대되는 논리 레벨을 갖는 제 1 제어신호를 발생하는 제 1 차동 증폭부;

상기 제 1 입력 신호의 로우 레벨에서, 상기 제 1 제어신호와 소정의 전압 레벨을 갖는 제1바이어스 전압에 응답하여 제 1 출력 노드를 제어 전압의 전압 레벨로 설정시키는 제 1 제어부;

상기 풀업 신호와 상기 제1바이어스 전압에 응답하여 상기 제 1 출력 노드에서 출력되는 상기 제 1 출력 신호의 전압 레벨이 전원전압과 상기 제어 전압사이를 스윙하도록 제어하는 제 1 출력부 ;

제 2 스위칭 신호 및 제 2 반전 스위칭 신호를 수신하고, 제 2입력신호 및 제 2 출력신호를 차동 입력하여 상기 제 2 입력 신호의 논리 레벨과 반대되는 논리 레벨을 가지는 풀 다운 신호와 상기 풀 다운 신호의 논리 레벨과 반대되는 논리 레벨을 갖는 제 2 제어신호를 발생하는 제 2 차동 증폭부;

상기 제 2 입력 신호의 하이 레벨에서, 상기 제 2 제어신호와 소정의 전압 레벨을 갖는 제 2바이어스 전압에 응답하여 제 2 출력 노드를 상기 제어 전압의 전압 레벨로 설정시키는 제 2 제어부; 및

상기 풀 다운 신호와 상기 제2바이어스 전압에 응답하여 상기 제 2 출력 노드에서 출력되는 상기 제 2 출력 신호의 전압 레벨이 접지 전압과 상기 제어 전압사이를 스윙하도록 제어하는 제 2 출력부를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 14.

제13항에 있어서, 상기 제어 전압의 전압 레벨은,

상기 전원 전압의 전압 레벨의 절반인 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 15.

제 13항에 있어서, 상기 제 1 제어부는

상기 전원전압에 제 1 단이 연결되고 게이트에 상기 제 1 제어신호가 인가되며 제 2단이 제 1 노드에 연결되는 제1트랜지스터;

상기 제 1 노드에 제 1단이 연결되고 상기 제1바이어스 전압이 게이트에 인가되며 제 2단이 상기 제어 전압에 연결되는 제 2트랜지스터; 및

상기 제어전압에 제 1 단이 연결되고 게이트가 상기 제 1 노드에 연결되며 제 2 단이 상기 제 1 출력 노드에 연결되어 상기 제 1 출력 노드의 전압 레벨을 제어하는 제 3트랜지스터를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 16.

제15항에 있어서, 상기 제 3 트랜지스터는,

상기 제 1 입력 신호가 로우 레벨이면 턴 온 되어 상기 제 1 출력 노드를 상기 제어 전압 레벨로 설정하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 17.

제 13항에 있어서, 상기 제 1 출력부는,

상기 전원 전압에 제 1단이 연결되고 상기 풀업 신호가 게이트에 인가되며 제 2 단이 상기 제 1 출력 노드에 연결되는 제1 출력 트랜지스터; 및

상기 제 1 출력 노드에 제 1 단이 연결되고 상기 제1바이어스 전압이 게이트에 인가되며 제 2 단이 상기 제어 전압에 연결되는 제2출력 트랜지스터를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 18.

제13항에 있어서, 상기 제 2 제어부는

상기 접지 전압에 제 1 단이 연결되고 상기 제 2 제어 신호가 게이트로 인가되며 제 2 단이 제 2 노드에 연결되는 제 4 트랜지스터 ;

상기 제어 전압에 제 1 단이 연결되고 게이트에 상기 제 2 바이어스 전압이 인가되며 제 2단이 상기 제 2 노드에 연결되는 제 5트랜지스터; 및

상기 제어 전압에 제 1단이 연결되고 게이트가 상기 제 2 노드에 연결되며 제 2단이 상기 제 2 출력 노드에 연결되어 상기 제2 출력 노드의 전압 레벨을 제어하는 제 6트랜지스터를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 19.

제18항에 있어서, 상기 제 6 트랜지스터는,

상기 제2 입력 신호가 하이 레벨이면 턴 온 되어 상기 제 2 출력 노드를 상기 제어 전압 레벨로 설정하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

청구항 20.

제13항에 있어서, 제 2 상기 출력부는,

상기 접지 전압에 제 1단이 연결되고 상기 풀 다운 신호가 게이트에 인가되며 제 2 단이 상기 제 2 출력 노드에 연결되는 제 3출력 트랜지스터; 및

상기 제 2 출력 노드에 제 1 단이 연결되고 상기 제2바이어스 전압이 게이트에 인가되며 제 2 단이 상기 제어 전압에 연결되는 제4출력 트랜지스터를 구비하는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

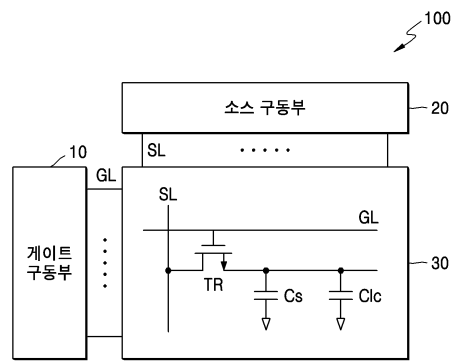
청구항 21.

제 13항에 있어서, 상기 제 1 입력 신호는,

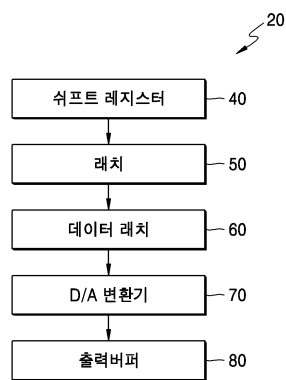
상기 전원 전압에서 상기 제어 전압 사이의 범위를 가지며, 상기 제 2 입력 신호는 상기 접지 전압에서 상기 제어 전압 사이의 범위를 가지는 것을 특징으로 하는 출력 신호의 슬루 레이트를 개선한 출력 버퍼.

도면

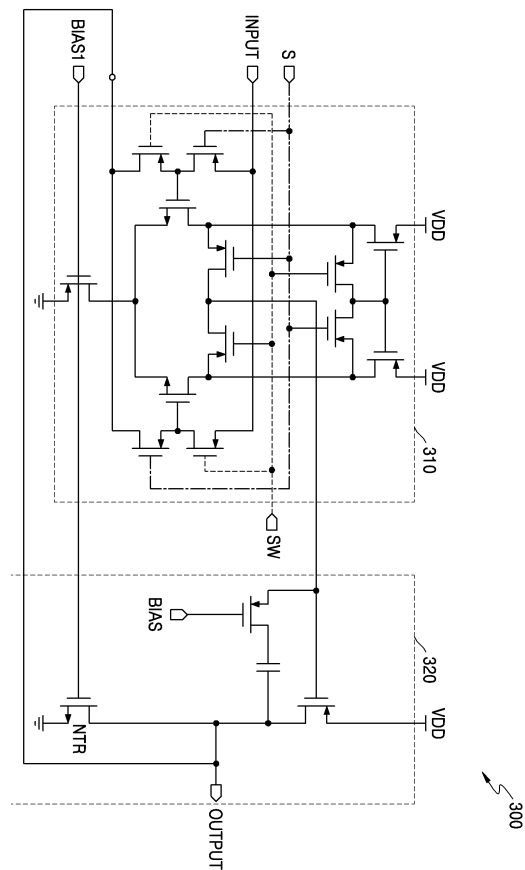
도면1



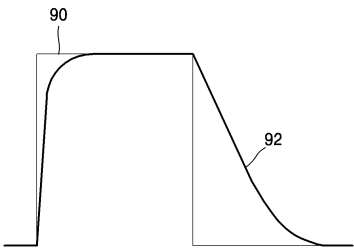
도면2



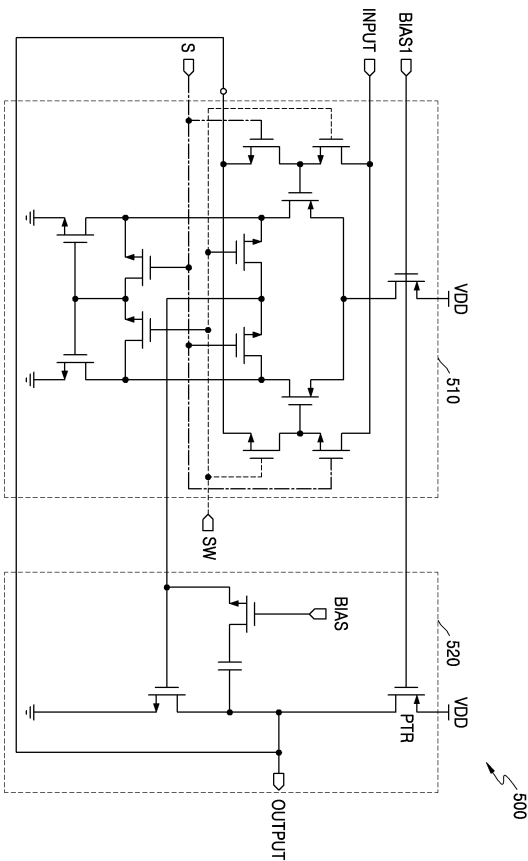
도면3



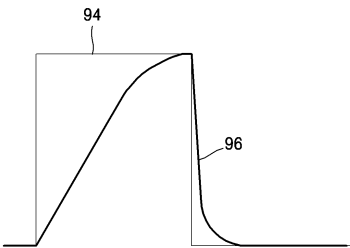
도면4



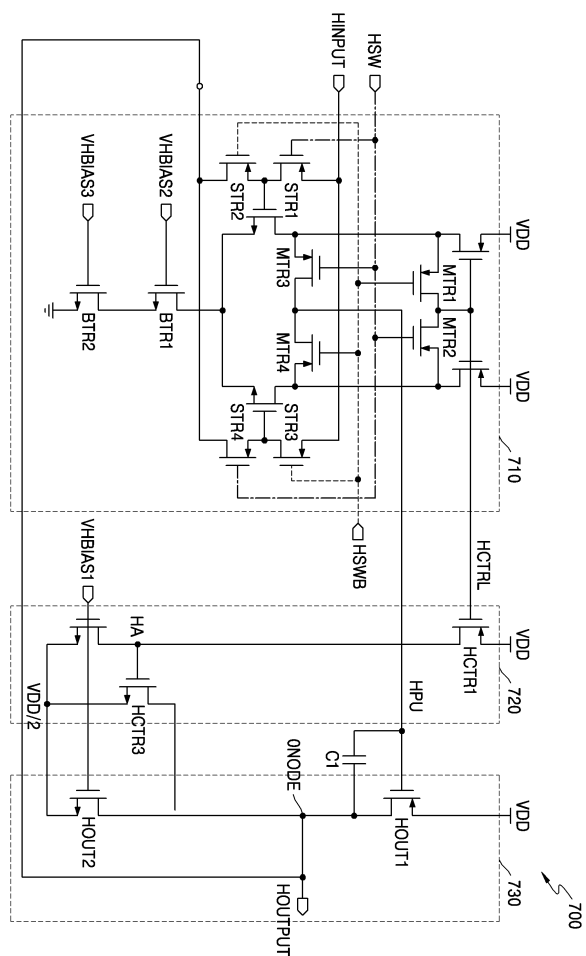
도면5



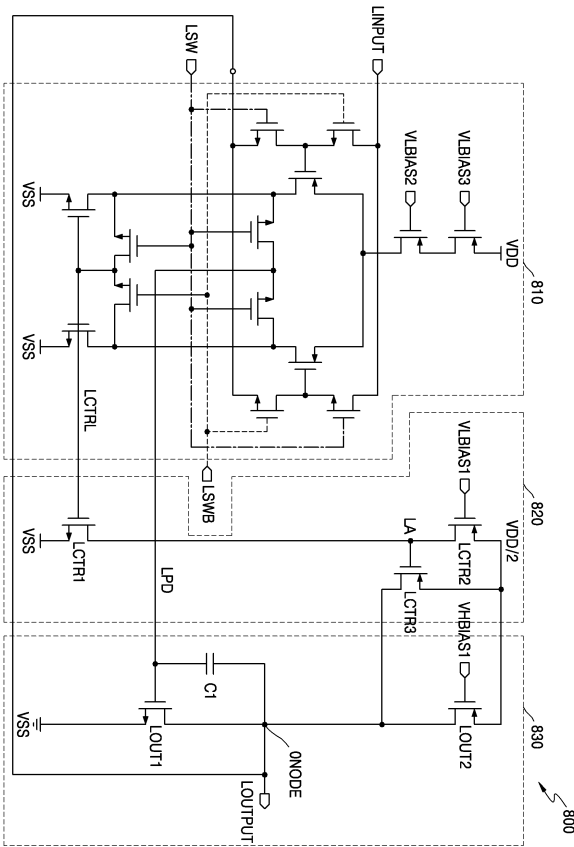
도면6



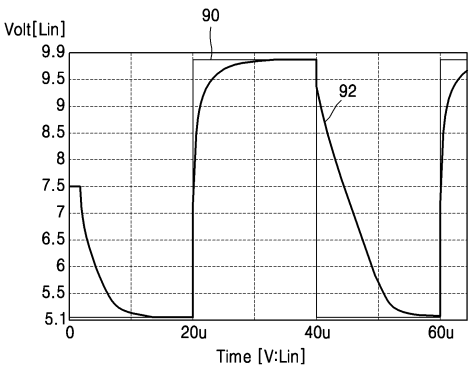
도면7



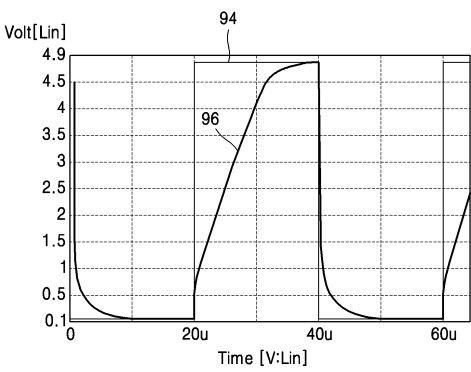
도면8



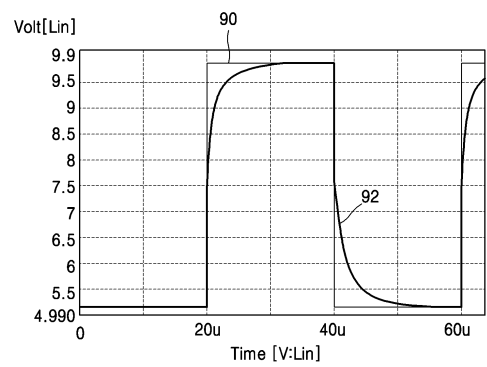
도면9a



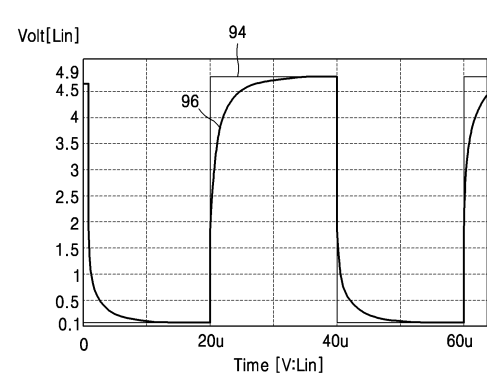
도면9b



도면10a



도면10b



专利名称(译)	一种输出缓冲器，用于改善液晶显示器的源极驱动器中的输出信号的转换速率		
公开(公告)号	KR1020060074933A	公开(公告)日	2006-07-03
申请号	KR1020040113923	申请日	2004-12-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE SEUNGJUNG 이승정 KIM DOYOUN 김도윤 CHOI CHANGHWE 최창휘		
发明人	이승정 김도윤 최창휘		
IPC分类号	G09G3/36		
CPC分类号	H03K19/01721 G09G2310/0291 G09G3/3688		
代理人(译)	李，杨HAE		
其他公开文献	KR100723481B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种改善液晶显示器的源驱动单元中输出信号的转换速率的输出缓冲器，以通过控制单元控制输出节点的电压电平来改善输出单元的驱动性能，从而减少能量消耗。

