

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G09G 3/36

(11) 공개번호 특2002 - 0005377
(43) 공개일자 2002년01월17일

(21) 출원번호 10 - 2001 - 0009504
(22) 출원일자 2001년02월24일

(30) 우선권주장 2000 - 210685 2000년07월06일 일본(JP)

(71) 출원인 가부시킴가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄도 치요다구 간다스루가다이 4쵸메 6반치
히다치디바이스 엔지니어링가부시킴가이샤
나시모토 류조
일본국 지바켄 모바라시 하야노 3681

(72) 발명자 오오이시요시히사
일본도쿄도지요다꾸마루노우찌1쵸메5 - 1신마루빌딩가부시킴가이샤히타치세이사쿠쇼지적
소유권본부내
니즈따히로유키
일본도쿄도지요다꾸마루노우찌1쵸메5 - 1신마루빌딩가부시킴가이샤히타치세이사쿠쇼지적
소유권본부내
와타나베아끼히로
일본지바켄모바라시하야노3681히다치디바이스엔지니어링가부시킴가이샤내
고지히로부미
일본도쿄도지요다꾸마루노우찌1쵸메5 - 1신마루빌딩가부시킴가이샤히타치세이사쿠쇼지적
소유권본부내
즈네카와사토루
일본도쿄도지요다꾸마루노우찌1쵸메5 - 1신마루빌딩가부시킴가이샤히타치세이사쿠쇼지적
소유권본부내

(74) 대리인 구영창
장수길

심사청구 : 있음

(54) 표시 데이터를 표시하기 위한 액정 표시 장치

요약

본 발명은 매트릭스 형태로 배치된 화소부를 갖는 액정 패널과, 상기 표시 데이터에 대응한 계조 전압을 상기 화소부에 인가하는 복수의 데이터 드라이버와, 상기 계조 전압이 인가되는 상기 화소부를 선택하는 게이트 드라이버와, 전송 클럭에 기초하여 상기 데이터 드라이버를 제어하는 액정 컨트롤 회로를 구비하는 것으로, 상기 데이터 드라이버는 상기 데이터 드라이버에 입력된 상기 표시 데이터 및 상기 전송 클럭의 듀티와 상기 데이터 드라이버로부터 출력된 상기 표시 데이터 및 상기 전송 클럭의 듀티와의 편차가 작아지도록 상기 데이터 드라이버에 입력된 상기 전송 클럭을 재생함과 동시에 래치 클럭을 생성하는 재생 회로와, 상기 래치 클럭에 기초하여 상기 데이터 드라이버에 입력된 상기 표시 데이터를 래치하는 래치 회로를 구비한다.

대표도

도 2

색인어

액정 표시 장치, 표시, 오티지, 위상, 패널, 드라이버

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1 실시 형태에 따른 데이터 드라이버의 구성도.
- 도 2는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 구성도.
- 도 3은 본 발명의 제1 실시 형태에 따른 클럭 재생 회로의 구성도.
- 도 4는 본 발명의 제1 실시 형태에 따른 위상 비교 회로의 구성도.
- 도 5는 본 발명의 제1 실시 형태에 따른 위상 비교 회로의 동작도.
- 도 6은 본 발명의 제1 실시 형태에 따른 오티지 판별 회로의 구성도.
- 도 7은 본 발명의 제1 실시 형태에 따른 VCO의 구성도.
- 도 8은 본 발명의 제1 실시 형태에 따른 바이어스 전압과 VCO 발진 주파수의 관계도.
- 도 9는 본 발명의 제1 실시 형태에 따른 클럭 재생 회로의 타이밍차트.
- 도 10은 본 발명의 제1 실시 형태에 따른 데이터 드라이버의 타이밍차트.
- 도 11은 본 발명의 제2 실시 형태에 따른 클럭 재생 회로의 구성도.
- 도 12는 본 발명의 제2 실시 형태에 따른 제1 지연 회로의 구성도.
- 도 13은 본 발명의 제2 실시 형태에 따른 지연 회로의 구성도.
- 도 14는 본 발명의 제2 실시 형태에 따른 오티지 비교 회로의 구성도.
- 도 15는 본 발명의 제2 실시 형태에 따른 제1 지연 회로의 타이밍차트.
- 도 16은 본 발명의 제2 실시 형태에 따른 듀티 재생 회로의 구성도.

도 17은 본 발명의 제2 실시 형태에 따른 듀티 재생 회로의 타이밍차트.

< 도면의 주요 부분에 대한 부호의 설명 >

500: 액정 표시 패널

501: 액정 표시 장치

502: 액정 컨트롤러

503 - 1 503 - 8: 데이터 드라이버

504 - 1 504 - 3: 게이트 드라이버

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 복수의 데이터 드라이버를 구비한 액정 표시 장치에 관한 것이다.

종래의 기술로서, 특개평 11 - 194748호 공보에는, 복수의 데이터 드라이버를 전송 선로에 의해 직렬로 접속하여, 표시 데이터 및 데이터 전송용 클럭을 전송하는 액정 표시 장치가 기재되어 있고, 각 데이터 드라이버는 입력측 및 출력측의 전송 선로의 사이에 버퍼 회로를 갖는 것이 기재되어 있다.

그러나, 상기 종래의 기술에서는, 펄스를 전송하는 경우에 생기는 전송 펄스의 듀티비(duty ratio)의 변화에 대해서는 고려되어 있지 않다. 예를 들면, 버퍼 회로가 전송 펄스의 하강에 비해 상승 응답 특성이 둔한 회로인 경우에는, 버퍼 회로를 통과할 때마다 전송 신호의 상승이 지연되어 펄스 폭의 감소에 의해 전송 품질이 저하된다.

가령, 데이터 드라이버의 출력측의 버퍼 회로를 통과할 때마다, 전송 신호(표시 데이터 및 데이터 전송 클럭)의 논리 레벨을 반전시켰다 하여도, 한번 발생한 듀티 차이를 해소할 정도는 아니다. 예를 들면, 1개째의 데이터 드라이버에서의 듀티가 50%로 되고, 3개째의 데이터 드라이버에서의 듀티가 45%로 되었을 때, 5개째의 데이터 드라이버에서는 40% 정도로 된다고 예측할 수 있어, 적어도 듀티 50%로 다시 되돌아 가는 것은 기대할 수 없다.

또한, 표시 데이터를 전송 클럭의 상승/하강에서 데이터 드라이버에 취득되는 이중 엣지 전송에 있어서는, 전송 클럭의 엣지에 대한 셋업/홀드 시간의 마진이 상승 엣지와 하강 엣지에서는 상이하게 된다. 즉, 이중 엣지 구동에서는, 전송 클럭과 표시 데이터의 최대 주파수는 모두 같기 때문에, 입출력 버퍼나 전송 선로의 선폭을 전송 클럭과 표시 데이터에서 같게 함으로써, 상기 데이터 드라이버에서의 출력 버퍼로부터 입력 버퍼까지의 상승시의 지연 시간 및 하강시의 지연 시간의 전송 클럭과 표시 데이터의 차를 적게 할 수 있다. 한편, 지연 시간은 상승과 상승 하강에서는 다르기 때문에, 전송 클럭의 상승 엣지에서는 셋업 시간의 마진이 충분함에도 불구하고, 홀드 시간의 마진은 적게 되고, 반대로 전송 클럭의 하강 엣지에서는 홀드 시간의 마진은 충분함에도 불구하고, 셋업 시간의 마진은 적어 진다는 등의 현상이 발생한다. 셋업/홀드 시간의 마진은 하강 에지 및 상승 에지 모두에 대해서 요구되기 때문에, 결국 셋업/홀드 모두 마진이 적어진다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 전송 클럭 및 표시 데이터의 변화를 억제한 액정 표시 장치를 제공하는 것에 있다.

또한, 본 발명의 목적은, 표시 데이터의 셋업/홀드 마진을 증가한 액정 표시 장치를 제공하는 것에 있다.

발명의 구성 및 작용

본 발명은, 데이터 드라이버에 입력된 표시 데이터 및 전송 클럭의 듀티와 데이터 드라이버로부터 출력된 표시 데이터 및 전송 클럭의 듀티와의 편차가 작아지도록, 데이터 드라이버에 입력된 전송 클럭을 재생함과 동시에 래치 클럭을 생성하여, 래치 클럭에 기초하여 데이터 드라이버에 입력된 표시 데이터를 래치한다.

또는, 본 발명은, 데이터 드라이버에 입력된 표시 데이터의 셋업/홀드 시간의 마진이 증가하도록, 전송 클럭에 기초하여 래치 클럭을 생성하고, 래치 클럭에 기초하여 표시 데이터를 래치한다. 바람직하게는, 래치 클럭이 전송 클럭의 상승에 대하여 t 기간 빠르게 상승하여, 또한 전송 클럭의 하강에 대하여 t 기간 느리게 하강하도록 생성된다.

이하, 제1 실시 형태에 대해서 도 1 ~ 10를 참조하여 설명한다.

도 1은 제1 실시 형태에 따른 데이터 드라이버의 구성을 나타내는 블록도이다. 참조 부호 101은 표시 데이터에 따른 계조 전압을 출력하는 데이터 드라이버로서, 본 실시예에서는 384개의 액정 출력선을 갖는 것으로 한다. 참조 부호 102는 입력 전송 클럭, 참조 부호 103은 입력 표시 데이터, 참조 부호 104는 입력 인에이블 신호이다. 데이터 드라이버(101)는 입력 인에이블 신호(104)에 기초하여, 입력 전송 클럭(102)의 상승 엣지와 하강 엣지에서 표시 데이터(103)를 취득하는 기능을 한다. 참조 부호 105는 표시 데이터에 따른 계조 전압을 포함하는 입력 액정 인가 신호이고, 참조 부호 106은 액정 표시 패널에 출력하는 계조 전압을 결정하는 입력 액정 기준 전압이다. 참조 부호 107는 클럭 재생 회로이고, 참조 부호 108은 클럭 재생 회로에서 입력 전송 클럭(102)에 기초하여 재생된 재생 전송 클럭이고, 참조 부호 109는 래치 클럭 이고, 재생 전송 클럭(108)의 2 체배 신호이다. 참조 부호 110은 인에이블 제어 회로, 참조 부호 111는 래치 어드레스 개시 신호이고, 참조 부호 112는 출력 개시 신호이고, 참조 부호 113는 출력 인에이블 신호이고, 참조 부호 111 참조 부호 113는 입력 인에이블 신호(104) 및 입력 전송 클럭(102)에 기초하여 인에이블 제어 회로(110)에서 생성된다. 참조 부호 114는 입력 표시 데이터(103)를 래치 클럭(109)의 상승 엣지에서 래치하는 래치 회로이고, 참조 부호 115는 래치 회로(114)에 의해 래치된 표시 데이터이다. 참조 부호 116 및 참조 부호 118는 출력 버퍼이고, 출력 개시 신호(112)가 로우 레벨인 경우에는 하이 임피던스 상태로 된다. 참조 부호 117은 출력 전송 클럭이고, 참조 부호 119는 출력 표시 데이터이다. 참조 부호 120은 래치 어드레스 생성 회로이고, 참조 부호 121는 래치 어드레스이고, 래치 어드레스(121)는 래치 클럭(109) 및 래치 어드레스 개시 신호(111)에 기초하여 래치 어드레스 생성 회로(120)에서 생성된다. 참조 부호 122는 래치 회로(1)이고, 참조 부호 123은 래치 회로(1)(122)에 있어서 래치 어드레스(121)에 기초하여 취득된 표시 데이터이다. 참조 부호 124는 래치 회로(2)이고, 참조 부호 125는 래치 회로(2)(124)에 있어서 입력 액정 인가 신호(105)에 기초하여 출력되는 표시 데이터이다. 참조 부호 126은 액정 구동 회로이고, 참조 부호 127은 표시 데이터(125)에 기초하여 입력 액정 기준 전압으로부터 생성된 액정 인가 전압이다. 참조 부호 128은 입력 액정 인가 신호(105)를 버퍼링한 출력 액정 인가 신호이고, 참조 부호 129는 입력 액정 기준 전압(106)을 전류 증폭한 출력 액정 기준 전압이다.

도 2는 본 발명에 따른 액정 표시 장치의 구성을 나타내는 도면이다. 참조 부호 500은 매트릭스형으로 배치된 화소부를 갖는 액정 표시 패널이고, 참조 부호 501은 액정 표시 장치이다. 본 실시예에서의 표시 영역의 사이즈는, 예를 들면 $1024 \times (\text{RGB}) \times 68$ 의 XGA라고 하는 규격으로 한다. 참조 부호 502는 액정 컨트롤러이고, 참조 부호 503 - 1 참조 부호 503 - 8은 도 1에서 도시한 데이터 드라이버이고, 참조 부호 504 - 1 참조 부호 504 - 3는 계조 전압을 인가하는 화소(주사 라인)를 선택하기 위한 선택 전압을 출력하는 게이트 드라이버이고, 게이트 드라이버는 256개의 출력수를 가짐과 동시에, 데이터 드라이버(503 - 1) (503 - 8), 게이트 드라이버(504 - 1) (504 - 3)는 액정 표시 패널(500)의 유리 기판상에 배치된 것으로 한다. 참조 부호 505 - 1 참조 부호 505 - 8는 데이터 드라이버 신호 그룹이고, 전단의 액정 컨트롤러(502) 및 데이터 드라이버(503)와 다음 단의 데이터 드라이버와의 사이에서 접속되어 있다. 참조 부호 506 - 1 참조 부호 506 - 3는 게이트 드라이버 신호 그룹이고, 데이터 드라이버 신호 그룹과 같이 전단의 액정 컨트롤러(502) 및 게이트 드라이버와 다음 단의 게이트 드라이버와의 사이에서 접속되어 있다.

도 3은 클럭 재생 회로(107)의 구성을 나타내는 도면이다. 참조 부호 601은 입력 전송 클럭(102)의 입력 버퍼, 참조 부호 602는 입력 버퍼(601)로부터 출력된 입력 전송 클럭이다. 참조 부호 603 및 참조 부호 604는 반전 회로이고, 참조 부호 605 및 참조 부호 606은 입력 전송 클럭(602) 및 비교 신호((619))를 각각 반전 회로(603), 참조 부호 604로 반전한 신호이다. 참조 부호 607 및 참조 부호 608은 입력 신호에 있어서의 엣지끼리의 위상차를 비교하여, 그 차를 출력하는 엣지 비교 회로이고, 참조 부호 609 - up 및 참조 부호 610 - up은 각각 엣지 비교 회로 참조 부호 607, 608에서의 위상 진행 신호, 참조 부호 609 - dwn 및 참조 부호 610 - dwn은 각각 엣지 비교 회로(107, 108)에서의 위상 지연 신호이다. 참조 부호 611은 엣지 판별 회로이고, 엣지 비교 회로(607, 608)의 출력에 기초하여 엣지를 판별하기 위해 연산을 행하여, 그 결과를 위상 진행 신호(612 - up), 위상 지연 신호(612 - dwn)으로서 출력한다. 참조 부호 613는 차지 펌프 회로이고, 참조 부호 614는 바이어스 전압이고, 도면 중에서는 CMOS 회로로 구성되어, 위상 진행 신호(612 - up)와 위상 지연 신호(612 - dwn)의 논리 레벨에 따라서 바이어스 전압(614)이 변화한다. 참조 부호 615는 루프 필터이고, 바이어스 전압(614)의 고주파 성분을 제거하여 바이어스 전압(616)을 생성한다. 참조 부호 617는 입력 전위 레벨에 따라서 출력 주파수가 변화하는 VCO(전압 제어 발진기)이다. 참조 부호 618는 분주 회로이고, 래치 클럭(109)을 분주하여, 비교 신호(619)를 생성한다. 참조 부호 620은 비교 신호(619)의 반전 회로이고, 재생 전송 클럭(108)을 출력한다.

도 4는 도 3에서 도시한 엣지 비교 회로(607, 608)의 구성을 나타내는 도면이다. 도 5는 엣지 비교 회로의 동작을 도시하는 타이밍도이고, 도 6은 엣지 판별 회로의 구성을 나타내는 도면이고, NOR 회로(901 - 1) (901 - 3)와 반전 회로(902)를 구비한다.

도 7은 VCO(617)의 구성을 나타내는 도이고, 참조 부호 1001은 바이어스 입력이 있는 반전 회로이고, 참조 부호 1002는 출력 버퍼이고, VCO(617)는 홀수개의 반전 회로(1001)를 접속함과 동시에, 최종 단의 출력을 처음단의 입력으로 함으로써 발진 주파수를 얻고 있다.

도 8은 바이어스 전압과 VCO(617)의 발진 주파수의 관계를 나타낸 도면이고, 도 9는 클럭 재생 회로(108)의 동작을 도시하는 타이밍도, 도 10은 데이터 드라이버(101)의 동작을 도시하는 타이밍도이다. 이상의 도면에 기초하여, 본 실시예의 동작에 관해서 설명한다.

도 2에 도시한 바와 같이, 액정 컨트롤러(502)에서 생성된 데이터 드라이버 신호 그룹(505 - 1)은, 1단째의 데이터 드라이버(503 - 1)에 전송된다. 여기서, 데이터 드라이버(503)의 동작에 관해서 설명한다. 도 10에 도시한 바와 같이, 입력 전송 클럭(102)은 상승/하강 엣지에서 입력 표시 데이터(103)를 취득할 수 있는 타이밍에서 전단의 회로로부터 전송되어 온다. 그러나, 종래 예에서도 설명한 바와 같이, 전단 회로에서의 출력 버퍼나 자체단 회로에서의 입력 버퍼, 전송선의 임피던스 등에 의해서 입력 전송 클럭(102)이나 입력 표시 데이터(103)등은 듀티가 변하게 된다.

데이터 드라이버(503)에 있어서는, 처음에 도 1에 도시한 클럭 재생 회로(107)에 있어서 입력 전송 클럭(102)에 기초하여 래치 클럭(109)과 재생 전송 신호(108)를 생성한다. 이 과정에 대해서 도 3 도 9를 이용하여 설명한다. 클럭 재생 회로(107)에 입력한 입력 전송 클럭(102)은, 도 3에 도시한 바와 같이 입력 버퍼(601)를 경유한 후, 비교 신호(619)와의 상승 엣지끼리를 비교하는 엣지 비교 회로(607)에 입력된다. 한편, 입력 전송 클럭(602)과 비교 신호(619)는 각각 반전 회로(603, 604)에 입력되어 반전된 후, 하강 엣지끼리를 비교하는 엣지 비교 회로(608)에 입력된다.

엣지 비교 회로(607, 608)는 도 4에 도시한 바와 같이 구성되어 있다. 그의 타이밍차트는 예를 들면 엣지 비교 회로(607)의 경우에는 도 5에 도시한 바와 같이, 2개의 입력 신호의 상승 엣지를 비교하여, 이들의 상승 타이밍이 같으면, 출력인 참조 부호 609 - up 및 참조 부호 609 - dwn을 모두 로우 레벨로 하고, 입력 전송 클럭(602)이 비교 클럭(620)보다도 빠르게 상승하는 경우는, 입력 전송 클럭(602)이 하이 레벨로 비교 클럭(620)이 로우 레벨 기간에서 참조 부

호 609 - dwn을 하이 레벨로 한다. 반대로, 입력 전송 클럭(602)이 비교 클럭(620)보다도 느리게 상승하는 경우에는, 입력 전송 클럭(602)이 로우 레벨로 비교 클럭(620)이 하이 레벨 기간에서 참조 부호 609 - up를 하이 레벨로 한다.

따라서 클럭 생성 회로(107)에 있어서는, 예를 들면 입력 전송 클럭(602)에 대하여, 비교 신호(619)가 같은 주기 및 듀티에서 비교 신호(619)의 위상이 약간 지연되고 있는 경우, 옛지 비교 회로(607)에서는 입력 전송 클럭(602)의 상승에서 비교 신호(619)가 상승까지의 기간에서 위상 지연 신호(609 - dwn)가 하이 레벨로 되고, 또한 입력 전송 클럭(602)의 하강에서 비교 신호(619)의 하강까지의 기간에서 위상 지연 신호(610 - dwn)가 하이 레벨로 되고, 그 밖의 기간에서는 위상 진행 신호(609 - up, 610 - up), 위상 지연 신호(609 - dwn, 610 - dwn) 모두 로우 레벨로 된다. 즉, 결과적으로 상기 위상 진행 신호와 위상 지연 신호는 입력 전송 클럭(602)과 비교 신호(619)의 상승과 하강에서의 위상차 정보를 가지게 된다.

이와 같이 하여 생성된 위상 진행 신호(609 - up, 610 - up) 및 위상 지연 신호(609 - dwn, 610 - dwn)는 옛지 판별 회로(611)에 있어서, 상승 및 하강에서 별개로 생성한 위상차 정보 각각에 대한 논리합을 취함으로써 상승과 하강의 위상 진행 정보, 위상 지연 정보를 각각 하나의 정보로 한다. 또한, 후단의 차지 펌프 회로(613)에 적합한 신호 레벨로 하기 위해서, 위상 진행 신호로 위상차가 발생한 경우는 로우 레벨로 되도록 논리 변환을 행한다. 더욱, 위상차 신호는 위상 진행과 위상 지연이 동시에 발생해서는 안되지만, 단지 논리합 연산만을 실시한 것에서는, 예를 들면 위상 진행 신호(609 - up)와 위상 지연 신호(610 - dwn)가 모두 하이 레벨로 되는 기간을 가질 가능성이 있다. 따라서, 위상 지연 신호에 대해서는 NOR 회로(901 - 2)로 논리합 연산을 실시한 후, 반전 회로(902)에서 하이 액티브로 한 위상 진행 신호에 의해서 NOR 회로(901 - 3)를 이용하여 마스크하고 있다.

이상과 같이 생성된 위상 진행 신호(612 - up) 및 위상 지연 신호(612 - dwn)는 차지 펌프 회로(613)에 입력한다. 차지 펌프 회로(613)는 도 6에 도시한 바와 같이, 위상 진행 신호(612 - up)는 소스 측을 고전위 레벨로 한 PMOS의 게이트에 입력되고, 위상 지연 신호(612 - dwn)는 소스 측을 저전위 레벨로 한 NMOS의 게이트에 입력된다. PMOS와 NMOS의 드레인 측은 접속하고, 그의 노드로부터 바이어스 전압(614)을 얻고 있다. 따라서, 위상 진행 신호(612 - up)가 로우 레벨로 되면 고전위측으로부터 전류가 유입되어 바이어스 전압(614)의 전위가 상승하고, 위상 지연 신호(612 - dwn)가 로우 레벨로 되면 저전위측으로 전류를 흘림으로써 바이어스 전압(614)의 전위가 저하된다. 또한, 참조 부호 612 - up이 하이 레벨, 참조 부호 612 - dwn이 로우 레벨인 경우에는, 어느 소스 측도 전류를 흘리지 않기 때문, 바이어스 전압(614)은 변화되지 않는다. 이상과 같은 동작에 의해서 생성된 바이어스 전압(614)은 루프 필터(615)에 의해서 고주파 성분을 제거한 후, VCO 회로(617)에 입력된다.

다음에, VCO 회로(617)의 동작에 관해서 설명한다. VCO 회로(617)는 도 8에 도시한 바와 같이, 바이어스 전압과 발진 주파수의 사이에 선형성을 갖고 있다. 따라서, 바이어스 전압(614)이 VL과 VH의 범위에서는, 바이어스 전압이 V1에서 V2로 변화한 경우의 주파수 변화와 V2에서 V1으로 변화한 경우의 주파수 변화는 같게 된다.

상기한 VCO 회로(617)에 의해서 발생한 신호가 재생 전송 클럭(109)으로서 클럭 재생 회로로부터 출력됨과 동시에, 옛지 비교 회로(607)로 피드백되고, 반전 회로(604)를 통해 옛지 비교 회로(608)에도 피드백된다.

상기한 바와 같은 동작의 결과, 클럭 재생 회로(107)의 입력에서의 입력 전송 클럭(602)으로서, 듀티 $t_0/T_0\%$ (T_0 는 입력 신호의 1 주기분의 기간, t_0 은 하이 레벨 기간)의 신호가 입력된 경우, 도 9에 도시한 바와 같이, 비교 신호(619)는 입력 전송 클럭(602)의 상승에 대하여 trm 기간 빠르게 상승하고, 입력 전송 클럭(602)의 하강에 대하여 tfm 기간 느리게 하강한다. 이 때, trm과 tfm은 VCO 회로(617)의 특성으로부터 같게 됨으로써, $trm = tfm = (T_0 - t_0)/2$ 로 되어, 비교 신호(619)는 듀티50%로에서 입력 전송 클럭(602)에 대하여 전후로 동일 폭만큼 지연 시간이 변화된 신호로 되

고, 이것을 반전한 재생 전송 클럭(109)도 마찬가지로 된다.

이와 같이 하여 생성된 래치 클럭(108) 및 재생 전송 클럭(109)에 기초하여 데이터 드라이버(101)는 동작한다. 따라서, 본 래치 클럭 및 재생 전송 클럭을 이용한 경우의 데이터 취득 방법에 관해서 도 10을 이용하여 설명한다.

전단의 데이터 드라이버로부터 출력되는 출력 전송 클럭(117) 및 표시 데이터(119)의 듀티가 50%이었던 경우에서도, 입출력 버퍼나 전송선의 임피던스에 의해서 자체 단에 입력되는 입력 전송 클럭(102) 및 입력 표시 데이터(103)는 듀티가 변화한다. 그러나, 입출 버퍼의 구동 능력 및 전송선의 임피던스가 어떠한 전송로에서도 같은 경우, 도 10에 도시한 바와 같이, 전송 클럭이 상승에서 tdr초만큼 지연되고, 하강에서 tdf초만큼 지연되는 경우, 표시 데이터에 있어서도 상승에서는 tdr초만큼 지연되고, 상하강에서 tdf초만큼 지연하게 되어, 즉 1 주기 T0에 대하여 듀티는 50%이었던 것이 참조 부호 50+(Tdf - Tdr)/T0)%로 변화한다. 여기서, 도 1에 있어서 입력 표시 데이터(103)는 래치 회로(114)에서 재생 전송 클럭(109)에 의해서 래치되는데, 가령 입력 전송 클럭(102)으로 래치한 경우, 셋업/홀드 시간은 Tdr > Tdf인 경우, 도 10의 클럭 하강 엣지에서 셋업 시간의 마진은 Trsu 그대로이지만, 홀드 시간의 마진은 Trho' = Trho - (Tdr - Tdf)로 된다. 이에 대해, 하강 엣지에 있어서 셋업 시간의 마진은 Tfsu' = Tfsu - (Tdr - Tdf)로 된다. 상승시 및 하강시에서는 셋업/홀드 시간의 마진을 동시에 만족할 필요가 있기 때문에, 회로로서의 셋업 시간의 마진은 Tsu' = Tfsu - (Tdr - Tdf), 홀드 시간의 마진은 Tho' = Trho - (Tdr - Tdf)로 된다.

이에 대해, 제1 실시 형태를 적용한 경우의 재생 전송 클럭에서는, 듀티가 50%로 되고, 또한 상승/하강에서 입력 전송 클럭과 비교하여, 상승에서는 (Tdr - Tdf)/2초만큼 빠르게 상승하고, 하강에서는 (Tdr - Tdf)/2초만큼 느리게 하강하기 때문에, 상승에서의 셋업/홀드 시간의 마진은 각각 Trsu'' = Trsu - (Tdr - Tdf)/2, Thsu'' = Tfsu' + (Tdr - Tdf)/2 = Tfsu - (Tdr - Tdf)/2, 하강에서의 셋업/홀드 시간의 마진은 Tfsu'' = Tfsu' + (Tdr - Tdf)/2 = Tfsu - (Tdr - Tdf)/2, Tfhho'' = Tfsu - (Tdr - Tdf)/2로 되고, 셋업/홀드 시간의 마진은 클럭의 상승/하강에서의 차가 없어져, 셋업/홀드 시간 모두에서 (Tdr - Tdf)/2초의 마진이 발생하여, 그 만큼 고속 전송이 가능해진다.

다음은 제2 실시 형태로서, 제1 실시 형태와는 다른 구성의 클럭 재생 회로를 이용한 경우에 대해서 도 1, 도 11 도 17를 이용하여 설명한다.

도 11은 제2 실시 형태에 따른 클럭 재생 회로의 구성을 나타내는 블록도이다. 참조 부호 1401은 제1 지연 회로이고, 입력 전송 클럭(102)의 하이 레벨 폭의 1/2만큼 위상을 지연하여, 지연 전송 클럭(1)(1402)을 생성한다. 참조 부호 1403는 듀티 재생 회로이고, 지연 전송 클럭(1)(1402)의 상승과 동기하여, 듀티를 50%로 한 재생 전송 클럭(1)(1404)을 생성한다. 참조 부호 1405는 제2 지연 회로이고, 제1 지연 회로(1)(1401)와 마찬가지로 기능을 갖는 것으로, 재생 전송 클럭(1)(1404)의 하이 레벨 폭의 1/2만큼 위상을 지연하여, 재생 전송 클럭(108)을 생성한다. 참조 부호 1406은 배타적 논리합 회로이고, 재생 전송 클럭(1)과 재생 전송 클럭(108)의 배타적 논리합 연산을 행하는 것으로, 래치 클럭(109)을 생성한다.

도 12는 제1 지연 회로(1401)의 구성을 나타내는 도면이다. 참조 부호 1501 - 1 및 참조 부호 1501 - 2는 동일한 구성으로 이루어지는 지연 회로로서, 이들 모두는 지연 제어 신호(1502)에 기초하여 입력 신호를 지연시킨다. 여기서는, 지연 회로(1501 - 1)는 입력 전송 클럭(102)을 지연시킴으로써 지연 전송 클럭(1)(1402)을 생성하고, 지연 회로(1501 - 2)는 지연 전송 클럭(1)(1402)을 지연시킴으로써 지연 전송 클럭(2)(1503)을 생성한다. 참조 부호 1504는 반전 회로, 참조 부호 1505는 반전 회로(1504)에 의해서 생성된 입력 전송 클럭(102)의 반전 신호이다. 참조 부호 1506는 엣지 비교 회로로서, 지연 전송 클럭(2)(1503)과 반전 신호(1505)의 상승 엣지의 위상차를 판정하여 그 결과를 위상 진행 신호(1507 - up), 위상 지연 신호(1507 - dwn)로서 출력한다. 참조 부호 1508는 지연 회로, 참조 부호 1509는 반전 신호(1505)의 지연 신호이다. 참조 부호 1510은 업/다운 카운터로서, 지연 신호(1509)에 동기하여 위상 진행 신호(1507 - up)가 유효한 경우에는 카운트 업을 수행하고, 위상 지연 신호(1507 - dwn)가 유효한 경우에는 카운트 다운을 수행함으로써, 그 결과를 카운트 신호(1511)로서 생성한다. 참조 부호 1512는 디코더로서, n 비트로 이루어지는 카운트 신호(1511)를, 2^n 비트 중 1비트만이 유효하게 되는 지연 제어 신호(1502)로 변환한다.

도 13은 지연 회로(1501)의 구성을 나타내는 도면이다. 지연 회로(1501)는, 2^n 개로 이루어지는 지연 회로(1601 - 1) - (1601 - 2^n)를 가지며, 입력인 입력 전송 클럭(102)을 2^n 단계로 지연시켜 지연 신호(1602 - 1) - (1602 - 2^n)를 생성한다. 참조 부호 1603 - 1 - 1603 - 2^n 은 스위칭 회로로서, 2^n 비트로 이루어지는 지연 제어 신호(1502)에 기초하여 많더라도 하나의 스위칭 회로를 온 상태로 함으로써, 출력으로서 지연 전송 클럭(1)(1402)을 생성한다. 또한, 지연 회로(1501 - 1)와 참조 부호 1502 - 2는 동등한 회로로 이루어진다.

도 14는 엣지 비교 회로의 구성을 나타내는 도면으로서, 참조 부호 1701 - 1 및 참조 부호 1701 - 2는 지연 회로이고, 참조 부호 1702 - 1 및 참조 부호 1702 - 2는 래치 회로이다. 도 14에 도시한 구성에 의해서, 엣지 비교 회로(1506)는 지연 전송 클럭(2)(1503)에 대하여, 반전 신호(1505)가 지연 회로(1701 - 1)에서의 지연량보다도 위상이 앞서고 있는 경우에는, 참조 부호 1507 - up은 하이 레벨로 되고, 반대로 반전 신호(1505)에 대하여 지연 전송 클럭(2)(1503)이 지연 회로(1701 - 2)에서의 지연량 보다도 위상이 앞서고 있는 경우에는 참조 부호 1507 - dwn이 하이 레벨로 된다.

도 15는 제1 지연 회로의 동작을 도시하는 타이밍도이다.

도 16은 듀티 재생 회로(1403)의 구성을 나타내는 도면이다. 참조 부호 1901 - 1 및 참조 부호 1901 - 2는 동일한 구성으로 이루어지는 지연 회로로서, 이들은 모두 지연 제어 신호(1902)에 기초하여 입력 신호를 지연시킨다. 여기서는, 지연 회로(1901 - 1)는 지연 전송 클럭(1)(1402)을 지연시킴으로써 클리어 신호(1903)를 생성하고, 지연 회로(1901 - 2)는 클리어 신호(1903)를 지연시킴으로써 지연 전송 클럭(3)(1904)을 생성한다. 참조 부호 1905는 엣지 비교 회로로서, 예를 들면 도 17에 도시한 회로와 마찬가지로 기능을 가지며, 지연 전송 클럭(3)(1904)과 지연 전송 클럭(1)(1402)의 위상차를 비교하여, 그 결과를 위상 진행 신호(1906 - up) 및 위상 지연 신호(1906 - dwn)로서 출력한다. 참조 부호 1907는 지연 회로, 참조 부호 1908는 지연 회로(1907)에서 지연한 지연 전송 클럭(1)(1402)의 지연 신호이다.

(1910)은 업/다운 카운터로서, 지연 신호(1908)에 동기하여 위상 진행 신호(1906 - up)가 유효한 경우에는 카운트 업을 수행하고, 위상 지연 신호(1906 - dwn)가 유효한 경우에는 카운트 다운을 수행함으로써, 그 결과로서 카운트 신호(1911)를 생성한다. 참조 부호 1912는 디코더로서, n 비트로 이루어지는 카운트 신호(1911)를, 2^n 비트 중 1비트만이 유효하게 되는 지연 제어 신호(1902)로 변환한다. 참조 부호 1913은 엣지 클리어 기능을 갖는 래치 회로로서, 지연 전송 클럭(1)(1402)에 동기하여 하이 레벨 전압을 래치함과 동시에, 클리어 신호(1903)의 하강에서 비동기의 클리어 동작을 수행하여, 재생 전송 클럭(108)을 생성한다.

도 17은 듀티 재생 회로의 동작 타이밍을 나타내는 도면이다. 이상의 도면에 기초하여, 제2 실시 형태의 동작에 관해서 상세히 설명한다.

제1 실시 형태와 마찬가지로, 데이터 드라이버(101)에 대해서는 듀티가 변화된 입력 전송 클럭(102)이 입력된다. 데이터 드라이버(101)에 있어서는, 상기 외부로부터 입력되는 입력 전송 클럭(102)은 도 11에 도시한 본 실시예의 클럭 재생 회로(108)의 클럭 재생 회로(107)에 전송된다. 클럭 재생 회로의 동작에 대해서는 도 12 17를 참조하여 설명한다.

도 12에 있어서, 입력 전송 클럭(102)은 지연 회로(1501-1)에 전송된다. 지연 회로(1501-1)는, 도 13에 도시한 구성으로서, 2ⁿ개의 지연 회로(1601-1) (1601-2ⁿ)를 이용함으로써, 입력 전송 클럭(102)을 2ⁿ단계로 지연시킨다. 상기 회로에 의해서 생성된 2ⁿ단계의 지연 신호(1602-1) (1602-2ⁿ)로부터 지연 제어 신호(1502)에 의해서 스위칭 회로(1603-1) (1603-2ⁿ) 중에서 단 하나의 스위칭 회로가 선택됨으로써, 지연 전송 클럭(1)(1402)이 생성된다. 이와 같이 하여 생성된 지연 전송 클럭(1)(1402)은 지연 회로(1501-2)에 입력된다. 여기서, 지연 회로(1501-2)는 지연 회로(1501-1)와 실질적으로 동일한 회로로서, 지연 제어 신호는 공통적이기 때문에 지연 회로(1501-1)의 지연 시간과 지연 회로(1501-2)의 지연 시간은 같게 된다. 이와 같이, 지연 회로(1501-2)를 통과함으로써 지연 전송 클럭(2)(1503)을 생성한다. 지연 전송 클럭(2)(1503)과 상기 반전 신호(1505)는 엣지 비교 회로(1506)에 입력된다. 엣지 비교 회로(1506)는 도 14에 도시한 바와 같은 구성으로서, 입력 신호끼리의 위상차가 지연 회로(1701-1)와 참조 부호 1701-2에 의해서 결정되는 지연 시간의 범위 내에 있으면, 즉 디지털적으로 참조 부호 1503과 참조 부호 505의 위상차가 주기의 배수로 된다고 간주하여, 위상 진행 신호(1507-up)와 위상 지연 신호(1507-dwn)는 모두 로우 레벨로 되어, 입력 전송 클럭(2)(1503)이 반전 신호(1505)에 대하여 지연 회로(1701-1)에 의한 지연 시간분 보다도 앞서고 있으면 참조 부호 1507-up은 하이 레벨로 되고, 반전 신호(1505)가 입력 전송 클럭(2)(1503)에 대하여 지연 회로(1701-2)에 의한 지연 시간분 보다도 앞서고 있으면 참조 부호 1507-dwn은 하이 레벨로 된다. 또한, 이 회로는 실질적으로 제1 실시 형태에 따른 엣지 비교 회로(607) 및 참조 부호 608와 동등한 의미를 갖지만, 본 실시예에서는 위상차의 폭에 관한 정보는 큰 의미를 가지지 않기 때문에, 도 14에 도시한 회로를 이용할 수 있다.

위상 진행 신호(1507-up)와 위상 지연 신호(1507-dwn)는 지연 신호(1509)와 같이 업/다운 카운터(1510)에 입력된다. 업/다운 카운터(1510)는 위상 진행 신호(1507-up)가 하이 레벨인 경우에는 카운트 업 동작을 수행하고, 위상 지연 신호(1507-dwn)가 하이 레벨인 경우에는 지연 신호(1509)에 기초하여 카운트 다운 동작을 수행한다. 따라서, 도 15의 동작 타이밍도에 도시한 바와 같이, 위상 진행 신호(1507-up)가 하이 레벨일 때는, 카운트 신호(1511)는 3, 4, 5로 카운트 업 동작을 수행하고, 참조 부호 1507-up 및 참조 부호 1507-dwn이 모두 로우 레벨로 되면, 카운트 동작을 정지하여, 그 카운트 값을 유지한다. 이상과 같이하여 생성된 n 비트의 카운트 신호(1511)는 디코더(1512)에서 2ⁿ비트로 디코드되어 지연 제어 신호(1502)를 생성한다. 이상과 같은 동작에 의해서, 입력 전송 클럭(102)의 상승에 대하여 지연 신호(3)(1503)의 상승 엣지가 어느 범위 내에 들어 감으로써 상승 엣지가 일치한 것으로 간주되는 경우에는, 그 상태를 유지할 수가 있다.

여기서, 지연 회로(1501-1)와 참조 부호 1501-2는 동일한 회로이므로, 지연 회로(1501-1)에서 생성되는 지연 전송 클럭(1)(1402)의 상승 엣지는 입력 전송 클럭(102)의 하이 레벨 기간의 1/2만큼 어긋난 위치로 된다.

다음은 듀티 재생 회로(1403)의 동작에 대해서 도 16 및 도 17를 참조하여 설명한다. 도 16에 있어서, 지연 전송 클럭(1)(1402)은 래치 회로(1913)와 마찬가지로 지연 회로(1901-1)에 전송된다. 지연 회로(1901-1)는 지연 회로(1501-1)와 마찬가지로 도 13에 도시한 구성을 갖는 것으로, 지연 제어 신호(1902)에 의해서 단 하나의 스위칭 회로가 선택됨으로써 리세트 신호(1903)가 생성된다. 이와 같이 하여 생성된 리세트 신호(1903)는 래치 회로(1913)의 클리어 신호로서 적용됨과 동시에, 지연 회로(1901-2)에 입력된다.

여기서, 지연 회로(1901-1) 및 참조 부호 1901-2는 실질적으로 동일한 회로로서, 지연 제어 신호가 공통이기 때문에, 지연 회로(1901-1)의 지연 시간과 지연 회로(1901-2)의 지연 시간은 같게 된다. 여기서, 지연 제어 신호(1902)의 생성 방법은, 도 15를 참조하여 설명한 제1 지연 회로(1401)의 경우와 동일하다. 래치 회로(1913)는, 지연 전송 클럭(1)(1402)의 상승 엣지로 하이 레벨을 래치하여, 클리어 신호(1903)의 상승에서 로우 레벨로 클리어되기 때문에, 그 출력인 재생 전송 신호(108)는 도 17에 도시한 바와 같이 입력 전송 신호(102)와 같은 주기이고, 또한 듀티가 50%인 신호로 된다. 더욱, 지연 전송 클럭(1)(1402)은 입력 전송 클럭(102)에 대하여 하이 레벨 폭의 반주기분 위상이

어긋나 있기 때문에, 재생 전송 클럭(108)도 또한, 입력 전송 클럭(102)의 하이 레벨 폭의 반주기분 위상이 어긋나, 목적의 신호를 생성하는 것이 가능해진다. 이와 같이 하여 생성된 재생 전송 클럭(108)은 더욱 제2 지연 회로(1405)에 입력한다. 제2 지연 회로(1405)는 제1 지연 회로(1401)와 실질적으로 동일한 기능을 갖는 것으로, 입력 신호의 하이 레벨의 1/2주기만큼 어긋난 신호를 출력한다. 여기서, 제2 지연 회로(1405)의 입력 신호로 되는 재생 전송 클럭 참조 부호 1404은 듀티가 50%이기 때문에, 재생 전송 클럭(108)은 재생 전송 클럭(1404)에 대하여 1/4주기만큼 위상이 어긋난 신호로 되어, 상기 두개의 신호를 배타적 논리합 회로(1406)에서 EXOR 연산함으로써 래치 클럭(109)을 생성한다.

따라서, 전술한 바와 같이, 입력 전송 클럭(102)에 대하여 주기가 같고 듀티가 50%이고, 또한 입력 전송 클럭(102)의 듀티 차의 1/2 시간만큼 빠르게(또는 느리게) 상승하고, 느리게(또는 빠르게) 하강하는 신호를 생성할 수 있어, 제1 실시 형태와 동등한 효과를 갖는 재생 전송 클럭을 디지털 회로만으로도 구성할 수 있다.

또한, 본 발명에 따른 액정 표시 장치에서는, 특히 데이터 드라이버의 캐스케이드 접속에 대해서만 설명하였는데, 본 발명은 이에 한정되는 것이 아니며, 데이터 드라이버를 병렬로 접속한 방식에서도 적용할 수 있음은 물론이다. 또한, 본 발명은 액정 표시 장치에 한정되는 것이 아니며, 전송선이나 입출력 버퍼를 가짐으로써 데이터의 듀티가 변화될 우려가 있는 모든 장치에 대해서 적용할 수 있음은 물론이다.

발명의 효과

본 발명의 제1 실시 형태 및 제2 실시 형태에 따르면, 데이터 드라이버에 전송 클럭 재생 회로를 마련함으로써, 자체 단의 드라이버에서 표시 데이터를 용이하게 취득함과 동시에, 다음 단의 드라이버에 전송 신호 및 표시 데이터의 듀티를 변경하지 않고 전송할 수 있다. 따라서, 보다 많은 데이터 드라이버를 접속할 수가 있다. 게다가, 표시 데이터의 셋업/홀드 마진을 증가시킬 수 있다. 또한, 전송 주파수를 상승시킬 수 있다. 그리고, 이들에 의해서 저가격화를 실현할 수 있는 캐스케이드 방식의 액정 표시 장치에서도 대화면화 및 고정밀화를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

표시 데이터를 표시하기 위한 액정 표시 장치에 있어서,

매트릭스 형태로 배치된 화소부를 갖는 액정 패널과,

상기 표시 데이터에 대응한 계조 전압을 상기 화소부에 인가하는 복수의 데이터 드라이버와,

상기 계조 전압이 인가되는 상기 화소부를 선택하는 게이트 드라이버와,

전송 클럭에 기초하여 상기 데이터 드라이버를 제어하는 액정 컨트롤 회로를 구비하고,

상기 데이터 드라이버는 상기 데이터 드라이버에 입력된 상기 표시 데이터 및 상기 전송 클럭의 듀티와 상기 데이터 드라이버로부터 출력된 상기 표시 데이터 및 상기 전송 클럭의 듀티와의 편차가 작아지도록, 상기 데이터 드라이버에 입력된 상기 전송 클럭을 재생함과 동시에 래치 클럭을 생성하는 재생 회로와, 상기 래치 클럭에 기초하여 상기 데이터 드라이버에 입력된 상기 표시 데이터를 래치하는 래치 회로를 구비하는 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 복수의 데이터 드라이버는 서로 캐스케이드 형태로 접속되는 액정 표시 장치.

청구항 3.

제1항에 있어서,

상기 재생 회로는 상기 데이터 드라이버에 입력된 상기 전송 클럭과 상기 재생 회로에서 재생된 상기 전송 클럭을 비교하는 비교 회로를 구비하는 액정 표시 장치.

청구항 4.

제3항에 있어서,

상기 재생 회로에서 재생된 상기 전송 클럭은, 상기 데이터 드라이버에 입력된 상기 전송 클럭의 상승에 대하여 t 기간 빠르게 상승하고, 상기 데이터 드라이버에 입력된 상기 전송 클럭의 하강에 대하여 t 기간 느리게 하강하는 액정 표시 장치.

청구항 5.

제3항에 있어서,

상기 재생 회로는 상기 표시 데이터와 동기한 전송 클럭의 주기를 T_0 , 로우 레벨기간과 하이 레벨 기간의 차를 T_x 라고 할 때, T_r 기간 빠르게 상승하고 또한 $T_x - T_r$ 기간 느리게 하강하는 신호를 새로이 생성하는(단, $T_x > 0$ 의 경우는 $T_x > T_r > 0$, $T_x < 0$ 인 경우에는 $0 > T_r > T_x$) 액정 표시 장치.

청구항 6.

표시 데이터를 표시하기 위한 액정 표시 장치에 있어서,

매트릭스 형태로 배치된 화소부를 갖는 액정 패널과,

상기 표시 데이터에 대응한 계조 전압을 상기 화소부에 인가하는 복수의 데이터 드라이버와,

상기 계조 전압이 인가되는 상기 화소부를 선택하는 게이트 드라이버와,

전송 클럭 및 상기 표시 데이터를 상기 데이터 드라이버에 출력하는 액정 컨트롤 회로를 구비하며,

상기 데이터 드라이버는 상기 액정 컨트롤러로부터 출력된 상기 표시 데이터 및 상기 전송 클럭의 듀티와 상기 데이터 드라이버로부터 출력된 상기 표시 데이터 및 상기 전송 클럭의 듀티와의 편차가 작아지도록, 상기 데이터 드라이버에 입력된 상기 전송 클럭을 재생함과 동시에 래치 클럭을 생성하는 재생 회로와, 상기 래치 클럭에 기초하여 상기 데이터 드라이버에 입력된 상기 표시 데이터를 래치하는 래치 회로를 구비하는 액정 표시 장치.

청구항 7.

제6항에 있어서,

상기 액정 컨트롤러로부터 출력된 상기 표시 데이터 및 상기 전송 클럭의 듀티는 50%인 액정 표시 장치.

청구항 8.

표시 데이터를 표시하기 위한 액정 표시 장치에 있어서,

매트릭스 형태로 배치된 화소부를 갖는 액정 패널과,

상기 표시 데이터에 대응한 계조 전압을 상기 화소부에 인가하고 또한 서로 캐스케이드 형태로 접속된 복수의 데이터 드라이버와,

상기 계조 전압이 인가되는 상기 화소부를 선택하는 게이트 드라이버와,

전송 클럭 및 상기 표시 데이터를 상기 데이터 드라이버에 출력하는 액정 컨트롤 회로를 구비하며,

상기 데이터 드라이버는 상기 데이터 드라이버에 입력된 상기 표시 데이터의 셋업/홀드 시간의 마진이 증가하도록 상기 표시 데이터를 래치하는 래치 회로를 구비하는 액정 표시 장치.

청구항 9.

제8항에 있어서,

상기 데이터 드라이버는 상기 변환 회로에서 변환된 상기 전송 클럭을 2 체배하는 2 체배 회로를 구비하며, 2 체배된 상기 전송 클럭에 기초하여 상기 표시 데이터를 취득하는 액정 표시 장치.

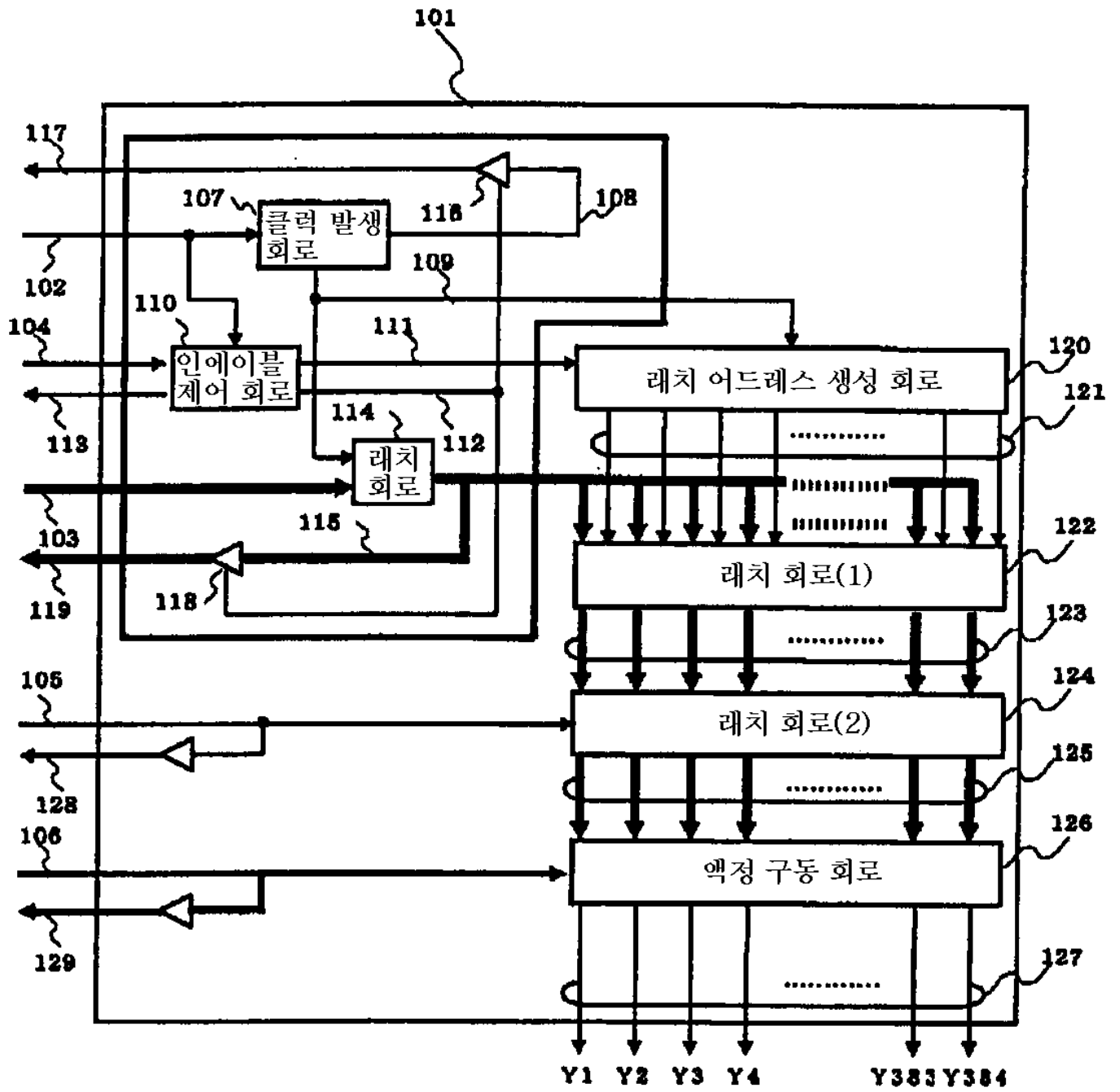
청구항 10.

제9항에 있어서,

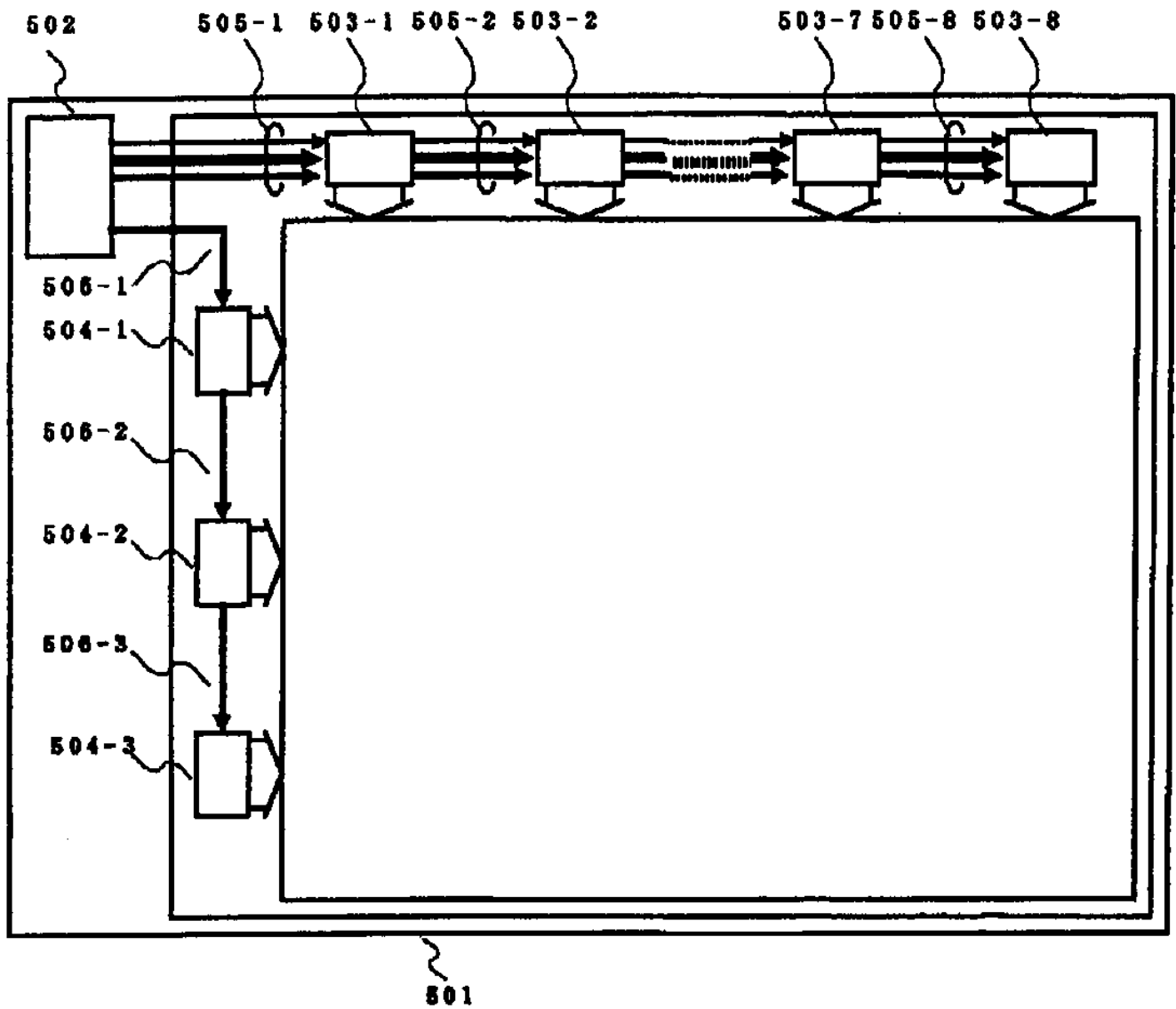
상기 데이터 드라이버는 상기 데이터 드라이버에 입력된 상기 표시 데이터의 셋업/홀드 시간의 마진이 증가하도록 상기 전송 클럭에 기초하여 래치 클럭을 생성하여 상기 래치 회로에 출력하는 액정 표시 장치.

도면

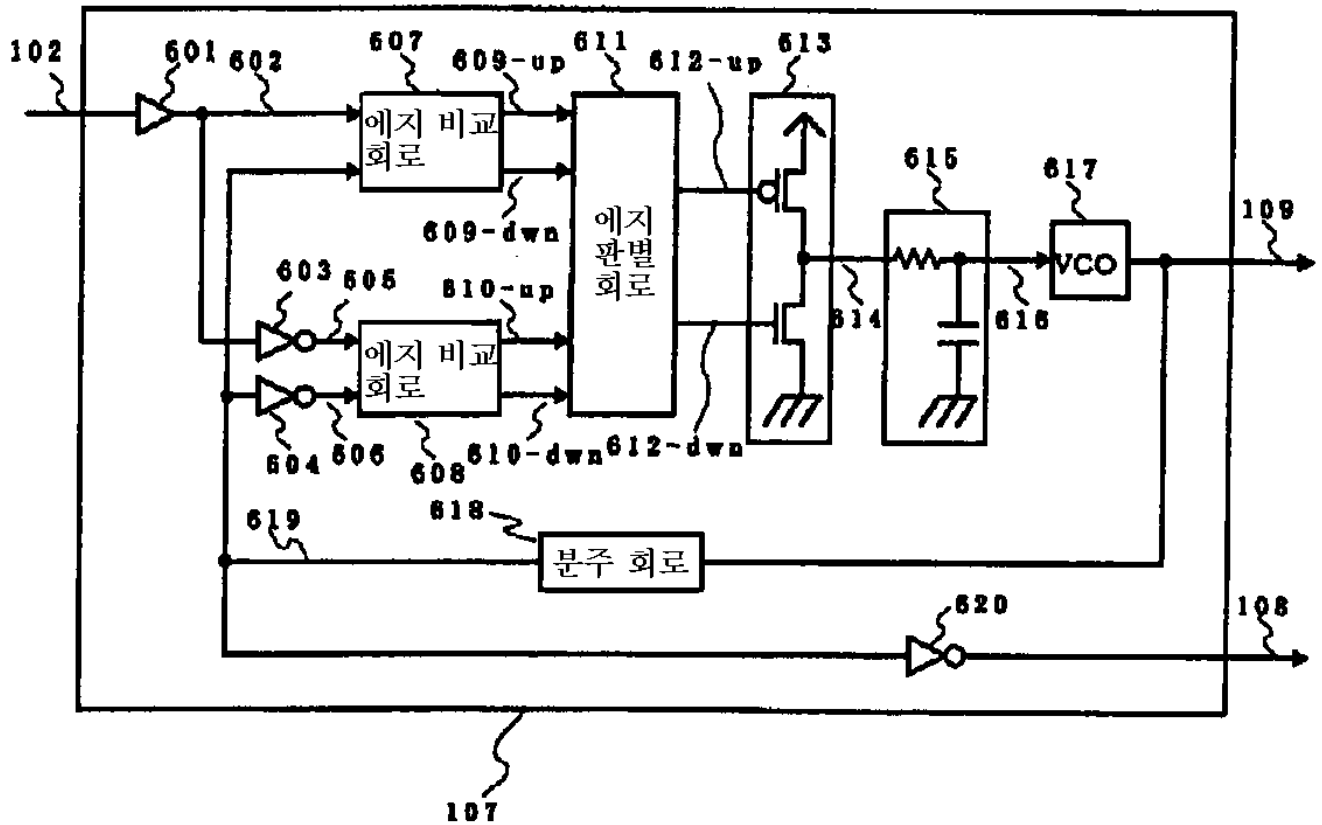
도면 1



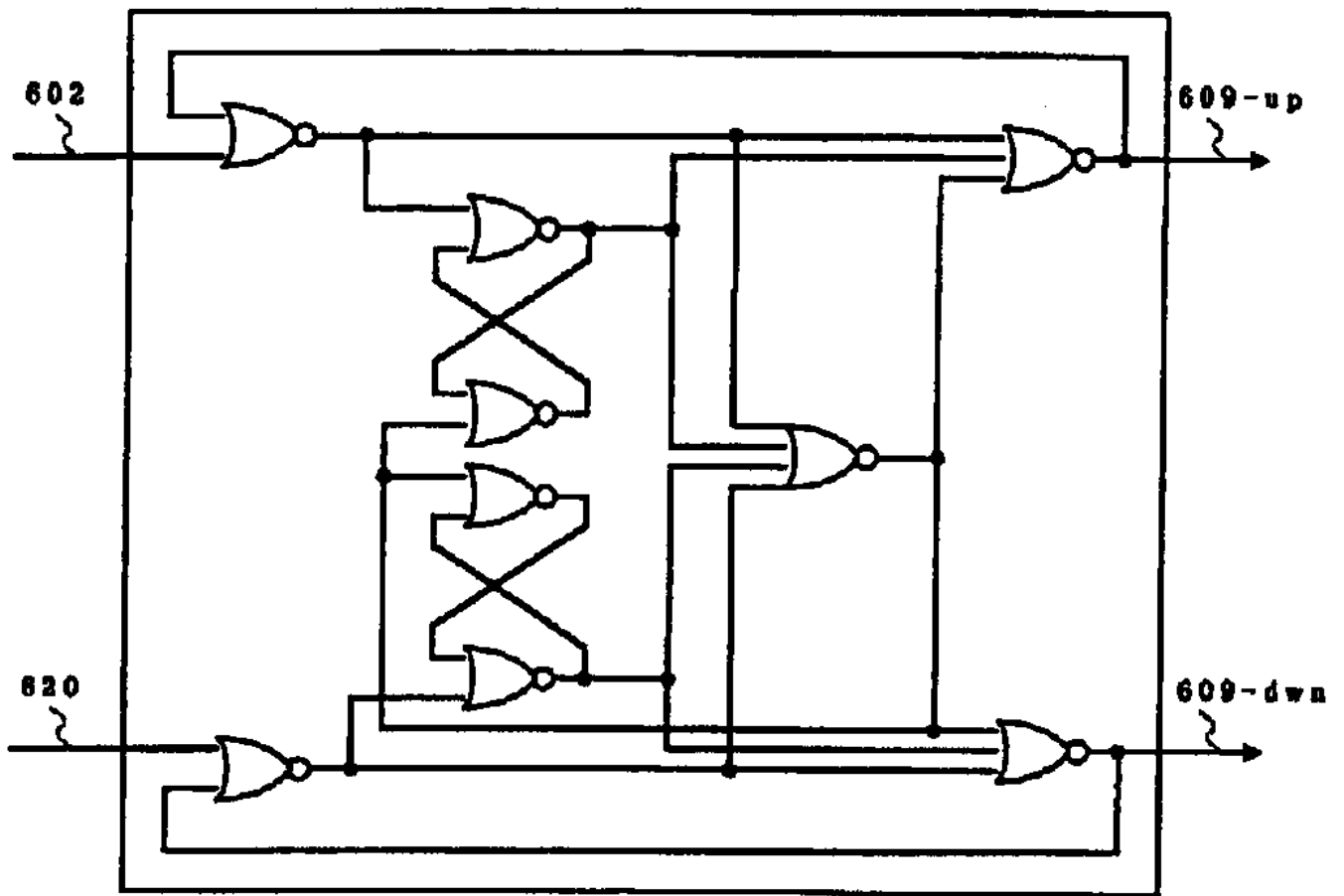
도면 2



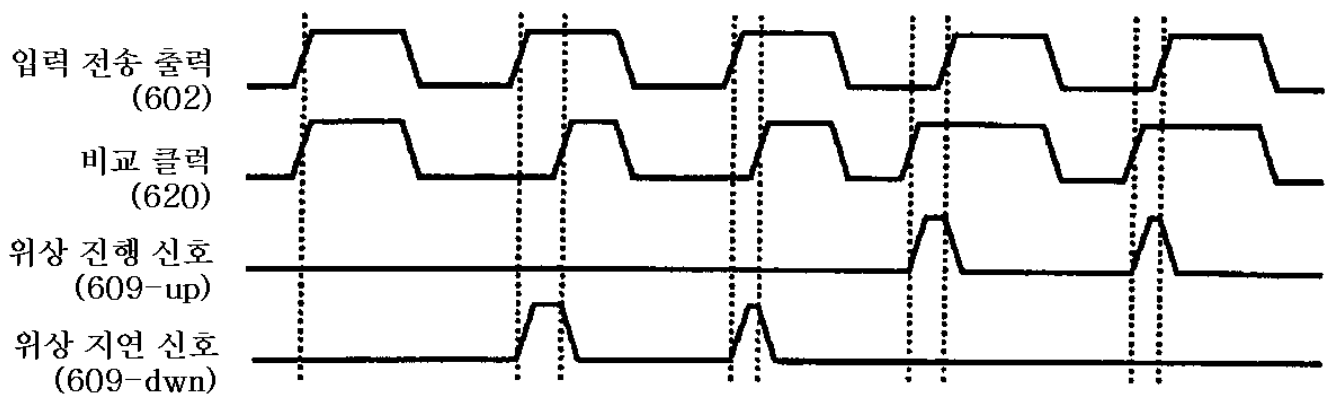
도면 3



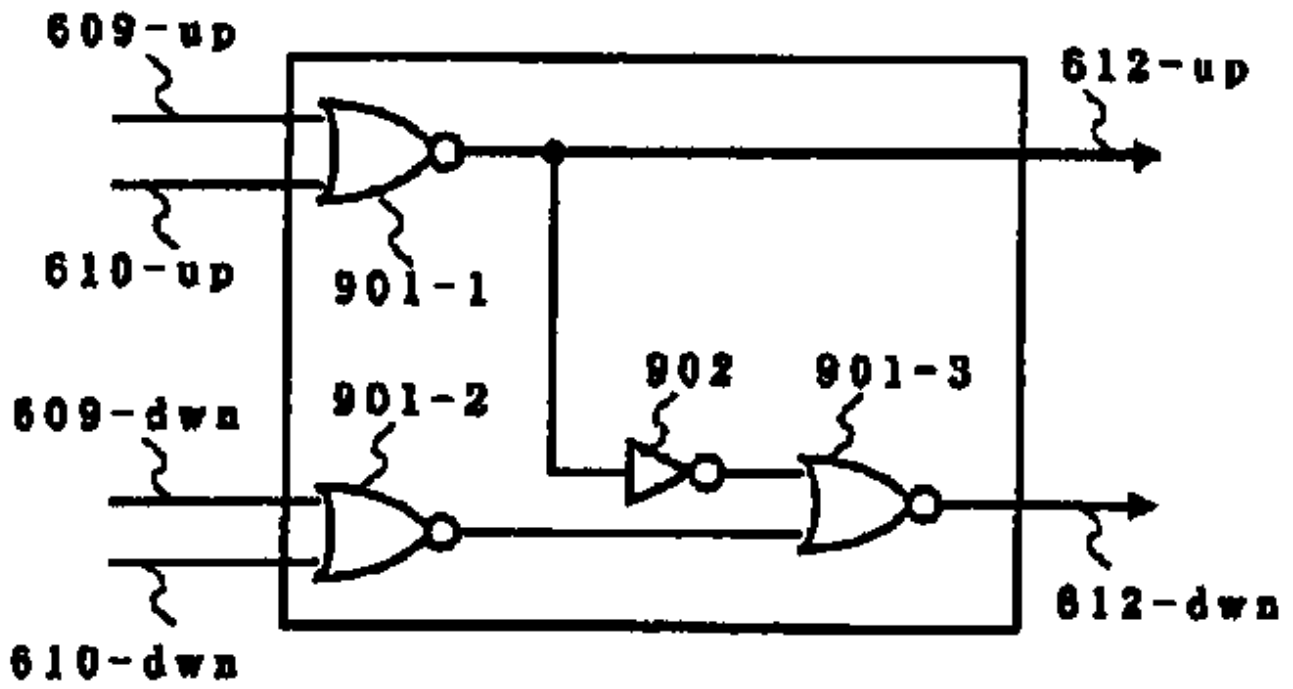
도면 4



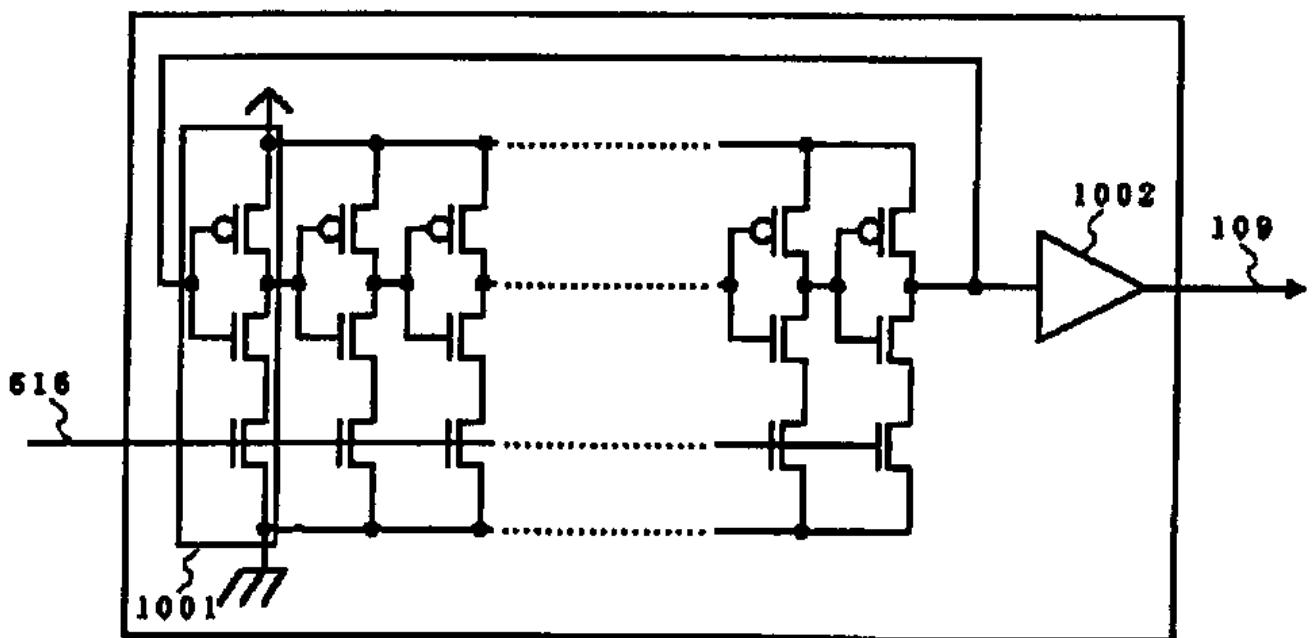
도면 5



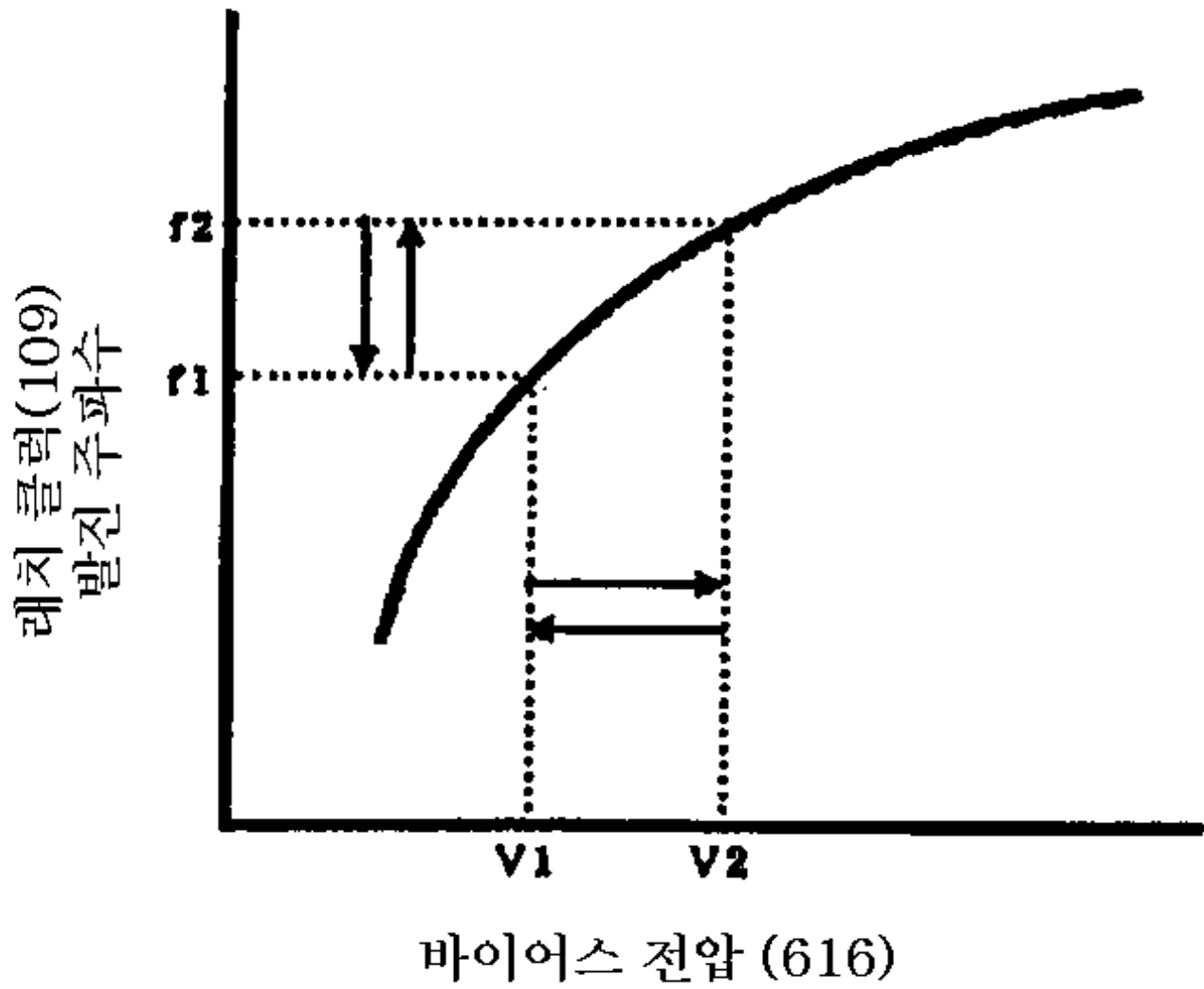
도면 6



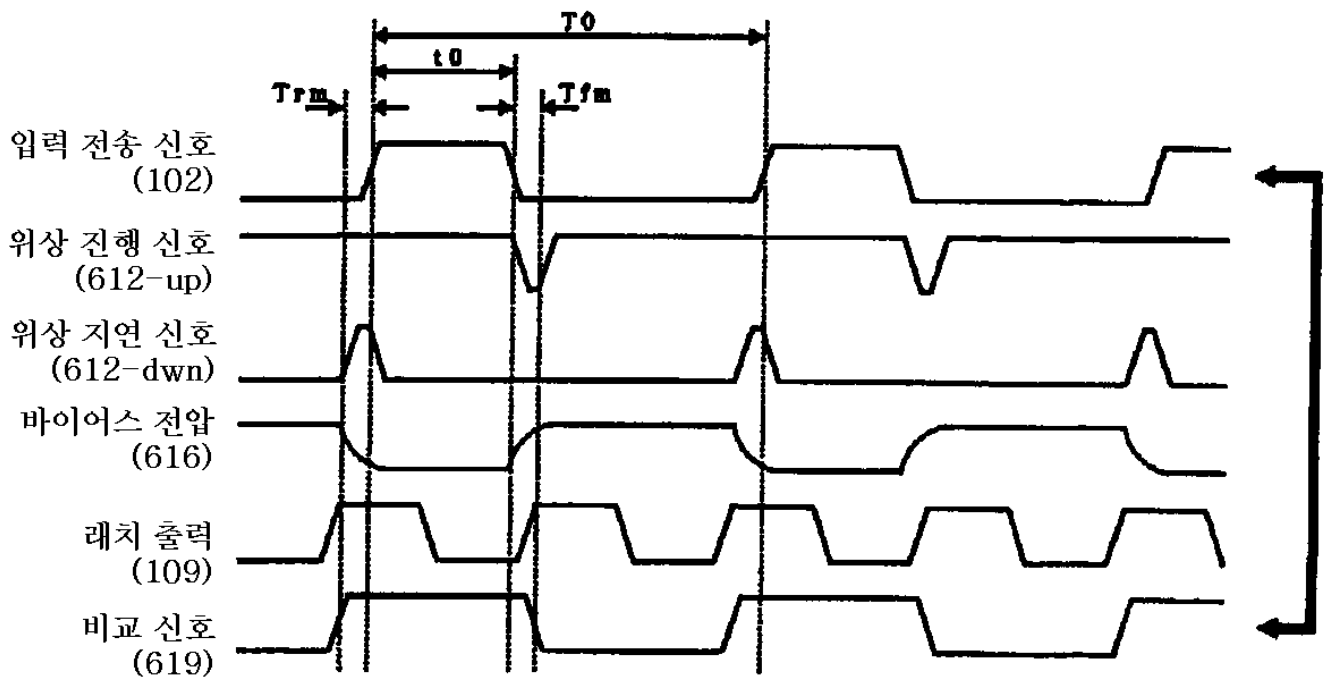
도면 7



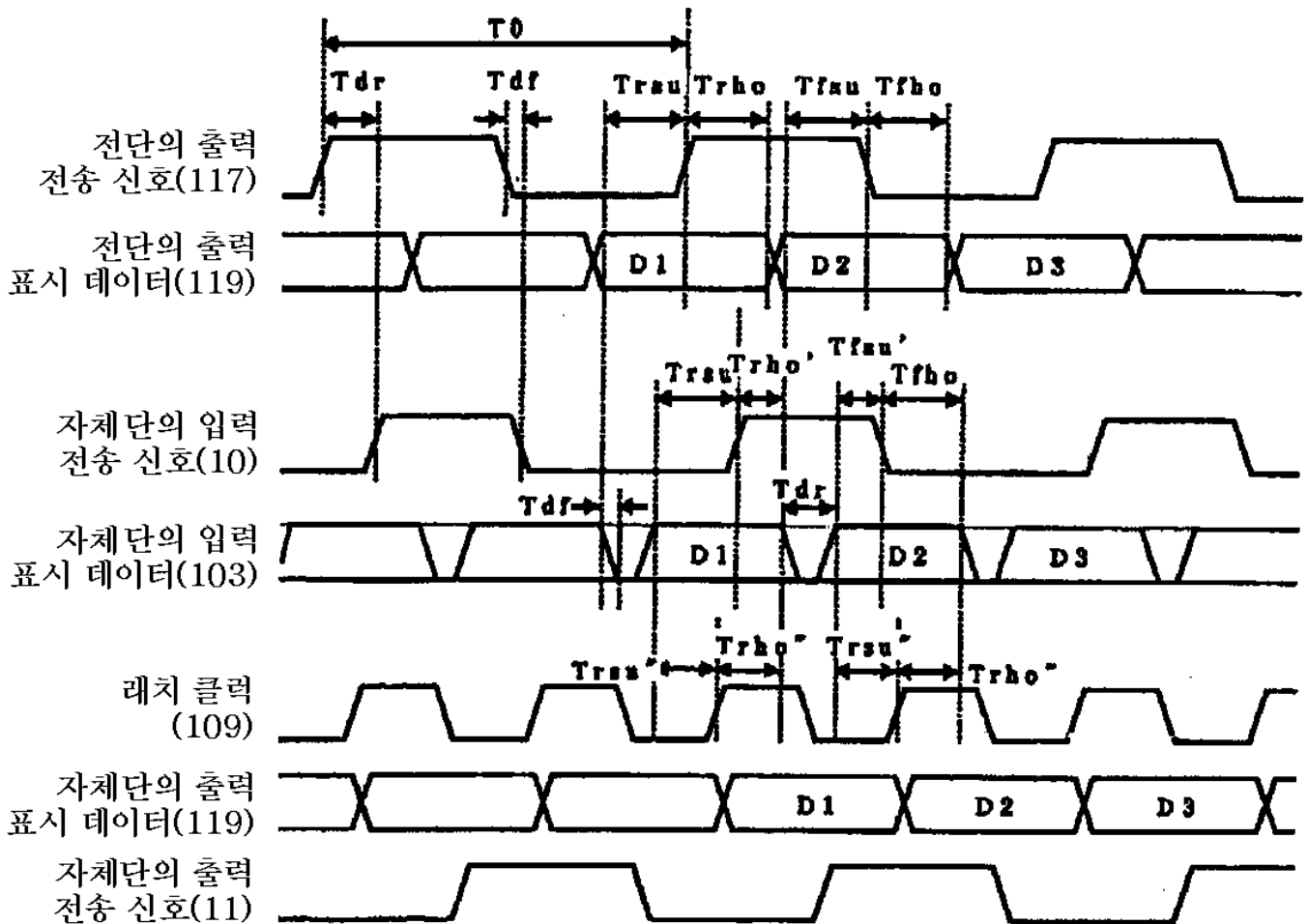
도면 8



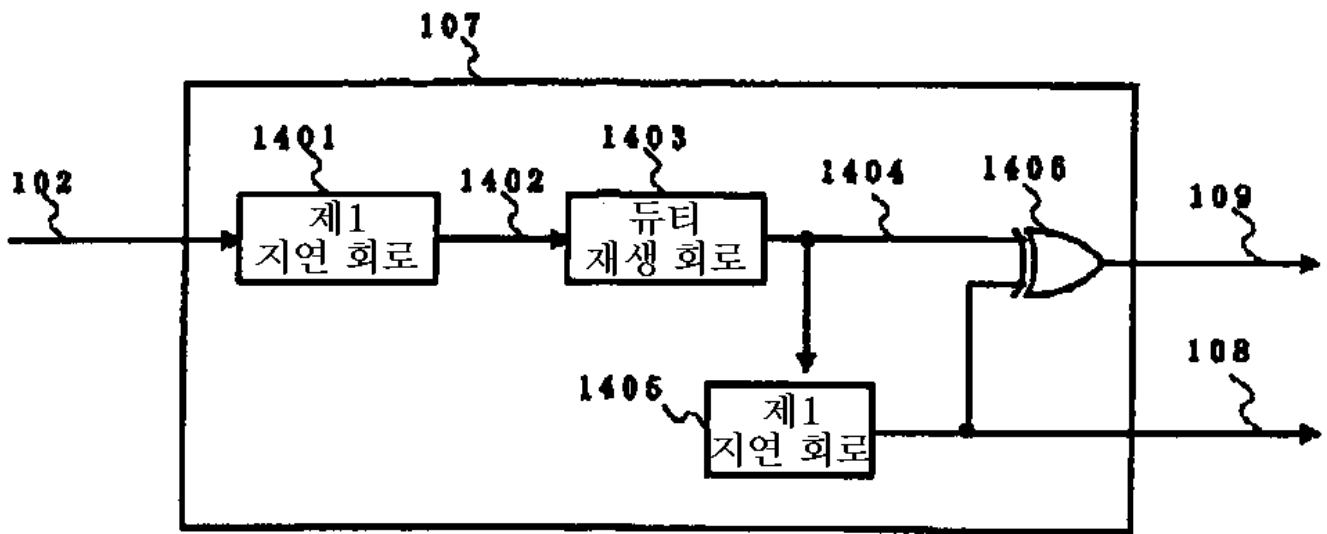
도면 9



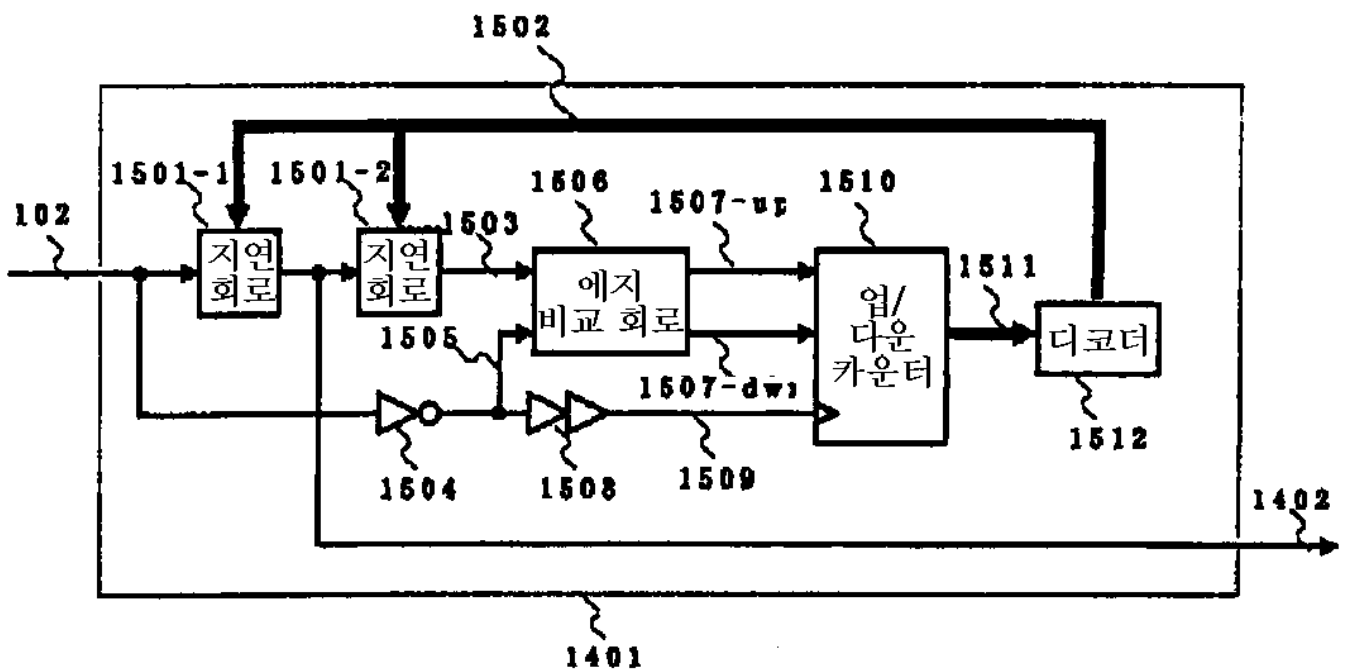
도면 10



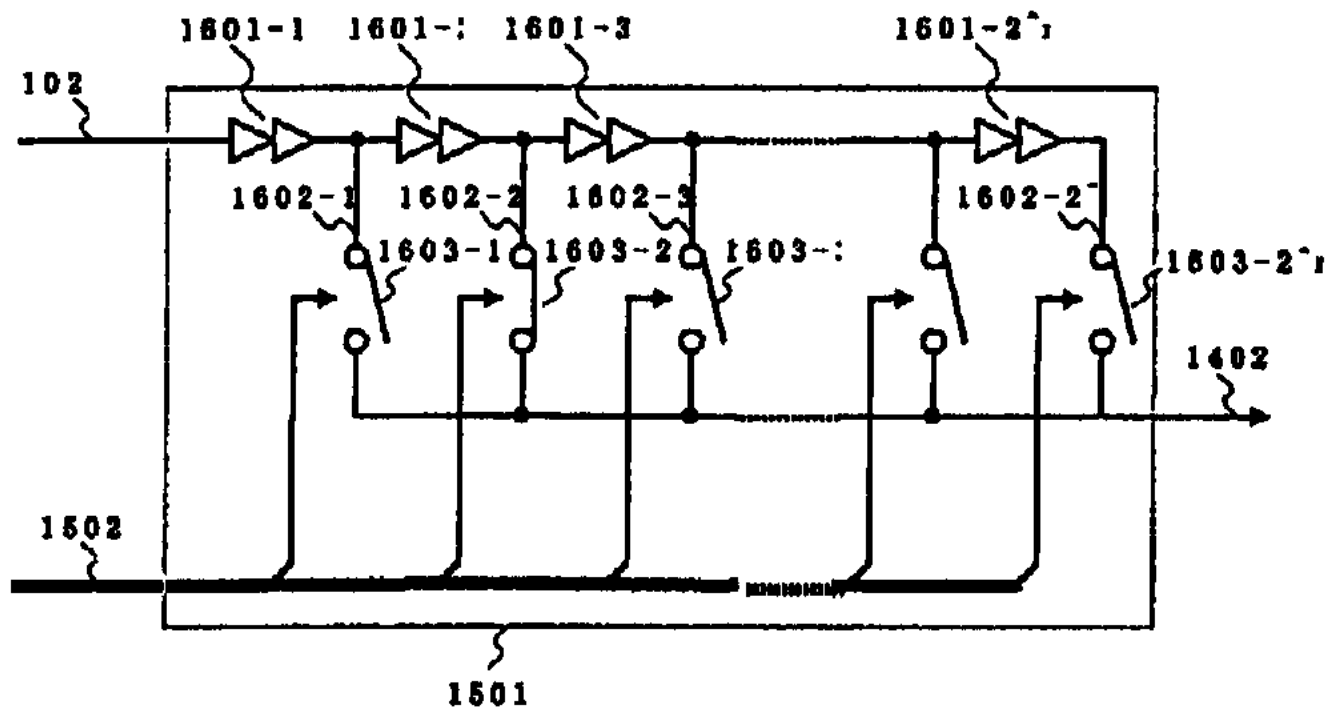
도면 11



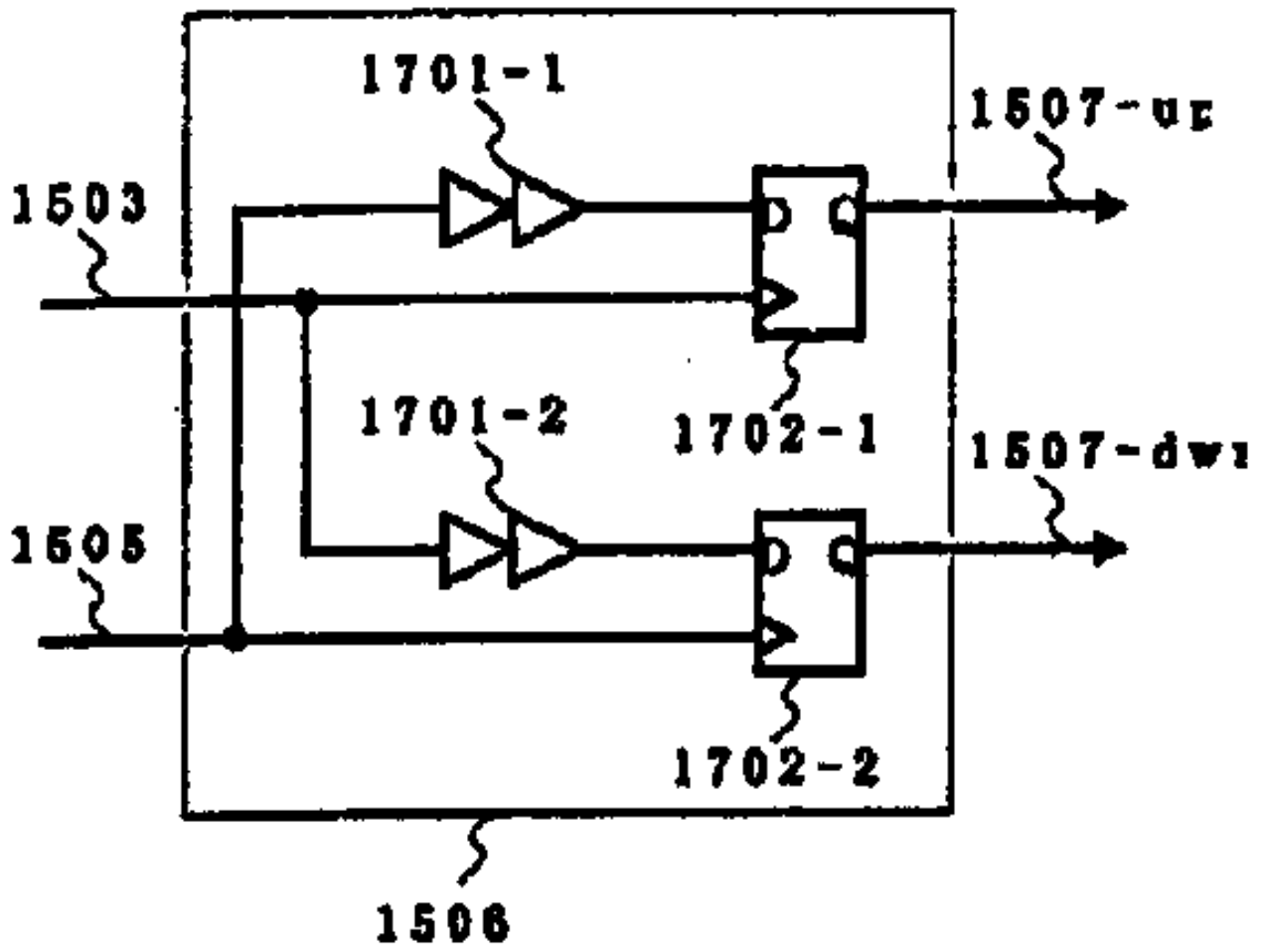
도면 12



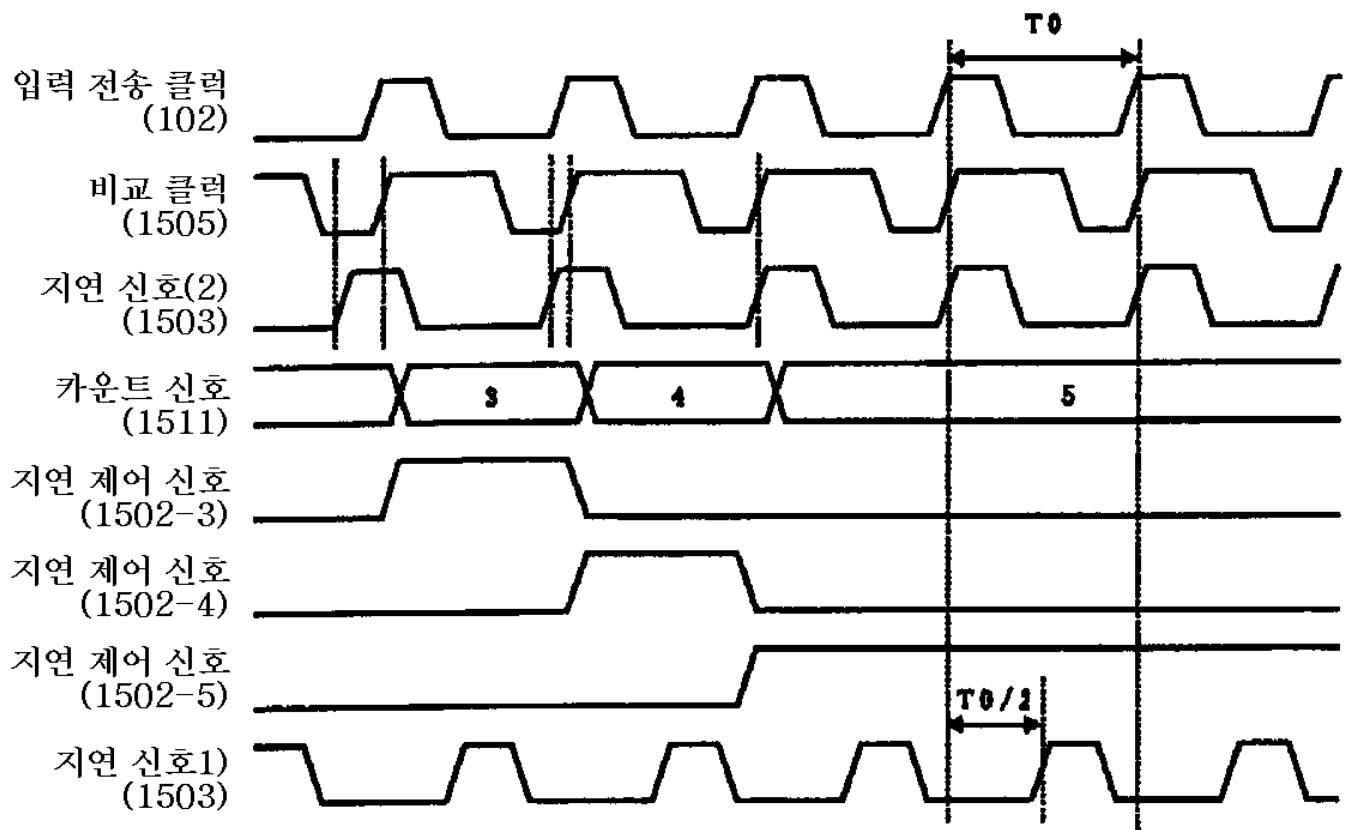
도면 13



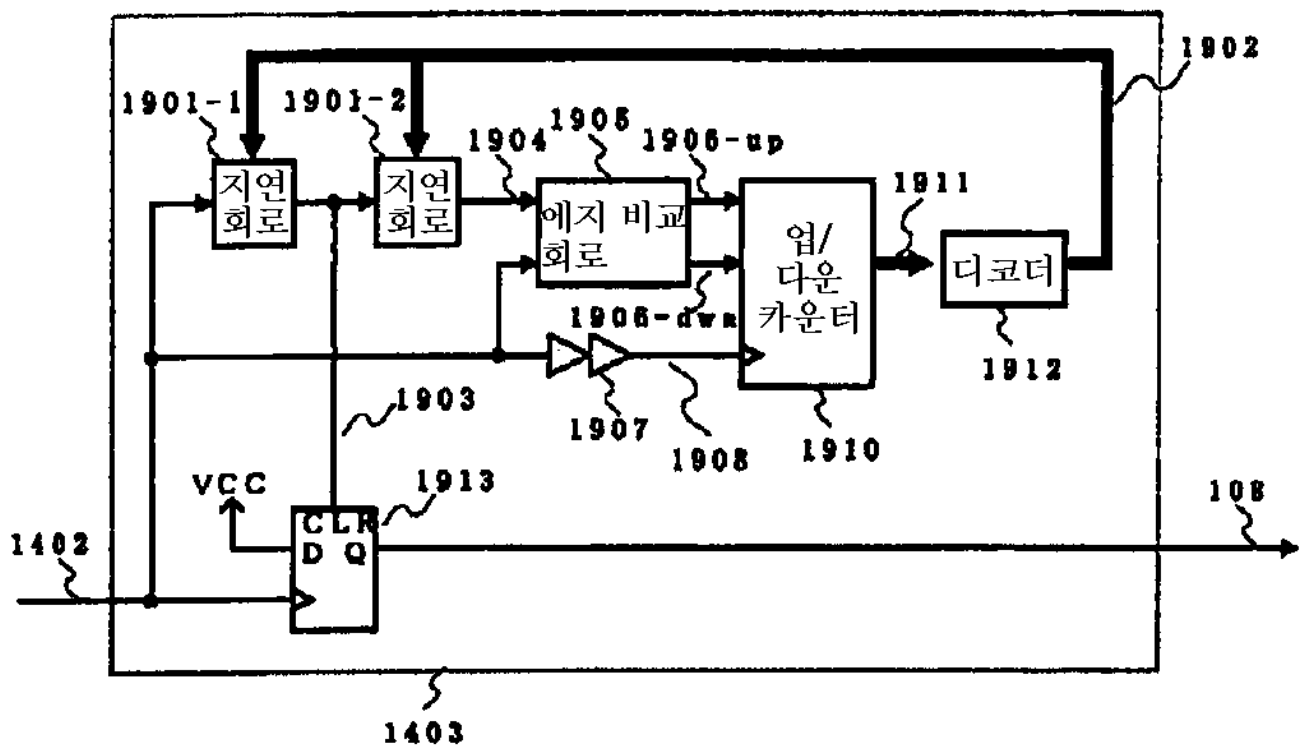
도면 14



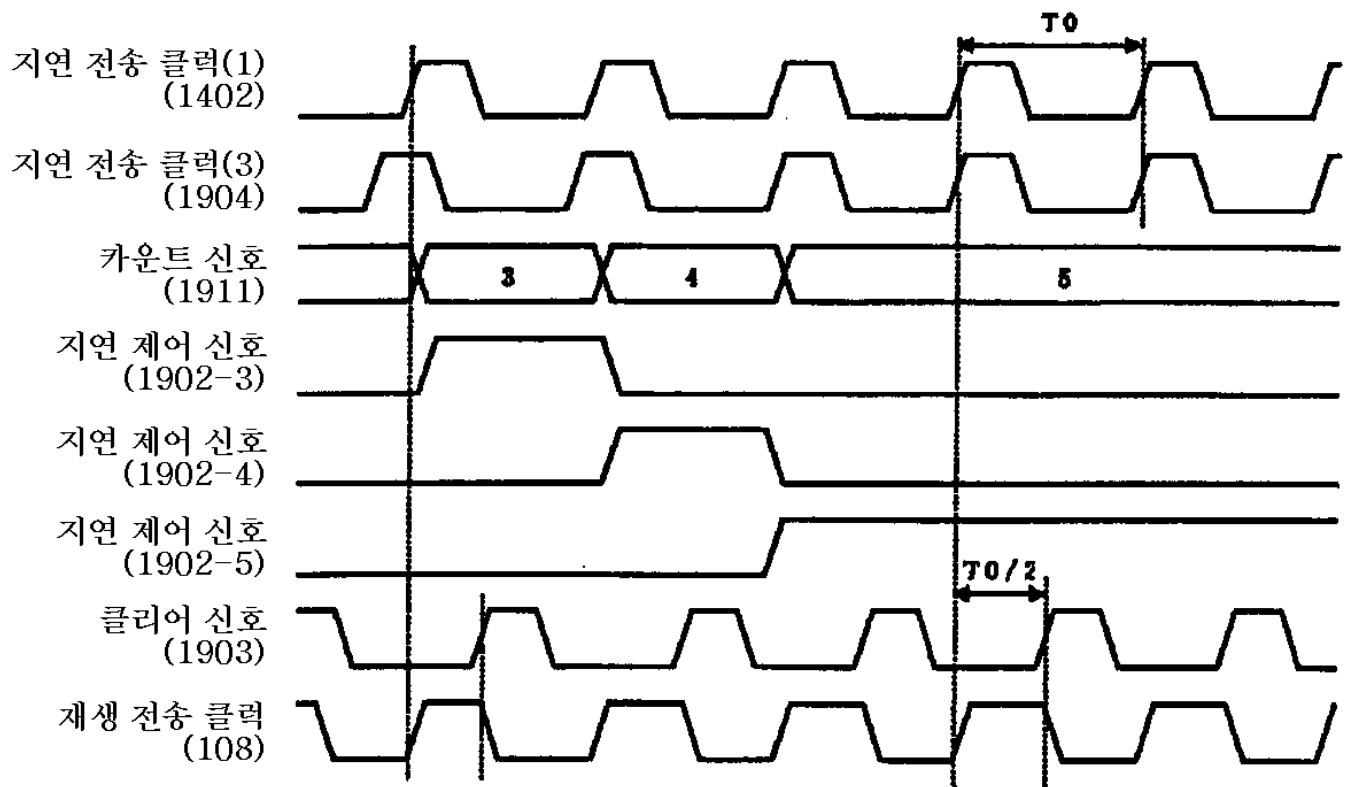
도면 15



도면 16



도면 17



专利名称(译)	一种用于显示显示数据的液晶显示装置		
公开(公告)号	KR1020020005377A	公开(公告)日	2002-01-17
申请号	KR1020010009504	申请日	2001-02-24
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 地伤装置工程可否让这个夏		
当前申请(专利权)人(译)	株式会社日立制作所 地伤装置工程可否让这个夏		
[标]发明人	OOISHI YOSHIHISA 오오이시요시히사 NITSUTA HIROYUKI 니쯔다히로유키 WATANABE AKIHIRO 와타나베아끼히로 KOJI HIROBUMI 고지히로부미 TSUNEKAWA SATORU 쯔네가와사토루		
发明人	오오이시요시히사 니쯔다히로유키 와타나베아끼히로 고지히로부미 쯔네가와사토루		
IPC分类号	G09G3/36 G09G5/00 G09G3/20 G02F1/133		
CPC分类号	G09G5/008 G09G3/3685 G09G2320/0223		
代理人(译)	CHANG, SOO KIL		
优先权	2000210685 2000-07-06 JP		
其他公开文献	KR100418535B1		
外部链接	Espacenet		

摘要(译)

本发明包括显示数据，该显示数据包括具有以矩阵形式排列的像素的液晶面板，授权对应于像素中的显示数据的灰度电压的多个数据驱动器，选择像素的栅极驱动器，以及液晶控制电路控制基于传输时钟的数据驱动器，其中数据驱动器输入到数据驱动器，锁存电路锁存刷新电路，再现输入到数据驱动器的传输时钟，以便与占空比输出的显示数据的占空比偏差当传输时钟和数据驱动器以及传输时钟变小时，基于锁存时钟产生锁存时钟和显示输入到数据驱动器的数据。对于栅极驱动器，施加灰度电压。液晶显示器，显示器，边缘，相位，面板，驱动器。

