



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월26일
(11) 등록번호 10-1433862
(24) 등록일자 2014년08월19일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01) H03K 19/0175 (2006.01)
(21) 출원번호 10-2007-0080396
(22) 출원일자 2007년08월10일
심사청구일자 2012년08월07일
(65) 공개번호 10-2008-0015727
(43) 공개일자 2008년02월20일
(30) 우선권주장
JP-P-2006-00221854 2006년08월16일 일본(JP)
(56) 선행기술조사문헌
JP2002258821 A
JP2002014658 A
JP2001326542 A
JP2005099170 A

(73) 특허권자
라피스 세미컨덕터 가부시기가이샤
일본국 가나가와켄 요코하마시 코우호쿠-쿠 신요
코하마 2-4-8
(72) 발명자
야마자키 코지
일본 도쿄도 미나토쿠 도라노몬 1초메 7반 12고
오끼 덴끼 고오교가부시끼가이샤 나이
(74) 대리인
이화익

전체 청구항 수 : 총 10 항

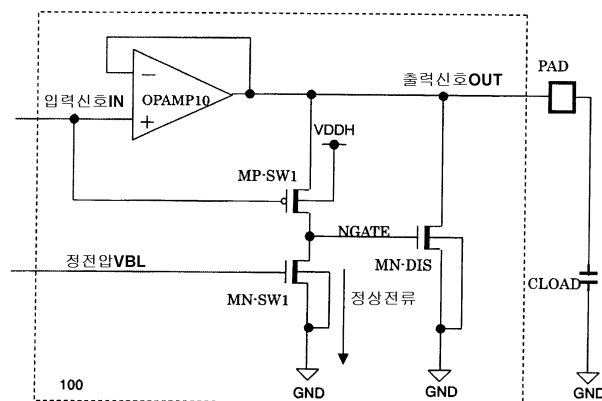
심사관 : 추장희

(54) 발명의 명칭 액정표시장치의 구동회로 및 구동장치

(57) 요약

저가로 고구동 능력을 가지는 액정표시장치의 구동회로를 제공한다. 본 발명의 액정표시장치의 구동회로에서는, 반전 입력, 비반전 입력 및 제1출력을 가지고, 반전 입력과 제1출력이 접속된 연산 증폭기와, 연산 증폭기의 비반전 입력의 노드가 게이트에 접속되고, 연산 증폭기의 출력의 노드가 소스에 접속된 제1PMOS트랜지스터와, 제1PMOS트랜지스터의 드레인이 게이트에 접속되고, 연산 증폭기의 출력의 노드가 드레인에 접속되고, 소스가 접지된 제1NMOS트랜지스터와, 소정의 제1전압이 게이트에 공급되어, 제1PMOS트랜지스터의 드레인이 드레인에 접속되고, 소스가 접지된 제2NMOS트랜지스터를 가진다.

대표도 - 도1



특허청구의 범위

청구항 1

반전 입력, 비반전 입력 및 제1출력을 가지고, 상기 반전 입력과 상기 제1출력이 접속된 연산 증폭기와,

상기 연산 증폭기의 상기 비반전 입력의 노드가 게이트에 접속되고, 상기 연산 증폭기의 제1출력 노드가 소스에 접속된 제1PMOS트랜지스터와,

상기 제1PMOS트랜지스터의 드레인이 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 드레인에 접속되고, 소스가 접지된 제1NMOS트랜지스터와,

소정의 제1전압이 게이트에 공급되어, 상기 제1PMOS트랜지스터의 드레인이 드레인에 접속되고, 소스가 접지된 제2NMOS트랜지스터를 가지는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 2

제 1항에 있어서,

상기 연산 증폭기의 상기 비반전 입력의 노드가 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 소스에 접속된 제3NMOS트랜지스터와,

상기 제3NMOS트랜지스터의 드레인이 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 드레인에 접속되고, 소스가 전원에 접속된 제2PMOS트랜지스터와,

소정의 제2전압이 게이트에 공급되어, 상기 제3NMOS트랜지스터의 드레인이 드레인에 접속되고, 소스가 전원에 접속된 제3PMOS트랜지스터를 가지는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 3

반전 입력, 비반전 입력 및 제1출력을 가지고, 상기 반전 입력과 상기 제1출력이 접속된 연산 증폭기와,

상기 연산 증폭기의 상기 제1출력과 상기 비반전 입력과의 전위차가 임계값 이상이고 상기 제1출력이 상기 비반전 전압보다 높은 경우에 온하는 제1PMOS트랜지스터와,

상기 제1PMOS트랜지스터의 온에 따라 온하고, 상기 제1출력과 상기 비반전 입력의 전위차를 상쇄하도록 동작하는 제1NMOS트랜지스터와,

상기 제1PMOS트랜지스터와 그라운드 사이에 직렬로 접속되어, 게이트에 임계값 이상의 전압이 주어지는 제2NMOS트랜지스터를 가지는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 4

제 3항에 있어서,

상기 연산 증폭기의 상기 제1출력과 상기 비반전 입력의 전위차가 임계값 이상이고 상기 제1출력이 상기 비반전 전압보다 낮은 경우에 온하는 제3NMOS트랜지스터와,

상기 제3NMOS트랜지스터의 온에 따라 온하고, 상기 제1출력과 상기 비반전 입력과의 전위차를 상쇄하도록 동작하는 제2PMOS트랜지스터와,

상기 제3NMOS트랜지스터와 전원 사이에 직렬로 접속되어, 게이트에 임계값 이하의 전압이 주어지는 제3PMOS트랜지스터를 가지는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 5

반전 입력, 비반전 입력 및 제1출력을 가지고, 상기 반전 입력과 상기 제1출력이 접속된 연산 증폭기와,

상기 연산 증폭기의 상기 비반전 입력의 노드가 게이트에 접속되고, 상기 연산 증폭기의 제1출력 노드가 소스에 접속된 제3NMOS트랜지스터와,

상기 제3NMOS트랜지스터의 드레인이 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 드레인에 접

속되고, 소스가 전원에 접속된 제2PMOS트랜지스터와,

소정의 제2전압이 게이트에 공급되어, 상기 제3NMOS트랜지스터의 드레인이 드레인에 접속되고, 소스가 전원에 접속된 제3PMOS트랜지스터를 가지는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 6

반전 입력, 비반전 입력 및 제1출력을 가지고, 상기 반전 입력과 상기 제1출력이 접속된 연산 증폭기와,

상기 연산 증폭기의 상기 제1출력과 상기 비반전 입력과의 전위차가 임계값 이상이고 상기 제1출력이 상기 비반전 입력보다 낮은 경우에 온하는 제3NMOS트랜지스터와,

상기 제3NMOS트랜지스터의 온에 따라 온하고, 상기 제1출력과 상기 비반전 입력의 전위차를 상쇄되도록 동작하는 제2PMOS트랜지스터와,

상기 제3NMOS트랜지스터와 전원간에 직렬로 접속되어, 게이트에 임계값 이하의 전압이 주어지는 제3PMOS트랜지스터를 가지는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 7

반전 입력, 비반전 입력 및 제1출력을 가지고, 상기 반전 입력과 상기 제1출력이 접속된 연산 증폭기와,

상기 연산 증폭기의 상기 비반전 입력의 노드가 게이트에 접속되고, 상기 연산 증폭기의 제1출력 노드가 소스에 접속된 제1PMOS트랜지스터와,

상기 제1PMOS트랜지스터의 드레인이 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 드레인에 접속되고, 소스가 접지된 제1NMOS트랜지스터와,

소정의 제1전압이 게이트에 공급되어, 상기 제1PMOS트랜지스터의 드레인이 드레인에 접속되고, 소스가 접지된 제2NMOS트랜지스터와,

상기 연산 증폭기의 상기 비반전 입력의 노드가 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 소스에 접속된 제3NMOS트랜지스터와,

상기 제3NMOS트랜지스터의 드레인이 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 드레인에 접속되고, 소스가 전원에 접속된 제2PMOS트랜지스터와,

소정의 제2전압이 게이트에 공급되어, 상기 제3NMOS트랜지스터의 드레인이 드레인에 접속되고, 소스가 전원에 접속된 제3PMOS트랜지스터를 가지는 구동회로를 복수 구비한 액정표시장치의 구동장치로서,

상기 구동장치는, 상기 구동회로 각각에 대응한 출력 패드를 가지고,

상기 구동회로는, 상기 연산 증폭기의 상기 제1출력 노드와 상기 출력 패드 사이에 제1 스위치 수단을 가지는 동시에, 각각의 구동회로의 상기 제1 스위치 수단과 상기 출력 패드 사이의 노드간에 제2 스위치 수단을 가지는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 8

반전 입력, 비반전 입력, 제1출력 및 제어 단자를 가지고, 상기 반전 입력과 상기 제1출력이 접속되는 동시에, 상기 비반전 입력에 따른 출력을 상기 제1출력에 출력/비출력 할지를 상기 제어 단자에 입력되는 제어신호에 따라 바꾸는 연산 증폭기와,

상기 연산 증폭기의 제1출력 노드에 접속되는 동시에, 상기 제어신호에 의해 온/오프되는 제3 스위치 수단과,

상기 연산 증폭기의 제1출력 노드에 접속되는 동시에, 상기 제어신호에 의해 온/오프되는 제4 스위치 수단과,

상기 연산 증폭기의 상기 비반전 입력의 노드가 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 상기 제3 스위치 수단을 통해 소스에 접속된 제1PMOS트랜지스터와,

상기 제1PMOS트랜지스터의 드레인이 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 드레인에 접속되고, 소스가 접지된 제1NMOS트랜지스터와,

소정의 제1전압이 게이트에 공급되어, 상기 제1PMOS트랜지스터의 드레인이 드레인에 접속되고, 소스가 접지된

제2NMOS트랜지스터와,

상기 연산 증폭기의 상기 비반전 입력의 노드가 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 상기 제4 스위치 수단을 통해 소스에 접속된 제3NMOS트랜지스터와,

상기 제3NMOS트랜지스터의 드레인이 게이트에 접속되고, 상기 연산 증폭기의 상기 제1출력 노드가 드레인에 접속되고, 소스가 전원에 접속된 제2PMOS트랜지스터와,

소정의 제2전압이 게이트에 공급되어, 상기 제3NMOS트랜지스터의 드레인이 드레인에 접속되고, 소스가 전원에 접속된 제3PMOS트랜지스터를 가지는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 9

청구항 8에 기재한 구동회로를 복수 구비한 액정표시장치의 구동장치로서,

상기 구동장치는, 상기 구동회로 각각에 대응한 출력 패드를 가지고,

상기 구동회로는, 상기 연산 증폭기의 상기 제1출력 노드와 상기 출력 패드 사이에 제1 스위치 수단을 가지는 동시에, 각각의 구동회로의 상기 제1 스위치 수단과 상기 출력 패드 사이의 노드간에 제2 스위치 수단을 가지는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 10

입력 데이터에 따라 계조전압 발생회로로부터, 소정의 아날로그 전압을 선택하여 출력하는 복수의 디지털 아날로그 컨버터와,

상기 복수의 디지털 아날로그 컨버터의 출력을 각각 입력으로 하여, 구동전압을 출력하는 복수의 출력 회로를 가지고,

상기 출력 회로는, 상기 디지털 아날로그 컨버터의 출력과 상기 출력 회로의 출력을 비교하여, 상기 디지털 아날로그 컨버터의 출력과 상기 출력 회로의 출력 사이에 소정의 전위차가 일치할 경우에 온 하는 제1 트랜지스터와, 제1 트랜지스터에 따라 상기 출력 회로의 출력을 상기 디지털 아날로그 컨버터의 출력의 전위에 다가가도록 온 하는 제2 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 액정표시장치 등에 이용되는 구동회로 및 구동장치에 관한 것이다. 특히 다수의 출력 연산 증폭기를 가지는 액정표시장치의 소스 드라이버에 관한 것이다.

배경 기술

[0002] 최근의 액정표시장치의 대형화에 따라, 액정구동장치의 여러가지 성능의 향상이 기대되고 있다. 특히 액정표시장치의 대형화에 따라 데이터 선의 부하 용량도 증대하여, 액정구동장치의 구동능력의 향상을 기대할 수 있다. 또한 최근에는 액정표시장치의 시장은 급격히 증대하여, 각 탑재 부품의 원가를 낮출 수 밖에 없었다. 구동장치에 대해서도 동일하여, 고구동 능력과 동시에 저렴한 것이 기대되고 있다.

[0003] [특허문헌 1] 일본국 공개특허공보 특개평 05-041651호

[0004] [특허문헌 2] 일본국 공개특허공보 특개 2003-122325호

[0005] 특허문헌 1에서는, 출력 연산 증폭기의 입출력 신호의 차이를 비교기로 비교하여, 입력 신호가 출력 신호보다 소정의 임계값 전압이상 낮을 때만, 비교기로부터 이네이블 신호를 출력시켜서 스위칭 트랜지스터를 온 하고, 대전류원을 유효하게 하는 것으로, 부하 용량의 방전측의 출력 전류를 가변으로 할 수 있게 되어, 장치의 소비 전력을 억제하고 있다. 특허문헌 2에서는, 충전전 경로를 복수 설치함으로써 슬루 레이트의 향상을 도모하고 있다.

발명의 내용

해결 하고자하는 과제

[0006] 그러나, 상기의 특허문헌 1에서는, 임계값 전압이상 낮을 때에는, 신속하게 방전할 수 있지만, 일정한 임계값이 될 때까지 전혀, 종래의 출력과 동작이 바뀌지 않는다. 출력 전압의 범위가 넓은 경우에 있어서는, 유효성은 매우 낮아지게 된다. 또한 신속하게 충전 동작은 행해지지 않는다. 상기의 특허문헌 2에서는, 충전 동작, 방전 동작을 가지고 있지만, 각각의 별도의 경로에 대해서는, 어떠한 별도 신호에 의해 제어할 필요가 있기 때문에, 제어회로가 증가하게 된다. 또한 단순히 트랜지스터의 온 오프하여 제어했다고 해도 대전류에 대응한 트랜지스터에서는, 신속한 반응은 기대할 수 없고, 제어가 곤란하다. 본 발명은, 상기의 점을 감안하여 행해진 것으로, 저렴하고 고구동 능력을 가지는 액정표시장치의 구동회로를 제공한다.

과제 해결수단

[0007] 본 발명의 액정표시장치의 구동회로에서는, 반전 입력, 비반전 입력 및 제1출력을 가지고, 반전 입력과 제1출력이 접속된 연산 증폭기와, 연산 증폭기의 비반전 입력의 노드가 게이트에 접속되고, 연산 증폭기의 출력의 노드가 소스에 접속된 제1PMOS트랜지스터와, 제1PMOS트랜지스터의 드레인이 게이트에 접속되고, 연산 증폭기의 출력의 노드가 드레인에 접속되고, 소스가 접지된 제1NMOS트랜지스터와, 소정의 제1전압이 게이트에 공급되어, 제1PMOS트랜지스터의 드레인이 드레인에 접속되고, 소스가 접지된 제2NMOS트랜지스터를 가진다.

효 과

[0008] 본 발명의 액정표시장치의 구동회로의 구성을 취하는 것으로, 저가로 고구동 능력을 가지는 액정표시장치의 구동회로를 제공하는 것이 가능하게 된다.

발명의 실시를 위한 구체적인 내용

[0009] 이하, 도면에 의거하여 본 발명의 실시예를 상세하게 설명한다. 또한, 이하의 설명 및 첨부 도면에 있어서, 대략 동일한 기능 및 구성을 가지는 구성요소에 대해서는, 동일한 부호를 붙임으로써 중복 설명을 생략한다.

[0010] [실시예 1]

[0011] 우선, 본 발명의 실시예 1에 따른 액정표시장치의 구동회로에 대해, 도 1, 도 2 및 도 9를 사용하여 설명한다. 도 1은, 본 발명의 실시예 1에 있어서의 구동회로(100)의 회로도이다. 도시하는 바와 같이, 구동회로(100)는, 증폭기(OPAMP)(10), 트랜지스터MP-SW1, 트랜지스터MN-DIS 및 트랜지스터MN-SW1을 최소 구성요소로서 구성한다. 증폭기(10)는 반전 입력과 비반전 입력과 출력을 최소 구성요소로서 가진다. 증폭기(10)는, 반전 입력과 출력이 접속되고 있으며, 일반적으로 전압 팔로우라고 불리는 접속이 행해진다. 비반전 입력은, 입력 신호IN이 입력된다. 이 입력 신호IN은, 도 9에 나타내는 바와 같이, 입력 데이터 따른 계조 전압을 계조 전압 발생회로(910)로부터 디지털 아날로그 컨버터(920)에 의해 선택한 전압이다. 구동회로(930)의 출력은, 액정 패널(940)에 공급하는 계조 전압이다. 또한 증폭기(10)의 출력은, 구동회로(100)의 출력 신호OUT로서 드라이버IC의 출력 패드PAD에 공급되고, 최종적으로 드라이버IC(950)가 탑재된 액정 패널(940)의 부하 용량CLOAD에 공급된다.

[0012] 제1PMOS트랜지스터인 트랜지스터MP-SW1은, 게이트에 입력 신호IN이 인가되는 동시에, 소스에는, 증폭기(10)의 출력이 접속되고, 드레인은, 노드NGATE에 접속되어 있다. 트랜지스터MP-SW1은, 소스의 전위와 게이트의 전위를 비교하여, 게이트의 전위가 소스의 전위보다 임계값 이상 하강한 경우에 온 한다.

[0013] 제1NMOS트랜지스터인 트랜지스터MN-DIS는, 게이트가 노드NGATE에 접속되는 동시에, 소스는, 그라운드GND에 접속되고, 드레인은, 증폭기(10)의 출력에 접속되고 있다.

[0014] 제2NMOS트랜지스터인 트랜지스터MN-SW1은, 게이트에 소정의 정전압VBL이 인가되어, 드레인이 노드NGATE에 접속되고, 소스가 그라운드GND에 접속되고 있다. 여기에서, 소정의 정전압VBL은, 트랜지스터MN-SW1의 임계값 전압이상의 전압이다. 일례로서, VDDH를 15V, VBL을 1.1V로서 설정하는 것이 가능하다. 따라서, 구동회로에 전원이 공급되고 있을 경우, 트랜지스터MN-SW1은 항상 온 상태가 되어, 실질적으로는 정전류로서 동작하는 트랜지스터이다.

[0015] 이하, 도 2를 사용하여 동작의 설명을 행한다. 도 2는, 구동회로(100)의 타이밍 차트이다. VIN은, 입력 신호

IN의 전압의 변화를 나타내고 있다. VIN은, 공통 전위Vcom에 대하여 높은 전위에서 낮은 전위로 시각 t1에 있어서 변화된 것을 나타내고 있다. VIN이 시각 t1에 있어서 변화함에 따라, 입력 신호IN과 출력 신호OUT에서는 전위차가 생긴다. 트랜지스터MP-SW1은, 입력 신호IN의 변화에 의해 온 한다.(단, 입력 신호의 변화가 트랜지스터MP-SW1의 임계값 이상이다.) 트랜지스터MP-SW1이 온 함으로써, 트랜지스터MP-SW1에 전류가 흘러, 노드NGATE는, 시각 t1이전의 VOUT에 근접한다. 노드NGATE의 전위의 상승에 따라, 트랜지스터MN-DIS가 온 한다. 입력 신호IN과 출력 신호OUT의 전위차가 클 경우에는, 트랜지스터MN-DIS는 오래 온한다. 트랜지스터MN-DIS가 온 하면 액정 패널의 부하 용량CLOAD의 전하를 급격히 방전시킨다. 부하 용량CLOAD가 충분히 방전되면 입력 신호IN과 출력 신호OUT의 전위차는 작아지고, 트랜지스터MP-SW1은 완만하게 오프한다. 그 결과, 노드NGATE는 서서히 그라운드 레벨에 가까워지고, 트랜지스터MN-DIS는 서서히 오프하여, 부하 용량CLOAD의 방전을 종료한다.

[0016] 본 발명의 실시예 1에 의하면, 입력 신호IN의 전환 시에 발생하는 입력 신호IN과 출력 신호OUT의 전위차를 이용하여, 출력 전위를 입력 신호IN의 전위에 신속하게 따르게 하는 것이 가능하게 된다. 특히, 입력 신호IN과 출력 신호OUT의 전위차를 이용하는 본 실시예 1의 구성에는, 외부제어신호를 필요로 하지 않으므로, 전용의 타이밍 콘트롤러 등의 제어회로를 필요로 하지 않는다. 따라서, 제어회로의 개발에 따른 비용을 삭감할 수 있다.

[0017] 또한 제어회로의 분만큼 회로 면적삭감이 가능하다. 또한 입력 신호IN과 출력 신호OUT의 전위차에 따라 트랜지스터MN-DIS가 온 오프하므로, 출력 신호OUT의 전위의 하강시에는, 완만한 동작이 실현 가능하게 된다. 트랜지스터MN-DIS의 완만한 오프 동작에 의해, 스위칭 노이즈 등이 신호 출력OUT에 발생할 가능성을 작게 할 수 있다. 또한, 본 발명의 실시예 1을 채용하는 것으로, 증폭기(10)의 정상전류를 증가시키지 않고 구동능력을 높이는 것이 가능하며, 드라이버 IC의 발열의 저감을 가능하게 한다. 또한 출력에 정상적으로 전류를 흐르게 할 필요가 있는 경우라도, 증폭기(10)의 출력단의 트랜지스터 사이즈를 크게 할 필요없이, 본 발명의 실시예 1에서 채용한 트랜지스터MN-DIS의 트랜지스터 사이즈를 크게 하는 것만으로 대응이 가능하게 되어, 증폭기 내부에서의 정상전류의 증가를 억제하는 것이 가능하게 된다.

[0018] [실시예 2]

[0019] 본 발명의 실시예 2에 따른 액정표시장치의 구동회로에 대해, 도 3 및 도 4를 사용하여 설명한다. 도 3은, 본 발명의 실시예 2에 있어서의 구동회로(200)의 회로도이다. 실시예 1과 동일한 구성에 대해서는, 동일 부호를 부여하여, 설명을 생략한다.

[0020] 구동회로(200)는, 증폭기(OPAMP)(10), 트랜지스터MN-SW2, 트랜지스터MP-CHG 및 트랜지스터MP-SW2를 최소 구성요소로서 구성한다. 증폭기(10)는, 반전 입력과 출력이 접속되고 있다. 비반전 입력은, 입력 신호IN이 입력된다. 증폭기(10)의 출력은, 구동회로(200)의 출력 신호OUT로서 드라이버 IC의 출력 패드PAD에 공급되고, 최종적으로 드라이버 IC가 탑재된 액정 패널의 부하 용량CLOAD에 공급된다.

[0021] 제3PMOS트랜지스터인 트랜지스터MN-SW2는, 게이트에 입력 신호IN이 인가되는 동시에, 소스에는, 증폭기(10)의 출력이 접속되고, 드레인, 노드PGATE에 접속되어 있다. 트랜지스터MN-SW2는, 소스의 전위와 게이트의 전위를 비교하여, 게이트의 전위가 소스의 전위보다 임계값 이상으로 상승했을 경우에 온 한다. 제2PMOS트랜지스터인 트랜지스터MP-CHG는, 게이트가 노드PGATE에 접속되는 동시에, 소스는, 전원전위VDDH에 접속되고, 드레인, 증폭기(10)의 출력에 접속되어 있다.

[0022] 제3PMOS트랜지스터인 트랜지스터MP-SW2는, 게이트에 소정의 정전압VBH가 인가되어, 드레인이 노드PGATE에 접속되고, 소스가 전원전위VDDH에 접속되어 있다. 여기에서, 소정의 정전압VBH는, 트랜지스터MP-SW2의 임계값 전압이하의 전압이다. 일례로서, VDDH를 15V, VBH 13.8을 V로서 설정하는 것이 가능하다. 따라서, 구동회로에 전원이 공급되고 있을 경우, 트랜지스터MP-SW2는 항상 온 상태가 되어, 실질적으로는 정전류로서 동작하는 트랜지스터이다.

[0023] 이하, 도 4를 사용하여 동작의 설명을 행한다. 도 4는, 구동회로(200)의 타이밍 차트이다. VIN은, 입력 신호IN의 전압의 변화를 나타내고 있다. VIN은, 공통 전위Vcom에 대하여 낮은 전위에서 높은 전위로 시각 t2에 있어서 변화된 것을 나타내고 있다. VIN이 시각 t2에 있어서 변화됨에 따라, 입력 신호IN과 출력 신호OUT에서는 전위차가 생긴다. 트랜지스터MN-SW2는, 입력 신호IN의 변화에 의해 온 한다.(다만, 입력 신호의 변화가 트랜지스터MN-SW2의 임계값 이상이다.) 트랜지스터MN-SW2가 온 함으로써, 트랜지스터MN-SW2에 전류가 흘러, 노드PGATE는, 시각 t2이전의 VOUT에 근접해 간다. 노드PGATE의 전위의

강하에 따라, 트랜지스터MP-CHG가 온 한다. 입력 신호IN과 출력 신호OUT의 전위차가 클 경우에는, 트랜지스터MP-CHG은 오래 온 한다. 트랜지스터MP-CHG가 온 하면 액정 패널의 부하 용량CLOAD의 전하를 급격히 충전한다. 부하 용량CLOAD가 충분히 충전되었으면 입력 신호IN과 출력 신호OUT의 전위차는 작아지고, 트랜지스터MN-SW2가 완만하게 오프한다. 그 결과, 노드PGATE는 서서히 전원전위VDDH에 근접하고, 트랜지스터MP-CHG는 서서히 오프하여, 부하 용량CLOAD의 충전을 종료한다.

[0024] 본 발명의 실시예 2에 의하면, 입력 신호IN의 전환 시에 생기는 입력 신호IN과 출력 신호OUT의 전위차를 이용하여, 출력 신호OUT의 전위를 입력 신호IN의 전위에 신속하게 따르게 하는 것이 가능하게 된다. 특히, 입력 신호IN과 출력 신호OUT의 전위차를 이용하는 본 실시예 2의 구성에는, 외부제어신호를 필요로 하지 않으므로, 전용 타이밍 콘트롤러 등의 제어회로를 필요로 하지 않는다. 따라서, 제어회로의 개발에 따른 비용을 삭감할 수 있다. 또한 제어회로의 분만큼 회로 면적삭감이 가능하다. 또한 입력 신호IN과 출력 신호OUT의 전위차에 따라 트랜지스터MP-CHG가 온 오프하므로, 출력 신호OUT의 전위의 상승은, 완만한 동작이 실현 가능하다. 트랜지스터MP-CHG의 완만한 오프 동작에 의해, 스위칭 노이즈 등이 신호 출력OUT에 발생할 가능성이 작아진다. 또한, 본 발명의 실시예 2를 채용하는 것으로, 증폭기(10)의 정상전류를 증가시키지 않고 구동능력을 높이는 것이 가능하며, 드라이버 IC의 발열의 저감을 가능하게 한다. 또한 출력에 정상적으로 전류를 흘려보낼 필요가 있는 경우라도, 증폭기(10)의 출력단의 트랜지스터 사이즈를 크게 할 필요는 없고, 본 발명의 실시예 1에서 채용한 트랜지스터MP-CHG의 트랜지스터 사이즈를 크게 하는 것만으로 대응이 가능하게 되어, 증폭기 내부에서의 정상전류의 증가를 억제하는 것이 가능하게 된다.

[0025] [실시예 3]

[0026] 본 발명의 실시예 3에 따른 액정표시장치의 구동회로에 대해, 도 5 및 도 6을 사용하여 설명한다. 도 5는, 본 발명의 실시예 3에 있어서의 구동회로(300)의 회로도이다. 구동회로(300)는, 실시예 1과 실시예 2의 구동회로의 구성을 아울러 가지는 구동회로이다. 구동회로(300)는, 증폭기(OPAMP)(10), 트랜지스터MP-SW1, 트랜지스터MN-DIS, 트랜지스터MN-SW1, 트랜지스터MN-SW2, 트랜지스터MP-CHG 및 트랜지스터MP-SW2를 최소 구성요소로서 구성한다. 증폭기(10)는, 반전 입력과 출력이 접속되고 있으며, 일반적으로 전압 팔로우라고 불리는 접속이 행해지고 있다. 비반전 입력은, 입력 신호IN이 입력된다. 이 입력 신호IN은, 도 9에 나타내는 바와 같이 전단에 접속되는 디지털 아날로그 컨버터의 출력이며, 액정 패널에 공급하는 게조전압이 인가된다. 또한 증폭기(10)의 출력은, 구동회로(300)의 출력 신호OUT로서 드라이버 IC의 출력 패드PAD에 공급되고, 최종적으로 드라이버 IC가 탑재된 액정 패널의 부하 용량CLOAD에 공급된다.

[0027] 제1PMOS트랜지스터인 트랜지스터MP-SW1은, 게이트에 입력 신호IN이 인가되는 동시에, 소스에는, 증폭기(10)의 출력이 접속되고, 드레인, 노드NGATE에 접속되어 있다. 트랜지스터MP-SW1은, 소스의 전위와 게이트의 전위를 비교하여, 게이트의 전위가 소스의 전위보다 임계값 이상 내려갔을 경우에 온 한다.

[0028] 제1NMOS트랜지스터인 트랜지스터MN-DIS는, 게이트가 노드NGATE에 접속되는 동시에, 소스는, 그라운드GND에 접속되고, 드레인, 증폭기(10)의 출력에 접속되고 있다.

[0029] 제2NMOS트랜지스터인 트랜지스터MN-SW1은, 게이트에 소정의 정전압VBL이 인가되어, 드레인이 노드NGATE에 접속되고, 소스가 그라운드GND에 접속되어 있다. 여기에서, 소정의 정전압VBL은, 트랜지스터MN-SW1의 임계값 전압이상의 전압이다. 일례로서, VDDH를 15V, VBL을 1.1V로서 설정하는 것이 가능하다. 따라서, 구동회로에 전원이 공급되고 있을 경우, 트랜지스터MN-SW1은 항상 온 상태가 되어, 실질적으로는 정전류로서 동작하는 트랜지스터이다.

[0030] 제3PMOS트랜지스터인 트랜지스터MN-SW2는, 게이트에 입력 신호IN이 인가되는 동시에, 소스에는, 증폭기(10)의 출력이 접속되고, 드레인, 노드PGATE에 접속되어 있다. 트랜지스터MN-SW2는, 소스의 전위와 게이트의 전위를 비교하여, 게이트의 전위가 소스의 전위보다 임계값 이상으로 상승했을 경우에 온 한다.

[0031] 제2PMOS트랜지스터인 트랜지스터MP-CHG는, 게이트가 노드PGATE에 접속되는 동시에, 소스는, 전원전위VDDH에 접속되고, 드레인, 증폭기(10)의 출력에 접속되어 있다.

[0032] 제3PMOS트랜지스터인 트랜지스터MP-SW2는, 게이트에 소정의 정전압VBH가 인가되어, 드레인이 노드PGATE에 접속되고, 소스가 전원전위VDDH에 접속되어 있다. 여기에서, 소정의 정전압VBH는, 트랜지스터MP-SW2의 임계값 전압 이하의 전압이다. 일례로서, VDDH를 15V, VBH 13.8을 V로서 설정하는 것이 가능하다. 따라서, 구동회로에 공급되고 있을 경우, 트랜지스터MP-SW2는 항상 온 상태가 되어, 실질적으로는 정전류로서 동작하는 트랜지스터이다.

- [0033] 이하, 도 6을 사용하여 동작의 설명을 행한다. 도 6은, 구동회로(300)의 타이밍 차트이다. V_{IN} 은, 입력 신호 IN 의 전압의 변화를 나타내고 있다. V_{IN} 은, 시각 t_1 에 있어서, 공통 전위 V_{com} 에 대하여 높은 전위로부터 낮은 전위로 변화되고, 시각 t_2 에 있어서, 공통 전위 V_{com} 에 대하여 낮은 전위로부터 높은 전위로 변화된 것을 나타내고 있다. V_{IN} 이 시각 t_1 에 있어서 공통 전위 V_{com} 에 대하여 높은 전위로부터 낮은 전위로 변화함으로써, 입력 신호 IN 과 출력 신호 OUT 에서는 전위차가 생긴다. 트랜지스터 $MP-SW1$ 은, 입력 신호 IN 의 변화에 따라 온 한다.(단, 입력 신호의 변화가 트랜지스터 $MP-SW1$ 의 임계값 이상이다.) 트랜지스터 $MP-SW1$ 이 온 함으로써, 트랜지스터 $MP-SW1$ 에 전류가 흘러, 노드 $NGATE$ 는, 시각 t_1 이전의 $VOUT$ 에 다가간다. 노드 $NGATE$ 의 전위의 상승에 따라, 트랜지스터 $MN-DIS$ 가 온 한다. 입력 신호 IN 과 출력 신호 OUT 의 전위차가 클 경우에는, 트랜지스터 $MN-DIS$ 는 오래 온 한다. 트랜지스터 $MN-DIS$ 가 온 하면 액정 패널의 부하 용량 $CLOAD$ 의 전하를 급격히 방전시킨다. 부하 용량 $CLOAD$ 가 충분히 방전되고 있으면 입력 신호 IN 과 출력 신호 OUT 의 전위차는 작아지고, 트랜지스터 $MP-SW1$ 이 완만하게 오프한다. 그 결과, 노드 $NGATE$ 는 서서히 그라운드 레벨에 가까워지고, 트랜지스터 $MN-DIS$ 는 서서히 오프하여, 부하 용량 $CLOAD$ 의 방전을 종료한다.
- [0034] 또한 V_{IN} 이 시각 t_2 에 있어서, 공통 전위 V_{com} 에 대하여 낮은 전위로부터 높은 전위로 변화함으로써, 입력 신호 IN 과 출력 신호 OUT 에서는 전위차가 생긴다. 트랜지스터 $MN-SW2$ 는, 입력 신호 IN 의 변화에 의해 온 한다.(단, 입력 신호의 변화가 트랜지스터 $MN-SW2$ 의 임계값 이상이다.) 트랜지스터 $MN-SW2$ 가 온 함으로써, 트랜지스터 $MN-SW2$ 에 전류가 흘러, 노드 $PGATE$ 는, 시각 t_2 이전의 $VOUT$ 에 다가간다. 노드 $PGATE$ 의 전위의 강하에 따라, 트랜지스터 $MP-CHG$ 이 온 한다. 입력 신호 IN 과 출력 신호 OUT 의 전위차가 클 경우에는, 트랜지스터 $MP-CHG$ 는 오래 온 한다. 트랜지스터 $MP-CHG$ 이 온 하면 액정 패널의 부하 용량 $CLOAD$ 의 전하를 급격히 충전한다. 부하 용량 $CLOAD$ 가 충분히 충전되면 입력 신호 IN 과 출력 신호 OUT 의 전위차는 작아지고, 트랜지스터 $MN-SW2$ 가 완만하게 오프한다. 그 결과, 노드 $PGATE$ 는 서서히 전원 전위 $VDDH$ 에 다가가고, 트랜지스터 $MP-CHG$ 는 서서히 오프하여, 부하 용량 $CLOAD$ 의 충전을 종료한다.
- [0035] 이상의 동작으로부터, 본 발명의 실시예 3에 의하면, 실시예 1 및 실시예 2의 효과에 더하여, 레일·투·레일(rail to rail)동작의 증폭기(10)에 대응한 구동회로를 실현하는 것이 가능하게 된다.
- [0036] [실시예 4]
- [0037] 본 발명의 실시예 4에 따른 액정표시장치의 구동회로에 대해, 도 7 및 도 8을 사용하여 설명한다. 도 7은, 본 발명의 실시예 4에 있어서의 구동회로(400)의 회로도이다. 실시예 3과 동일한 구성에 대해서는, 동일한 부호를 부여하여, 설명을 생략한다. 또한, 도 7에서는 증폭기(10)를 상세한 회로도로 나타내고 있지만, 일반적인 증폭기를 회로 레벨로 표현한 것이기 때문에, 여기에서는, 상세한 동작의 설명은 생략한다.
- [0038] 본 실시예 4의 특징은, 실시예 3에서 설명한, 증폭기(OPAMP)(10), 트랜지스터 $MP-SW1$, 트랜지스터 $MN-DIS$, 트랜지스터 $MN-SW1$, 트랜지스터 $MN-SW2$, 트랜지스터 $MP-CHG$ 및 트랜지스터 $MP-SW2$ 에 더하여, 제1스위치 수단 $HIZ-SW$ 와 제2스위치 수단 $CS-SW$ 를 가진다. 제1스위치 수단 $HIZ-SW$ 은, 트랜지스터 $MP-CHG$ 의 드레인과 트랜지스터 $MN-DIS$ 의 드레인이 접속된 노드 $OUTA$ 와 출력 패드 PAD 사이에 접속되어 있다. 제1스위치 수단 $HIZ-SW$ 은 예를 들면 트랜스퍼 게이트이다.
- [0039] 제2스위치 수단 $CS-SW$ 는, 제1스위치 수단 $HIZ-SW$ 과 출력 패드 PAD 간의 노드 $OUTB_n$ 과 인접하는 구동회로의 출력 노드 $OUTB_{n-1}$ 사이에 접속되어 있다. 제2스위치 수단 $CS-SW$ 는, 예를 들면 트랜스퍼 게이트로 구성되어 있다.
- [0040] 다음에 도 8을 사용하여 동작의 설명을 행한다. 도 8은, 구동회로(400)의 타이밍 차트이다. V_{IN} 은, 시각 t_1 에 있어서, 공통 전위 V_{com} 에 대하여 높은 전위로부터 낮은 전위로 변화되고, 시각 t_2 에 있어서, 공통 전위 V_{com} 에 대하여 낮은 전위로부터 높은 전위로 변화된 것을 나타내고 있다. V_{HIZ} 은, 시각 t_1 , 및 t_2 에 있어서 높은 전위로부터 낮은 전위로 내려가고, 시각 t_3 및 t_4 에 있어서, 낮은 전위로부터 높은 전위로 상승한다. V_{XHIZ} 은, 시각 t_1 및 t_2 에 있어서, 낮은 전위로부터 높은 전위로 상승하고, 시각 t_3 및 t_4 에 있어서, 높은 전위로부터 낮은 전위로 하강한다. V_{HIZ} 과 V_{XHIZ} 은, 상보적인 신호이다.
- [0041] V_{HIZ} 및 V_{XHIZ} 의 신호의 변화에 의해, 시각 t_1 , t_2 에서 제1스위치 수단 $HIZ-SW$ 가 오프하고, 제2스위치 수단 $CS-SW$ 가 온 한다. 제2스위치 수단 $CS-SW$ 가 온 함으로써, 각각의 구동회로의 출력 $OUTB_n$ 은 단락된다. 각각의 구동회로의 출력 $OUTB_n$ 은 단락되는 것으로, 각각의 구동회로의 출력 $OUTB_n$ 의 전위는 평균화되고, 공통 전위 V_{com} 에 가까운 전위가 된다. 시각 t_3 에서는, 제2스위치 수단 $CS-SW$ 가 오프하고,

제1스위치 수단H I Z-SW가 온 한다. 구동회로의 출력O U T B n이 공통 전위V c o m에 다가간 상태에서, 제1스위치 수단H I Z-SW가 온 함으로써, 입력 신호I N과 출력 신호O U T A 사이에 전위차가 생긴다.

[0042] 트랜지스터MP-SW1은, 입력 신호I N과 출력 신호O U T A 사이에 전위차가 생김으로써 온 한다.(단, 입력 신호와 출력 신호O U T A의 전위차가 트랜지스터MP-SW1의 임계값 이상이다.) 트랜지스터MP-SW1이 온 함으로써, 트랜지스터MP-SW1에 전류가 흘러, 노드N G A T E는, 공통 전위V c o m에 다가간다. 노드N G A T E의 전위의 상승에 따라, 트랜지스터M N-D I S가 온 한다. 입력 신호I N과 출력 신호O U T A의 전위차가 클 경우에는, 트랜지스터M N-D I S는 오래 온 한다. 트랜지스터M N-D I S가 온 하면 액정 패널의 부하 용량C L O A D의 전하를 급격히 방전시킨다. 부하 용량C L O A D가 충분히 방전되면 입력 신호I N과 출력 신호O U T A의 전위차는 작아지고, 트랜지스터MP-SW1이 완만하게 오프한다. 그 결과, 노드N G A T E는 서서히 그라운드 레벨에 다가가고, 트랜지스터M N-D I S는 서서히 오프하여, 부하 용량C L O A D의 방전을 종료한다.

[0043] 시각 t4에서는, 제2스위치 수단C S-SW가 오프하고, 제1스위치 수단H I Z-SW가 온 한다. 구동회로의 출력O U T B n이 공통 전위V c o m에 다가간 상태에서, 제1스위치 수단H I Z-SW가 온 함으로써, 입력 신호I N과 출력 신호O U T A 사이에 전위차가 발생한다.

[0044] 트랜지스터M N-SW2는, 입력 신호I N과 출력 신호O U T A 사이에 전위차가 발생함으로써 온 한다.(단, 입력 신호I N과 출력 신호O U T A와의 전위차가 트랜지스터M N-SW2의 임계값 이상이다.) 트랜지스터M N-SW2가 온 함으로써, 트랜지스터M N-SW2에 전류가 흘러, 노드P G A T E는, 공통 전위V c o m에 다가간다. 노드P G A T E의 전위의 강하에 따라, 트랜지스터M P-C H G가 온 한다. 입력 신호I N과 출력 신호O U T A의 전위차가 클 경우에는, 트랜지스터M P-C H G는 오래 온 한다. 트랜지스터M P-C H G가 온 하면 액정 패널의 부하 용량C L O A D의 전하를 급격히 충전한다. 부하 용량C L O A D가 충분히 충전되면 입력 신호I N과 출력 신호O U T A의 전위차는 작아지고, 트랜지스터M N-SW2가 완만하게 오프한다. 그 결과, 노드P G A T E는 서서히 전원전위V D D H에 다가가고, 트랜지스터M P-C H G는 서서히 오프하여, 부하 용량C L O A D의 충전을 종료한다.

[0045] 이상의 설명에 의해, 본 발명의 실시예 4에 의하면, 실시예 1, 실시예 2 및 실시예 3의 효과에 더하여, 각각의 구동회로의 출력O U T B n을 단락하는 기간을 설정함으로써, 증폭기(10)의 구동기간을 줄여, 소비 전력의 삭감을 가능하게 한다.

[0046] 또한 본 발명의 기본적인 구성이면, 각각의 구동회로의 출력O U T B n을 단락함으로써, 입력 신호I N과 출력 신호O U T A 사이에 전위차가 생기게 된다. 그 결과, 트랜지스터MP-SW1 또는 트랜지스터M N-SW2가 온 하게 될 우려가 있다. 그러나, 본 실시예 4의 구성에 의하면, 각각의 구동회로의 출력O U T B n을 단락하는 제2스위치 수단C S-SW를 제어하는 신호를 이용하여, 제1스위치 수단H I Z-SW를 제어함으로써, 용이하게 오동작을 방지할 수 있다.

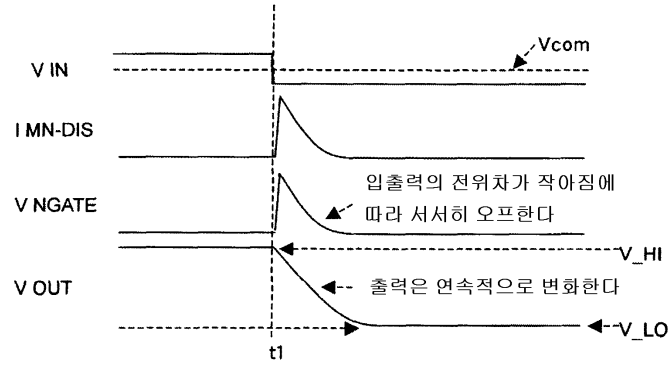
[0047] 도 10에 나타내는 것은, 실시예 4의 변형예 1인 구동회로(1000)이다. 실시예 4와 다른 점을 설명한다. 구동회로(1000)에서는, 제1스위치 수단H I Z-SW와 출력 패드P A D 사이의 노드O U T B n과 MP-SW1의 소스 사이에 제3스위치 수단H I Z1-SW가 설치된다. 또한 제1스위치 수단H I Z-SW와 출력 패드P A D 사이의 노드O U T B n과 M N-SW2의 소스 사이에 제4스위치 수단H I Z2-SW가 설치된다. 트랜지스터M N-D I S의 드레인 및 트랜지스터M P-C H G의 드레인은, 출력 노드O U T B n에 접속되어 있다.

[0048] 제1스위치 수단H I Z-SW, 제3스위치 수단H I Z1-SW 및 제4스위치 수단H I Z2-SW는, 같은 제어신호H I Z 및 제어신호X H I Z로 제어되고 있기 때문에 같은 온 오프 동작을 행한다. 구동회로로서의 동작은, 실시예 4와 동일하다.

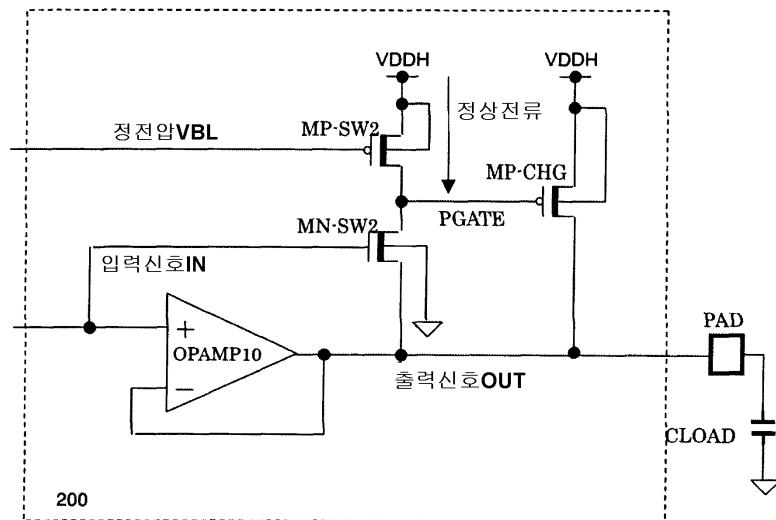
[0049] 트랜지스터MP-SW1, 트랜지스터M N-SW2, 트랜지스터M N-D I S 및 트랜지스터M P-C H G의 접속 관계가 실시예 4와는 바뀌지만, 실시예 4와 마찬가지로 오동작하지 않고 동작시키는 것이 가능하게 된다.

[0050] 도 11에 도시한 것은, 실시예 4의 변형예 2인 구동회로(1100)이다. 실시예 4의 변형예 1과 다른 점을 설명한다. 구동회로(1100)에서는, 변형예 1과 비교하여 제1스위치 수단H I Z-SW가 삭제되어 있다. 또한 O P A M P(10)가 다기능화되어 있다. 도 11에 나타내는 O P A M P(10)는, 반전 입력, 비반전 입력 및 출력에 더해서, 2개의 제어신호를 입력하고 있다. 제3스위치 수단H I Z1-SW 및 제4스위치 수단H I Z2-SW의 제어신호인, 제어신호H I Z과 제어신호X H I Z이다. O P A M P(10)는, 제어신호H I Z에 동기하여, 제어신호H I Z이 하이인 경우에는 입력 신호I N에 따른 출력 신호O U T B n을 출력하고, 제어신호H I Z가 로우인 경우에는, O P A M P

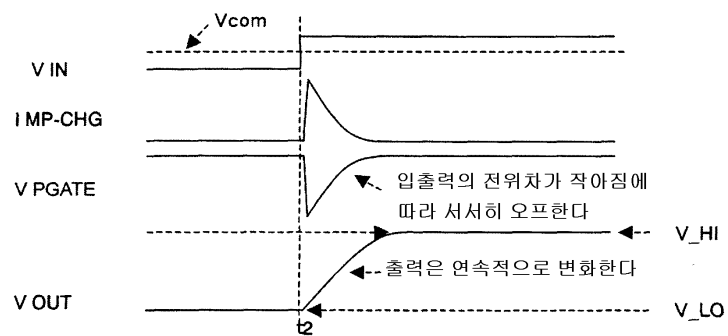
도면2



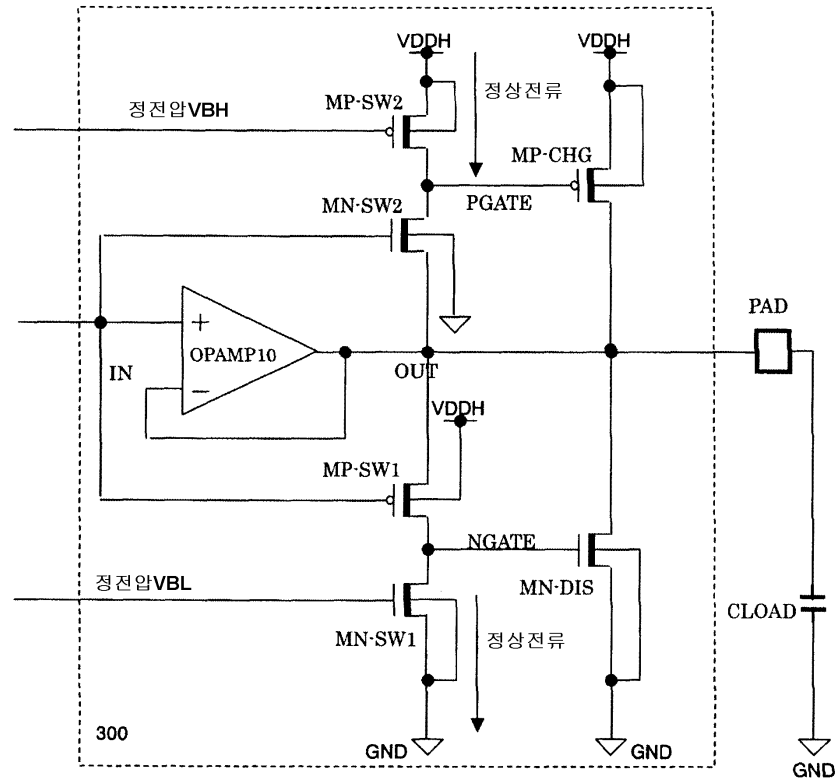
도면3



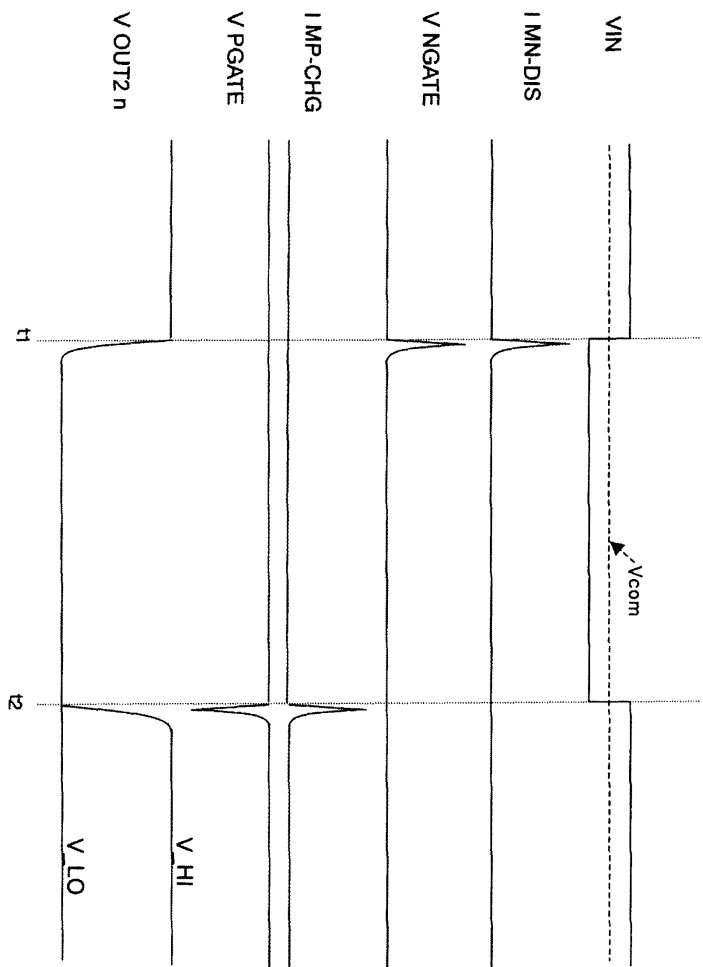
도면4



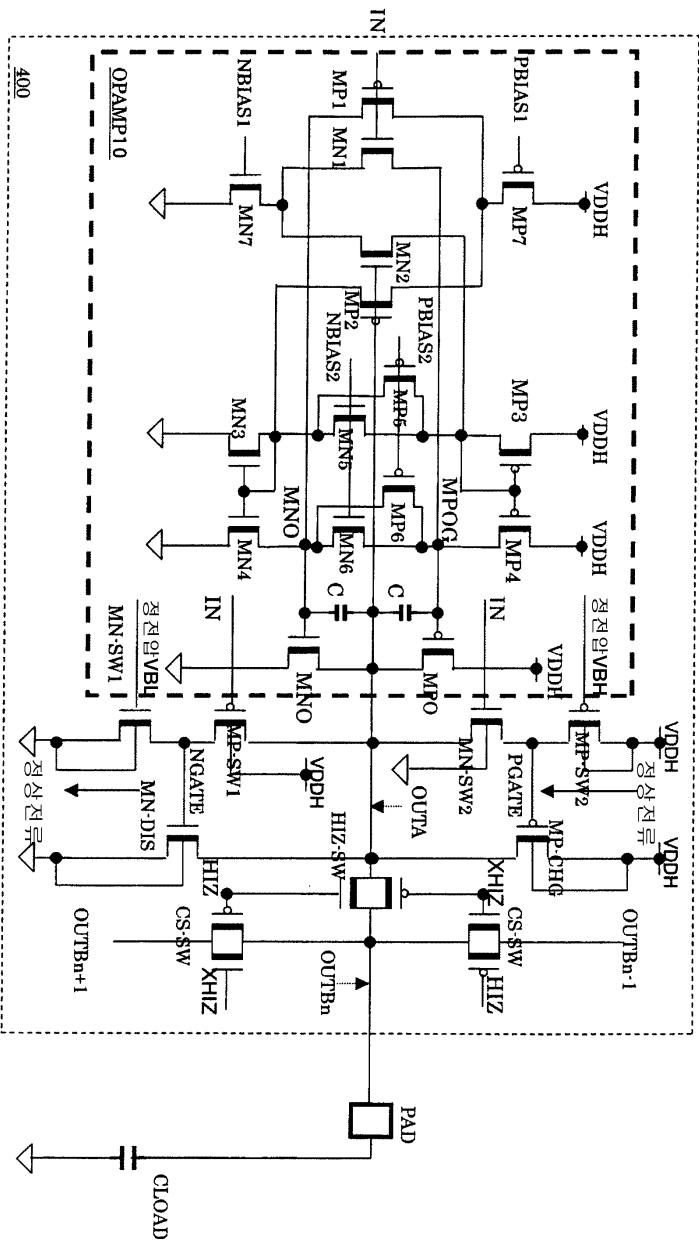
도면5



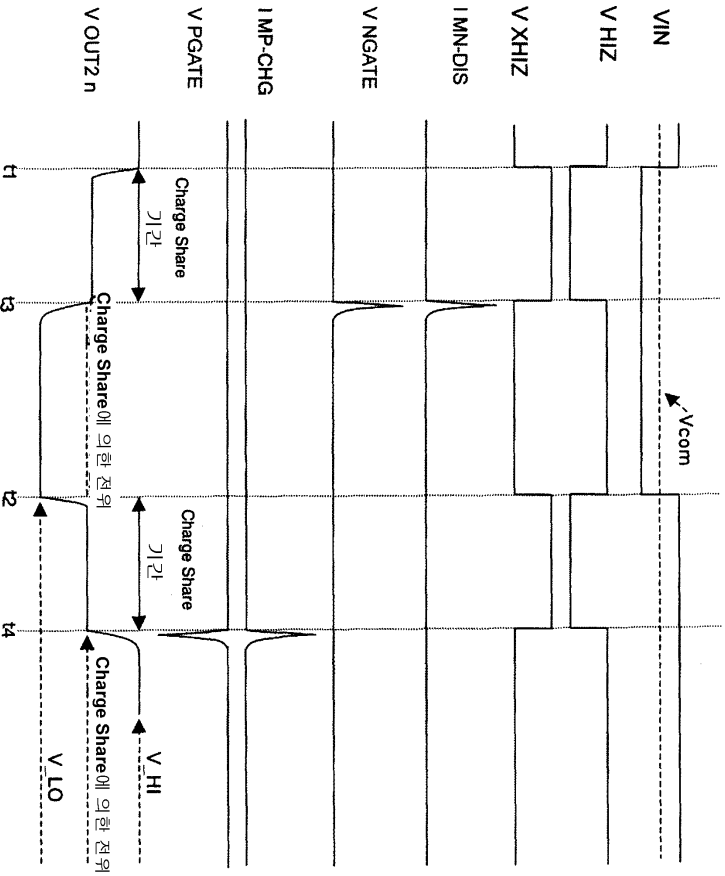
도면6



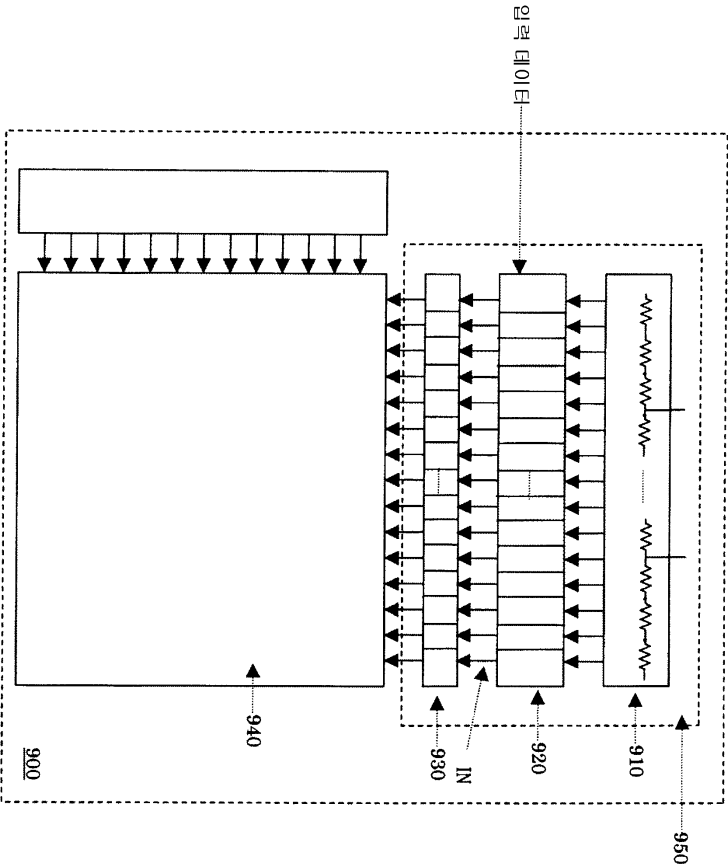
도면7



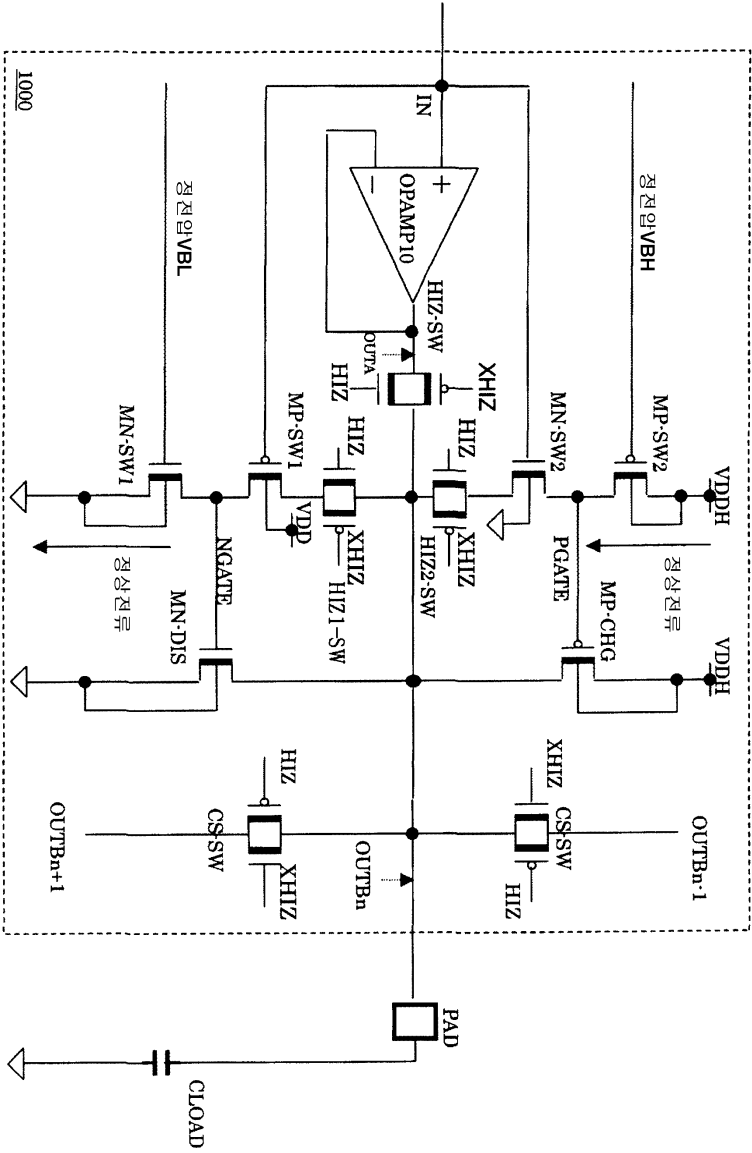
도면8



도면9



도면10



专利名称(译)	一种驱动电路和液晶显示装置的驱动装置		
公开(公告)号	KR101433862B1	公开(公告)日	2014-08-26
申请号	KR1020070080396	申请日	2007-08-10
申请(专利权)人(译)	青金石半导体株式会社		
当前申请(专利权)人(译)	青金石半导体株式会社		
[标]发明人	YAMAZAKI KOJI		
发明人	YAMAZAKI,KOJI		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H03K19/0175		
CPC分类号	H03K19/018507 G09G2320/0252 G09G2330/023 G09G3/3685 G09G2310/027 G09G2310/0291		
代理人(译)	LEE HWA我		
优先权	2006221854 2006-08-16 JP		
其他公开文献	KR1020080015727A		
外部链接	Espacenet		

摘要(译)

本发明提供一种适用于液晶显示器的驱动电路，包括运算放大器，该运算放大器具有反相输入，非反相输入和第一输出，其反相输入和第一输出相互连接。；第一PMOS晶体管，具有用于连接运算放大器的非反相输入的节点的栅极，以及用于连接运算放大器的输出的节点的源极；第一NMOS晶体管，具有连接第一PMOS晶体管的漏极的栅极，连接有运算放大器输出的节点的漏极，以及连接到地的源极；第二NMOS晶体管，具有提供有预定第一电压的栅极，漏极，第一PMOS晶体管的漏极连接到该漏极，以及源极接地。

