



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월17일
(11) 등록번호 10-1319088
(24) 등록일자 2013년10월10일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0119911

(22) 출원일자 2006년11월30일

심사청구일자 2011년11월22일

(65) 공개번호 10-2008-0049397

(43) 공개일자 2008년06월04일

(56) 선행기술조사문헌

KR1019980081501 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김진성

경상북도 구미시 인동36길 23-34, 부영APT 706동 203호 (구평동)

김민기

대구광역시 수성구 달구벌대로627길 22-11 (매호동)

(74) 대리인

서교준

전체 청구항 수 : 총 21 항

심사관 : 손현웅

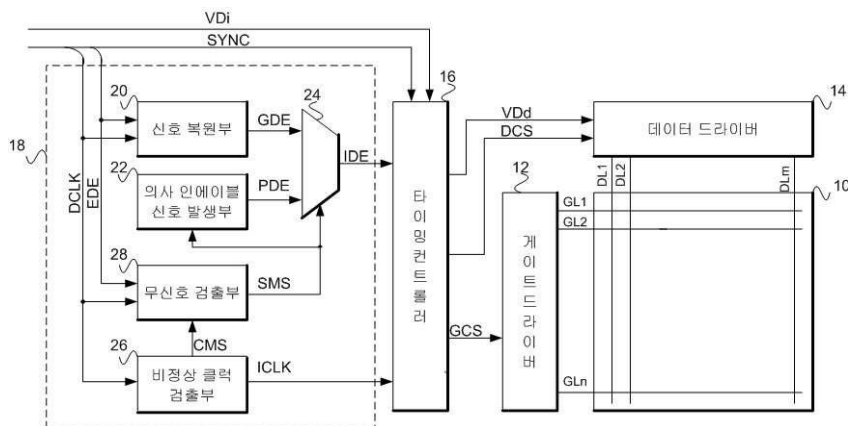
(54) 발명의 명칭 평판 패널용 화상 모드 제어기 및 그를 포함한 평판 표시장치

(57) 요약

평판 표시 장치의 신뢰성을 향상시킬 수 있는 화상 모드 제어기가 개시된다.

화상 모드 제어기는, 화소 데이터들의 전송 구간을 지시하는 제1 타이밍 신호 및 상기 화소 데이터들 각각의 전송 시간을 지시하는 제2 타이밍 신호를 입력하는 입력부; 상기 제1 타이밍 신호로서 사용될 의사 타이밍 신호를 발생하는 의사 타이밍 신호 발생부; 상기 제1 타이밍 신호 및 상기 의사 타이밍 신호를 선택적으로 출력하여 비디오 화상 모드 및 블랙 화상 모드가 지정되게 하는 선택부; 및 상기 입력부로부터의 제1 타이밍 신호의 존재 여부 및 상기 제2 타이밍 신호의 주기 변화 여부에 근거하여 상기 선택부의 선택 동작을 제어하는 선택 제어부를 구비한다.

대표도



특허청구의 범위

청구항 1

화소 데이터들의 전송 구간을 지시하는 제1 타이밍 신호 및 상기 화소 데이터들 각각의 전송 시간을 지시하는 제2 타이밍 신호를 입력하는 입력부;

상기 제1 타이밍 신호로서 사용될 제1 의사 타이밍 신호를 발생하는 제1 의사 타이밍 신호 발생부;

상기 제1 타이밍 신호 및 상기 제1 의사 타이밍 신호를 선택적으로 출력하여 비디오 화상 모드 및 블랙 화상 모드가 지정되게 하는 제1 선택부; 및

상기 입력부로부터의 제1 타이밍 신호의 존재 여부 및 상기 제2 타이밍 신호의 주기 변화 여부에 근거하여 상기 제1 선택부의 선택 동작을 제어하는 선택 제어부를 구비하고,

상기 선택 제어부는 상기 제1 타이밍 신호가 수신됨과 아울러 상기 제2 타이밍 신호의 주기가 일정하게 유지되는 경우에 상기 제1 타이밍 신호가 출력되게 상기 제1 선택부를 제어하고,

상기 선택 제어부가

상기 입력부로부터 상기 제1 타이밍 신호의 수신 여부를 검출하는 무 신호 검출부;

상기 입력부로부터의 상기 제2 타이밍 신호의 주기 변화 여부를 검출하는 비정상 신호 검출부; 및

상기 무 신호 검출부 및 상기 비정상 신호 검출부의 출력 신호들을 합성하여 그 합성된 신호를 선택 신호로서 상기 제1 선택부에 공급하는 신호 합성부를 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서, 상기 비정상 신호 검출부가

상기 제2 타이밍 신호에 대응하는 제2 의사 타이밍 신호를 발생하는 제2 의사 타이밍 신호 발생부; 및

상기 입력부로부터의 상기 제2 타이밍 신호와 상기 제2 의사 타이밍 신호 발생부로부터의 상기 제2 의사 타이밍 신호와 주기를 비교하여 비교 결과에 따라 다른 논리 값을 가지는 타이밍 모니터링 신호를 상기 신호 합성부에 공급하는 제1 비교부를 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 5

제 4 항에 있어서, 상기 타이밍 모니터링 신호는 상기 제2 타이밍 신호와 상기 제2 의사 타이밍 신호의 주기가 일치하지 않는 경우에 특정 논리를 그리고 상기 타이밍 신호와 상기 제2 의사 타이밍 신호의 주기가 일치하는 경우에는 기저 논리를 각각 가지는 것을 특징으로 하는 화상 모드 제어기.

청구항 6

제 5 항에 있어서, 상기 비정상 신호 검출부가

상기 제1 비교기와 상기 신호 합성부 사이에 접속되어 상기 제2 타이밍 신호와 상기 제2 의사 타이밍 신호의 주기가 일정한 기간 이상 지속적으로 다른 경우에 상기 타이밍 모니터링 신호가 상기 특정논리를 가지게 제1 타이밍 카운터를 추가로 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 7

제 6 항에 있어서, 상기 제1 타임 카운터가 상기 제2 의사 타이밍 신호 발생부로부터의 상기 제2 의사 타이밍 신호를 이용하여 상기 일정한 기간을 카운트하는 것을 특징으로 하는 화상 모드 제어기.

청구항 8

제 7 항에 있어서, 상기 비정상 신호 검출부가

상기 입력부로부터 상기 제1 비교기 쪽으로 공급될 상기 제1 타이밍 신호를 주파수 분주하는 분주기를 추가로 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 9

제 8 항에 있어서, 상기 분주기의 주파수 분주비 및 상기 제2 의사 타이밍 신호 발생부의 발진 주파수 중 어느 하나가 화상의 해상도에 따라 변경되는 것을 특징으로 하는 화상 모드 제어기.

청구항 10

제 6 항 내지 제 9 항 중 어느 한 항에 있어서, 상기 비정상 신호 검출부가

상기 제1 타임 카운터로부터의 상기 타이밍 모니터링 신호의 논리 값에 응답하여, 상기 입력부로부터의 상기 제2 타이밍 신호 및 상기 제2 의사 타이밍 신호 발생부로부터의 상기 제2 의사 타이밍 신호를 선택적으로 출력하는 제2 선택부를 추가로 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 11

제 1 항에 있어서, 상기 선택 제어부가

상기 무 신호 검출부에 의하여 상기 제1 타이밍 신호가 일정한 기간 이상 지속적일 검출되지 않을 경우에 상기 무 신호 검출부의 출력을 상기 신호 합성부 쪽으로 전달하는 제2 타임 카운터를 추가로 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 12

제 1 항에 있어서, 상기 신호 합성부가

상기 무 신호 검출부 및 상기 비정상 신호 검출부의 출력 신호들을 논리 합 연산하는 논리 소자를 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 13

제 1 항에 있어서,

상기 입력부로부터 상기 제1 선택부로 공급될 상기 제1 타이밍 신호를 복원하는 신호 복원부를 추가로 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 14

제 13 항에 있어서, 상기 신호 복원부가

상기 입력부로부터의 제2 타이밍 신호를 이용하여 상기 제1 타이밍 신호의 인에이블 구간을 카운트하는 제3 타임 카운터; 및

상기 입력부로부터의 상기 제1 타이밍 신호 및 상기 제3 타임 카운터의 출력 신호를 이용하여 상기 제1 타이밍 신호와 동기된 기준 타이밍 신호를 발생하여 복원된 제1 타이밍 신호로서 상기 제1 선택부에 공급하는 제1 논리 조합 소자를 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 15

제 14 항에 있어서, 상기 신호 복원부가

상기 입력부로부터의 상기 제2 타이밍 신호를 이용하여 상기 제1 타이밍 신호의 디스에이블 구간의 일부를 카운트하는 제4 타임 카운터; 및

상기 제3 및 제4 타임 카운터와 상기 제1 논리 조합 소자의 사이에 접속되어 상기 제3 및 제4 타임 카운터들의 출력 신호들을 논리 조합하고 그 논리 조합된 신호를 상기 제1 논리 조합 소자에 공급하는 제2 논리 조합 소자를 추가로 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 16

제 15 항에 있어서, 상기 제1 논리 조합 소자가 상기 제1 타이밍 신호의 특정 에지에 응답하여 상기 기준 타이밍 신호를 세트한 후 상기 제2 논리 조합 소자의 출력 신호에 응답하여 상기 기준 타이밍 신호를 리셋하는 동기식 기억 소자를 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 17

제 16 항에 있어서, 상기 제2 논리 조합 소자가 상기 제3 타임 카운터로부터의 출력 신호의 특정 논리에 응답하여 상기 동기식 기억 소자에 공급될 신호를 세트한 후 상기 제4 타임 카운터의 출력 신호의 특정 논리에 응답하여 상기 동기식 기억 소자에 공급될 신호를 리셋하는 논리식 기억 소자를 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 18

제 17 항에 있어서, 상기 제3 타임 카운터가 상기 동기식 기억 소자로부터의 상기 기준 타이밍 신호에 응답하여 카운트 동작을 수행하고, 상기 제4 타임 카운터가 상기 논리식 기억 소자의 출력 신호에 응답하여 카운트 동작을 수행하는 것을 화상 모드 제어기.

청구항 19

제 18 항에 있어서, 상기 동기식 기억 소자가 플립 플롭을 구비하고, 상기 논리식 기억 소자가 래치를 구비하는 것을 특징으로 하는 화상 모드 제어기.

청구항 20

제 1 항, 제 4 항 내지 제 9 항 및 제 11 항 내지 제 19 항 중 어느 한 항에 있어서, 상기 제1 및 제2 타이밍 신호가 각각 데이터 인에이블 신호 및 데이터 클럭인 것을 특징으로 하는 화상 모드 제어기.

청구항 21

평판 패널;

화소 데이터 스트림, 상기 화소 데이터 스트림에 포함된 화소 데이터들의 전송 구간을 지시하는 제1 타이밍 신호, 및 상기 화소 데이터들 각각의 전송 시간을 지시하는 제2 타이밍 신호를 입력하는 입력부;

상기 입력부로부터의 상기 화소 데이터 스트림과 제1 및 제2 타이밍 신호를 이용하여 상기 평판 패널을 구동하여 상기 화소 데이터 스트림에 해당하는 화상을 표시하는 구동 회로;

상기 제1 타이밍 신호에 대응하는 의사 타이밍 신호를 발생하는 의사 타이밍 신호 발생부;

상기 입력부로부터의 상기 제1 타이밍 신호 및 상기 제1 의사 타이밍 신호가 선택적으로 상기 구동 회로에 공급하여 상기 화소 데이터 스트림에 해당하는 비디오 화상 및 블랙 화상이 선택적으로 상기 평판 패널 상에 표시되게 하는 선택부; 및

상기 입력부로부터의 제1 타이밍 신호의 존재 여부 및 상기 제2 타이밍 신호의 주기 변화 여부에 근거하여 상기 선택부의 선택 동작을 제어하는 선택 제어부를 구비하고,

상기 선택 제어부는 상기 제1 타이밍 신호가 수신됨과 아울러 상기 제2 타이밍 신호의 주기가 일정하게 유지되는 경우에 상기 제1 타이밍 신호가 출력되게 상기 선택부를 제어하고,

상기 선택 제어부가

상기 입력부로부터 상기 제1 타이밍 신호의 수신 여부를 검출하는 무 신호 검출부;

상기 입력부로부터의 상기 제2 타이밍 신호의 주기 변화 여부를 검출하는 비정상 신호 검출부; 및

상기 무 신호 검출부 및 상기 비정상 신호 검출부의 출력 신호들을 합성하여 그 합성된 신호를 선택 신호로서 상기 선택부에 공급하는 신호 합성부를 구비하는 것을 특징으로 하는 평판 표시 장치.

청구항 22

제 21 항에 있어서,

상기 입력부로부터 상기 선택부로 공급될 상기 제1 타이밍 신호를 복원하는 신호 복원부를 추가로 구비하는 것을 특징으로 하는 평판 표시 장치.

청구항 23

제 22 항에 있어서, 상기 평판 패널이 액정 패널을 구비하는 것을 특징으로 하는 평판 표시 장치.

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판 패널 상에 화상을 표시하는 평판 표시 장치에 관한 것으로, 특히 평판 패널 상에 비디오 화상

[0013]

및 블랙 화상이 선택적으로 표시되게 하는 화상 모드 제어기와 그를 포함하는 평판 표시 장치 및 그 구동 방법에 관한 것이다.

[0014] 통상의 액정 패널, 플라즈마 표시 패널 및 전계-발광 표시 패널 등과 같은 평판 패널(Flat Panel)은 스캔 라인(게이트 라인)들 및 데이터 라인들에 의하여 구분된 단위 영역들 각각에 형성된 화소들이 포함한다. 이에 따라, 평판 패널은 두께를 얇게 하면서도 화면의 사이즈를 한계 이상으로 크게 할 수 있다. 실제로, 평판 패널은 기존의 표시 소자인 음극선관에 비하여 현저하게 얇은 두께를 가지면서도 큰 화면을 제공하고 있다. 나아가, 평판 패널은 화상 표시 장치의 슬림화 및 경량화를 가능케 한다.

[0015] 이러한 평판 패널 상에 표시될 화상에 해당하는 비디오 데이터는 비디오 소스(예를 들면, 컴퓨터 시스템의 그래픽 카드 또는 텔레비전 수신기의 영상 복조부)로부터 화소 데이터 스트림 형태로 평판 표시 장치에 공급된다. 이러한 스트림 형태의 비디오 데이터와 함께 데이터 클럭(Data Clock) 및 데이터 인에이블(Data Enable)신호 등과 같은 타이밍 신호들도 전송된다. 이들 타이밍 신호들은 화소 데이터의 주기 및 화소 데이터의 존재 구간 등을 지시하여 평판 표시 장치가 비디오 데이터를 정확하게 수신할 수 있게 한다.

[0016] 비디오 소스가 초기화되지 않은 초기 부팅(Booting) 시, 타이밍 신호들 중 일부는 일정한 기간 동안 발생되지 않거나 나머지는 비디오 데이터의 타이밍과 일치되지 않는 상태로(즉, 비정상적인 형태로) 발생될 수 있다. 실제로, 데이터 인에이블 신호는 초기 부팅 기간 동안에, 데이터 인에이블 신호는 발생되지 않는 반면에 데이터 클럭은 그 주기가 비디오 데이터의 타이밍과 일치되지 않는 상태(즉, 비정상적인 형태로) 발생된다. 일부 타이밍 신호의 결여는 평판 표시 장치로 하여금 비디오 데이터를 정확하게 수신할 수 없게 한다. 이로 인하여, 평판 패널 상에는 원래의 화상과는 전혀 다른 비정상적인 화상이 표시될 수밖에 없다.

[0017] 또한, 평판 패널에 표시될 화상의 해상도 모드가 변경되는 경우에도, 타이밍 신호들은 일시적으로 비디오 데이터와 일치되지 않는 비정상적인 상태로 가지게 된다. 실제로, 데이터 인에이블 신호 및 데이터 클럭 모두가 일시적으로 비디오 데이터의 타이밍과 일치되지 않게 된다. 이러한 비정상적인 타이밍 신호들은 평판 표시 장치로 하여금 비디오 데이터를 정확하게 수신할 수 없게 한다. 이로 인하여, 평판 패널 상에는 원래의 화상과는 전혀 다른 비정상적인 화상이 표시될 수밖에 없다.

[0018] 나아가, 비디오 데이터와 함께 전송되는 타이밍 신호들은 비디오 소스로부터 평판 표시 장치 쪽으로 전송되는 도중에 잡음의 영향을 받아 왜곡될 수 있다. 타이밍 신호의 왜곡으로 인하여, 평판 표시 장치가 비디오 데이터를 정확하게 수신할 수 없게 한다. 이로 인하여, 평판 표시 패널 상에는 원래의 화상과는 전혀 다른 비정상적인 화상이 표시될 수 있다.

[0019] 이와 같은 비정상적인 화상의 표시를 방지하기 위하여, 기존의 평판 표시 장치에는 블랙 화상을 표시하는 방안이 사용되고 있다. 블랙 화상의 표시 방안에 따르면, 비디오 소스로부터의 타이밍 신호들 중 데이터 인에이블 신호의 존재 여부에 따라 수신된 데이터 인에이블 신호 또는 의사 인에이블 신호에 근거하여 비디오 데이터의 수신 및 액정 패널의 구동이 진행되게 한다. 다시 말하여, 데이터 인에이블 신호가 수신되는 경우에는 수신된 데이터 인에이블 신호에 근거하여 화상의 표시가 진행된다. 반면, 데이터 인에이블 신호가 수신되지 않는 경우에는 의사 인에이블 신호에 근거하여 블랙 화상의 표시가 진행된다.

[0020] 이렇게 일부 타이밍 신호의 존재 여부에 의존하여 비디오 화상과 블랙 화상의 표시가 선택적으로 수행되기 때문에, 화상의 해상도 모드가 변경되는 경우에 평판 패널에는 비정상적인 화상이 표시될 수밖에 없다. 이에 더하여, 타이밍 신호들(특히, 데이터 인에이블 신호)이 잡음으로 인하여 왜곡되는 경우에도, 평판 패널에는 비정상적인 화상이 표시될 수 있다. 이러한 비정상적인 화상은 평판 표시 장치의 신뢰성을 크게 떨어뜨리는 원인으로 작용하고 있다.

발명이 이루고자 하는 기술적 과제

[0021] 본 발명의 목적은 평판 표시 장치의 신뢰성을 향상시킬 수 있는 화상 모드 제어기를 제공함에 있다.

[0022] 본 발명의 다른 목적은 비정상적인 화상의 표시를 방지할 수 있는 평판 표시 장치 및 그 구동 방법을 제공함에 있다.

[0023] 본 발명의 또 다른 목적은 타이밍 신호가 왜곡되더라도 화상의 정상적인 표시를 가능하게 하는 평판 표시 장치 및 그 구동 방법을 제공함에 있다.

[0024]

발명의 구성 및 작용

- [0025] 상기 목적을 달성하기 위한 본 발명의 일면의 실시 예에 따른 화상 모드 제어기는, 화소 데이터들의 전송 구간을 지시하는 제1 타이밍 신호 및 상기 화소 데이터들 각각의 전송 시간을 지시하는 제2 타이밍 신호를 입력하는 입력부; 상기 제1 타이밍 신호로서 사용될 제1 의사 타이밍 신호를 발생하는 제1 의사 타이밍 신호 발생부; 상기 제1 타이밍 신호 및 상기 제1 의사 타이밍 신호를 선택적으로 출력하여 비디오 화상 모드 및 블랙 화상 모드가 지정되게 하는 제1 선택부; 및 상기 입력부로부터의 제1 타이밍 신호의 존재 여부 및 상기 제2 타이밍 신호의 주기 변화 여부에 근거하여 상기 제1 선택부의 선택 동작을 제어하는 선택 제어부를 구비한다.
- [0026] 상기의 선택 제어부는 상기 제1 타이밍 신호가 수신됨과 아울러 상기 제2 타이밍 신호의 주기가 일정하게 유지되는 경우에 상기 제1 타이밍 신호가 출력되게 상기 제1 선택부를 제어한다.
- [0027] 상기의 선택 제어부가, 상기 입력부로부터 상기 제1 타이밍 신호의 수신 여부를 검출하는 무 신호 검출부; 상기 입력부로부터의 상기 제2 타이밍 신호의 주기 변화 여부를 검출하는 비정상 신호 검출부; 및 상기 무 신호 검출부 및 상기 비정상 신호 검출부의 출력 신호들을 합성하여 그 합성된 신호를 선택 신호로서 상기 제1 선택부에 공급하는 신호 합성부를 구비할 수 있다.
- [0028] 상기의 비정상 신호 검출부가, 상기 제2 타이밍 신호에 대응하는 제2 의사 타이밍 신호를 발생하는 제2 의사 타이밍 신호 발생부; 및 상기 입력부로부터의 상기 제2 타이밍 신호와 상기 제2 의사 타이밍 신호 발생부로부터의 상기 제2 의사 타이밍 신호와 주기를 비교하여 비교 결과에 따라 다른 논리 값을 가지는 타이밍 모니터링 신호를 상기 신호 합성부에 공급하는 제1 비교부를 구비할 것이다.
- [0029] 상기의 타이밍 모니터링 신호는 상기 제2 타이밍 신호와 상기 제2 의사 타이밍 신호의 주기가 일치하지 않는 경우에 특정 논리를 그리고 상기 타이밍 신호와 상기 제2 의사 타이밍 신호의 주기가 일치하는 경우에는 기저 논리를 각각 가질 것이다.
- [0030] 상기의 비정상 신호 검출부는, 상기 제1 비교기와 상기 신호 합성부 사이에 접속되어 상기 제2 타이밍 신호와 상기 제2 의사 타이밍 신호의 주기가 일정한 기간 이상 지속적으로 다른 경우에 상기 타이밍 모니터링 신호가 상기 특정논리를 가지게 제1 타임 카운터를 추가로 구비할 수 있다.
- [0031] 상기의 제1 타임 카운터가 상기 제2 의사 타이밍 신호 발생부로부터의 상기 제2 의사 타이밍 신호를 이용하여 상기 일정한 기간을 카운트할 것이다.
- [0032] 상기 비정상 신호 검출부가 상기 입력부로부터 상기 제1 비교기 쪽으로 공급될 상기 제1 타이밍 신호를 주파수 분주하는 분주기를 추가로 구비할 수도 있다.
- [0033] 상기의 분주기의 주파수 분주비 및 상기의 제2 의사 타이밍 신호 발생부의 발진 주파수 중 어느 하나가 화상의 해상도에 따라 변경될 수 있다.
- [0034] 상기의 비정상 신호 검출부는, 상기 타임 카운터로부터의 상기 타이밍 모니터링 신호의 논리 값에 응답하여 상기 입력부로부터의 상기 제2 타이밍 신호 및 상기 제2 의사 타이밍 신호 발생부로부터의 상기 제2 의사 타이밍 신호를 선택적으로 출력하는 제2 선택부를 추가로 구비할 수 있다.
- [0035] 상기의 선택 제어부가, 상기 무 신호 검출부에 의하여 상기 제1 타이밍 신호가 일정한 기간 이상 지속적임을 검출되지 않을 경우에 상기 무 신호 검출부의 출력을 상기 신호 합성부 쪽으로 전달하는 제2 타임 카운터를 추가로 구비할 수도 있다.
- [0036] 상기 신호 합성부가, 상기 무 신호 검출부 및 상기 비정상 신호 검출부의 출력 신호들을 논리 합 연산하는 제1 논리 소자를 구비할 것이다.
- [0037] 상기의 화상 모드 제어기는, 상기 입력부로부터 상기 제1 선택부로 공급될 상기 제1 타이밍 신호를 복원하는 신호 복원부를 추가로 구비할 수 있다.
- [0038] 상기의 신호 복원부가, 상기 입력부로부터의 제2 타이밍 신호를 이용하여 상기 제1 타이밍 신호의 인에이블 구간을 카운트하는 제3 타임 카운터; 및 상기 입력부로부터의 상기 제1 타이밍 신호 및 상기 제3 타임 카운터의 출력 신호를 이용하여 상기 제1 타이밍 신호와 동기된 기준 타이밍 신호를 발생하여 복원된 제1 타이밍 신호로서 상기 제1 선택부에 공급하는 논리 조합 소자를 구비한다.

- [0039] 상기의 신호 복원부는, 상기 입력부로부터의 상기 제2 타이밍 신호를 이용하여 상기 제1 타이밍 신호의 디스에이블 구간의 일부를 카운트하는 제4 타임 카운터; 및 상기 제3 및 제4 타임 카운터와 상기 제1 논리 조합 소자의 사이에 접속되어 상기 제3 및 제4 타임 카운터들의 출력 신호들을 논리 조합하고 그 논리 조합된 신호를 상기 제1 논리 조합 소자에 공급하는 제2 논리 조합 소자를 추가로 구비할 수 있다.
- [0040] 상기의 제1 논리 조합 소자가 상기 제1 타이밍 신호의 특정 에지에 응답하여 상기 기준 타이밍 신호를 세트한 후 상기 제2 논리 조합 소자의 출력 신호에 응답하여 상기 기준 타이밍 신호를 리세트하는 동기식 기억 소자를 구비할 것이다.
- [0041] 상기의 제2 논리 조합 소자가 상기 제3 타임 카운터로부터의 출력 신호의 특정 논리에 응답하여 상기 동기식 기억 소자에 공급될 신호를 세트한 후 상기 제4 타임 카운터의 출력 신호의 특정 논리에 응답하여 상기 동기식 기억 소자에 공급될 신호를 리세트하는 논리식 기억 소자를 구비할 것이다.
- [0042] 상기의 제3 타임 카운터가 상기 동기식 기억 소자로부터의 상기 기준 타이밍 신호에 응답하여 카운트 동작을 수행하고, 상기 제4 타임 카운터가 상기 논리식 기억 소자의 출력 신호에 응답하여 카운트 동작을 수행하는 것이 바람직하다.
- [0043] 상기 동기식 기억 소자가 플립 플롭을 구비하고, 상기 논리식 기억 소자가 래치를 구비하는 것이 바람직하다.
- [0044] 상기의 제1 및 제2 타이밍 신호가 각각 데이터 인에이블 신호 및 데이터 클럭에 대응할 것이다.
- [0045] 본 발명의 다른 일면의 실시 예에 따른 평판 표시 장치는, 평판 패널; 화소 데이터 스트림, 상기 화소 데이터 스트림에 포함된 화소 데이터들의 전송 구간을 지시하는 제1 타이밍 신호, 및 상기 화소 데이터들 각각의 전송 시간을 지시하는 제2 타이밍 신호를 입력하는 입력부; 상기 입력부로부터의 상기 화소 데이터 스트림과 제1 및 제2 타이밍 신호를 이용하여 상기 평판 패널을 구동하여 상기 화소 데이터 스트림에 해당하는 화상을 표시하는 구동 회로; 상기 제1 타이밍 신호에 대응하는 의사 타이밍 신호를 발생하는 의사 타이밍 신호 발생부; 상기 입력부로부터의 상기 제1 타이밍 신호 및 상기 제1 의사 타이밍 신호를 선택적으로 상기 구동 회로에 공급하여 상기 비디오 데이터 스트림에 해당하는 비디오 화상 및 블랙 화상이 선택적으로 상기 평판 패널 상에 표시되게 하는 선택부; 및 상기 입력부로부터의 제1 타이밍 신호의 존재 여부 및 상기 제2 타이밍 신호의 주기 변화 여부에 근거하여 상기 선택부의 선택 동작을 제어하는 선택 제어부를 구비한다.
- [0046] 상기의 평판 표시 장치는 상기 입력부로부터 상기 선택부로 공급될 상기 제1 타이밍 신호를 복원하는 신호 복원부를 추가로 구비할 수 있다.
- [0047] 상기의 평판 패널이 액정 패널을 구비할 것이다.
- [0048] 본 발명의 또 다른 일면의 실시 예에 따른 평판 표시 장치의 구동 방법은, 화소 데이터 스트림, 상기 화소 데이터 스트림에 포함된 화소 데이터들의 전송 구간을 지시하는 제1 타이밍 신호, 및 상기 화소 데이터들 각각의 전송 시간을 지시하는 제2 타이밍 신호를 입력하는 입력부; 평판 패널; 상기 입력부로부터의 상기 화소 데이터 스트림과 제1 및 제2 타이밍 신호를 이용하여 상기 평판 패널을 구동하여 상기 화소 데이터 스트림에 해당하는 화상을 표시하는 구동 회로; 및 상기 제1 타이밍 신호에 대응하는 의사 타이밍 신호를 발생하는 의사 타이밍 신호 발생부를 구비하는 평판 표시 장치에 관한 것이다. 상기의 구동 방법은, 상기 입력부로부터 상기 제1 타이밍 신호의 수신 여부를 검출하는 단계; 상기 입력부로부터의 상기 제2 타이밍 신호의 주기 변동 여부를 검출하는 단계; 및 상기 제1 타이밍 신호의 수신 여부 및 상기 제2 타이밍 신호의 주기 변동 여부에 따라 상기 입력부로부터의 제1 타이밍 신호 및 상기 의사 타이밍 신호를 선택적으로 상기 구동 회로에 공급하여 상기 비디오 데이터 스트림에 해당하는 비디오 화상 및 블랙 화상이 선택적으로 상기 평판 패널 상에 표시되게 하는 단계를 포함한다.
- [0049] 상기의 제1 타이밍 신호의 절환 단계는, 상기 제1 타이밍 신호가 수신됨과 아울러 상기 제2 타이밍 신호의 주기가 일정하게 유지되는 경우에 상기 제1 타이밍 신호가 상기 구동 회로에 공급하여 상기 비디오 화상이 상기 평판 패널 상에 표시되게 하는 단계를 포함한다.
- [0050] 상기의 제1 타이밍 신호의 공급 단계는 상기 입력부로부터 상기 구동 회로로 공급될 상기 제1 타이밍 신호의 파형을 복원하는 단계를 포함하는 것이 바람직하다.
- [0051] 상기 목적 외에 본 발명의 다른 목적들, 다른 특징들 및 다른 이점들은 첨부한 도면과 결부된 실시 예의 상세한 설명을 통하여 명백하게 드러나게 될 것이다.

- [0052] 이하, 본 발명의 실시 예가 첨부된 도면들과 결부되어 상세하게 설명될 것이다.
- [0053] 도 1은 본 발명의 실시 예에 따른 화상 모드 제어기가 포함된 액정 표시 장치를 개략적으로 설명하는 블록도이다. 도 1에 도시된 액정 표시 장치가 실시 예로서 설명되더라도, 본 발명이 속하는 기술에 대한 통상의 지식을 가진 자라면 본 발명의 사상 및 범위를 이탈하지 않으면서 다양한 형태로 변형 또는 변경할 수 있음을 알 수 있을 것이다. 예를 들면, 플라스마 표시 장치 및 전계-발광 표시 장치에도 본 발명이 적용될 수 있을 것이다.
- [0054] 도 1을 참조하면, 액정 표시 장치는 액정 패널(10) 상의 다수의 게이트 라인(GL1~GLn)에 접속된 게이트 드라이버(12) 및 액정 패널(10) 상의 다수의 데이터 라인(DL1~DLm)에 접속된 데이터 드라이버(14)를 구비한다. 다수의 게이트 라인(GL1~GLn) 및 다수의 데이터 라인(DL1~DLm)은 서로 교차하게끔 액정 패널(10) 상에 형성되어 다수의 화소 영역이 구분되게 한다. 다수의 화소 영역 각각에는 화소가 형성된다.
- [0055] 액정 패널(10) 상의 화소들 각각은, 대응하는 데이터 라인(DL)과 공통 전압 라인(도시하지 않음) 사이에 직렬 접속된 박막 트랜지스터(도시하지 않음) 및 액정 셀(도시하지 않음)을 구비한다. 박막 트랜지스터는 대응하는 게이트 라인(GL) 상의 스캔 신호에 응답하여 대응하는 데이터 라인(DL)으로부터 대응하는 액정 셀에 공급될 화소 구동 신호를 절환한다. 대응하는 박막 트랜지스터가 턴-온(Turn-on)된 때에, 액정 셀은 대응하는 데이터 라인(DL)으로부터의 화소 구동 신호를 충전한다. 액정 셀은 충전된 화소 구동 신호를 대응하는 박막 트랜지스터가 다시 턴-온 될 때까지 유지한다. 액정 셀은 화소 구동 신호와 공통 전압과의 전위 차에 따라 광 투과량을 조절하여 화상이 액정 패널(10) 상에 표시되게 한다.
- [0056] 게이트 드라이버(12)는 1 프레임 동안 다수의 게이트 라인(GL1~GLn)을 순차적으로 일정한 기간(예를 들면, 하나의 수평 동기 신호의 기간)만큼씩 인에이블(Enable) 시킨다. 이를 위하여, 게이트 드라이버(12)는 수평 동기 신호의 주기마다 순차적으로 쉬프트(Shift) 되는 인에이블 펄스를 서로 배타적으로 가지는 다수의 스캔 신호를 발생한다. 다수의 스캔 신호 각각에 포함된 게이트 인에이블 펄스는 수평 동기 신호의 기간과 동일한 폭을 가진다. 다수의 스캔 신호 각각에 포함된 인에이블 펄스는 프레임 주기마다 한번 씩 발생 된다. 이러한 다수의 스캔 신호를 발생하기 위하여, 게이트 드라이버(12)는 타이밍 컨트롤러(16)로부터의 게이트 제어 신호들(GCS)에 응답한다. 게이트 제어 신호들(GCS)에는 게이트 스타트 펄스 및 게이트 클럭이 포함된다. 게이트 스타트 펄스는 프레임 기간의 시작 시점으로부터 하나의 수평 동기 신호의 기간에 해당하는 특정 논리(예를 들면, 하이 논리)의 펄스를 가진다. 게이트 클럭은 수평 동기 신호와 동일한 주기를 가진다.
- [0057] 데이터 드라이버(14)는 다수의 게이트 라인(GL1~GLn) 중 어느 하나가 인에이블 될 때마다 데이터 라인(DL1~DLm)의 수에 해당하는 (즉, 1 게이트 라인에 배열된 화소들의 수에 해당하는) 화소 구동 신호들을 발생한다. 1 라인 분의 화소 구동 신호들 각각은 대응하는 데이터 라인(DL)을 경유하여 액정 패널(10) 상의 대응하는 화소 (즉, 액정 셀)에 공급된다. 1 라인 분의 화소 구동 신호를 발생하기 위하여, 데이터 드라이버(14)는 스캔 신호에 포함된 인에이블 펄스의 기간마다 1 라인 분의 화소 데이터를 순차적으로 입력한다. 데이터 드라이버(14)는 그 순차 입력된 1 라인 분의 화소 데이터를 동시에 아날로그 형태의 화소 구동 신호로 변환한다. 화소 데이터의 입력 및 화소 구동 신호들의 출력을 위하여, 데이터 드라이버(14)는 타이밍 컨트롤러(16)로부터의 데이터 제어 신호들(DCS)에 응답한다.
- [0058] 게이트 드라이버(12) 및 데이터 드라이버(14)를 제어하기 위하여, 타이밍 컨트롤러(16)는 도시하지 않은 외부의 비디오 데이터 소스(예를 들면, 텔레비전 수신기의 영상신호 복조부 또는 컴퓨터 시스템의 그래픽 카드)로부터 타이밍 신호들에 응답한다. 외부의 비디오 데이터 소스에서 공급되는 타이밍 신호들에는 데이터 인에이블 신호(DE), 데이터 클럭(DCLK), 수평 동기 신호(Hsync) 및 수직 동기 신호(Vsync) 등이 포함된다. 타이밍 컨트롤러(16)는 타이밍 신호들을 이용하여 게이트 드라이버(12)가 매 프레임마다 액정 패널(10) 상의 다수의 게이트 라인(GL1~GLn)이 순차적으로 스캔되게 하는 다수의 스캔 신호를 발생하는데 필요한 게이트 제어 신호들(GCS)을 생성한다. 또한, 타이밍 컨트롤러(16)는 데이터 드라이버(12)로 하여금 게이트 라인(GL)이 인에이블 되는 주기마다 1 라인 분의 화소 데이터를 순차적으로 입력하고 그 순차 입력된 1 라인 분의 화소 데이터를 아날로그 형태의 화소 구동 신호로 변환 및 출력하게 하는데 필요한 데이터 제어 신호들(DCS)을 발생한다. 나아가, 타이밍 컨트롤러(16)는 비디오 데이터 소스로부터 프레임 단위(1장의 화상 단위)로 구분된 화소 데이터 스트림(VDi)을 입력한다. 타이밍 컨트롤러(16)는 화소 데이터 스트림(VDi)을 1라인 분씩 화소 데이터(VDd)로 구분하고 그 구분된 1라인 분씩의 화소 데이터(VDd)를 데이터 드라이버(14)에 공급한다.
- [0059] 도 1의 액정 표시 장치는 외부의 비디오 소스와 타이밍 컨트롤러(16) 사이에 접속되는 화상 모드 제어기(18)를 구비한다. 화상 모드 제어기(18)는, 외부의 비디오 소스로부터 데이터 인에이블 신호(ED) 및 데이터 클럭(DCLK)이 정상적으로 수신되는가에 따라, 타이밍 컨트롤러(16)로 하여금 비디오 데이터에 해당하는 화상 또는

블랙 화상의 표시를 수행하게 한다. 데이터 인에이블 신호(EDE) 및 데이터 클럭(DCLK)이 정상적으로 수신되는 경우, 화상 모드 제어기(18)는 수신된 데이터 인에이블 신호(EDE) 및 데이터 클럭(DCLK)을 내부 데이터 인에이블 신호(IDE) 및 내부 데이터 클럭(ICLK)로서 타이밍 컨트롤러(16)에 공급하여 타이밍 컨트롤러(16)로 하여금 비디오 데이터에 해당하는 비디오 화상의 표시를 수행하게 한다. 이와는 달리, 데이터 인에이블 신호(EDE)가 수신되지 않거나 또는 데이터 클럭(DCLK)이 정상적으로 수신되지 않은 경우에는, 화상 모드 제어기(18)는 데이터 인에이블 신호(EDE) 대신에 의사 인에이블 신호(PDE)를 내부 데이터 인에이블 신호(IDE)로서 타이밍 컨트롤러(16)에 공급하여 타이밍 컨트롤러(16)로 하여금 블랙 화상의 표시를 수행하게 한다. 특히, 데이터 클럭(DCLK)이 정상적으로 수신되는 경우에는, 데이터 클럭(DCLK) 대신에 의사 데이터 클럭(PCLK)이 의사 인에이블 신호(PDE)와 함께 내부 데이터 클럭(ICLK) 및 내부 데이터 인에이블 신호(IDE)로서 타이밍 컨트롤러(16)에 공급된다.

[0060] 화상 모드 제어기(18)는 신호 복원부(20)로부터의 복원된 데이터 인에이블 신호(GDE) 및 의사 인에이블 신호 발생부(22)로부터의 의사 인에이블 신호(PDE)를 입력하는 제1 선택기(24)를 구비한다. 신호 복원부(20)는 외부의 비디오 소스로부터의 데이터 인에이블 신호(EDE)를 원래의 상태로 복원하여 그 복원된 데이터 인에이블 신호(GDE)를 제1 선택기(24)에 공급한다. 신호 복원부(20)에 입력되는 데이터 인에이블 신호(EDE)는 잡음의 영향으로 인하여 인에이블 주기가 변경될 수 있다. 신호 복원부(20)는 데이터 인에이블 신호(EDE)의 변경된 인에이블 주기가 원래의 해상도에 해당하는 인에이블 주기를 가지게끔 데이터 인에이블 신호(EDE)를 복원하여 복원된 데이터 인에이블 신호(GDE)를 발생한다. 의사 인에이블 신호 발생부(22)는 일정한 인에이블 주기의 의사 인에이블 신호(PDE)를 발생한다. 제1 선택기(24)는 신호 복원부(20)로부터의 복원된 데이터 인에이블 신호(GDE) 또는 의사 인에이블 신호 발생부(22)로부터의 의사 인에이블 신호(PDE)를 내부 데이터 인에이블 신호(IDE)로서 타이밍 컨트롤러(16)에 공급한다. 복원된 데이터 인에이블 신호(GDE)를 포함하는 내부 데이터 인에이블 신호(IDE)가 타이밍 컨트롤러(16)에 공급되면, 타이밍 컨트롤러(16)는 비디오 데이터에 해당하는 비디오 화상이 액정 패널(10) 상에 표시되게끔 게이트 드라이버(12) 및 데이터 드라이버(14)를 제어한다. 반대로, 의사 인에이블 신호(PDE)를 포함하는 내부 데이터 인에이블 신호(IDE)가 타이밍 컨트롤러(16)에 공급되는 경우, 타이밍 컨트롤러(16)는 블랙 화상이 액정 패널(10) 상에 표시되게끔 게이트 드라이버(12) 및 데이터 드라이버(14)를 제어한다. 블랙 화상을 액정 패널(10) 상에 표시하기 위한 다른 방법으로, 타이밍 컨트롤러(16)는 의사 인에이블 신호(PDE)를 포함하는 내부 데이터 인에이블 신호(IDE)에 응답하여 도시하지 않은 백 라이트 유닛을 턴-오프시킬 수도 있다.

[0061] 화상 모드 제어기(18)에는, 비정상 클럭 검출부(26) 및 제1 선택기(24) 사이에 접속된 무신호 검출부(28)가 포함된다. 비정상 클럭 검출부(26)는 외부의 비디오 소스로부터의 데이터 클럭(DCLK)이 정상적인 주기를 가지는가를 검출한다. 비정상 클럭 검출부(26)에 입력되는 데이터 클럭(DCLK)의 주기는 외부의 비디오 소스의 초기 부팅 시 또는 화상의 해상도 모드가 변경되는 경우에 일시적으로 변하게 된다. 데이터 클럭(DCLK)의 주기가 변하는 경우, 타이밍 컨트롤러(16)가 비디오 데이터(VDi)를 정확하게 수신할 수 없기 때문에, 비디오 데이터(VDi)에 해당하는 화상이 정상적으로 액정 패널(10) 상에 표시될 수 없다. 데이터 클럭(DCLK)이 정상적인 주기를 가지는 경우, 비정상 클럭 검출부(26)은 수신된 데이터 클럭(DCLK)을 내부 데이터 클럭(ICLK)으로서 타이밍 컨트롤러(16)에 공급함과 아울러 기저 논리(예를 들면, 로우 논리)의 클럭 모니터링 신호(CMS)를 무신호 검출부(28)에 공급한다. 반대로, 데이터 클럭(DCLK)이 정상적인 주기와 다른 주기를 가지면, 비정상 클럭 검출부(26)는 데이터 클럭(DCLK) 대신 의사 데이터 클럭을 내부 데이터 클럭(ICLK)으로서 타이밍 컨트롤러(16)에 공급함과 동시에 특정 논리(예를 들면, 하이 논리)의 클럭 모니터링 신호(CMS)를 무신호 검출부(28)에 공급한다. 무신호 검출부(28)는 외부의 비디오 소스로부터 데이터 인에이블 신호(EDE)가 입력되고 있는가의 여부를 검출한다. 이 데이터 인에이블 신호(EDE)의 수신 여부와 비정상 클럭 검출부(26)로부터의 클럭 모니터링 신호(CMS)의 논리 값에 근거하여, 무신호 검출부(28)는 제1 선택기(24)의 선택 동작을 제어하기 위한 선택 제어 신호(SMS)를 발생한다. 무신호 검출부(28)에서 출력되는 선택 제어 신호(SMS)는 데이터 인에이블 신호(EDE)가 수신되지 않거나 비정상적인 주기의 데이터 클럭(DCLK)이 비정상 클럭 검출부(26)에 입력되는 경우(즉, 클럭 모니터링 신호(CMS)가 특정 논리를 가지는 경우)에 특정 논리(예를 들면, 하이 논리)를 가진다. 특정 논리의 선택 제어 신호(SMS)에 응답하는 제1 선택기(24)는 의사 인에이블 신호 발생부(22)로부터의 의사 인에이블 신호(PDE)를 내부 인에이블 신호(IDE)로서 타이밍 컨트롤러(16)에 공급한다. 반대로, 데이터 인에이블 신호(EDE)가 수신됨과 아울러 정상적인 주기의 데이터 클럭(DCLK)이 비정상 클럭 검출부(26)에 입력되는 경우(즉, 클럭 모니터링 신호(CMS)가 기저 논리를 가지는 경우), 무신호 검출부(28)에서 출력되는 선택 제어 신호(SMS)는 기저 논리(예를 들면, 로우 논리)를 가진다. 기저 논리의 선택 제어 신호(SMS)에 의하여, 제1 선택기(24)는 신호 복원부(20)로부터의 복원된 데이터 인에이블 신호(GDE)를 내부 인에이블 신호(IDE)로서 타이밍 컨트롤러(16)에 공급한다.

- [0062] 이상과 같이, 화상 모드 제어기(18)는 데이터 인에이블 신호(EDE)의 수신 여부 뿐만 아니라 데이터 클럭(DCLK)의 주기 변화에 근거하여 외부의 데이터 인에이블 신호(EDE) 및 외부 데이터 클럭(DCLK)와 같은 수신된 타이밍 신호들과 의사 인에이블 신호(PDE) 및 의사 데이터 클럭(PCLK)과 같은 의사 타이밍 신호를 선택적으로 출력한다. 이러한 화상 모드 제어기(18)를 포함하는 액정 표시 장치는 비디오 데이터에 해당하는 비디오 화상 및 블랙 화상만이 타이밍 신호들의 수신 상태에 따라 교번적으로 액정 패널 상에 표시된다. 이에 따라, 본 발명에 따른 액정 표시 장치에서는 이상 화상이 표시되는 현상이 발생되지 않게 된다. 이 결과, 본 발명에 따른 화상 모드 제어기 및 그를 포함한 액정 표시 장치의 신뢰성이 향상될 수 있다.
- [0063] 도 2는 도 1에 도시된 신호 복원부(20)를 상세하게 설명하는 상세 블록도이다. 도 2의 신호 복원부(20)는 외부의 비디오 소스로부터의 데이터 인에이블 신호(EDE)를 입력하는 기준 인에이블 신호 발생기(30), 제2 선택기(32) 및 제1 신호 비교기(34)를 구비한다. 기준 인에이블 신호 발생기(30)는 외부의 비디오 소스로부터의 데이터 인에이블 신호(EDE)에 동기된 기준 인에이블 신호(RDE)를 발생한다. 이를 위하여, 화상의 해상도에 대한 해상도 데이터(RNA)와 외부의 비디오 소스로부터의 데이터 클럭(DCLK)을 입력한다. 해상도 데이터(RNA)는 화상의 해상도 모드가 변경될 때마다 외부의 비디오 소스에서 발생되어 도 1에 도시된 타이밍 컨트롤러(16)에 포함된 레지스터들 중 어느 하나에 저장된다. 또한, 해상도 데이터(RNA)는 타이밍 컨트롤러(16) 내의 레지스터로부터 기준 인에이블 신호 발생기(30)에 공급된다. 기준 인에이블 신호 발생기(30)는 해상도 데이터(RNA) 및 데이터 클럭(DCLK)을 이용하여 외부 데이터 인에이블 신호(EDE)에 동기된 기준 인에이블 신호(RDE)를 발생한다.
- [0064] 제2 선택기(32)는 외부의 비디오 소스로부터의 외부 데이터 인에이블 신호(EDE) 및 기준 인에이블 신호 발생기(30)로부터의 기준 인에이블 신호(RDE) 중 어느 하나를 선택한다. 제2 선택기(32)에 의해 선택된 외부 데이터 인에이블 신호(EDE) 또는 기준 인에이블 신호(RDE)는 복원된 데이터 인에이블 신호(GDE)로서 도 1에 도시된 제1 선택기(24)에 공급된다.
- [0065] 제1 신호 비교기(34)는 외부의 비디오 소스로부터의 외부 데이터 인에이블 신호(EDE)의 논리 값과 기준 인에이블 신호 발생기(30)로부터의 기준 인에이블 신호(RDE)의 논리 값을 실시간적으로 비교하고 그 비교 결과에 따른 비교 신호를 제2 선택기(32)에 공급한다. 외부 데이터 인에이블 신호(EDE)가 논리 값에 있어서 기준 인에이블 신호(RDE)와 동일하면, 제1 신호 비교기(34)는 기저 논리(예를 들면, 로우 논리)의 비교 신호를 발생한다. 이 기저 논리의 비교 신호에 응답하는 제2 선택기(32)는 외부 데이터 인에이블 신호(EDE)를 복원된 데이터 인에이블 신호(GDE)로서 도 1의 제1 선택기(24)에 공급한다. 반대로, 외부 데이터 인에이블 신호(EDE)가 논리 값에 있어서 기준 인에이블 신호(RDE)와 일치하지 않으면, 제1 신호 비교기(34)는 특정 논리(예를 들면, 하이 논리)의 비교 신호를 발생한다. 특정 논리의 비교 신호에 의하여, 제2 선택기(32)는 기준 인에이블 신호 발생기(30)로부터의 기준 인에이블 신호(RDE)를 복원된 데이터 인에이블 신호(GDE)로서 도 1의 제1 선택기(24)에 공급한다.
- [0066] 도 3은 도 2에 도시된 기준 인에이블 신호 발생기(30)를 상세하게 설명하는 상세 블록도이다. 도 3을 참조하면, 기준 인에이블 신호 발생기(30)는 외부의 비디오 소스로부터의 외부 데이터 인에이블 신호(EDE)에 응답하는 플립플롭(40)을 구비한다. 플립 플롭(40)은 외부 데이터 인에이블 신호(EDE)의 특정 에지(예를 들면, 상승 에지(Rising Edge))에 응답하여 인버터(41)로부터의 반전된 외부 데이터 인에이블 신호의 특정 논리 값(즉, 하이 논리)를 출력단자 쪽으로 래치한다. 인버터(41)는 외부의 비디오 소스로부터의 외부 데이터 인에이블 신호(EDE)를 반전시키고 그 반전된 외부 데이터 인에이블 신호를 플립 플롭(40)의 입력단자에 공급한다. 또한, 플립 플롭(40)은 제1 래치(46)로부터 귀환되는 특정 논리(예를 들면, 하이 논리)의 펄스 형태의 래치 신호에 응답하여 자신의 출력단자 상의 논리 값을 초기화한다. 이에 따라, 플립 플롭(40)의 출력 단자에서는 기준 데이터 인에이블 신호(RDE)가 발생된다. 플립 플롭(40)의 출력 단자에서 발생되는 기준 데이터 인에이블 신호(RDE)의 인에이블 구간(즉, 화소 데이터들이 전송되는 구간을 나타내는 구간)은 제1 래치(46)로부터 특정 논리의 펄스 형태의 래치 신호가 발생될 때까지 외부의 데이터 인에이블 신호(EDE)의 논리 값이 여러 번 변경될지라도(즉, 외부 데이터 인에이블 신호(EDE)에 잡음이 있더라도) 특정 논리 값을 일정하게 유지한다. 플립플롭(40)에 의하여, 외부 데이터 인에이블 신호(EDE)의 특정 논리의 인에이블 구간에 포함된 잡음 성분이 제거된다. 또한, 기준 데이터 인에이블 신호(RDE)의 디스에이블 구간(즉, 데이터 휴지 구간을 나타내는 구간)은 래치 신호의 특정 논리의 펄스 구간 이후에 외부 데이터 인에이블 신호(EDE)의 특정 에지(즉, 상승 에지)까지 기저 논리를 유지한다. 다시 말하여, 기준 데이터 인에이블 신호(RDE)의 디스에이블 구간은 적어도 래치 신호의 특정 논리의 펄스 폭 이상을 유지하여 외부의 데이터 인에이블 신호(EDE)의 디스에이블 구간에 포함될 수 있는 잡음 성분이 제거되게 한다. 결과적으로, 플립 플롭(40)은 외부의 데이터 인에이블 신호(EDE)와 동기됨과 아울러 인에이블 구간 및 디스에이블 구간에서 잡음 성분이 제거된 기준 데이터 인에이블 신호(RDE)를 발생한다. 이렇게

플립 플롭(40)에서 발생된 기준 데이터 인에이블 신호(RDE)는 도 2의 제2 선택기(32)에 공급된다.

[0067] 도 3의 기준 데이터 인에이블 신호 발생기(30)는 플립 플롭(40) 및 제1 래치(46) 사이에 직렬 접속된 제1 카운터(42) 및 제1 비교기(44)를 구비한다. 제1 카운터(42)는 외부 데이터 인에이블 신호(EDE)의 인에이블 시작 시간으로부터의 경과 시간을 카운트한다. 이를 위하여, 제1 카운터(42)는 플립 플롭(40)으로부터 특정 논리의 기준 데이터 인에이블 신호(RDE)가 공급되는 동안 외부의 비디오 소스로부터 자신의 클럭 단자 쪽으로 데이터 클럭(DCLK)이 공급될 때마다 "1"씩 가산-카운트를 수행한다. 또한, 제1 카운터(42)는 플립 플롭(40)으로부터 기저 논리의 기준 데이터 인에이블 신호(RDE)가 공급되는 동안 초기화되어 카운트 동작을 중지한다. 제1 카운터(42)에서 발생된 카운트 값(즉, 데이터 인에이블 시점으로부터의 경과 시간)은, 제1 비교기(44)에 의하여, 도 1의 타이밍 컨트롤러(16) 내의 레지스터로부터의 해상도 데이터(RNA)와 비교된다. 제1 카운터(42)로부터의 카운트 값이 해상도 데이터(RNA)보다 높으면(즉, 데이터 인에이블 시점으로부터 화상의 해상도에 따른 데이터 인에이블 구간에 해당하는 기간이 경과되면), 제1 비교기(44)는 특정 논리(예를 들면, 하이 논리)의 비교 신호를 발생한다. 이 특정 논리 펄스의 비교 신호는 제1 래치(46)의 세트 단자에 인가되어, 제1 래치(46)로부터의 래치 신호가 특정 논리를 가지게 한다. 이 때, 플립 플롭(40)은 제1 래치(46)로부터의 특정 논리의 래치 신호에 의하여 기준 데이터 인에이블 신호(RDE)를 기저 논리로 초기화 하여 제1 카운터(42)의 카운트 값도 초기화시킨다. 이에 따라, 제1 비교기(44)에서 발생되는 비교 신호는 제1 카운터(42)에 의해 화상의 해상도에 해당하는 인에이블 기간이 카운트될 때에 특정 논리 펄스를 가진다. 다시 말하여, 제1 비교기(44)는 제1 카운터(42)로부터의 카운트 값을 검사하여 화상의 해상도에 따른 데이터 인에이블 기간이 경과되었음을 검출한다. 결과적으로, 제1 카운터(42) 및 제1 비교기(44)는 화상의 해상도에 해당하는 외부 데이터 인에이블 신호(EDE)의 인에이블 구간이 복원하는 기능을 한다.

[0068] 도 3의 기준 인에이블 신호 발생기(30)는 제1 래치(46)과 순환 루프를 형성하는 제2 카운터(48)를 추가로 구비할 수 있다. 제1 래치(46)는 제1 비교기(46)로부터 자신의 세트 단자(S) 쪽으로 공급되는 특정 논리 펄스의 비교 신호에 응답하여 자신의 출력 단자 상의 출력 신호를 특정 논리(예를 들면, 하이 논리)로 세트 한다. 또한, 제1 래치(46)는 제2 카운터(48)로부터 자신의 리셋 단자(RS) 쪽으로 공급되는 특정 논리의 캐리 신호에 응답하여 자신의 출력 단자 상의 특정 논리의 출력 신호를 기저 논리(예를 들면, 로우 논리) 상태로 천이시킨다. 결과적으로, 제2 래치(46)는 특정 논리의 인에이블 구간과 기저 논리의 최소한의 디스에이블 구간을 조합한다. 제2 카운터(48)는 데이터 인에이블 신호의 인에이블 구간의 종료 시간으로부터 디스에이블 기간이 경과되었음을 검출한다. 이를 위하여, 제2 카운터(48)는, 제2 래치(46)로부터의 특정 논리의 래치 신호에 응답하여, 캐리 신호가 발생 될 때까지 외부의 비디오 소스로부터의 데이터 클럭(DCLK)을 카운트한다. 캐리 신호에 의하여 제2 래치(46)의 출력 신호가 기저 논리로 변경되면, 제2 카운터(48)는 초기화된 상태로 카운트 동작을 중지한다. 제2 카운터(48)에 의해 카운트되는 기간은 외부 데이터 인에이블 신호(EDE)의 디스에이블 구간 보다 짧게 설정된다. 바람직하게는, 제2 카운터(48)는 외부의 데이터 인에이블 신호(EDE)의 디스에이블 구간의 80-90%에 해당하는 기간이 카운트 될 때 캐리 신호를 발생하게 설정되는 것이 좋다. 이에 따라, 외부의 데이터 인에이블 신호(EDE)의 디스에이블 기간에 포함될 잡음 성분이 제거될 수 있다.

[0069] 다른 방법으로, 도 3의 기준 데이터 인에이블 신호 발생기에 포함된 제1 래치(46) 및 제2 카운터(48)가 제거되는 대신 제1 비교기(44)로부터의 비교 신호가 플립 플롭(40)의 클리어 단자(CLR)에 공급될 수 있다. 이 경우, 기준 데이터 인에이블 신호 발생기(30)의 회로 구성이 간소화되는 반면, 외부의 데이터 인에이블 신호(EDE)의 디스에이블 구간에 포함될 잡음 성분으로 인하여 기준 데이터 인에이블 신호(RDE)가 영향을 받을 수 있다.

[0070] 또 다른 방안으로, 도 3의 기준 데이터 인에이블 신호 발생기(30)는 도 1에서의 신호 복원부(20)로서도 사용될 수도 있다. 이 경우, 플립 플롭(40)에서 발생하는 기준 데이터 인에이블 신호(RDE)는 복원된 데이터 인에이블 신호(GDE)로서 도 1의 제1 선택기(24)에 공급된다.

[0071] 도 4는 도 1에서의 의사 인에이블 신호 발생부(22)를 상세하게 설명하는 상세 블록도이다. 의사 클럭(PCLK)을 카운트하는 제3 및 제4 카운터(50,52)와, 제3 카운터(50)와 순환 루프를 구성함과 아울러 제4 카운터(52)와도 순환 루프를 구성하는 제2 래치(54)를 포함한다.

[0072] 제3 카운터(50)는 제2 래치(54)의 비반전 출력 단자(Q)로부터의 반전된 의사 인에이블 신호의 특정 논리(예를 들면, 하이 논리)가 공급되는 동안 캐리 신호가 발생될 때까지 의사 클럭(PCLK)의 수를 카운트한다. 제3 카운터(50)에서 발생되는 캐리 신호는 펄스 형태를 가진다. 이는 제3 카운터(50)가 제2 래치(54)의 비반전 출력 단자(Q)로부터 기저 논리(예를 들면, 로우 논리)의 반전된 의사 인에이블 신호에 의하여 초기화되어 카운트 동작을 중지하기 때문이다. 제4 카운터(52)는 제2 래치(54)의 반전 출력 단자(/Q)로부터의 의사 인에이블 신호의

특정 논리(예를 들면, 하이 논리)가 공급되는 동안 캐리 신호가 발생할 때까지 의사 클럭(PCLK)의 수를 카운트한다. 제4 카운터(52)에서 발생하는 캐리 신호는 펄스 형태를 가진다. 이는 제4 카운터(50)가 제2 래치(54)의 반전 출력 단자(/Q)로부터 기저 논리(예를 들면, 로우 논리)의 의사 인에이블 신호에 의하여 초기화되어 카운트 동작을 중지하기 때문이다. 다시 말하여, 제3 카운터(50)는 의사 인에이블 신호(PDE)의 디스에이블 구간의 종료 시간으로부터 인에이블 구간에 해당하는 기간이 경과된 시점을 검출하고, 제4 카운터(52)는 의사 인에이블 신호(PDE)의 인에이블 종료 시간으로부터 디스에이블 구간에 해당하는 기간이 경과된 시점을 검출한다.

[0073] 제2 래치(54)는 자신의 세트 단자(S)로 공급되는 제3 카운터(50)의 캐리 신호에 응답하여 자신의 비반전 출력 단자(Q)에는 특정 논리(예를 들면, 하이 논리)를 그리고 자신의 반전 출력 단자(/Q)에는 기저 논리(예를 들면, 로우 논리)를 세트한다. 또한, 제2 래치(54)는 자신의 리셋 단자(RS)로 공급되는 제4 카운터(52)의 캐리 신호에 응답하여 자신의 비반전 출력 단자(Q)에는 기저 논리가 그리고 자신의 반전 출력 단자(/Q)에는 특정 논리가 나타나게 초기화 한다. 이에 따라, 제2 래치(54)의 반전 출력 단자(/Q)에서는 의사 인에이블 신호(PDE)가 그리고 제2 래치(54)의 비반전 출력 단자(Q)에서는 반전된 인에이블 신호가 발생된다. 제2 래치(54)의 반전 출력 단자(/Q)에서 발생된 의사 인에이블 신호(PDE)는 제3 카운터(50) 및 도 1의 제1 선택기(24)에 공급되고, 제2 래치(54)의 비반전 출력 단자(Q)에서 발생된 반전된 의사 인에이블 신호는 제4 카운터(52)에 공급된다. 다시 말하여, 제2 래치(54)는 제3 및 제4 카운터(50,52)로부터의 캐리 신호들을 이용하여 자신의 반전 출력 단자(/Q) 상에 의사 인에이블 신호(PDE)를 발생한다. 또한, 제2 래치(54)는 제3 및 제4 카운터(50,52)가 서로 교번되게 카운트 동작을 수행하게 제어한다.

[0074] 도 4의 의사 인에이블 신호 발생기(22)는 제2 래치(54)의 반전 출력 단자(/Q)와 제3 카운터(50) 사이에 접속된 AND 게이트(56)를 추가로 구비한다. AND 게이트(56)는 외부의 비디오 소스로부터 비정상 데이터 클럭(DCLK)이 전송되거나 또는 외부의 데이터 인에이블 신호(EDE)가 전송되지 않는 경우에 특정 논리(예를 들면, 하이 논리)를 가지는 선택 제어 신호(SMS)를 도 1의 무신호 검출부(28)로부터 입력한다. AND 게이트(56)는 도 1의 무신호 검출부(28)로부터의 선택 제어 신호(SMS)가 특정 논리를 가지는 경우에만 제2 래치(54)의 반전 출력 단자(/Q)로부터 제3 카운터(50) 쪽으로 신호가 전송되게 하여 의사 인에이블 신호(PDE)가 발생되게 한다. 반대로, 선택 제어 신호(SMS)가 기저 논리를 유지하는 경우(즉, 외부의 비디오 소스로부터 정상적인 데이터 클럭(DCLK) 및 정상적인 외부의 데이터 인에이블 신호(EDE)가 수신되는 경우), AND 게이트(56)는 제2 래치(54)로부터 제3 카운터(50) 쪽으로 전송될 신호를 차단하여 의사 인에이블 신호(PDE)가 발생되지 않게 한다. 결과적으로, AND 게이트(56)는 선택 제어 신호(SMS)의 논리 상태에 따라 제3 및 제4 카운터(50,52)와 제2 래치(54)가 선택적으로 구동되게 하여 의사 인에이블 신호(PDE)의 발생을 제어한다.

[0075] AND 게이트(56)의 출력 신호는 제3 카운터(50) 대신 제4 카운터(52)에 공급될 수도 있다. 이 경우, AND 게이트(56)는 제2 래치(54)의 비반전 출력 단자(Q) 상의 신호와 선택 제어 신호(SMS)를 AND 연산하여 의사 인에이블 신호(PDE)의 발생을 제어한다. 또한, AND 게이트(56)는 제어용 스위치 또는 제어용 스위치의 기능을 수행할 수 있는 논리 소자들(예를 들면, 삼상 상태 버퍼, OR 게이트, NOR 게이트 및 NAND 게이트 등)들로 대체될 수도 있다.

[0076] 도 5는 도 1에 도시된 비정상 클럭 검출부(26)를 상세하게 설명하는 상세 블록도이다. 도 5를 참조하면, 비정상 클럭 검출부(26)는 의사 클럭(PCLK)을 발생하는 클럭 발생기(60)와, 외부의 비디오 소스로부터의 데이터 클럭(DCLK)을 입력하는 분주기(62) 및 제3 선택기(64)를 구비한다. 클럭 발생기(60)에서 발생된 의사 클럭(PCLK)은 그 주파수가 화상의 해상도에 따라 변경된다. 이를 위하여, 클럭 발생기(60)는 도 1에 도시된 타이밍 컨트롤러(16)의 제어를 받을 수 있다. 이 클럭 발생기(60)에서 발생된 의사 클럭(PCLK)은 제2 신호 비교기(66)에 공급됨과 아울러 도 4에 도시된 제3 및 제4 카운터(50,52)에도 공급된다.

[0077] 분주기(62)는 외부의 비디오 소스로부터의 데이터 클럭(DCLK)을 일정한 분주비로 주파수 분주한다. 분주기(62)에 의해 분주된 데이터 클럭은 제2 신호 비교기(66)에 공급된다. 다른 방법으로, 분주기(62)의 분주비는 도 1에 도시된 타이밍 컨트롤러(16)의 제어에 의하여 화상의 해상도에 따라 변경될 수 있다. 이 경우, 클럭 발생기(60)에서 발생하는 의사 클럭(PCLK)의 주파수는 일정하게 고정된다.

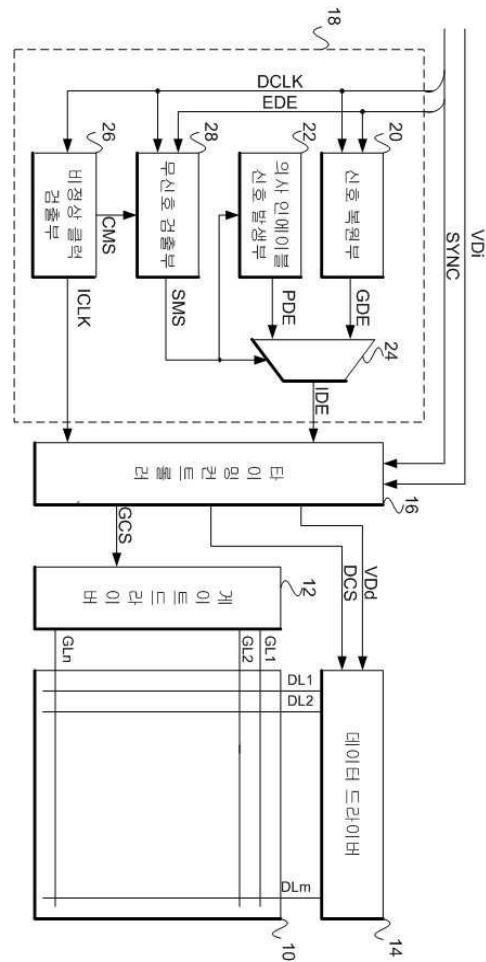
[0078] 제2 신호 비교기(66)는 분주된 데이터 클럭의 주기와 의사 클럭(PCLK)의 주기를 비교한다. 분주된 데이터 클럭의 주기와 의사 클럭(PCLK)의 주기가 같은 경우, 제2 신호 비교기(66)는 기저 논리(예를 들면, 로우 논리)의 비교신호를 발생한다. 분주된 데이터 클럭의 주기와 의사 클럭(PCLK)의 주기가 다른 경우에는 제2 신호 비교기(66)에서 출력되는 비교 신호는 특정 논리(예를 들면, 하이 논리)를 가진다. 제2 신호 비교기(66)의 비교 신호는 데이터 클럭(DCLK)의 주파수가 변경되는 경우(즉, 화상의 해상도가 변경되는 경우)에 특정 논리를 가지게 된다. 다시 말하여, 제2 신호 비교기(66)는 화상의 해상도와는 다른 비정상적인 데이터 클럭(DCLK)이 수신되는

기간 동안 특정 논리를 가지게 된다.

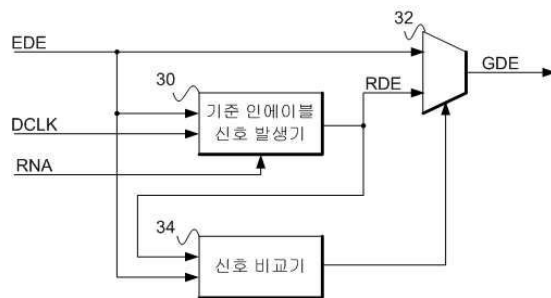
- [0079] 제5 카운터(68)는 제2 신호 비교기(66)의 비교 신호에 응답하여 선택적으로 카운트 동작을 수행한다. 제2 신호 비교기(66)로부터의 비교 신호가 기저 논리를 유지하는 경우, 제5 카운터(68)는 카운트 값이 초기화 된 상태로 카운트 동작으로 중지한다. 반대로 제2 신호 비교기(66)의 비교 신호가 특정 논리를 유지하는 경우(즉, 비정상적인 데이터 클럭(DCLK)이 수신되는 기간)에는, 제5 카운터(68)는 특정 논리의 캐리 신호가 발생될 때까지 클럭 발생기(60)로부터의 의사 클럭(PCLK)의 수를 카운트하여 비정상적인 데이터 클럭(DCLK)이 일정한 기간 동안 지속적으로 수신되는 것을 검출한다. 이 제5 카운터(68)의 캐리 신호는 클럭 모니터링 신호(CMS)로서 제3 선택기(64) 및 도 1의 무신호 검출부(28)에 공급된다. 이렇게 비정상적인 데이터 클럭(DCLK)의 수신 기간을 카운트하는 제5 카운터(68)는 잡음의 영향으로 야기될 수 있는 일시적인 비정상 데이터 클럭(DCLK)의 검출 상태가 배제되게 한다. 다시 말하여, 제5 카운터(68)는 데이터 클럭(DCLK)에 포함될 수 있는 잡음의 영향을 제거한다. 이러한 관점에서, 도 5의 비정상 클럭 검출부(26)는 제5 카운터(68)가 제거된 간단한 회로 구성을 가질 수 있다. 이 경우, 제2 신호 비교기(66)에서 발생하는 비교 신호는 클럭 모니터링 신호(CMS)로서 제3 선택기(64) 및 도 1에서의 무신호 검출부(28)에 공급된다.
- [0080] 제3 선택기(64)는, 제5 카운터(68)로부터의 클럭 모니터링 신호(CMS)에 응답하여, 외부의 비디오 소스로부터의 데이터 클럭(DCLK) 및 클럭 발생기(60)로부터의 의사 클럭(PCLK)을 선택적으로 도 1의 타이밍 컨트롤러(16)에 공급한다. 클럭 모니터링 신호(CMS)가 기저 논리를 가지면(즉, 정상적인 데이터 클럭(DCLK)이 수신되는 경우), 제3 선택기(64)는 외부로부터의 데이터 클럭(DCLK)을 내부 데이터 클럭(ICLK)으로서 타이밍 컨트롤러(16)에 공급한다. 반대로, 클럭 모니터링 신호(CMS)가 특정 논리를 가지면(즉, 비정상적인 데이터 클럭(DCLK)이 일정한 기간 이상 수신되는 경우), 제3 선택기(64)는 클럭 발생기(60)로부터의 의사 클럭(PCLK)을 내부 데이터 클럭(ICLK)으로서 도 1의 타이밍 컨트롤러(16)에 공급한다.
- [0081] 도 6은 도 1에 도시된 무신호 검출부(28)를 상세하게 설명하는 상세 블록도이다. 도 6을 참조하면, 무신호 검출부(28)는 외부의 비디오 소스로부터의 외부 데이터 인에이블 신호(EDE)를 입력하는 신호 검출기(70)와, 이 신호 검출기(70)에 직렬 접속된 제6 카운터(72) 및 OR 게이트(74)를 구비한다. 신호 검출기(70)는 외부의 비디오 소스로부터의 외부 데이터 인에이블 신호(EDE)가 수신되고 있는지의 여부를 검출한다. 외부 데이터 인에이블 신호(EDE)가 수신되는 경우, 신호 검출기(70)는 기저 논리(예를 들면, 로우 논리)의 검출 신호를 발생한다. 반대로, 외부 데이터 인에이블 신호(EDE)가 수신되지 않으면, 특정 논리(예를 들면, 하이 논리)의 검출 신호를 발생한다. 외부 데이터 인에이블 신호(EDE)의 수신 여부를 검출하기 위하여, 신호 검출기(70)는 외부 데이터 신호(EDE)를 적분하는 적분기와 이 적분기의 출력을 비교하여 그 비교 결과를 검출 신호로서 출력하는 비교기를 포함할 수 있다.
- [0082] 제6 카운터(72)는 신호 검출기(70)로부터의 검출 신호에 응답하여 선택적으로 카운트 동작을 수행한다. 신호 검출기(70)로부터의 검출 신호가 기저 논리를 유지하는 경우, 제6 카운터(72)는 카운트 값이 초기화 된 상태로 카운트 동작으로 중지한다. 반대로 신호 검출기(70)로부터의 검출 신호가 특정 논리를 유지하는 경우(즉, 데이터 인에이블 신호(EDE)가 수신되지 않는 기간)에는, 제6 카운터(72)는 특정 논리의 캐리 신호가 발생될 때까지 도 5의 클럭 발생기(60)로부터의 의사 클럭(PCLK)의 수를 카운트하여 외부 데이터 인에이블 신호(EDE)가 일정한 기간 동안 지속적으로 수신되지 않고 있음을 검출한다. 이 제6 카운터(72)의 캐리 신호는 데이터 인에이블 모니터링 신호(DMS)로서 OR 게이트(74)에 공급된다. 이렇게 데이터 인에이블 신호(EDE)의 비 수신 기간을 카운트하는 제6 카운터(72)는 잡음의 영향으로 야기될 수 있는 외부 데이터 인에이블 신호(EDE)의 비 수신 상태가 배제되게 한다. 다시 말하여, 제6 카운터(72)는 데이터 인에이블 신호(EDE)에 포함될 수 있는 잡음의 영향을 제거한다. 이러한 관점에서, 도 6의 무신호 검출부(28)는 제6 카운터(72)가 제거된 간단한 회로 구성을 가질 수 있다. 이 경우, 신호 검출기(70)에서 발생하는 검출 신호는 데이터 인에이블 모니터링 신호(DMS)로서 OR 게이트(74)에 직접 공급된다.
- [0083] OR 게이트(74)는 제6 카운터(72)로부터의 데이터 인에이블 모니터링 신호(DMS)와 도 1의 비정상 클럭 검출부(26)(즉, 도 5의 제5 카운터(68))로부터의 클럭 모니터링 신호(CMS)를 OR 연산하여 선택 신호(SMS)를 발생한다. OR 게이트(74)에서 발생하는 선택 신호(SMS)는 외부 데이터 인에이블 신호(EDE)가 일정한 기간 이상 지속적으로 수신되는 경우 및 비정상적인 데이터 클럭(DCLK)이 일정한 기간 이상 지속적으로 수신 경우에 특정 논리(예를 들면, 하이 논리)를 가진다. 이와는 달리, 외부 데이터 인에이블 신호(EDE)가 수신됨과 아울러 정상적인 데이터 클럭(DCLK)이 수신되는 경우에는, OR 게이트(74)는 기저 논리의 선택 신호(SMS)를 발생한다. 이러한 선택 신호는 도 1에서의 제1 선택기(24) 및 의사 인에이블 신호 발생기(22)(즉, 도 4에 도시된 AND 게이트(56))에 공

도면

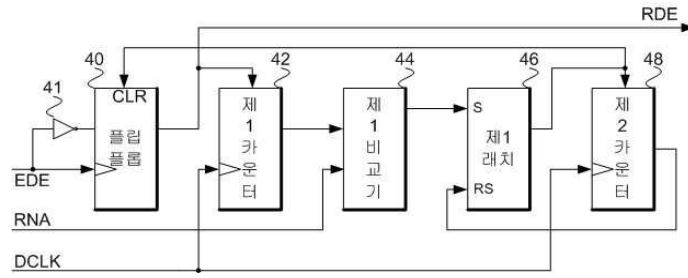
도면1



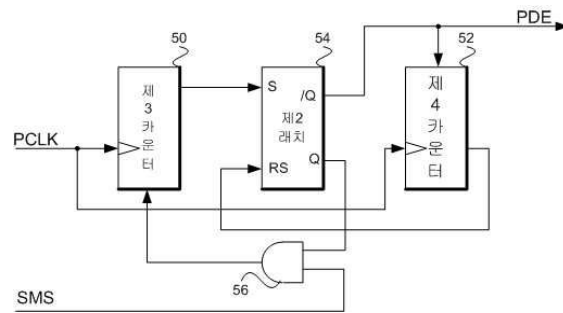
도면2



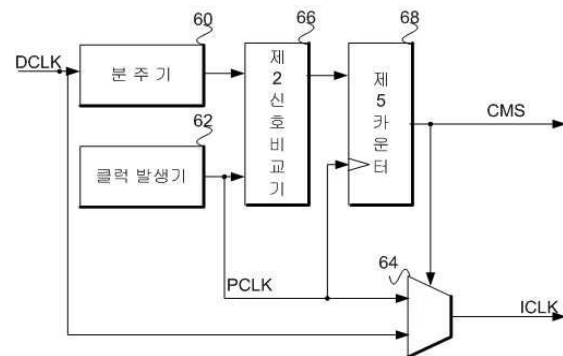
도면3



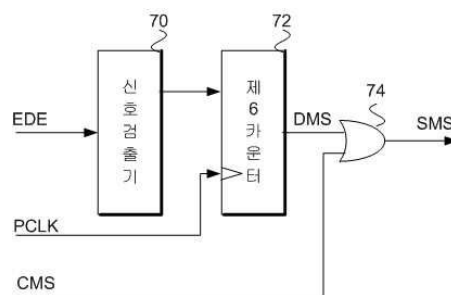
도면4



도면5



도면6



专利名称(译)	标题：用于平板的图像模式控制器和包括其的平板显示器		
公开(公告)号	KR101319088B1	公开(公告)日	2013-10-17
申请号	KR1020060119911	申请日	2006-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JIN SUNG 김진성 KIM MIN KI 김민기		
发明人	김진성 김민기		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/2096 G09G3/3611 G09G5/008 G09G2310/061 G09G2340/0407		
其他公开文献	KR1020080049397A		
外部链接	Espacenet		

摘要(译)

公开了一种能够提高平板显示装置的可靠性的图像模式控制器。图像模式控制器包括：输入单元，用于输入指示像素数据的传输周期的第一定时信号；以及第二定时信号，指示每个像素数据的传输时间；伪定时信号发生器，用于产生用作第一定时信号的伪定时信号；一种选择器，用于选择性地输出第一定时信号和伪定时信号，以指定视频图像模式和黑色图像模式；并且选择控制单元用于基于来自输入单元的第一定时信号是否存在以及第二定时信号是否周期性地改变来控制选择单元的选择操作。

