



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월14일
(11) 등록번호 10-1296624
(24) 등록일자 2013년08월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2006-0057262
(22) 출원일자 2006년06월26일
심사청구일자 2011년06월13일
(65) 공개번호 10-2008-0000041
(43) 공개일자 2008년01월02일
(56) 선행기술조사문헌
KR1020060022510 A
KR1020050068284 A
KR1020050112611 A
US20040150610 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조성학
경기도 안양시 동안구 경수대로623번길 46, 럭키
아파트 101동 607호 (호계동)
김빈
서울특별시 양천구 목동서로 130, 목동4단지아파
트 408동 2003호 (목동)
조남욱
경기도 군포시 금정동 875 퇴계주공 352-1704호
(74) 대리인
김용인, 박영복

전체 청구항 수 : 총 32 항

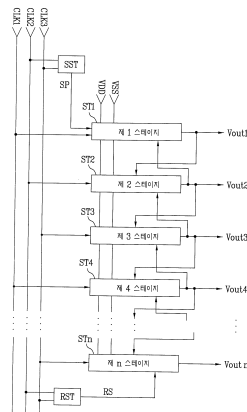
심사관 : 양성지

(54) 발명의 명칭 액정 표시장치의 구동장치와 그 구동방법

(57) 요약

본 발명은 제어신호가 입력되는 신호라인을 감소시킬 수 있는 액정 표시장치의 구동장치와 그의 구동방법에 관한 것으로 영상을 표시하는 표시패널과, 상기 표시패널의 게이트 라인을 구동하는 게이트 드라이버와, 적어도 세개의 위상이 서로 다른 클럭펄스를 발생하여 게이트 드라이버를 제어하는 타이밍 컨트롤러와, 그리고 상기 각 클럭 펄스 중 적어도 두개의 클럭펄스를 이용하여 스타트 펄스를 발생하는 스타트 신호 발생부를 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위**청구항 1**

영상을 표시하는 표시패널과;

상기 표시패널의 게이트 라인을 구동하는 게이트 드라이버와;

적어도 세개의 위상이 서로 다른 클럭펄스를 발생시켜 게이트 드라이버를 제어하는 타이밍 컨트롤러와; 그리고

상기 각 클럭펄스 중 적어도 두개의 클럭펄스를 이용하여 스타트 펄스를 발생하고 상기 스타트 펄스를 상기 게이트 드라이버에 공급하는 스타트 신호 발생부를 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 컨트롤러는

상기 게이트 드라이버의 시작 타이밍을 제어하기 위해 매 프레임의 시작 시점에 상기 적어도 세개의 위상이 서로 다른 클럭펄스 중 적어도 하나의 클럭펄스와 동기되도록 더미 펄스를 추가로 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 3

삭제

청구항 4

제 2 항에 있어서,

상기 스타트 신호 발생부는

적어도 하나의 AND 게이트로 형성되어 상기 더미 펄스와 동기된 클럭펄스와 상기 더미 펄스를 이용하여 스타트 신호를 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 5

삭제

청구항 6

제 2 항에 있어서,

상기 스타트 신호 발생부는

적어도 하나의 NMOS 또는 PMOS 트랜지스터로 형성되어 상기 더미 펄스와 동기된 클럭펄스와 상기 더미 펄스를 이용하여 스타트 신호를 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 7

제 1 항에 있어서,

상기 게이트 드라이버는

서로 종속적으로 연결된 적어도 하나의 스테이지 및 적어도 하나의 더미 스테이지로 구성된 쉬프트 레지스터를 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 8

제 7 항에 있어서

상기 스타트 신호 발생부는

상기 쉬프트 레지스터에 내장된 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 9

제 1 항에 있어서,

상기 각 클럭펄스 중 적어도 두개의 클럭펄스를 이용하여 리셋 신호를 발생시키는 리셋 신호 발생부를 더 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 10

제 9 항에 있어서,

상기 타이밍 컨트롤러는

상기 게이트 드라이버의 시작 타이밍을 제어하기 위해 매 프레임의 시작 시점에 상기 적어도 세개의 위상이 서로 다른 클럭펄스 중 적어도 하나의 클럭펄스와 동기되도록 더미 펄스를 추가로 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 11

삭제

청구항 12

제 10 항에 있어서,

상기 리셋 신호 발생부는

적어도 하나의 AND 게이트로 형성되어 상기 더미 펄스와 동기된 클럭펄스와 상기 더미 펄스를 이용하여 리셋 신호를 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 13

삭제

청구항 14

제 10 항에 있어서,

상기 리셋 신호 발생부는

적어도 하나의 NMOS 또는 PMOS 트랜지스터로 형성되어 상기 더미 펄스와 동기된 클럭펄스와 상기 더미 펄스를 이용하여 리셋 신호를 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 15

제 12 항과 제 14 항 중 어느 한 항에 있어서,

상기 리셋 신호 발생부는

상기 게이트 드라이버에 내장된 것을 특징으로 액정 표시장치의 구동장치.

청구항 16

삭제

청구항 17

제 15 항에 있어서,

상기 리셋 신호는

상기 적어도 하나의 더미 스테이지 공급된 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 18

영상을 표시하는 표시패널과;

상기 표시패널의 게이트 라인을 구동하는 게이트 드라이버와;

적어도 세개의 위상이 서로 다른 클럭펄스를 발생시켜 게이트 드라이버를 제어하는 타이밍 컨트롤러와; 그리고
 상기 각 클럭펄스 중 적어도 두개의 클럭펄스를 이용하여 리셋 신호를 발생시키고 상기 리셋 신호를 상기 게이트 드라이버에 공급하는 리셋 신호 발생부를 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 19

제 18 항에 있어서,

상기 타이밍 컨트롤러는

상기 게이트 드라이버의 시작 타이밍을 제어하기 위해 매 프레임의 시작 시점에 상기 적어도 세개의 위상이 서로 다른 클럭펄스 중 적어도 하나의 클럭펄스와 동기되도록 더미 펄스를 추가로 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 20

삭제

청구항 21

제 19 항에 있어서,

상기 리셋 신호 발생부는

적어도 하나의 AND 게이트로 형성되어 상기 더미 펄스와 동기된 클럭펄스와 상기 더미 펄스를 이용하여 더미 리셋신호를 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 22

삭제

청구항 23

제 19 항에 있어서,

상기 리셋 신호 발생부는

적어도 하나의 NMOS 또는 PMOS 트랜지스터로 형성되어 상기 더미 펄스와 동기된 클럭펄스와 상기 더미 펄스를 이용하여 더미 리셋신호를 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 24

제 18 항에 있어서,

상기 게이트 드라이버는

서로 종속적으로 연결된 적어도 하나의 스테이지 및 적어도 하나의 더미 스테이지로 구성된 쉬프트 레지스터를 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 25

제 24 항에 있어서

상기 리셋 신호 발생부는

상기 쉬프트 레지스터에 내장된 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 26

삭제

청구항 27

제 24 항에 있어서,

상기 리셋 신호는

상기 적어도 하나의 더미 스테이지로 공급되는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 28

제 18 항에 있어서,

상기 각 클럭펄스 중 적어도 두개의 클럭펄스를 이용하여 스타트 신호를 발생시키는 스타트 신호 발생부를 더 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 29

제 28 항에 있어서,

상기 타이밍 컨트롤러는

상기 게이트 드라이버의 시작 타이밍을 제어하기 위해 매 프레임의 시작 시점에 상기 적어도 세개의 위상이 서로 다른 클럭펄스 중 적어도 하나의 클럭펄스와 동기되도록 더미 펄스를 추가로 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 30

삭제

청구항 31

제 29 항에 있어서,

상기 스타트 신호 발생부는

적어도 하나의 AND 게이트로 형성되어 상기 더미 펄스와 동기된 클럭펄스와 상기 더미 펄스를 이용하여 스타트 신호를 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 32

삭제

청구항 33

제 29 항에 있어서,

상기 스타트 신호 발생부는

적어도 하나의 NMOS 또는 PMOS 트랜지스터로 형성되어상기 더미 펄스와 동기된 클럭펄스와 상기 더미 펄스를 이용하여 스타트 신호를 발생시키는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 34

제 31 항 및 제 33 항 중 어느 한 항에 있어서,

상기 스타트 신호 발생부는

상기 게이트 드라이버에 내장된 것을 특징으로 액정 표시장치의 구동장치.

청구항 35

적어도 세개의 위상이 서로 다른 클럭펄스를 발생시키는 단계; 및

상기 각 클럭펄스 중 적어도 두개의 클럭펄스를 이용하여 스타트 신호를 발생시키는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 36

제 35 항에 있어서,

상기 각 클럭펄스를 발생시키는 단계는

상기 각 클럭펄스 중 적어도 하나의 클럭펄스와 동기되도록 더미 펄스를 추가로 발생시키는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 37

제 36 항에 있어서,

상기 더미 펄스는

게이트 드라이버의 시작 타이밍을 제어하기 위한 신호로써 매 프레임의 시작 시점에 발생하는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 38

제 37 항에 있어서,

상기 스타트 신호를 발생시키는 단계는

상기 각 클럭펄스 중 상기 더미 펄스와 동기된 클럭펄스를 이용하여 스타트 신호를 발생시키는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 39

제 35 항에 있어서,

상기 스타트 신호를 발생하는 단계는

상기 각 클럭펄스 중 적어도 두개의 클럭펄스를 이용하여 리셋 신호를 발생하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 40

제 39 항에 있어서,

상기 각 클럭펄스를 발생시키는 단계는

상기 각 클럭펄스 중 적어도 하나의 클럭펄스와 동기되도록 더미 펄스를 추가하여 발생시키는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 41

제 40 항에 있어서,

상기 더미 펄스는

게이트 드라이버의 시작 타이밍을 제어하기 위한 신호로써 매 프레임의 시작 시점에 발생하는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 42

제 40 항에 있어서,

상기 리셋 신호를 발생시키는 단계는

상기 더미 펄스와 동기된 클럭펄스와 상기 더미 펄스를 이용하여 상기의 리셋 신호를 발생시키는 것을 특징으로 하는 액정 표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0014] 본 발명은 쉬프트 레지스터에 형성되는 신호 전송라인의 수를 감소시킴으로써 그 구성을 단순화할 수 있는 액정 표시장치의 구동장치와 그의 구동방법에 관한 것이다.
- [0015] 통상의 액정 표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위하여 액정 표시장치는 화소영역들이 매트릭스 형태로 배열된 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다.
- [0016] 액정패널에는 다수개의 게이트 라인과 다수개의 데이터 라인이 교차하게 배열되고, 게이트 라인들과 데이터 라인들이 수직교차하여 정의되는 영역에 화소영역이 위치하게 된다. 그리고 화소영역들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 형성된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(TFT; Thin Film Transistor)와 접속된다. TFT는 게이트 라인의 스캔펄스에 의해 턴-온되어, 데이터 라인의 데이터 신호가 화소 전극에 충전되도록 한다.
- [0017] 구동회로는 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어신호를 공급하는 타이밍 컨트롤러와, 액정패널, 게이트 및 데이터 드라이버, 타이밍 컨트롤러에 전원 신호를 공급하는 전원부를 포함한다.
- [0018] 게이트 드라이버는 스캔펄스들을 순차적으로 출력할 수 있도록 쉬프트 레지스터를 구비한다. 쉬프트 레지스터는 서로 종속적으로 연결된 다수의 스테이지들로 구성된다. 다수의 스테이지 각각은 서로 순차적인 위상차를 갖는 다수의 클럭펄스 중 적어도 한 개의 클럭펄스를 인가받는다. 그리고 스캔펄스를 순차적으로 출력하여 액정패널의 게이트 라인들을 순차적으로 스캐닝한다. 따라서, 다수의 신호라인이 형성되어 쉬프트 레지스터에 클럭펄스를 인가하게 된다.
- [0019] 하지만, 쉬프트 레지스터가 액정 패널을 형성하는 TFT 어레이 기판에 내장되어 집적화되는 경우 쉬프트 레지스터에 스타트 신호 및 리셋 신호를 공급하기 위한 스타트 신호 전송라인이 TFT 어레이 기판에 형성된다.
- [0020] 구체적으로, 종래의 게이트 드라이버는 쉬프트 레지스터를 구동시키기 위한 스타트 및 리셋 신호를 타이밍 컨트롤러로부터 입력받아서 사용하였다. 따라서, 타이밍 컨트롤러에서 쉬프트 레지스터까지 스타트 및 리셋 신호를 공급하기 위한 스타트 신호 전송라인이 형성되었다.
- [0021] 스타트 신호 전송라인은 TFT 어레이 기판상에 게이트 라인 또는 데이터 라인과 같은 금속물질로 형성되며 이는 쉬프트 레지스터에 구성된 다수의 스테이지 중 첫번째 스테이지와 더미 스테이지에 각각에 연결된다. 이로 인해, 쉬프트 레지스터의 크기가 증가되기 때문에 TFT 어레이 기판에 쉬프트 레지스터가 형성되는 면적이 또한 증가되는 문제점이 발생한다.
- [0022] 한편, 다수의 스캔펄스를 순차적으로 발생하는 다수의 스테이지 중 가장 마지막단의 스테이지를 리셋시키기 위해서는 적어도 하나의 더미 스테이지를 구성해야 한다. 따라서, 적어도 하나의 더미 스테이지를 구성해야 하기 때문에 쉬프트 레지스터가 형성되는 면적은 더욱 증가된다.

발명이 이루고자 하는 기술적 과제

- [0023] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 스타트 및 리셋 신호를 공급하기 위해 쉬프트 레지스터에 형성되는 스타트 신호 전송라인을 제거하여 그 구성을 단순화할 수 있는 액정 표시장치의 구동장치와 그의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- [0024] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치는 영상을 표시하는 표시패널과, 상기 표시패널의 게이트 라인을 구동하는 게이트 드라이버와, 적어도 세개의 위상이 서로 다른 클럭펄스를 발생하여 게이트 드라이버를 제어하는 타이밍 컨트롤러와, 그리고 상기 각 클럭펄스 중 적어도 두개의 클럭펄스를 이용하여 스타트 펄스를 발생하는 스타트 신호 발생부를 포함하는 것을 특징으로 한다.

- [0025] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치는 영상을 표시하는 표시패널과, 상기 표시패널의 게이트 라인을 구동하는 게이트 드라이버와, 적어도 세개의 위상이 서로 다른 클럭펄스를 발생하여 게이트 드라이버를 제어하는 타이밍 컨트롤러와, 그리고 상기 각 클럭펄스 중 적어도 두개의 클럭펄스를 이용하여 더미 리셋신호를 발생하는 리셋 신호 발생부를 포함하는 것을 특징으로 한다.
- [0026] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 화상 표시장치의 구동 방법은 적어도 세개의 위상이 서로 다른 클럭펄스를 발생하는 단계, 상기 각 클럭펄스 중 적어도 두개의 클럭펄스를 이용하여 스타트 신호를 발생하는 단계를 포함하는 것을 특징으로 한다.
- [0027] 이하, 상기와 같은 특징을 갖는 본 발명의 실시예에 따른 액정 표시장치의 구동장치 및 그의 구동방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- [0028] 도 1은 본 발명의 실시예에 따른 액정 표시장치를 나타낸 구성도이다.
- [0029] 도 1에 도시된 액정 표시장치는 TFT 어레이 기관(10)상에 다수의 게이트 라인과 데이터 라인을 구비하여 형성된 액정패널(20)과, 다수의 데이터 라인을 구동하기 위한 데이터 드라이버(30)가 실장된 다수의 회로필름(50)과, 다수의 게이트 라인을 구동하는 게이트 드라이버(30)를 포함한다.
- [0030] 액정패널(20)은 다수의 게이트 라인과 다수의 데이터 라인에 의해 정의되는 각 화소영역에 형성된 TFT와 액정분자를 구동하는 화소전극을 구비한다. TFT는 게이트 라인으로부터의 스캔펄스에 응답하여 데이터 라인으로부터의 데이터 신호를 화소전극에 공급한다.
- [0031] 데이터 드라이버(30)는 다수의 데이터 회로필름(50)에 실장되어 액정패널(20)과 데이터 PCB 사이에 접속된다. 이러한 데이터 드라이버(30)는 외부로부터의 디지털 영상 데이터를 아날로그 영상 데이터로 변환하고 게이트 라인들에 스캔펄스가 공급되는 1수평 주기마다 1수평 라인분의 아날로그 영상 데이터를 데이터 라인들로 공급한다. 즉, 데이터 드라이버(30)는 아날로그 영상 데이터의 계조값에 따라 소정 레벨을 가지는 감마전압을 선택하고 선택된 감마전압을 데이터 라인들로 공급한다.
- [0032] 게이트 드라이버(40)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터를 포함하며 이 스캔펄스에 응답하여 TFT가 턴-온 되게 한다. 쉬프트 레지스터는 액정패널(20)을 형성하는 TFT 어레이 기관(10)에 내장되어 집적화된다.
- [0033] 도 2는 도 1의 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 구성도이다.
- [0034] 도 2에 도시된 쉬프트 레지스터는 스타트 신호(SP)를 발생하기 위한 스타트 신호 발생부(SST)와, 리셋 신호(RS)를 발생하기 위한 리셋 신호 발생부(RST)와, 서로 종속적으로 연결된 n개의 스테이지들(ST1 내지 STn)로 구성된다.
- [0035] n개의 스테이지들(ST1 내지 STn)은 스캔펄스(Vout1 내지 Voutn)를 순차적으로 출력한다. 여기서, n개의 스테이지들(ST1 내지 STn)로부터 출력된 스캔펄스들(Vout1 내지 Voutn)은 액정패널(20)의 게이트 라인들에 순차적으로 공급되어 게이트 라인들을 순차적으로 스캐닝하게 된다.
- [0036] 이를 위하여, n개의 스테이지(ST1 내지 STn)는 제 1 및 제 2 구동전압(VDD, VSS)을 공통으로 공급받는다. 여기서, 제 1 구동전압(VDD)은 게이트 온 전압(VGON)을 의미하며, 제 2 구동전압(VSS)은 게이트 오프 전압(VGOFF)을 의미한다.
- [0037] 제 1 스테이지(ST1)는 스타트 신호 발생부(SST)로부터 스타트 신호(SP)를, 제 2 내지 제 n 스테이지(ST2 내지 STn)는 이전단의 출력신호를 트리거 신호로 공급받는다. 그리고 제 n 스테이지(STn)는 리셋 신호 발생부(RST)로부터의 리셋 신호(RS)를, 제 1 내지 제 n-1 스테이지(ST1 내지 STn-1)는 다음단 스테이지의 출력신호를 리셋 신호로 공급받는다.
- [0038] 스타트 신호 발생부(SST)와 리셋 신호 발생부(RST)는 제 1 내지 3 클럭펄스(CLK1 내지 CLK3)의 공급라인을 통해 적어도 두개의 클럭펄스를 입력받아서 이에 따른 출력신호를 발생한다.
- [0039] 구체적인 예를 들어, 스타트 신호 발생부(SST)는 제 2 및 제 3 클럭펄스(CLK2,CLK3)가 동시에 입력되면 스타트 신호(SP)를 생성하여 제 1 스테이지(ST1)에 공급한다. 이때, 리셋 신호 발생부(RST) 또한 제 2 및 제 3 클럭펄스(CLK2,CLK3)가 동시에 입력되면 리셋 신호(RS)를 생성하여 더미 스테이지(STn+1)에 공급한다.
- [0040] 여기서, 제 2 및 제 3 클럭펄스(CLK2,CLK3)가 동시에 입력되는 것은 도시되지 않은 타이밍 컨트롤러가 제 2 클

럭펄스(CLK2)의 전송라인을 통해 더미 클럭 즉, 스타트 제어신호를 추가하여 발생함으로써 가능하다. 스타트 제어신호에 대해서는 후에 구체적으로 설명하기로 한다.

[0041] 도 3a와 3b는 3상 구동시의 스타트 신호 발생부를 나타낸 구성도이며, 도 4는 스타트 및 리셋 신호 발생부에 공급되는 클럭펄스를 나타낸 파형도이다.

[0042] 도 3a에 도시된 스타트 신호 발생부(SST)는 제 1 AND 게이트(AND-G1)로 구성된다.

[0043] 스타트 신호 발생부(SST)는 도 4에 도시된 바와 같이 스타트 신호(SP)가 인가되는 타이밍에 스타트 제어펄스(st) 즉, 제 3 클럭펄스(CLK3)와 동기되는 제 2 클럭펄스(CLK2)가 입력되면 스타트 신호(SP)가 발생하게 된다. 그리고 스타트 신호(SP)는 제 1 스테이지(ST1)에 공급된다. 스타트 신호(SP)가 인가되는 타이밍은 한 프레임의 시작 타이밍이다.

[0044] 도 3b는 스타트 신호 생성부의 다른 구성을 나타낸 구성도이다.

[0045] 도 3b에 도시된 스타트 신호 발생부(SST)는 제 1 트랜지스터(Tr1)로 구성된다. 여기서, 제 1 트랜지스터(Tr1)는 NMOS 트랜지스터로 설명하지만 필요에 따라서는 PMOS 트랜지스터가 사용될 수 있다.

[0046] 스타트 신호 발생부(SST)는 도 4에 도시된 바와 같이 스타트 신호(SP)가 인가되는 타이밍에 스타트 제어펄스(st) 즉, 제 3 클럭펄스(CLK3)와 동기되도록 제 2 클럭펄스(CLK2)가 입력되면 제 1 트랜지스터(Tr1)가 턴-온되어 스타트 신호(SP)가 발생하게 된다. 그리고 스타트 신호(SP)는 제 1 스테이지(ST1)에 공급된다.

[0047] 스타트 제어신호(st) 즉, 더미 클럭은 스타트 신호(SP)가 인가되는 때 프레임의 시작 시점에 도시되지 않은 타이밍 컨트롤러로부터 출력된다. 구체적으로, 타이밍 컨트롤러는 매 프레임의 시작을 제어하기 위해 스타트 신호(SP)의 출력 타이밍에 제 2 클럭펄스(CLK2)의 공급라인을 통해 스타트 제어펄스(st)를 출력한다. 이에 따라, 별도의 스타트 신호 전송라인을 형성하지 않아도 스타트 신호 발생부(SST)에서 생성된 스타트 신호(SP)를 이용하여 쉬프트 레지스터를 구동한다.

[0048] 도 5a는 3상 구동시의 리셋 신호 발생부를 나타낸 구성도이다.

[0049] 도 5a에 도시된 리셋 신호 발생부(RST)는 제 2 AND 게이트(AND-G2)로 구성된다.

[0050] 리셋 신호 발생부(RST)는 도 4에 도시된 바와 같이 스타트 제어펄스(st) 즉, 제 3 클럭펄스(CLK3)와 동기되는 제 2 클럭펄스(CLK2)가 공급되면 리셋 신호(RS)를 발생하게 된다. 그리고 리셋 신호(RS)는 제 n 스테이지(STn)에 공급된다.

[0051] 여기서, 리셋 신호(RS)는 매 프레임이 끝나는 시점에 마지막 스테이지인 제 n 스테이지(STn)를 리셋시키기 위한 신호이므로 스타트 신호(SP)와 동기되어 발생한다. 즉, 스타트 신호(SP)는 제 1 스테이지(ST1)에서 제 1 스캔펄스(Vout1)를 발생하는 타이밍보다 한 위상차 빨리 발생된다. 따라서, 제 1 스테이지(ST1)가 제 1 스캔펄스(Vout1)를 발생하는 타이밍보다 한 위상차 만큼 빨리 제 n 스테이지(STn)가 리셋되는 것이다.

[0052] 한편, 리셋 신호(RS)가 제 n 스테이지(STn)에 공급되는 타이밍이 매 프레임의 시작 타이밍에만 공급되기 때문에 매 프레임 데이터 간의 블랭크 구간(Blank Section)까지 제 n 스테이지(STn)가 리셋되지 않고 동작할 수도 있다. 예를 들어, 블랭크 구간에 발생하는 리셋 신호(RS)가 제 n 스테이지(STn)에 공급되지 않을 수 있으며 또한, 리셋 신호(RS)가 블랭크 구간의 끝 즉, 다음 프레임의 시작 타이밍에 공급될 수도 있다. 이 경우, 블랭크 구간에도 제 n 스테이지(STn)로부터의 제 n 스캔펄스(Voutn)에 따라 n 번째 게이트 라인에 연결된 화소영역에서는 잔존하는 영상 데이터가 블랭크 구간 내내 표시될 수 있다.

[0053] 이를 해결하기 위해서, 도면으로 도시되지 않았지만 본 발명에서는 게이트 라인과 연결되지 않아서 게이트 라인으로 스캔펄스를 출력하진 않지만 이 스캔펄스를 제 n 스테이지(STn)의 리셋 신호로 사용하기 위한 더미 스테이지를 더 형성할 수 있다. 이에 따라, 리셋 신호 발생부(RST)로부터의 리셋 신호(RS)는 더미 스테이지가 형성되는 경우 더미 스테이지에 공급하여 리셋시킬 수 있다.

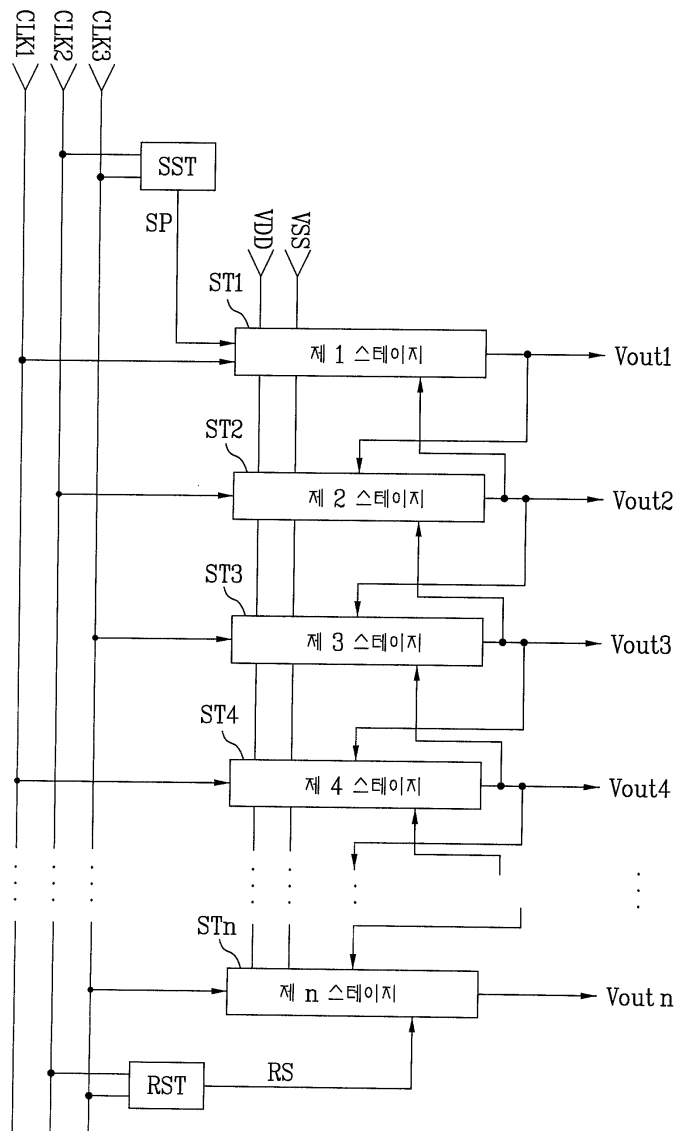
[0054] 도 5b는 3 상 구동시 리셋 신호 발생부의 다른 구성을 나타낸 구성도이다.

[0055] 도 5b에 도시된 리셋 신호 발생부(RST)는 제 2 트랜지스터(Tr2)로 구성된다.

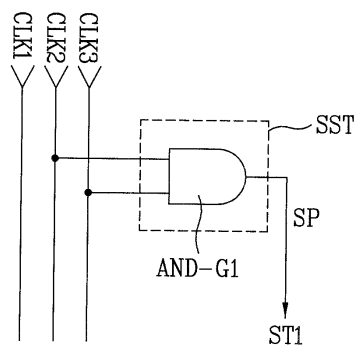
[0056] 리셋 신호 발생부(RST)는 도 4에 도시된 바와 같이 스타트 제어펄스(st) 즉, 제 3 클럭펄스(CLK3)와 동기되도록 제 2 클럭펄스(CLK2)가 입력되면 제 2 트랜지스터(Tr2)가 턴-온되어 리셋 신호(RS)를 발생하게 된다. 그리고 리셋 신호(RS)는 제 n 스테이지(STn)에 공급된다.

- [0057] 이에 따라, 별도의 스타트 신호라인을 통해 리셋 신호를 공급받지 않아도 리셋 신호 발생부(RST)에서 생성된 리셋 신호(RS)를 이용하여 쉬프트 레지스터의 마지막 스테이지를 리셋시킬 수 있다.
- [0058] 도 6a는 4상 구동시의 스타트 신호 발생부를 나타낸 구성도이며, 도 7은 스타트 및 리셋 신호 발생부에 입력되는 클럭펄스를 나타낸 파형도이다.
- [0059] 도 6a에 도시된 스타트 신호 발생부(SST)는 제 3 AND 게이트(AND-G3)로 구성된다.
- [0060] 스타트 신호 발생부(SST)는 도 7에 도시된 바와 같이 스타트 신호(SP)의 출력 타이밍에 스타트 제어신호(st) 즉, 제 4 클럭펄스(CLK4)에 동기되도록 제 2 클럭펄스(CLK2)가 공급되면 스타트 신호(ST)를 발생하게 된다. 그리고 스타트 신호(ST)를 제 1 스테이지(ST1)에 공급한다.
- [0061] 제 2 클럭펄스(CLK2)로 발생하는 스타트 제어신호(st)는 스타트 신호(SP)가 공급되는 타이밍 즉, 매 프레임의 시작 시점에 도시되지 않은 타이밍 컨트롤러로부터 출력된다. 이에 따라, 별도의 스타트 신호라인을 형성하지 않아도 스타트 신호 발생부(SST)에서 생성된 스타트 신호(SP)를 이용하여 쉬프트 레지스터를 구동할 수 있다.
- [0062] 도 6b는 스타트 신호 발생부의 다른 구성을 나타낸 구성도이다.
- [0063] 도 6b에 도시된 스타트 신호 발생부(SST)는 제 3 트랜지스터(Tr3)로 구성된다.
- [0064] 스타트 신호 발생부(SST)는 도 7에 도시된 바와 같이 제 2 클럭펄스(CLK2) 공급라인을 통해 스타트 제어신호(st) 즉, 제 4 클럭펄스(CLK4)에 동기되도록 제 2 클럭펄스(CLK2)가 공급되면 스타트 신호(SP)를 발생하게 된다. 그리고 스타트 신호(ST)를 제 1 스테이지(ST1)에 공급한다.
- [0065] 도 8a는 4상 구동시의 리셋 신호 발생부를 나타낸 구성도이다.
- [0066] 도 8a에 도시된 리셋 신호 발생부(RST)는 제 3 AND 게이트(AND-G3)로 구성된다.
- [0067] 리셋 신호 발생부(RST)는 도 7에 도시된 바와 같이 스타트 제어펄스(st) 즉, 제 4 클럭펄스(CLK4)에 동기되도록 제 2 클럭펄스(CLK2)가 공급되면 리셋 신호(RS)를 발생하게 된다. 그리고 리셋 신호(RS)를 제 n 스테이지(STn)에 공급한다.
- [0068] 리셋 신호(RS)는 매 프레임이 끝나는 시점에 마지막 스테이지인 제 n 스테이지(STn)를 리셋시키기 위한 신호이므로 스타트 신호(SP)와 동기되어 발생한다. 즉, 스타트 신호(SP)는 제 1 스테이지(ST1)에서 제 1 스캔펄스(Vout1)를 발생하는 타이밍보다 한 위상차 빨리 발생된다. 따라서, 제 1 스테이지(ST1)가 제 1 스캔펄스(Vout1)를 발생하는 타이밍보다 한 위상차 만큼 빨리 제 n 스테이지(STn)가 리셋되는 것이다.
- [0069] 도 8b는 리셋 신호 발생부의 다른 구성을 나타낸 구성도이다.
- [0070] 도 8b에 도시된 리셋 신호 발생부(RST)는 제 3 트랜지스터(Tr3)로 구성된다.
- [0071] 리셋 신호 발생부(RST)는 도 7에 도시된 바와 같이 스타트 제어펄스(st) 즉, 제 4 클럭펄스(CLK4)에 동기되도록 제 2 클럭펄스(CLK2)가 공급되면 제 3 트랜지스터(Tr3)가 턴-온되어 스타트 신호(SP)가 발생하게 된다. 그리고 리셋 신호(RS)를 제 n 스테이지(STn)에 공급한다.
- [0072] 이에 따라, 별도의 스타트 신호라인을 통해 리셋 신호를 공급받지 않아도 리셋 신호 발생부(RST)에서 발생된 더미 신호(RS)를 이용하여 쉬프트 레지스터를 구동할 수 있다.
- [0073] 본 발명에 따른 쉬프트 레지스터는 스타트 및 리셋 신호 발생부(SST,RST)가 구비되어 스타트 및 리셋 신호(SP,RS)를 생성하기 때문에 타이밍 컨트롤러로부터의 스타트 신호 전송라인을 형성하지 않아도 된다.
- [0074] 이로 인해, 타이밍 컨트롤러로부터 출력되는 다수의 클럭펄스 및 스타트 신호의 레벨을 승압시키기 위한 레벨 쉬프터(level shifter)의 사용 채널수를 줄일 수 있다.
- [0075] 아울러 기존에 마지막 스테이지를 리셋시키기 위해 형성했던 적어도 하나의 더미 스테이지를 본 발명에서는 구비하지 않아도 된다. 이에 따라 TFT 어레이 기판에 형성되는 쉬프트 레지스터의 면적을 감소시킬 수 있다. 또한, 스타트 및 리셋 신호 전송라인의 감소로 인해 쉬프트 레지스터의 면적은 더욱 감소된다.
- [0076] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

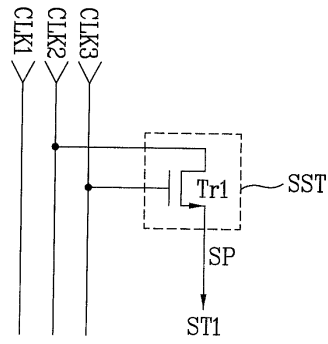
도면2



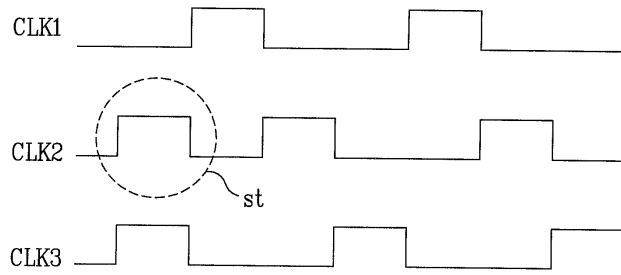
도면3a



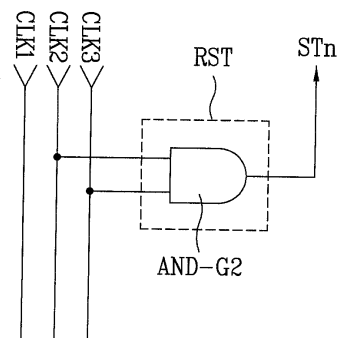
도면3b



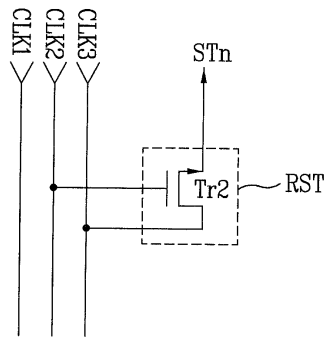
도면4



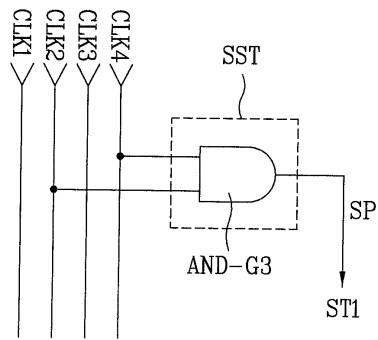
도면5a



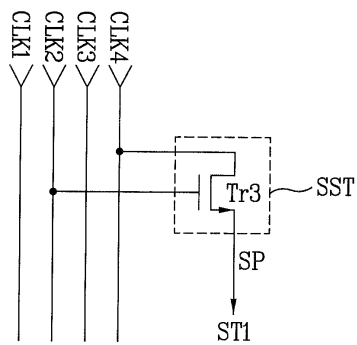
도면5b



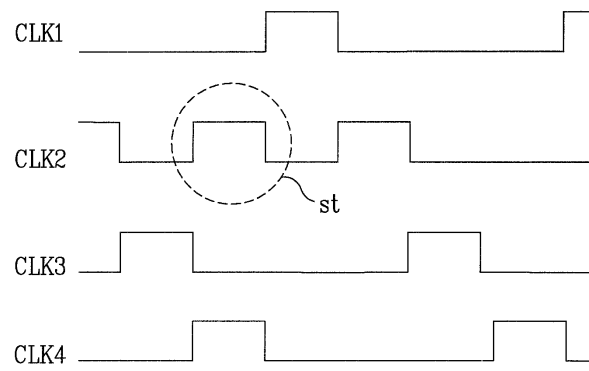
도면6a



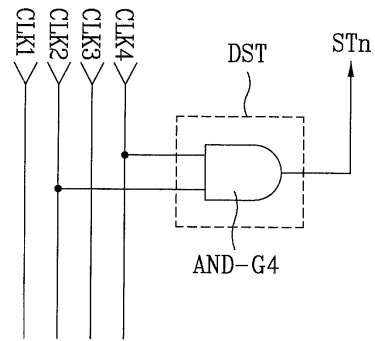
도면6b



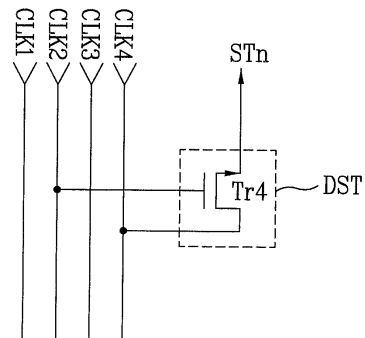
도면7



도면8a



도면8b



专利名称(译)	标题：液晶显示装置的驱动装置及其驱动方法		
公开(公告)号	KR101296624B1	公开(公告)日	2013-08-14
申请号	KR1020060057262	申请日	2006-06-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO SUNG HAK 조성학 KIM BINN 김빈 CHO NAM WOOK 조남욱		
发明人	조성학 김빈 조남욱		
IPC分类号	G09G3/20 G09G G02F1/133 G02F G09G3/36		
CPC分类号	G11C19/28 G09G2300/0408 G09G2310/0286 G09G2310/08 G09G3/3677 G11C19/00		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020080000041A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器的驱动装置及其驱动方法，其中控制信号可以减少输入的信号线。它包括用于驱动显示面板的栅极线的栅极驱动器，指示图像和显示面板，以及时序控制器，其中三相或更多相产生不同的时钟脉冲并控制栅极驱动器和启动信号发生器它使用每个时钟脉冲中的两个或多个时钟脉冲产生起始脉冲。启动信号发生器，复位信号发生部分，与门，。

