



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월04일
(11) 등록번호 10-0850288
(24) 등록일자 2008년07월29일

(51) Int. Cl.
G02F 1/1343 (2006.01)
(21) 출원번호 10-2006-0040991
(22) 출원일자 2006년05월08일
심사청구일자 2006년05월08일
(65) 공개번호 10-2006-0116711
(43) 공개일자 2006년11월15일
(30) 우선권주장
JP-P-2005-00137211 2005년05월10일 일본(JP)
(56) 선행기술조사문헌
KR1020010030357 A*
(뒷면에 계속)

(73) 특허권자
미쓰비시덴키 가부시카이가이사
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
(72) 발명자
나가노 신고
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고 미쓰비시덴키가부시카이가이사 나이
마수타니 유이치
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고 미쓰비시덴키가부시카이가이사 나이
(74) 대리인
권태복, 이화익

전체 청구항 수 : 총 7 항

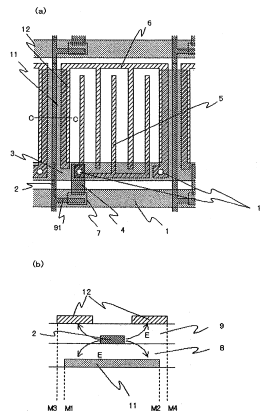
심사관 : 윤성주

(54) 액정표시장치 및 그 제조 방법

(57) 요약

소스 배선(2)으로부터의 누설 전계에 의한 액정(300)의 배향의 흐트러짐을 저감함과 동시에, 개구율이 크고, 제조 공정을 늘리지 않고, 소스 배선(2)과 대향 전극(6)과의 단락을 쉽게 일으키지 않는 액정표시장치 및 그 제조 방법을 얻는다. 소스 배선(2)보다 하층에 게이트 절연막(8)을 통해, 소스 배선(2)을 따라 배치된 제1의 전극 패턴(11)과, 소스 배선(2)보다 상층에 층간 절연막(9)을 통해, 소스 배선(2)을 따라, 상기 소스 배선(2)에 실질적으로 겹치지 않는 위치에 배치된 제2의 전극 패턴(12)에 의하여, 소스 배선(2)으로부터의 누설 전계를 상하층에 배치된 전극 패턴(11, 12)에 의해 효과적으로 차폐한다. 또한 제1의 전극 패턴(11)은 게이트 배선(1)과, 제2의 전극 패턴(12)은 대향 전극(6)과 동일층의 도전막으로 형성한다.

대표도 - 도1



(56) 선행기술조사문헌

KR1020010063296 A*

KR1020010081251 A*

KR1020010106862 A*

KR1020020061889 A*

KR1019980033299 A

KR1020040017466 A

KR1020040018883 A

KR1020040061784 A

*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

대향하여 배치된 한 쌍의 절연성 기판에 끼워진 액정층과,
 상기 절연성 기판의 한쪽의 기판 위에 형성된 복수의 게이트 배선과,
 상기 복수의 게이트 배선과 제1의 절연막을 통해 교차하여 형성된 복수의 소스 배선과,
 상기 복수의 게이트 배선과 상기 복수의 소스 배선과의 각 교차부에 형성된 스위칭 소자와,
 상기 스위칭 소자에 접속된 화소 전극과,
 상기 화소 전극과의 사이에서 상기 절연성 기판에 대략 평행한 방향으로 전계를 인가하기 위해 상기 화소 전극에 대향하여 형성된 대향 전극과,
 상기 소스 배선보다 하층에 상기 제1의 절연막을 통해, 상기 소스 배선을 따라 형성된 제1의 전극 패턴과,
 상기 소스 배선보다 상층에 제2의 절연막을 통해, 상기 소스 배선을 따라, 상기 소스 배선과 실질적으로 겹치지 않도록 형성된 제2의 전극 패턴과;
 상기 제1의 전극 패턴은, 상기 소스 배선을 따라, 상기 소스 배선의 폭 방향의 전체에 있어서 서로 겹치도록 형성되고,
 상기 제1 및 제2의 전극 패턴은, 상기 대향 전극의 전위이며,
 상기 제2의 전극 패턴은, 상기 대향 전극과 동일층의 도전막으로 형성된 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

대향하여 배치된 한 쌍의 절연성 기판에 끼워진 액정층과,
 상기 절연성 기판의 한쪽의 기판 위에 형성된 복수의 게이트 배선과,
 상기 복수의 게이트 배선과 제1의 절연막을 통해 교차하여 형성된 복수의 소스 배선과,
 상기 복수의 게이트 배선과 상기 복수의 소스 배선과의 각 교차부에 형성된 스위칭 소자와,
 상기 스위칭 소자에 접속된 화소 전극과,
 상기 화소 전극과의 사이에서 상기 절연성 기판에 대략 평행한 방향으로 전계를 인가하기 위해 상기 화소 전극에 대향하여 형성된 대향 전극과,
 상기 소스 배선보다 하층에 상기 제1의 절연막을 통해, 상기 소스 배선을 따라 형성된 제1의 전극 패턴과,
 상기 소스 배선보다 상층에 제2의 절연막을 통해, 상기 소스 배선을 따라, 상기 소스 배선과 실질적으로 겹치지 않도록 형성된 제2의 전극 패턴과;
 상기 제1의 전극 패턴은, 상기 소스 배선을 따라, 상기 소스 배선의 폭 방향의 일부에 있어서 서로 겹치도록 형성되고,
 상기 제1 및 제2의 전극 패턴은, 상기 대향 전극의 전위이고,
 상기 제2의 전극 패턴은, 상기 대향 전극과 동일층의 도전막으로 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

삭제

청구항 5

제 1항 또는 제 3항에 있어서,

상기 제1 및 제2의 전극 패턴은, 상기 소스 배선의 폭 방향의 양측에 형성된 것을 특징으로 하는 액정표시장치.

청구항 6

제 1항 또는 제 3항에 있어서,

상기 제1의 전극 패턴은, 상기 게이트 배선과 동일층의 도전막으로 형성된 것을 특징으로 하는 액정표시장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

제 1항 또는 제 3항에 있어서,

상기 제1의 전극 패턴의 상기 소스 배선에 대한 폭 방향의 면 단은, 제2의 전극 패턴의 소스 배선에 대한 폭 방향의 면 단 보다도 폭 방향으로 돌출하지 않는 것으로 특징으로 하는 액정표시장치.

청구항 10

대향하여 배치된 한 쌍의 절연성 기판에 끼워진 액정층과,

상기 절연성 기판의 한쪽의 기판 위에 형성된 복수의 게이트 배선과,

상기 복수의 게이트 배선과 제1의 절연막을 통해 교차하여 형성된 복수의 소스 배선과,

상기 복수의 게이트 배선과 상기 복수의 소스 배선과의 각 교차부에 형성된 스위칭 소자와,

상기 스위칭 소자에 접속된 화소 전극과,

상기 화소 전극과의 사이에서 상기 절연성 기판에 대략 평행한 방향으로 전계를 인가하기 위해 상기 화소 전극에 대향하여 형성된 대향 전극을 구비한 액정표시장치의 제조 방법으로서,

상기 소스 배선보다 하층에 상기 제1의 절연막을 통해, 상기 소스 배선을 따라, 상기 소스 배선의 폭 방향의 적어도 일부에 있어서 겹쳐지고, 상기 대향 전극과 동 전위가 되도록 제1의 전극 패턴을 형성하는 공정과,

상기 소스 배선보다 상층에 제2의 절연막을 통해, 상기 소스 배선을 따라, 상기 소스 배선과 실질적으로 서로 겹치지 않고, 상기 대향 전극과 동 전위가 되도록 상기 대향 전극과 동일층의 도전막으로 제2의 전극 패턴을 형성하는 공정;을 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 11

제 10항에 있어서,

상기 제1의 전극 패턴은, 상기 게이트 배선과 동일층의 도전막으로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 12

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> [기술분야]
- <22> 본 발명은, 횡방향전계(In-Plane-Switching, 이하 IPS로 기재)방식의 액티브 매트릭스형의 액정표시장치 및 그 제조 방법에 관한 것이다.
- <23> [배경기술]
- <24> 최근, 액티브 매트릭스형의 액정표시장치에 있어서, 액정에 인가하는 전계의 방향을 기판에 대하여 평행한 방향으로 하는 IPS방식이, 주로 초광야 시각을 얻는 방법으로서 이용되고 있다. 이 방식을 채용하면, 시각방향을 변화시켰을 때의 콘트라스트의 변화, 계조 레벨의 반전이 거의 없어지는 것을 확실하게 하고 있다(예를 들면 특허문헌 1참조).
- <25> 도 9(a)는, 종래의 일반적인 IPS방식의 액정표시장치의 화소부를 나타내는 평면도이며, 도 9(b)는, 그 A-A단면도이다. 액정표시장치는, TFT어레이 기판(100)과, 대향기판(200)과, 그 사이에 주입된 액정(300)등으로 구성된다. TFT 어레이 기판(100)은, 유리 기판 등의 투명절연성 기판(92)위에 형성된 복수개의 주사 신호 선인 게이트 배선(1)과, 저장용량을 형성하는 공통 배선(3)과, 이와 게이트 절연막(8)을 통해 교차하는 신호 전압을 공급하는 복수 개의 소스 배선(2)과, 소스 배선(2)과 평행하게 설치된 복수 개의 빗살 모양의 화소 전극(5)과, 화소 전극(5)과 평행하게 교대로 배치된 복수 개의 빗살 모양의 대향 전극(6)과, 박막트랜지스터(Thin Film Transistor, 이하 TFT로 기재)로 이루어지는 스위칭 소자를 형성하는 반도체막(7), 드레인 전극(4), 소스 전극(91)과, 층간 절연막(9)등으로 구성된다.
- <26> 스위칭 소자가 OFF이고, 화소 전극(5)과 대향 전극(6) 사이에 액정(300)을 구동하는 전압이 저장용량에 의해 유지된 상태에 있어서, 소스 배선(2)에 다른 화소의 서로 다른 신호 전압이 인가되면, 그 전압에 의해 소스 배선(2)으로부터 누설 전계가 발생하여, 소스 배선(2)근방의 액정(300)의 배향상태를 바꾸어버린다. 이 때문에, 소스 배선(2)방향에 크로스 토크 등의 표시 불량을 야기하고 있었다. 이 종래예에서는, 액정(300)의 배향이 흐트러진 영역의 표시로의 영향을 저감하고, 소스 배선(2)에 인접하는 대향 전극(6)이 전계 차폐전극으로서도 기능하도록, 소스 배선(2)에 인접하는 대향 전극(6)의 폭은 다른 부분의 대향 전극(6)보다 넓게 형성하고 있다. 결과적으로, 소스 배선(2)근방의 광투과에 기여하지 않는 영역의 폭 L1이 넓어져, 화소 개구율이 낮아진다는 문제점이 있었다.
- <27> 이러한 문제점을 해결하기 위해서, 도 10(a), (b)에 나타내는 구조가 제안되어 있다. 도 10(a)는, 종래의 IPS방식의 액정표시장치의 화소부를 나타내는 평면도이고, 도 10(b)은, 그 B-B단면도이다. 이 구조에서는, 화소 전극(5)과 대향 전극(6)은 층간 절연막(9)위에 형성되어 있다. 게이트 절연막(8)과 층간 절연막(9)을 동일 공정으로 에칭하는 것으로, 공통 배선(3)과 대향 전극(6) 및 드레인 전극(4)과 화소 전극(5)의 전기 접촉을 행하는 콘택홀(10)이 형성되어 있다. 대향 전극(6)은 소스 배선(2)을 덮어, 양자가 겹치도록 배치되어 있다.
- <28> 이러한 구성에서는, 소스 배선(2)에 인접하는 대향 전극(6)이 전계 차폐전극으로서도 기능하고, 소스 배선(2)으로부터 발생하는 누설 전계를 효과적으로 차폐하므로, 액정(300)의 배향상태의 흐트러짐을 저감할 수 있다. 이 때문에, 빛의 투과를 제한하는 폭 L2를 좁게 할 수 있고, 화소 개구율을 크게 할 수 있다(예를 들면 특허문헌 2 참조).
- <29> [특허문헌 1] 일본국 공개특허공보 특개평8-254712호
- <30> [특허문헌 2] 일본국 공개특허공보 특개2003-307741호
- <31> [발명의 개시]

발명이 이루고자 하는 기술적 과제

- <32> 그러나, 도 10에 도시되는 구조에서는, 소스 배선(2)과 대향 전극(6)이 겹치는 구성을 취하므로, 층간 절연막(9)의 결함 등에 의해, 소스 배선(2)과 대향 전극(6)과의 단락이 발생하기 쉽다는 문제가 있었다.
- <33> 이 단락 방지를 위해, 층간 절연막(9)을 여러 번에 나누어 성막하는 등, 제조 공정의 증가를 행함으로써 단락을 대폭 저감하는 것이 가능하지만, 제조 공정의 증가를 초래하는 문제점이 있었다.
- <34> 본 발명은, 이러한 문제점을 해결하기 위한 것으로서, 소스 배선(2)으로부터의 누설 전계를 효율적으로 차폐하는 것으로 액정배향의 흐트러짐을 저감함과 동시에, 화소 개구율을 크게 할 수 있고, 제조 공정을 늘리지 않고,

소스 배선(2)과 대향 전극(6)과의 단락이 쉽게 발생하지 않는 액정표시장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <35> [과제를 해결하기 위한 수단]
- <36> 본 발명에 따른 액정표시장치는, 소스 배선보다 하층에 제1의 절연막을 통해 소스 배선을 따라 제1의 전극 패턴을 배치하고, 소스 배선보다 상층에 제2의 절연막을 통해 소스 배선을 따라 제2의 전극 패턴을 소스 배선과 실질적으로 겹치지 않는 위치에 배치하여, 소스 배선으로부터의 누설 전계를 상하층에 배치된 전극 패턴에 의해 효과적으로 차폐하는 것을 특징으로 한 것이다.
- <37> [발명을 실시하기 위한 최선의 형태]
- <38> 실시예 1
- <39> 도 1(a), (b)에 실시예 1에 따른 어레이 기판의 화소부의 평면도 및 소스 배선 근방의 C-C단면도를 나타낸다. 소스 배선(2)을 따라 제1의 전극 패턴을 나타내는 제1전계 차폐전극(11)과, 제2의 전극 패턴을 나타내는 제2전계 차폐전극(12)이 설치된다. 도면 중에서 그 외 동일번호는 종래예와 동일하다.
- <40> 도 1(a)에 있어서, 유리 기판 등의 투명 절연성 기판 위에, 게이트 배선(1)과 공통 배선(3) 및 공통 배선(3)과 일체화된 제1전계 차폐전극(11)이 동일층의 도전막으로 형성되고, 그 상층에 제1의 절연막인 게이트 절연막(8)이 설치된다. 다음에 TFT를 형성하는 반도체막(7)의 형성후, 소스 배선(2), 소스 전극(91), 드레인 전극(4)이 형성되고, 그 상층에 제2의 절연막인 층간 절연막(9)이 설치된다. 그 후에 게이트 절연막(8)과 층간 절연막(9)을 동일 공정으로 에칭하는 것으로, 공통 배선(3)과 대향 전극(6) 및 드레인 전극(4)과 화소 전극(5)과의 전기 접촉을 행하는 콘택홀(10)이 형성된다. 마지막에 화소 전극(5)과 대향 전극(6) 및 대향 전극(6)과 일체화된 제2전계 차폐전극(12)이 동일층의 도전막으로 형성된다.
- <41> 본 실시예에서는, 제1전계 차폐전극(11)은, 게이트 배선(1)과 소스 배선(2)의 교차부 및 그 근방을 제외한 소스 배선(2)을 따라, 소스 배선(2)의 폭 방향 전부에 겹치도록 배치된다. 제2전계 차폐전극(12)은, 소스 배선(2)을 따라 배치하고, 소스 배선(2)과 실질적으로 겹치지 않도록 배치된다.
- <42> 여기에서 도 1(b)를 사용하여, 본 실시예에 대해서 더욱 자세하게 설명한다. 도 1(b)에 있어서, 제1전계 차폐전극(11)은 소스 배선(2)보다도 폭이 넓고, 게이트 절연막(8)을 통해 양자는 서로 겹치는 구성을 취한다. 제2전계 차폐전극(12)은 소스 배선(2)의 상층에 층간 절연막(9)을 통해 설치되고, 양자는 실질적으로 서로 겹치지 않는 구성을 취한다.
- <43> 또한, 본 명세서에 있어서, 실질적으로 겹치지 않는다는 것은, 완전히 전체 부분에서 겹치지 않는 것만을 의미하는 것은 아니고, 발명의 효과를 손상시키지 않는 범위이면, 일부에 겹치는 부분이 있어도 되는 것을 의미하는 것이다.
- <44> 본 구성으로 하는 것으로, 소스 배선(2)으로부터의 누설 전계 E의 일부는 제1전계 차폐전극(11)의 측으로 인입하게 되고, 제2전계 차폐전극(12)에서 차폐해야 할 누설 전계 E는 감소한다. 따라서 제2전계 차폐전극(12)의 폭을 작게 설계할 수 있고, 소스 배선(2)근방의 광투과에 기여하지 않는 영역을 작게 할 수 있다. 그 결과, 화소 개구율을 향상시킬 수 있다.
- <45> 또한 제2전계 차폐전극(12)과 소스 배선(2)은 실질적으로 겹치지 않는 구성을 취하므로, 도 10의 종래예에서 염려되는, 층간 절연막(9)의 결손 등에 기인하는 소스 배선(2)과 제2전계 차폐전극(12)과의 단락은 거의 없으며, 제품 비율의 향상이 가능하게 된다.
- <46> 또한 단락의 대책으로서 층간 절연막(9)을 복수층으로 나누어서 성막하는 등의 제조 공정을 추가도 필요가 없으며, 또한 높은 생산성을 기대할 수 있다.
- <47> 한편, 게이트 절연막(8)은, 종래에 있어서도 게이트 배선(1)과 TFT를 형성하는 반도체막(7)과의 단락을 방지하기 위해서 후막화 또는 복수층으로 나누어 성막하는 등의 단락 방지책이 취해지고 있기 때문에, 소스 배선(2)과 제1전계 차폐전극(11)과의 단락의 발생은 거의 없다.
- <48> 또한, 본 실시예에서는, 제1전계 차폐전극(11)은 공통 전극(3), 대향 전극(6) 및 제2전계 차폐전극(12)과 동전위로 하고 있다. 제1전계 차폐전극(11)과 제2전계 차폐전극(12)은, 스위칭 소자가 OFF이고 액정을 구동하는 전

압의 유지 기간 동안은, 일정한 전위로 하는 것이 바람직하다.

- <49> 제1전계 차폐전극(11)으로부터 액정으로의 누설 전계는 게이트 절연막(8)과 층간 절연막(9)의 영향으로, 제2전계 차폐전극(12)에서의 누설 전계와는 다소 다른 강도가 된다. 따라서, 액정을 구동하는 누설 전계로서는, 제2전계 차폐전극(12)의 영향이 지배적이 되도록, 제1전계 차폐전극(11)의 소스 배선(2)에 대한 폭 방향의 먼 단 M1, M2는, 제2전계 차폐전극(12)의 소스 배선(2)에 대한 폭 방향의 먼 단 M3, M4보다도 폭 방향으로 돌출하지 않도록, 소스 배선(2)에 가까운 측에 배치하는 것이 바람직하다.
- <50> 또한, 본 실시예에서는, 제1전계 차폐전극(11)은 게이트 배선(1)과 동일층의 도전막으로 형성되는 공통 배선(3)과 일체화되어서 구성되어 있으므로 제조 공정이 늘어나는 경우는 없다. 제2전계 차폐전극(12)도 화소 전극(5)과 동일층의 도전막으로 형성되는 대향 전극(6)과 일체화되어서 구성되어 있으므로, 제조 공정이 늘어나는 경우는 없다.
- <51> 또한 본 실시예에서는, 동일층으로 형성되는 화소 전극(5), 대향 전극(6), 제2전계 차폐전극(12)을 ITO등의 투명 도전막으로 형성하면, 광투과율을 더 향상할 수 있어, 실효적인 화소 개구율을 향상시키는 효과를 얻을 수 있다.
- <52> 다음에 본 발명의 실시예 1에 따른 액정표시장치의 제조 프로세스 플로우에 대해서, 도 2를 사용하여 설명한다.
- <53> 우선, 도 2(a)에 나타나 있는 바와 같이 절연성 기판 위에 Cr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Ag등이나 그것들을 주성분으로 하는 합금, 또는 ITO등의 투명도전막, 또는 그것들의 다층막을 스퍼터링법이나 증착법 등에 의해 성막후, 사진제판과 미세가공기술에 의해, 게이트 전극(1), 공통 배선(3), 제1전계 차폐전극(11)을 형성한다.
- <54> 다음에 도 2(b)에 나타나 있는 바와 같이 질화 실리콘, 산화 실리콘 등으로 이루어지는 게이트 절연막(8), 비정질 실리콘, 다결정 폴리실리콘 등으로 이루어지는 반도체막(7), P등의 불순물을 고농도로 도핑한 n형 비정질 실리콘, n형 다결정 실리콘 등으로 이루어지는 콘택막(90)을, 플라즈마 CVD, 상압 CVD, 감압 CVD법 등으로 성막한다. 또한, 게이트 절연막(8)은, 편흔 등의 막 결손 발생에 의한 단락을 방지하기 위해, 여러번에 나누어서 성막하는 것이 바람직하다. 이어서, 사진제판, 에칭에 의해, 콘택막(90) 및 반도체막(7)을 섬 모양으로 가공한다.
- <55> 다음에 도 2(c)에 나타나 있는 바와 같이 Cr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Ag등이나 그것들을 주성분으로 하는 합금, 또는 ITO등의 투명 도전막, 또는 그것들의 다층막을 스퍼터링법이나 증착법 등에 의해 성막후, 사진제판과 미세가공기술에 의해, 소스 배선(2), 소스 전극(91), 드레인 전극(4)을 형성한다. 또한, TFT의 채널을 형성하는 부위의 콘택막(90)을 소스 전극(91), 드레인 전극(4) 또는 그것들을 형성할 때에 패터닝 처리된 포토레지스트를 마스크로서 에칭한다.
- <56> 이어서, 도 2(d)에 나타나 있는 바와 같이 질화 실리콘, 산화 실리콘 등의 무기절연막 또는 유기수지 등으로 이루어지는 제2의 절연막인 층간 절연막(9)을 형성한다. 그 후에 사진제판과 에칭에 의해 콘택홀(10)을 형성한다.
- <57> 마지막으로, 도 2(e)에 나타나 있는 바와 같이, Cr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Ag등이나 그것들을 주성분으로 하는 합금, 또는 ITO등의 투명도전막, 또는 그것들의 다층막을 스퍼터링법이나 증착법 등에 의해 성막후, 사진제판과 미세가공기술에 의해, 화소 전극(5), 대향 전극(6), 제2전계 차폐전극(12)을 형성한다.
- <58> 이상의 공정에 의해, 본 실시예에 있어서의 IPS방식의 액정표시장치를 구성하는 TFT어레이 기판을 제작할 수 있다.
- <59> 이렇게 하여 제작된 TFT어레이 기판은, 그 후의 셀 공정에 있어서 배향막을 도포하고, 러빙 등의 방법을 사용하여 일정한 방향으로 배향 처리를 실시한다. 마찬가지로, TFT어레이 기판과 대향하는 대향기판에도 배향막을 도포하고, 러빙 등의 방법을 사용하여 일정한 방향으로 배향 처리를 실시한다. 이들의 TFT어레이 기판과 대향기판을 서로의 배향막이 마주 향하도록, 소정의 간격을 갖고 겹치게 하고, 기판 테두리 부분을 셀재로 접착하여 양쪽 기판 사이에 액정을 주입하여 밀봉한다. 이렇게 하여 형성한 액정 셀의 양면에 편광판을 붙인 후, 구동회로를 접속, 마지막으로 백라이트 유닛을 부착함으로써, 액정표시장치를 제작한다.
- <60> 실시예 2
- <61> 도 3(a), (b)에 실시예 2에 따른 액정표시장치의 화소부의 평면도 및 소스 배선 근방의 D-D단면도를 나타낸다.

실시에 1과 다른 것은, 제1전계 차폐전극(11)이 소스 배선(2)의 폭 방향의 전체 면에 있는 것이 아니고, 소스 배선(2)의 폭 방향의 일부인 변 부근에서만 겹쳐 있는 점이다. 기본적인 동작, 작용은 실시예 1과 같다.

<62> 실시예 1에 비교하면, 소스 배선(2)으로부터 액정으로의 누설 전계 E의 인입 효과는 마찬가지로 가지고 있고, 제1전계 차폐전극(11)은 소스 배선(2)과의 겹침 면적이 적으므로, 소스 배선(2)과의 단락을 더 저감할 수 있을 뿐 아니라, 소스 배선(2)의 기생 용량을 실시예 1보다 억제할 수 있다.

<63> 실시예 3

<64> 도 4(a), (b)에 실시예 3에 따른 액정표시장치의 화소부의 평면도 및 소스 배선 근방의 E-E단면도를 나타낸다. 실시예 1과 다른 것은, 제1전계 차폐전극(11)이 소스 배선(2)의 폭 방향의 전체 면에 있는 것이 아니고, 소스 배선(2)과는 겹치지 않도록 소스 배선(2)을 따라 배치되어 있는 점이다. 기본적인 동작, 작용은 실시예 1과 같다.

<65> 실시예 1 및 2에 비교하면, 소스 배선(2)으로부터 액정으로의 누설 전계 E의 인입 효과는 마찬가지로 가지고 있고, 제1전계 차폐전극(11)은 소스 배선(2)과 겹치지 않으므로 단락이 거의 없고, 소스 배선(2)의 기생 용량을 실시예 1 및 2보다 억제 할 수 있다.

<66> 실시예 4

<67> 도 5(a), (b)에 실시예 4에 따른 액정표시장치의 화소부의 평면도 및 소스 배선 근방의 F-F단면도를 나타낸다. 본 실시예에서는 제1전계 차폐전극(11)은 게이트 배선(1)과 일체화되어서 구성되고, 소스 배선(2)을 따라 소스 배선(2)의 폭 방향의 전부에 있어서 겹치도록 배치되어 있다. 또한, 제2전계 차폐전극(12)은 대향 전극(6)과 일체화되어서 구성되고, 소스 배선(2)을 따라 소스 배선(2)의 상층에 층간 절연막(9)을 통해 소스 배선(2)과 겹치지 않도록 배치되어 있다. 여기에서, 실시예 1과 다른 것은, 저장용량의 구성이 게이트 배선(1)과 화소 전극(5) 사이에 저장용량을 형성하는 CS은 게이트의 구성이며, 공통 배선(3)이 없는 점이다.

<68> 다음에 동작에 관하여 설명한다. 제1전계 차폐전극(11)은 게이트 전극(1)의 전위이며, 제2전계 차폐전극(12)은 대향 전극(6)의 전위이다. 여기에서, 제1전계 차폐전극(11)의 전위는 대향 전극(6)의 전위는 아니지만, 소스 배선(2)으로부터 액정으로의 누설 전계 E의 인입 효과는 실시예 1과 동일하다. 또한, 제2전계 차폐전극(12)이 설치되어 있기 때문에, 소스 배선(2)으로부터의 누설 전계 E를 차폐하는 효과는, 실시예 1과 거의 같다.

<69> 또한 제1전계 차폐전극(11)은 대향 전극(6)의 전위와 다르지만, 액정의 배향상태에 주는 누설 전계의 영향은, 전체 화소에 있어서 일정한 같은 크기의 누설 전계이므로 크로스 토크 등의 표시 불량은 일으키지 않는다.

<70> 따라서, 화소 개구율을 향상시키고, 제품 비율의 높은 액정표시장치를 얻을 수 있다. 또한 CS은 게이트의 구성을 취하는 것으로 공통 배선(3)이 불필요하고, 그 부분을 표시 영역으로서 사용하는 것이 가능하게 되어, 이러한 화소 개구율의 향상을 실현할 수 있다.

<71> 또한, 본 실시예에서는 제1전계 차폐전극(11)을 인접화소의 게이트 배선(1)과 일체화한 구성을 설명했지만, 제1전계 차폐전극(11)을 자화소의 게이트 배선(1)과 일체화했을 경우에 있어서도 동일한 효과를 얻을 수 있다.

<72> 실시예 5

<73> 도 6(a), (b)에 발명의 실시예 5에 따른 액정표시장치의 화소부의 평면도 및 소스 배선 근방의 G-G단면도를 나타낸다. 실시예 4와 다른 것은, 제1전계 차폐전극(11)이 소스 배선(2)의 폭 방향의 전체 면에 있는 것이 아니고, 소스 배선(2)의 폭 방향의 일부인 변 부근에서만 겹쳐 있는 점이다.

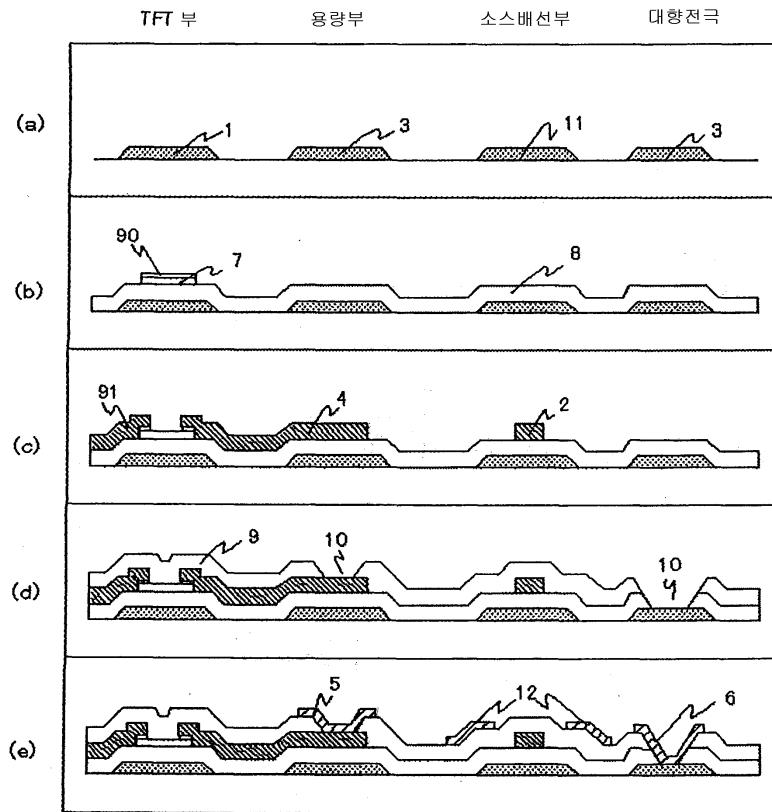
<74> 실시예 4에 비교하면, 소스 배선(2)으로부터 액정으로의 누설 전계 E의 인입 효과는 마찬가지로 가지고 있고, 제1전계 차폐전극(11)은 소스 배선(2)과의 겹침 면적이 적으므로, 소스 배선(2)과의 단락을 더 저감 할 수 있을 뿐 아니라, 소스 배선(2)의 기생 용량을 실시예 4보다 억제할 수 있다.

<75> 실시예 6

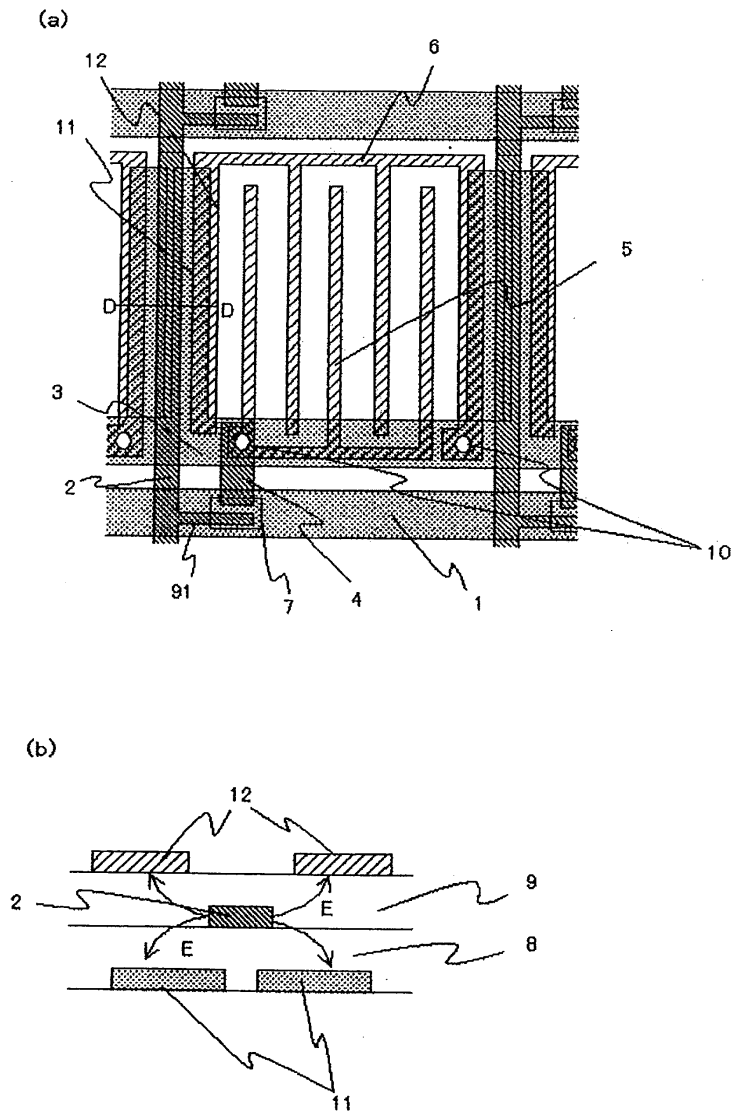
<76> 도 7(a), (b)에 발명의 실시예 6에 따른 액정표시장치의 화소부의 평면도 및 소스 배선 근방의 H-H단면도를 나타낸다. 실시예 4와 다른 것은, 제1전계 차폐전극(11)이 소스 배선(2)의 폭 방향의 전체 면에 있는 것이 아니고, 소스 배선(2)과는 서로 겹치지 않도록 소스 배선(2)을 따라 배치되어 있는 점이다.

<77> 실시예 4 및 5에 비교하면, 소스 배선(2)으로부터 액정으로의 누설 전계 E의 인입 효과는 마찬가지로 가지고 있고, 제1전계 차폐전극(11)은 소스 배선(2)과 서로 겹치지 않으므로 단락이 거의 없고, 소스 배선(2)의 기생 용

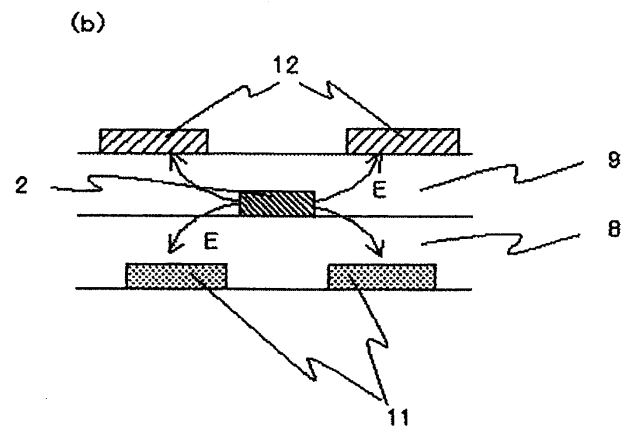
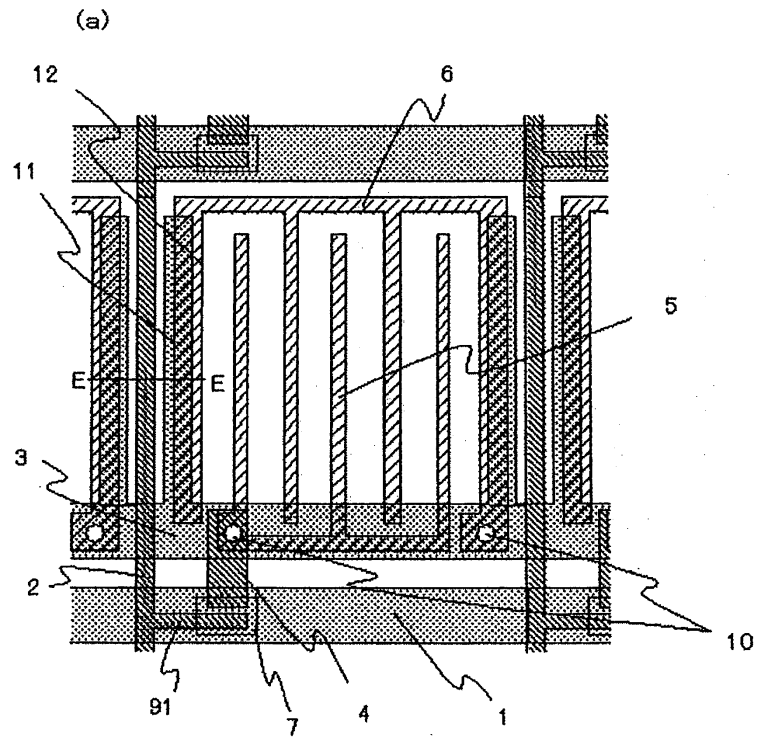
도면2



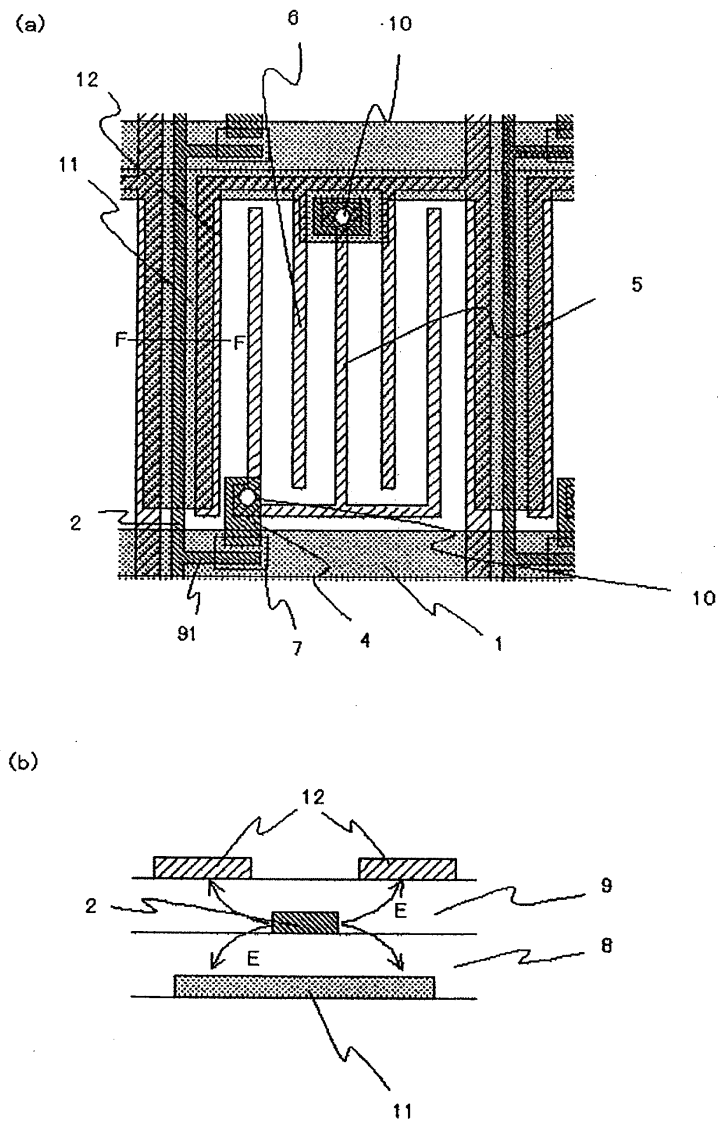
도면3



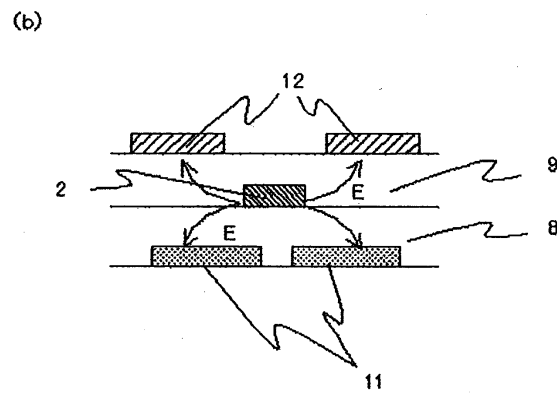
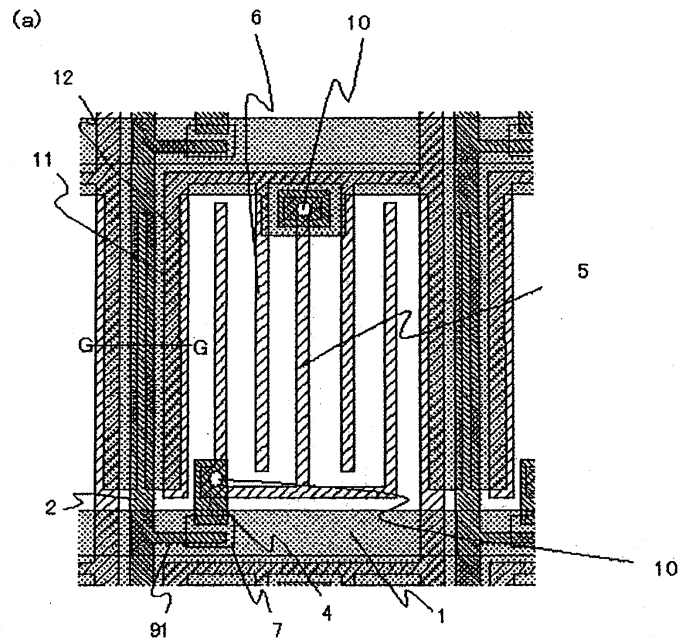
도면4



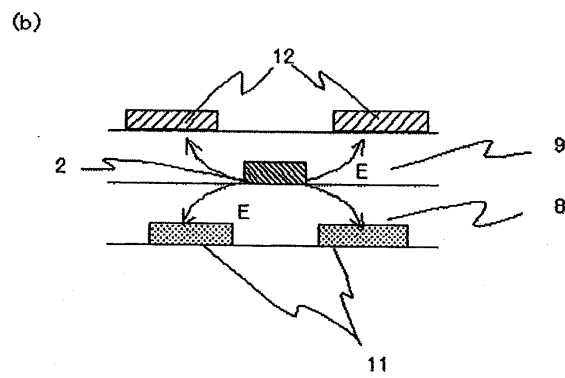
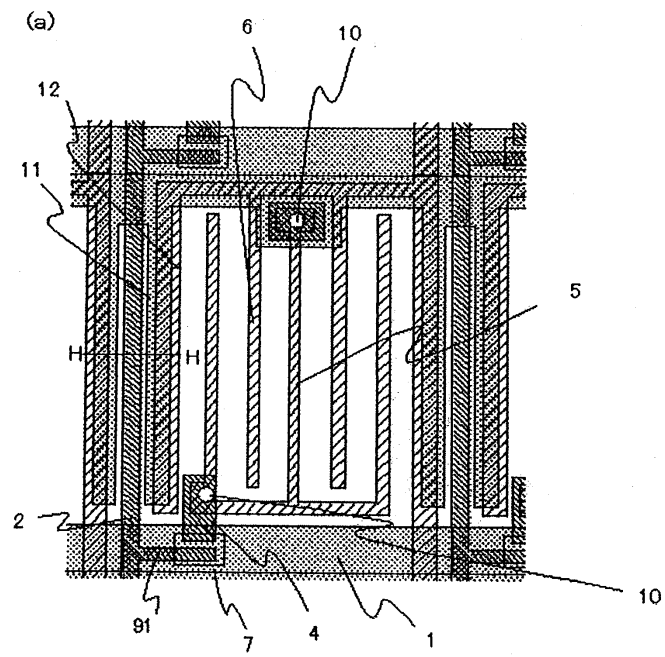
도면5



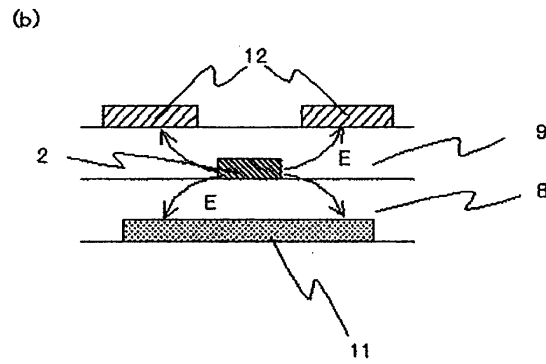
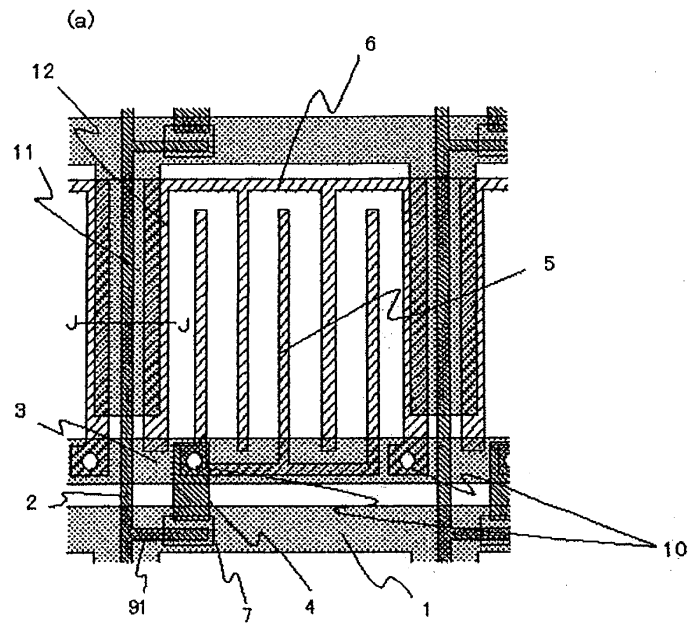
도면6



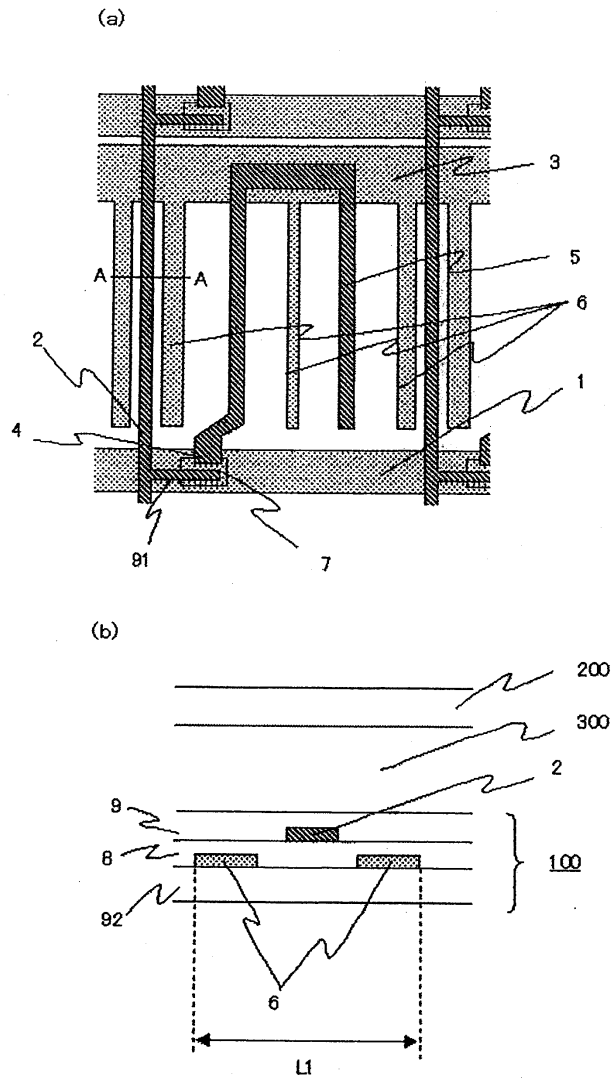
도면7



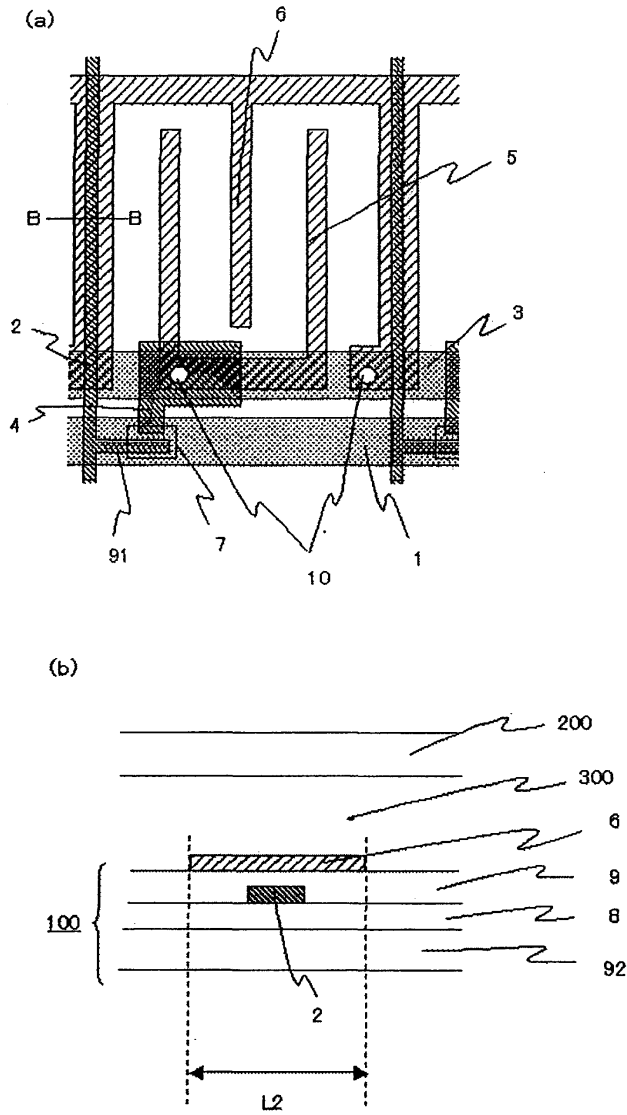
도면8



도면9



도면10



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR100850288B1	公开(公告)日	2008-08-04
申请号	KR1020060040991	申请日	2006-05-08
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
当前申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	NAGANO SHINGO 나가노신고 MASUTANI YUICHI 마수타니유이치		
发明人	나가노신고 마수타니유이치		
IPC分类号	G02F1/1343		
CPC分类号	G02F2001/136218 G02F1/134363		
代理人(译)	权泰BOK LEE HWA我		
优先权	2005137211 2005-05-10 JP		
其他公开文献	KR1020060116711A		
外部链接	Espacenet		

摘要(译)

可以减少由于来自源极布线2的漏电场引起的液晶300的取向的紊乱，并且可以防止源极布线2和对电极6之间的短路。获得液晶显示装置及其制造方法。通过栅极绝缘膜8并沿着源极布线2设置在源极布线2下方的第一电极图案11和经由层间绝缘膜9形成在源极布线2上方的第二电极图案11并且布置在沿着源极布线2基本上不与源极布线2重叠的位置处的第二电极图案12被布置成使得来自源极布线2的漏电场布置在上层和下层中。并且被电极图案11和12有效地屏蔽。第一电极图案11由与栅电极1相同的层的导电膜形成，第二电极图案12由对电极6形成。

