



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/1333 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월08일 10-0689727 2007년02월26일
--	-------------------------------------	--

(21) 출원번호	10-2005-0052858	(65) 공개번호	10-2006-0046483
(22) 출원일자	2005년06월20일	(43) 공개일자	2006년05월17일
심사청구일자	2005년06월20일		

(30) 우선권주장 JP-P-2004-00185890 2004년06월24일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자 와타나베 켄이치
일본국 구마모토 기쿠치군 니시고시마찌 미요시 997 멜코디스플레이 테크놀로지 가부시키키가이샤 나이

마수타니 유키치
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키가부시키키가이샤 나이

노우미 시게아키
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키가부시키키가이샤 나이

모리시타 히토시
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키가부시키키가이샤 나이

우에다 히로시
일본국 구마모토 기쿠치군 니시고시마찌 미요시 997 멜코디스플레이 테크놀로지 가부시키키가이샤 나이

(74) 대리인 권태복
이화익

(56) 선행기술조사문헌
JP05142553 A
* 심사관에 의하여 인용된 문헌

심사관 : 한상수

전체 청구항 수 : 총 12 항

(54) 액정표시장치 및 액정표시장치의 검사 방법

(57) 요약

본 발명은 배선을 연장하거나, 배선에 접속된 전극부분을 노출시키지 않는 구조로서, 고장해석 시에 드라이버LSI의 출력 신호를 검사 하는 것이 가능한 액정표시장치 및 액정표시장치의 검사 방법을 제공한다. 본 발명에 관한 해결 수단은, 서로 대향하는 2장의 절연기판(전극기판(1) 및 대향기판(2))에 의해 액정층을 협지하고 복수의 표시 소자가 형성된 표시부와, 절연기판의 적어도 한쪽에 형성되어 복수의 표시 소자에 신호를 공급하는 배선(3a)과, 절연기판의 주연부에 배치되어 배선(3a)(3b)의 단자와 접속하는 것으로 복수의 표시 소자를 구동하는 드라이버LSI(6)와, 절연기판의 주연부에 위치하는 배선(3a) 위에 제 1절연층을 통해 형성되는 도전 막 패턴부를 구비한다.

대표도

도 1

특허청구의 범위

청구항 1.

서로 대향하는 2장의 절연기판에 의해 액정층을 협지하고 복수의 표시 소자가 형성된 표시부와,

상기 절연기판의 적어도 한쪽에 형성되어 상기 복수의 표시 소자에 신호를 공급하는 배선과,

상기 절연기판의 주연부에 배치되어 상기 배선의 단자와 접속하는 것으로 상기 복수의 표시 소자를 구동하는 드라이버LSI와,

상기 표시부와 상기 드라이버LSI 사이에 위치하는 상기 배선 위에, 제 1절연층을 통해 형성되는 도전 막 패턴부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1항에 있어서,

상기 도전 막 패턴부는, 상기 배선 마다 개별적으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2항에 있어서,

상기 도전 막 패턴부는 복수의 형상으로 이루어지고, 상기 배선 마다 상이한 형상을 갖는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 도전 막 패턴부의 바로 아래에 위치하는 상기 배선에 형성되는 측정 패턴부를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 4항에 있어서,

상기 도전 막 패턴부의 형상은, 상기 측정 패턴부의 형상보다 큰 것을 특징으로 하는 액정표시장치.

청구항 6.

제 4항에 있어서,

상기 측정 패턴부 및 상기 도전 막 패턴부는, 지그재그 모양으로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 1항에 있어서,

상기 제 1절연층과 상기 도전 막 패턴부 사이에, 메탈 패드부와, 상기 메탈 패드부 위에 배치되는 제 2절연층을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 2항에 있어서,

인접하는 상기 도전 막 패턴부 사이를 소정의 고 저항상태에서 단락시키기 위해, 인접하는 상기 도전 막 패턴부 사이에 도전성 막으로 형성한 접속 선 또는 실리콘 막, 쌍방향 트랜지스터의 적어도 어느 하나를 배치하는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 1항에 있어서,

상기 도전 막 패턴부는 절연성 코트재로 피복되는 것을 특징으로 하는 액정표시장치.

청구항 10.

제 1항에 있어서,

상기 도전 막 패턴부는, 상기 표시 소자의 도전 막과 동일한 공정으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 11.

삭제

청구항 12.

서로 대향하는 2장의 절연기판에 의해 액정층을 협지하고 복수의 표시 소자가 형성된 표시부와,

상기 절연기관의 적어도 한쪽에 형성되어 상기 복수의 표시 소자에 신호를 공급하는 배선과,

상기 배선의 입력 단자와 접속하도록 상기 절연기관 위에 배치되어 상기 복수의 표시 소자를 구동하는 드라이버LSI를 구비하고,

상기 배선은, 상기 표시부와 상기 드라이버LSI의 사이에, 상기 배선 마다 흐르는 신호를 측정하기 위한 측정 패턴부를 구비하며,

상기 측정 패턴부는, 제 1절연층으로 피복되는 것을 특징으로 하는 액정표시장치.

청구항 13.

제 12항에 있어서,

상기 측정 패턴부는, 상기 배선의 배선 폭보다 폭 넓게 형성되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정표시장치 및 액정표시장치의 검사 방법에 관한 발명으로서, 특히, 표시 소자를 구동하기 위한 드라이버LSI가 배치된 액정표시장치 및 액정표시장치의 검사 방법에 관한 것이다.

소형화, 저 비용화의 관점에서, 액정표시장치에서는 드라이버LSI의 범프를 유리 기판 위에 배치된 배선의 전극단자에 직접 접속시키는 COG(Chip On Glass)방식을 채용하는 경우가 많다. 이 COG방식을 포함하여 액정표시장치에 있어서, 선 결합 등의 표시 불량에 생겼을 경우, 드라이버LSI에 원인이 있는 지, 배선에 원인이 있는지를 구별 할 필요가 있었다.

그러나, 배선은, 드라이버LSI의 범프와 접속하는 단자 이외는 절연층으로 피복되고 있기 때문에, 표시 불량의 구멍을 용이하게 할 수 없었다. 그래서, 해결 수단으로서, 예를 들면 특허문헌 1에 개시되고 있는 수단이 제안되었다. 이 특허문헌 1에서는, 탑재되는 드라이버LSI와 접속되는 출력층의 배선을, 드라이버LSI의 바로 아래 배치시켜 연장하고 있다. 그리고, 연장한 출력층의 배선에, 드라이버LSI의 긴 변부의 외측인 패널단 근방 부분에 전극부가 형성되고 있고, 이 전극을 이용하여 드라이버LSI의 접속 확인 및 과형 확인을 행하는 것으로 표시 불량의 원인 구멍을 행하고 있었다.

[특허문헌 1] 일본 특허공개2000-321591호 공보

특허문헌 1에서 나타낸 접속 형태의 경우, 드라이버LSI로의 입력층의 배선을, 출력층의 배선과 교차하지 않는 위치에 배치 할 필요가 있기 때문에, 필연적으로, 입력층의 배선을 드라이버LSI의 짧은 변측에 접속시키게 된다. 원래는 입력층의 배선은, 출력층의 배선이 접속되는 드라이버LSI의 긴 변의 반대측에 접속되므로, 최단 거리로 배선하는 것이 가능했다. 그러나, 입력층의 배선을 연장하여 출력층의 배선을 피하면서 드라이버LSI의 짧은 변측에 입력하면, 입력층의 배선이 길게 인회되므로 배선 저항이 증대하고, 입력 신호 및 전원의 열화를 일으키는 문제가 있었다.

또한 특허문헌 1과 같이, 연장한 출력층의 배선에 형성된 전극부는, 항상 노출되고 있다. 노출하는 전극이 존재할 경우, 배선의 부식을 유발시키는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

그래서, 본 발명은, 상기와 같은 문제점을 해소하기 위해서 행해진 것으로, 배선을 연장하거나, 배선에 접속된 전극부분을 노출시키지 않는 구조로서, 고장해석 시에 드라이버LSI의 출력 신호 또는 출력 파형을 검사 하는 것이 가능한 액정표시장치 및 액정표시장치의 검사 방법을 제공 하는 것을 목적으로 한다.

발명의 구성

본 발명에 관한 해결 수단은, 서로 대향하는 2장의 절연기판에 의해 액정층을 협지하고 복수의 표시 소자가 형성된 표시부와, 절연기판의 적어도 한쪽에 형성되어 복수의 표시 소자에 신호를 공급하는 배선과, 절연기판의 주연부에 배치되어 배선의 단자와 접속하는 것으로 복수의 표시 소자를 구동하는 드라이버LSI와, 절연기판의 주연부에 위치하는 배선 위에, 제 1 절연층을 통해 형성되는 도전 막 패턴부를 구비한다.

(실시예 1)

이하에, 본 발명의 실시예에 대해서 도면을 이용하여 설명한다. 도 1은, 본 실시예에 관한 액정표시장치의 전극 단자부를 나타내는 평면도이다. 우선, 액정표시장치의 구조에 대해서 간단하게 설명한다. 액정표시장치는, 서로 대향하는 2장의 절연성 기판(예를 들면 유리 기판)인 전극기판(1)과 대향기판(2) 사이에 액정층을 끼우는 것으로 복수의 액정표시 소자가 형성된 표시부를 구비하고 있다. 도시하지 않지만, 표시부의 전극기판(1) 위에는, 복수의 게이트 배선 및 복수의 소스 배선이 배치되고 있고, 이들의 교차부 부근에는, 스위칭소자인 박막 트랜지스터가 배치되고 있다. 그리고, 이 박막 트랜지스터에 접속된 화소전극 등이 매트릭스 모양으로 배치되고 있다(모두 도시하지 않음).

또한 표시부의 대향기판(2)에는, 투명도전 막으로 이루어지는 대향전극, 컬러 표시용의 착색 필터층 및 각 화소간에 배치된 블랙 매트릭스 등이 형성되고 있다(모두 도시하지 않음). 전극기판(1)과 대향기판(2)은, 액정층 및 스페이스를 통해 겹쳐지고, 씨일재에 의해 밀봉되고 있다. 또한 표시부의 외측에 위치하는 전극기판(1)위(이하, 전극기판(1)의 주연부라고도 함)에는, 전극 단자부가 형성되고, 액정표시 소자를 구동하는 구동용IC인 드라이버LSI(6)가 COG방식에 의해 탑재되고 있다.

도 1에서는, 전극기판(1)의 주연부에 복수의 출력층의 배선(3a)이 배치된다. 이 출력층의 배선(3a)은, 표시부의 전극기판(1) 위에 형성되는 소스 배선과 연결되고 있고, 드라이버LSI(6)로부터의 신호를 박막 트랜지스터에 공급한다. 한편, 전극기판(1)의 단부(도 1에서는, 도면 중 하측)에서 드라이버LSI(6)까지는, 입력층의 배선(3b)이 배치되고 있다. 이 입력층의 배선(3b)은, 드라이버LSI(6)에 필요한 신호나 전원을 공급하고 있다.

본 실시예에 관한 액정표시장치는, 도 1에서 알 수 있는 바와 같이 COG방식을 채용하고 있다. 그 때문에 출력층 및 입력층의 배선(3a)(3b)에는, 드라이버LSI(6)에 형성된 범프(도시하지 않음)와 접속하기 위한 전극단자(5a)(5b)가 배치된다. 또한 입력층의 배선(3b)에는, 드라이버LSI(6)와 접속되는 반대측에 외부입력의 전극단자(5c)가 배치된다. 또한, 본 실시예에 관한 액정표시장치에서는, 드라이버LSI(6)의 출력 신호를 검사하기 위한 측정 패턴부(4)가 출력층의 배선(3a)에 배치된다.

이 측정 패턴부(4)는, 출력층 배선(3a)의 배선 폭보다도 폭 넓게 형성되고, 인접하는 측정 패턴부(4)사이의 거리를 확보하기 위해 지그재그 모양으로 배치되어 있다. 그리고, 측정 패턴부(4) 위에는 절연층(도시하지 않음)을 통해 도전 막 패턴부(7)가 배치된다. 도 1에 나타내는 도전 막 패턴부(7)는, ITO(Indium Tin Oxide)로 형성되어 있다. 또한 도전막 패턴부(7)는, 동일한 드라이버LSI(6)에 접속되는 복수의 출력층의 배선(3a)을 횡단하는 형상이다.

다음에 전극 단자부에 대해서 상세하게 설명한다. 도 2는, 도 1에 나타내는 전극 단자부를 A-B면으로 절단한 단면도이다. 또, 도 2에 나타내는 전극 단자부는, 소스 배선층의 전극 단자부이다. 도 2에 나타내는 전극기판(1)의 주연부 위에는 게이트 절연막(8)이 적층되고, 이 게이트 절연막(8) 위에 출력층의 배선(3a) 및 입력층의 배선(3b)이 형성되고 있다. 출력층의 배선(3a)의 선단부에는, 드라이버LSI(6)의 출력 범프(6a)를 접합하기 위한 전극단자(5a)가 배치되고, 또한 중간부에는 측정 패턴부(4)가 배치된다. 그리고, 출력층의 배선(3a) 위에는 절연층인 보호막(9)이 배치되고, 또한 측정 패턴부(4)의 바로 위에 위치하는 보호막(9) 위에 ITO로 형성된 도전 막 패턴부(7)가 배치된다.

한편, 입력층의 배선(3b)에 있어서 대향기판(2)측의 선단부에는, 드라이버LSI(6)의 입력 범프(6b)를 접합하기 위한 전극 단자(5b)가 배치되고, 다른 쪽의 선단부에는 외부입력의 전극단자(5c)가 배치된다. 또, 드라이버LSI(6)에는, 복수의 범프(6a)(6b)가 배치된다. 그 때문에 전극기판(1)의 주연부 위에는 범프(6a)(6b)의 수와 같은 수의 전극단자(5a)(5b)를 근접하여 배치 할 필요가 있고, 이들 전극단자(5a)(5b)는, 전극단자 블록을 구성하고 있다.

다음에 본 실시예에 관한 액정표시장치의 제조 방법에 관하여 설명한다. 특히, 이하에서는 전극기관(1)에 있어서의 제조 방법에 관하여 설명한다. 우선, 무알칼리 유리(예를 들면 상품명 AN635) 등의 투명절연성 기판 위에, 스퍼터링에 의해 Cr, Al, Ta, Ti, Mo 등의 금속막 또는 이 금속성분을 주성분으로 하는 합금막을 성막하고, 사진제판기술에 의해 패터닝하는 것으로 게이트전극 및 표시부의 게이트 배선, 전극 단자부의 게이트 배선 등을 동시에 형성한다.

다음에 플라즈마CVD를 이용하여, 예를 들면 SiN을 다시 성막하고, 게이트 절연막을 형성한다. 계속해서, 게이트 전극 및 게이트 배선, 게이트 절연막 위에, 채널층이 되는 비결정질Si 및 콘택층이 되는 N+ 형의 비결정질Si를 연속한다. 성막후에, 사진제판기술에 의해 패터닝하여 표시부의 각 액정표시 소자를 구동하기 위한 박막 트랜지스터를 형성한다. 또한, 스퍼터링으로 Cr, Al, Mo 등의 금속막 혹은 이 금속성분을 주성분으로 하는 합금막을 성막하고, 사진제판기술에 의해 패터닝을 행하는 것으로, 표시부의 드레인 전극 및 소스 전극, 표시부의 소스 배선, 전극 단자부의 소스 배선 등을 동시에 형성한다.

다음에 액정층에 DC성분이 인가되는 것을 막기 위해, 플라즈마CVD에 의해 SiN등을 성막하고, 보호막을 형성한다. 그 후에 게이트 배선 및 소스 배선의 전극 단자부분의 절연막을 제거한다. 마지막으로 스퍼터링으로 ITO를 성막하고, 사진제판기술에 의해 패터닝해서 화소전극을 형성한다. 동시에 전극 단자부의 게이트 배선 및 소스 배선의 전극 단자부분에도 ITO를 형성한다. 이 ITO를 성막하는 것으로 Cr, Al 등의 배선 재료로 형성된 전극단자가 노출되지 않고, 전극단자에 산화막이 형성되는 것을 방지할 수 있으며, 외부입력과의 도통 불량 발생을 방지할 수 있다. 이상의 제조 방법을 거쳐, 본 실시예에 관한 액정표시장치의 전극기관(1)이 완성된다. 또, 대향기관(2)의 제조 방법이나, 전극기관(1)과 대향기관(2)을 겹치게 하여 접착하여 액정을 주입하는 조립공정 등에 대해서는, 여기에서는 설명을 생략한다.

다음에 드라이버LSI(6)를 전극기관(1)에 탑재하는 방법을 도 3에 의거하여 설명한다. 우선, 도 3에 나타내는 전극기관(1)의 주연부 위에 형성된 전극단자(5a)(5b) 위에, ACF(Anisotropic Conductive Film)(11)를 접착한다. 다음에 드라이버LSI(6)의 이면에 형성된 Au로 이루어지는 복수의 범프(6a)(6b)와 전극단자(5a)(5b)를 정밀하게 얼라이먼트한 후, 가열가압 툴을 이용하여 열압착 한다. 이때의 조건은, 예를 들면 가열온도 170~200℃, 시간10~20초, 압력30~100Pa이다. 열압착 하는 것으로, 드라이버LSI(6)의 출력 범프(6a)와 전극단자(5a), 입력 범프(6b)와 전극단자(5b) 사이에 긴 ACF(11)의 도전 입자(11a)에 의해, 범프(6a)(6b)와 전극단자(5a)(5b)가 도통하게 된다. 즉, ACF(11)를 통해 열압착 하는 것으로, 드라이버LSI(6)가 액정표시장치의 전극단자(5a)(5b)와 전기적으로 접속된다.

또, ACF(11)는, 수평방향에 있어서 도전 입자(11a)의 주위에 절연성의 에폭시 수지(11b)가 존재하기 위해서 절연이 유지된다. 계속해서, 외부입력이 접속하기 위한 FPC(Flexible Printed Circuit)(10)와 외부입력의 전극단자(5c)와의 접속도 마찬가지로 ACF(11)를 이용하여 행한다. FPC(10)은, 두께30~70μm정도의 폴리이미드 필름, 두께8~25μm의 동박(10a) 및 폴리이미드계의 솔더레지스트로 구성되어 있다.

마지막으로, 드라이버LSI(6)와 FPC(10)사이의 배선(3b)을 포함하는, 전극 단자부에 절연성 코트재(12)를 도포한다. 코트재(12)로서는, 주로 실리콘 수지, 아크릴수지, 불소수지, 우레탄 수지 등이 이용되고, 디스펜서를 이용하여 도포된다. 코트재(12)를 전극 단자부에 도포함으로써 배선의 부식을 방지 할 수 있다.

다음에 액정표시장치의 조립 방법에 대해서, 도 4를 이용하여 설명한다. 본 실시예에 관한 액정표시장치는, 드라이버LSI(6)를 전극기관(1)에 탑재한 액정 패널(16)을 평면발광원이 되는 백라이트(18)에 놓고, 액정 패널(16)의 앞면측에서 프론트 프레임(17)을 끼워넣는 것으로 조립하고 있다. 또한 전극기관(1)에 접속된 FPC(10)는, 회로기관(15)과 접속시킨다.

다음에 본 실시예에 의한 액정표시장치에 있어서, 표시 불량이 발생했을 때의 검사 방법에 관하여 설명한다. 설명에는, 도 5 및 도 6을 이용한다. 또, 도 6은, 도 5의 평면도를 C-D면으로 절단한 경우의 단면도이다. 우선, 검사는, 드라이버LSI(6) 및 FPC(10)를 탑재 후의 액정표시 패널에 있어서, 신호발생기로부터 각 소스 배선에 순차적으로 신호를 입력한다. 신호의 입력에 의해 표시부에 있어서 소정의 영상신호를 얻을 수 없었던 개소, 즉 선 결함 등의 표시 불량이 발생한 어드레스를, 신호발생기의 기능에 의해 특정한다. 도 5에서는, 우로부터 2번째의 배선(3a)이다.

다음에 이 어드레스의 배선(3a)의 측정 패턴부(4)와 도전 막 패턴부(7)의 겹침부에 대하여, 전극기관(1)의 이면측 즉 유리 기판측에서 레이저를 조사한다. 도 5에서는, 우로부터 2번째의 배선(3a)의 측정 패턴부(4)에 레이저 흔(痕)(14)이 형성되어 있다. 레이저를 조사 함에 따라, 열로 측정 패턴부(4)의 금속이 보호막(9)을 찢어 존중 막 패턴부(7)와 접촉하는 것으로 측정 패턴부(4)와 도전 막 패턴부(7)가 단락하여 전기적으로 접속한다. 도 6에 나타내는 단면도에서는, 측정 패턴부(4)와 도전 막 패턴부(7)가 단락하고 있는 모양이 나타나 있다. 또, 확실한 도통을 취하기 위해서는, 레이저의 조사를 수 회에 나누어 행하는 것이 바람직하다.

도 1에 나타내는 도전 막 패턴부(7)에서는, 복수의 출력측의 배선(3a)을 횡단하는 형상이지만 도 7과 같은 측정 패턴부(4)마다 도전 막 패턴부(7)를 개별적으로 배치해도 좋다. 도전막 패턴부(7)를 개별적으로 배치함으로써, 동일한 드라이버LSI(6)에 접속된 복수의 배선 위에 복수의 불량 발생량도 불량 원인의 구명을 행할 수 있다.

또한 도 7과 같이 측정 패턴부(4)와 도전 막 패턴부(7)의 폭을, 출력측의 배선(3a)의 폭보다도 폭 넓게 형성하는 것으로, 레이저의 조사 에어리어를 충분히 확보 할 수 있다. 또, 레이저를 전극기관(1)의 이면측에서 조사하므로, 도전 막 패턴부(7)를 측정 패턴부(4)보다 크게 해서 도통하기 쉽게 하고 있다. 또한, 도시 하지 않지만, 레이저를 조사하는 측정패턴부(4)를 용이하게 찾을 수 있도록 도전 막 패턴부(7)는 복수의 형상을 갖고, 배선마다 그 형상을 변화시켜도 좋다. 예를 들면 배선의 어드레스가 1~10까지는 도전 막 패턴부(7)를 사각으로, 배선의 어드레스가 11~20까지는 도전 막 패턴부(7)를 둥근 모양으로 하는 것을 생각할 수 있다.

레이저 조사에 의해 측정 패턴부(4)와 도전 막 패턴부(7)를 도통시킨 후에, 도전 막 패턴부(7)에 오실로스코프 또는 디지털 멀티 미터 등의 측정기기의 프로브 또는 바늘을 접촉시킨다. 도전 막 패턴부(7)와 접촉한 측정기기에 의해, 불량발생 개소를 갖는 배선에 접속된 드라이버LSI(6)로부터의 출력 신호 또는 출력 파형을 측정하여 불량원인을 구명한다.

또, 측정기기에 의해 측정할 때, 도전 막 패턴부(7)와 측정 패턴부(4) 사이의 보호막(9)이 정전기에 의해 파괴되는 것도 생각할 수 있으므로, 도 8과 같이 인접하는 도전 막 패턴부(7) 사이에 도전성 막으로 형성된 장거리 접속선(19) 또는 고 저항의 실리콘 막, 양쪽 방향 트랜지스터의 적어도 어느 하나를 배치하는 것으로 쇼트 시킨다. 즉, 인접하는 도전 막 패턴부(7) 사이를 고 저항 상태로 접속하는 것으로 정전기를 복수의 도전막 패턴부(7)로 받아 막고, 보호막(9)의 정전기에 의한 파괴를 방지하고 있다.

이상과 같이, 본 실시예에 기재된 액정표시장치는, 전극기관(1)의 주연부에 위치하는 배선(3a) 위에, 절연층인 보호막(9)을 통해 형성되는 도전 막 패턴부(7)를 구비하고 있기 때문에, 배선을 연장 하거나, 배선에 접속된 전극부분을 노출시키지 않고 불량원인을 구명하기 위한 단자를 배치할 수 있다. 그리고, 고장해석 시에는, 레이저로 소정의 부분을 용접함으로써, 용이하게 드라이버LSI(6)의 출력 신호 또는 출력 파형을 검사할 수 있게 된다.

또한 본 실시예에 기재된 액정표시장치는, 도전 막 패턴부(7)의 바로 아래에 위치하는 배선(3a)에 측정 패턴부(4)가 형성되어 있으므로, 레이저를 전극기관(1)의 이면측에서 조사할 때에, 조사 개소를 특정하기 쉬워 작업 효율이 향상된다.

또한, 본 실시예에 기재된 액정표시장치는, 측정 패턴부(4) 및 도전 막 패턴부(7)가 지그재그 모양으로 배치되어 있으므로, 인접하는 패턴 사이를 단락 시키지 않고, 측정 패턴부(4) 및 도전 막 패턴부(7)를 크게 할 수 있으며, 측정패턴부(4)와 도전 막 패턴부(7)를 도통하기 쉬워진다. 또한 도전 막 패턴부(7)는, 표시 소자의 도전 막인 화소전극의 형성 시에 동시에 작성하는 것으로 제조공정을 간략화시켜 비용을 저감 할 수 있다.

또, 본 실시예에서는, 측정 패턴부(4) 위에 보호막(9)을 통해 도전 막 패턴부(7)를 배치하고 있지만, 도 9와 같이 도전 막 패턴부(7)를 배치하지 않는 경우도 생각할 수 있다. 단, 고장해석 시에는, 도전 막 패턴부(7) 대신에 보호막(9) 위에 은 페이스트 등 도전성의 물질을 도포하고, 이 도전성의 물질과 측정패턴부(4)를 레이저로 용접할 필요가 있다.

(실시예 2)

도 10은, 본 실시예에 관한 액정표시장치의 게이트측의 전극 단자부를 나타내는 단면도이다. 도 10에 나타내는 전극기관(1)의 주연부 위에는, 표시부의 복수의 액정표시 소자에 접속된 복수의 출력측의 배선(3a) 및 입력측의 배선(3b)이 배치되어 있다. 출력측 배선(3a)의 선단부에는, 드라이버LSI(6)의 출력 범프(6a)를 접합하기 위한 전극단자(5a)가 배치된다. 또한 출력측의 배선(3a)의 중간부에는 측정 패턴부(4)가 배치된다.

본 실시예에서는, 또한 측정 패턴부(4) 위에 절연층인 게이트 절연막(8)을 통해 메탈 패드부(13)가 배치된다. 그리고, 이 메탈 패드부(13)의 상부에는, 절연층인 보호막(9)을 통해 ITO의 도전 막 패턴부(7)가 배치된다. 즉, 실시예 1에서는, 측정 패턴부(4)- 절연층 - 도전 막 패턴부(7)의 구성이었지만, 본 실시예에서는, 측정패턴부(4) - 절연층-메탈 패드부(13) - 절연층 - 도전 막 패턴부(7)의 구성이다.

한편, 입력측 배선(3b)의 선단부에는 드라이버LSI(6)의 입력 범프(6b)가 접합되는 전극단자(5b)가 배치된다. 또, 전극단자(5a)(5b)는, 드라이버LSI(6)의 복수의 범프(6a)(6b)와 같은 수가 필요하고, 이것들 전극단자(5a)(5b)가 근접하여 배치되는 것으로 전극단자 블록을 구성하고 있다.

다음에 전극기관(1)의 제조 방법, 드라이버LSI(6)의 탑재 방법 및 액정표시장치의 조립 방법에 대해서는, 실시예 1과 같기 때문에, 상세한 설명은 생략한다. 다음에 본 실시예에 관한 액정표시장치에 있어서 표시 불량 발생 시의 검사 방법에 관하여 설명한다. 기본적으로는, 본 실시예의 검사 방법은 실시예 1의 검사 방법과 거의 동일하다.

우선, 검사는, 드라이버LSI(6) 및 FPC(10)를 탑재한 후의 액정표시 패널에 있어서, 신호발생기로부터 각 소스 배선에 순차적으로 신호를 입력한다. 신호의 입력에 의해 표시부에 있어서 소정의 영상신호를 얻을 수 없었던 개소, 즉 선 결함 등의 표시 불량이 발생한 어드레스를, 신호발생기의 기능에 의해 특정한다. 다음에 이 어드레스의 배선(3a)의 측정 패턴부(4)와 메탈 패드부(13)와 도전 막 패턴부(7)의 중첩부에 대하여, 전극기관(1)의 이면측 즉 유리 기판측에서 레이저를 조사한다.

레이저를 조사 함으로써, 열로 측정 패턴부(4) 및 메탈 패드부(13)의 금속이 보호막(9)을 찢어서 도전 막 패턴부(7)와 접촉하는 것으로 측정 패턴부(4)와 도전 막 패턴부(7)가 단락하여 전기적으로 접속한다. 본 실시예에서는, 메탈 패드부(13)를 배치함으로써, 레이저에 의해 절연층을 찢는 금속이 많아져 측정 패턴부(4)와 도전 막 패턴부(7)의 도통을 확보하기 쉬워진다. 또, 확실한 도통을 취하기 위해서는, 레이저의 조사를 수회에 나누어 행하는 것이 바람직하다.

레이저 조사에 의해 측정 패턴부(4)와 도전 막 패턴부(7)를 도통시킨 후에, 도전 막 패턴부(7)에 오실로스코프 또는 디지털 멀티 미터 등의 측정기기의 프로브 또는 바늘을 접촉시킨다. 도전 막 패턴부(7)와 접속한 측정기기에 의해, 불량발생 개소를 갖는 배선에 접속된 드라이버LSI(6)로부터의 출력 신호 또는 출력 파형을 측정하고, 불량원인을 구명한다.

또, 본 실시예에 있어서도, 도 7과 같은 측정 패턴부(4) 마다 도전 막 패턴부(7)를 개별적으로 배치해도 된다. 도전 막 패턴부(7)를 개별적으로 배치함으로써, 동일한 드라이버LSI(6)에 접속된 복수의 배선 위에 복수의 불량이 발생한 경우라도, 불량원인의 구명을 행할 수 있다.

또한 본 실시예에 있어서도, 도 7과 같이 측정 패턴부(4)와 도전 막 패턴부(7)의 폭을, 출력측 배선(3a)의 폭보다도 폭 넓게 형성하는 것으로 레이저의 조사 에어리어를 충분히 확보 할 수 있다. 또 레이저를 전극기관(1)의 이면측에서 조사하므로, 도전 막 패턴부(7)를 측정패턴부(4)보다 크게 하여 도통하기 쉽게 하고 있다. 또한, 도시 하지 않지만, 본 실시예에 있어서도 레이저를 조사하는 측정패턴부(4)를 용이하게 찾을 수 있도록 도전 막 패턴부(7)는 복수의 형상을 갖고, 배선 마다 그 형상을 변화시켜도 좋다.

또, 본 실시예에 있어서도, 측정기기에 의해 측정할 때, 도전 막 패턴부(7)와 측정패턴부(4) 사이의 보호막(9)이 정전기에 의해 파괴되는 것도 생각할 수 있기 때문에, 도 8과 같이 인접하는 도전 막 패턴부(7)의 사이에 도전성 막으로 형성된 장거리 접속선(19) 또는 고 저항의 실리콘 막, 쌍방향 트랜지스터의 적어도 어느 하나를 배치하는 것으로 쇼트시킨다.

이상과 같이, 본 실시예에 기재한 액정표시장치는, 절연층인 게이트 절연막(8)과 도전 막 패턴부(7) 사이에, 메탈 패드부(13)와, 메탈 패드부 위에 배치되는 절연층인 보호막(9)을 더 구비하므로, 레이저에 의해 절연층을 찢는 금속이 많아져 측정 패턴부(4)와 도전 막 패턴부(7)의 도통을 확보하기 쉬워진다.

또, 본 실시예에 있어서도, 도 9와 같이 도전 막 패턴부(7)를 배치하지 않을 경우도 생각할 수 있다. 단, 고장해석 시에는, 도전 막 패턴부(7)의 대신에 보호막(9) 위에 은 페이스트 등 도전성의 물질을 도포하고, 이 상기 도전성의 물질과 측정 패턴부(4)를 레이저로 용접 할 필요가 있다.

발명의 효과

본 발명에 기재한 액정표시장치는, 절연기관의 주연부에 위치하는 배선 위에 제 1절연층을 통해 형성되는 도전 막 패턴부를 구비하므로, 배선을 연장하거나, 배선에 접속된 전극부분을 노출시키지 않으며 불량원인을 구명하기 위한 단자를 배치할 수 있고, 고장해석 시에 레이저로 소정의 개소를 용접하는 것 만으로, 용이하게 드라이버LSI의 출력 신호 또는 출력 파형을 검사 할 수 있는 효과가 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 관한 액정표시장치의 전극 단자부의 평면도,

도 2는 본 발명의 실시예 1에 관한 액정표시장치의 전극 단자부의 단면도,

- 도 3은 본 발명의 실시예 1에 관한 액정표시장치의 전극 단자부의 단면도,
- 도 4는 본 발명의 실시예 1에 관한 액정표시장치의 조립도,
- 도 5는 본 발명의 실시예 1에 관한 액정표시장치의 전극 단자부의 레이저 뒤의 평면도,
- 도 6은 본 발명의 실시예 1에 관한 액정표시장치의 전극 단자부의 레이저 뒤의 단면도,
- 도 7은 본 발명의 실시예 1에 관한 액정표시장치의 전극 단자부의 평면도,
- 도 8은 본 발명의 실시예 1에 관한 액정표시장치의 전극 단자부의 평면도,
- 도 9는 본 발명의 실시예 1에 관한 액정표시장치의 전극 단자부의 평면도,
- 도 10은 본 발명의 실시예 2에 관한 액정표시장치의 전극 단자부의 단면도,

※도면의 주요부분에 대한 부호의 설명※

1: 전극기관 2: 대향기관

3a,3b: 배선 4: 측정 패턴부

5a,5b,5c: 전극단자 6: 드라이버LSI

6a,6b: 범프 7: 도전 막 패턴부

8: 절연막 9: 보호막

10: FPC 11: ACF

11a: 도전 입자 12: 코트재

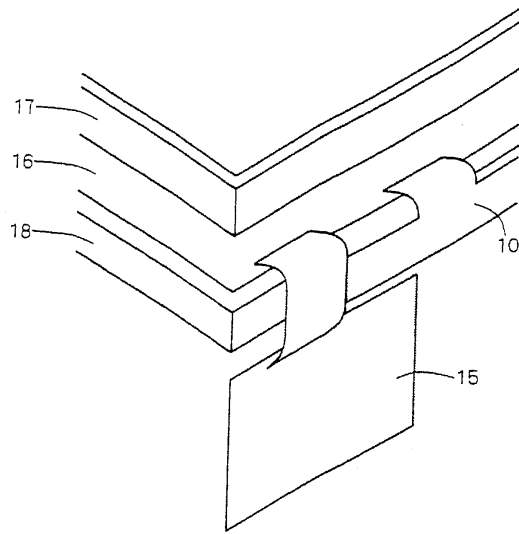
13: 메탈 패드부 14: 레이저 흔(痕)

15: 회로기관 16: 액정 패널

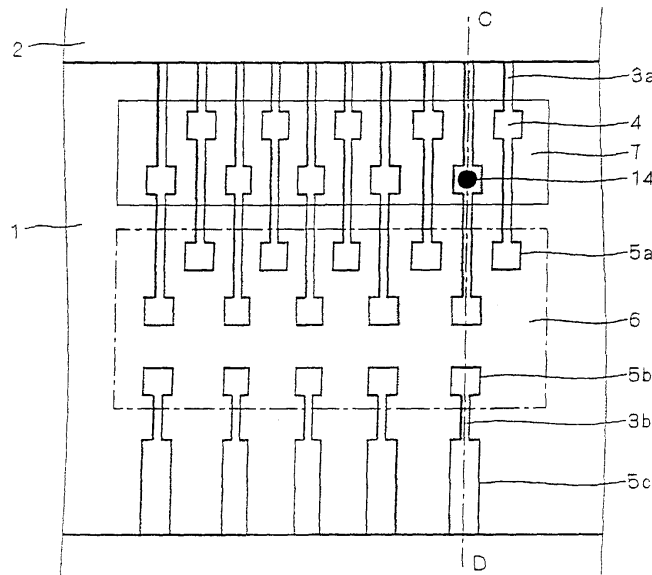
17: 프론트 프레임 18: 백라이트

도면

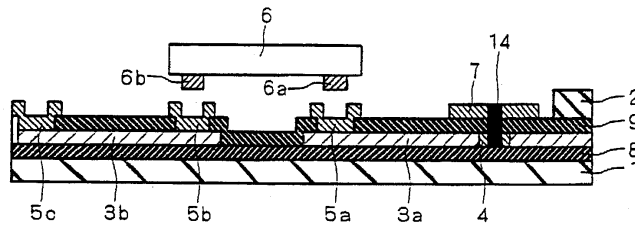
도면4



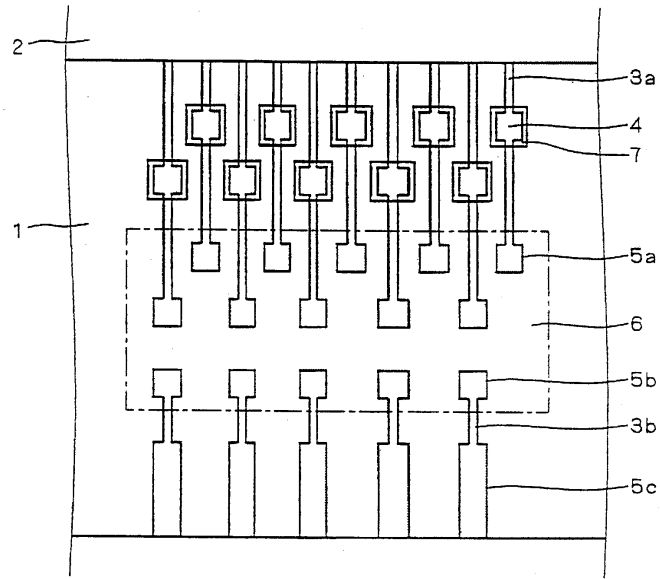
도면5



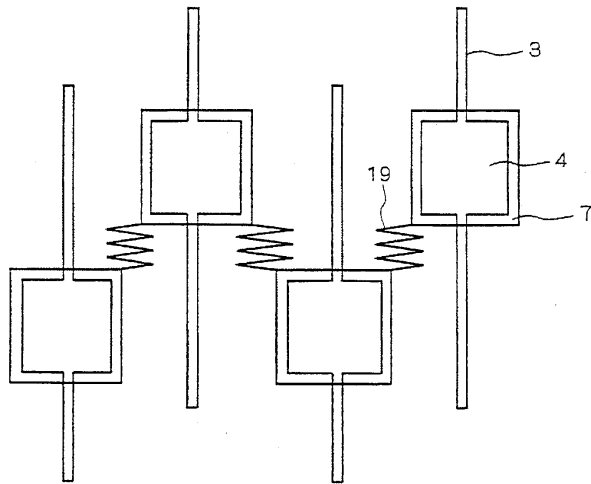
도면6



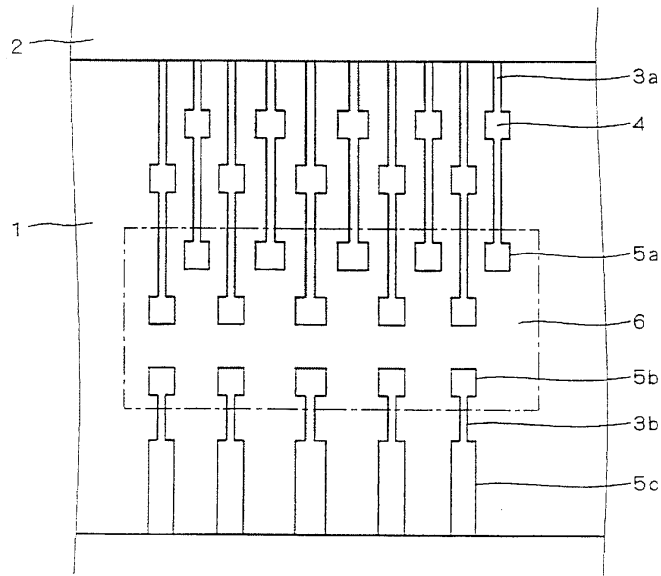
도면7



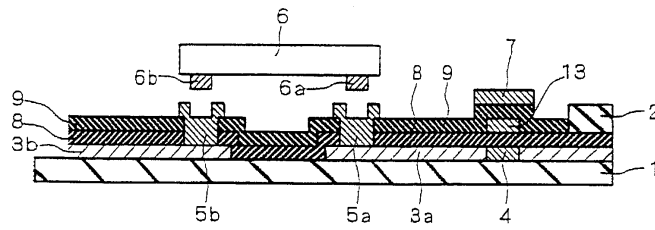
도면8



도면9



도면10



专利名称(译)	液晶显示装置和检查液晶显示装置的方法		
公开(公告)号	KR100689727B1	公开(公告)日	2007-03-08
申请号	KR1020050052858	申请日	2005-06-20
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
当前申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	WATANABE KENICHI 와타나베켄이치 MASUTANI YUICHI 마수타니유이치 NOUMI SHIGEAKI 노우미시게아키 MORISHITA HITOSHI 모리시타히토시 UEDA HIROSHI 우에다히로시		
发明人	와타나베켄이치 마수타니유이치 노우미시게아키 모리시타히토시 우에다히로시		
IPC分类号	G02F1/1333 G02F1/13 G02F1/133 G02F1/1345		
CPC分类号	G02F1/1309 G02F1/13452		
代理人(译)	权泰BOK LEE HWA我		
优先权	2004185890 2004-06-24 JP		
其他公开文献	KR1020060046483A		
外部链接	Espacenet		

摘要(译)

目的：提供一种具有用于驱动显示元件的驱动器LSI的LCD装置，用于在故障分析中检查驱动器LSI的输出信号和输出波形，而不延伸导线或暴露连接到导线的电极部分。

