



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년12월27일
<i>G09G 3/36</i> (2006.01)	(11) 등록번호	10-0661468
<i>G09G 3/20</i> (2006.01)	(24) 등록일자	2006년12월19일

(21) 출원번호	10-2005-0008944	(65) 공개번호	10-2005-0082159
(22) 출원일자	2005년02월01일	(43) 공개일자	2005년08월22일
심사청구일자	2005년02월01일		

(30) 우선권주장 JP-P-2004-00039988 2004년02월17일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시카이가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자 노지리이사오
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키 가부
시카이가이샤 나이

무라이히로유키
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키 가부
시카이가이샤 나이

(74) 대리인 권태복
이화익

심사관 : 박부식

전체 청구항 수 : 총 9 항

(54) 행렬형으로 배치된 복수의 화소를 구비한 화상표시장치

(57) 요약

부분 표시모드시, 소스 IC(18)는, 시간 T1 전~T8 후의 복수주기에 걸쳐, 수직주사의 시작을 지시하는 스타트 신호(ST)를 수직주사회로(14)에 H 레벨로 출력한다. 시프트 레지스터(142. 1, 142. 2...)는, 클럭신호(CLOCK)에 동기해서 스타트 신호(ST)를 순차적으로 시프트함으로써, 활성화가능신호(SR1, SR2, ...)를 각각 순차적으로 H 레벨로 한다. 그리고, 소스 IC (18)는, 활성화가능신호(SR1~SR4)가 동시에 H 레벨이 되는 시간 T8 후에, 허가신호(ENAB)를 수직주사회로(14)에 H 레벨로 출력한다. 이에 따라, 수직주사회로(14)는, 활성화가능신호(SR1~SR4)에 각각 대응하는 게이트선(G1~G4)을 일제히 활성화한다.

대표도

도 7

특허청구의 범위

청구항 1.

행렬형으로 배치된 복수의 화상표시소자를 포함하는 화상표시부와,

상기 복수의 화상표시 소자의 행에 대응해서 배치되는 복수의 화소제어선과,

상기 복수의 화소제어선에 접속되는 수직주사회로와,

수직주사의 시작을 지시하기 위한 주사시작신호 및 활성화 대상의 화소제어선의 활성화를 지시하기 위한 허가신호를 발생하고, 그 발생한 각 신호를 상기 수직주사회로에 출력하는 제어장치를 구비하며,

상기 화상표시부의 일부를 비 표시로 하는 부분 표시모드시, 또는, 상기 화상표시부를 복수의 블록으로 분할하여 셀프 리플래시 동작을 실행하는 부분 셀프 리플래시 동작시,

상기 제어장치는 상기 화상표시부에서의 화상을 비표시로 하는 비표시 영역의 크기에 대응하는 기간, 또는 상기 셀프 리플래시 동작이 실행되는 블록의 크기에 대응하는 기간, 상기 주사시작신호를 활성화하고,

상기 수직주사회로는, 상기 주사시작신호가 활성화되어 있는 기간의 길이에 따른 수의 화소제어선을 동시에 활성화가능상태로 하고, 상기 활성화가능상태에 있는 화소제어선에 대응하는 영역을 상기 비표시 영역 또는 상기 블록으로서, 상기 활성화가능상태에 있는 화소제어선을 상기 허가신호의 활성화에 따라 동시에 활성화하는 것을 특징으로 하는 화상표시장치.

청구항 2.

제1항에 있어서,

상기 수직주사회로는,

상기 복수의 화소제어선에 대응해서 설치되고, 상기 화소제어선의 배열순으로 직렬로 접속되는 복수의 시프트 레지스터와,

상기 허가신호가 활성화되어 있을 때, 출력이 활성화된 시프트 레지스터에 대응하는 상기 활성화가능상태의 화소제어선을 활성화하는 출력제어회로를 포함하고,

상기 복수의 시프트 레지스터는, 제1단째의 시프트 레지스터에 상기 주사시작신호를 수신하고, 클럭신호에 동기해서 상기 주사시작신호를 후단의 시프트 레지스터에 순차적으로 시프트하는 것을 특징으로 하는 화상표시장치.

청구항 3.

제2항에 있어서,

상기 제어장치는,

통상동작시, 상기 클럭신호의 1주기만 상기 주사시작신호를 활성화하고, 상기 클럭신호에 동기해서 상기 허가신호를 활성화하며,

상기 부분표시모드시, 상기 화상표시부에 표시되는 화상의 1 프레임 내에 있어서 상기 클럭신호의 복수 주기분만 상기 주사시작신호를 활성화하고, 상기 비표시영역에 대응하는 각 시프트 레지스터의 출력이 동시에 활성화되는 타이밍으로 상기 허가신호를 활성화하는 것을 특징으로 하는 화상표시장치.

청구항 4.

제3항에 있어서,

상기 화상표시부는, 프레임 반전구동되고,

상기 제어장치는, 상기 부분표시모드시, 상기 클럭신호의 복수 주기분에 상당하는 기간, 상기 주사시작신호를 연속하여 활성화하는 것을 특징으로 하는 화상표시장치.

청구항 5.

제3항에 있어서,

상기 제어장치는, 상기 복수의 시프트 레지스터의 각각의 내부상태를 리셋트하기 위한 리셋트 신호를 더 출력하고, 상기 부분표시모드시, 상기 허가신호의 활성화 후에 상기 리셋트 신호를 활성화하며,

상기 복수의 시프트 레지스터의 각각은, 상기 리셋트 신호의 활성화에 따라 내부상태를 리셋트하는 것을 특징으로 하는 화상표시장치.

청구항 6.

제3항에 있어서,

상기 화상표시부는, 라인반전구동되고,

상기 제어장치는, 상기 부분표시모드시, 상기 클럭신호에 동기해서 상기 주사시작신호의 활성화/불활성화를 복수회 교대로 반복하는 것을 특징으로 하는 화상표시장치.

청구항 7.

제2항에 있어서,

상기 복수의 화소제어선의 각각은, 대응하는 화상표시소자에 상기 셀프 리플래시 동작을 지시하기 위한 제어신호선을 포함하고,

상기 제어장치는,

통상동작시, 상기 클럭신호의 1주기만 상기 주사시작신호를 활성화하고, 상기 클럭신호에 동기해서 상기 허가신호를 활성화하며,

상기 부분 셀프 리플래시 동작시, 상기 화상표시부에 표시되는 화상의 1프레임 내에 있어서 상기 클럭신호의 복수 주기분만 상기 주사시작신호를 활성화하고, 상기 리플래시 영역에 대응하는 각 시프트 레지스터의 출력이 동시에 활성화되는 타이밍으로 상기 허가신호를 활성화하는 것을 특징으로 하는 화상표시장치.

청구항 8.

제7항에 있어서,

상기 화상표시부는, 프레임 반전구동되고,

상기 제어장치는, 상기 부분 셀프 리플래시 동작시, 상기 클럭신호의 복수 주기분에 상당하는 기간, 상기 주사시작신호를 연속하여 활성화하는 것을 특징으로 하는 화상표시장치.

청구항 9.

제7항에 있어서,

상기 화상표시부는, 라인반전구동되고,

상기 제어장치는, 상기 부분 셀프 리플래시 동작시, 상기 클럭신호에 동기해서 상기 주사시작신호의 활성화/불활성화를 복수회 교대로 반복하는 것을 특징으로 하는 화상표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 화상표시장치에 관한 것으로, 특히, 화상표시부에 행렬형으로 배치된 복수의 화소가 구동됨으로써 화상이 표시되는 화상표시장치에 관한 것이다.

휴대전화기로 대표되는 휴대기기에 있어서는, 저소비전력의 표시 디바이스로서 액정표시장치가 널리 사용되고 있다. 액정표시장치는, 일반적으로, 복수의 화소가 행렬형으로 배치된 화상표시부와, 화소에 대응해서 열방향으로 설치된 복수의 소스선에 표시 데이터에 대응한 표시전압을 공급하는 수평주사회로와, 화소에 대응해서 행방향으로 설치된 복수의 게이트선을 활성화하는 수직주사회로를 구비한다. 그리고, 수직주사회로에 의해 순차적으로 게이트선이 활성화되고, 주사 대상행에 접속되는 화소에 표시 데이터에 대응한 표시전압이 수평주사회로에 의해 소스선을 통해 공급됨으로써, 각 화소에 포함되는 액정셀이 표시전압에 대응한 표시휘도로 발광하고, 화상표시부 전체에 원하는 화상이 표시된다.

휴대기기에 있어서는, 오히려 저소비전력화를 목적으로서, 대기모드시에 화상표시부의 일부의 영역만 화상을 표시하고, 그 밖의 영역은 비표시로 하는 부분표시기능이 알려져 있다. 그리고, 이 부분표시기능에 있어서는, 비표시영역에 특정한 색(예를 들면 화이트 또는 블랙)을 표시하는 것이 일반적인 바, 그 특정색을 표시하기 위해 비표시영역에 있어서도 수평주사회로 및 수직주사회로가 표시영역과 (마찬가지로 동작하고, 소비전력을 충분히 감소할 수 없다는 문제가 종래부터 있었다.

이것에 대하여 일본특허공개 2001-343928호 공보에서는, 부분표시기능을 갖는 화상표시장치에 있어서, 각 주사 신호선(게이트선에 해당)에의 ON 신호의 출력을 순차적으로 출력으로부터 일괄출력으로 이행하기 위한 게이트 제어신호에 근거하여 비표시영역에 대응하는 복수의 주사 신호선에 대하여 일괄하여 표시용 주사 신호가 출력되도록, 각 주사 신호선에의 ON 신호의 출력을 제어하는 출력제어블록이 설치된 화상표시회로가 개시되어 있다.

이 화상표시장치에 의하면, 부분표시시, 특정색이 표시되는 비표시영역이 일괄해서 표시되므로, 일괄표시 후에 주사 신호선 구동부를 정지하는 기간을 확보할 수 있고, 그 기간에서의 주사 신호선 구동부의 소비전력이 감소된다.

또한, 휴대 기기에 있어서는, 부분표시기능과 마찬가지로 저소비전력화를 목적으로서, 리플래시 동작시, 표시 데이터에 대응하는 표시전압을 수평주사회로로부터 공급하지 않고, 각 화소 내에서 표시 데이터(표시전압)를 일단 저장(saving)시키고, 그 저장 데이터를 사용하여 표시 데이터의 재기록을 행하는, 소위 셀프 리플래시 기능이 알려져 있다.

이 셀프 리플래시 기능에 있어서는, 화상표시부에서의 전체 화소에 대하여 일제히 데이터의 재기록을 행하는 것도 가능하지만, 전체 화소에 대하여 일제히 데이터의 재기록을 행하기 위해서는, 전체 화소를 구동할 수 있는 만큼 큰 드라이버가 필요하게 되고, 또한 일제 구동에 의해 발생하는 노이즈에 의한 오동작을 방지하기 위해 배선을 굵게 할 필요가 있고, 장치가 대형화한다.

이에 대하여 화상표시부를 블록 분할해서 부분적으로 셀프 리플래시 동작을 행하는 부분 셀프 리플래시 기능이 알려져 있다. 이 부분 셀프 리플래시 기능에 있어서는, 예를 들면, 복수의 게이트선마다 화상표시부가 블록 분할된다. 그리고, 이 부분 셀프 리플래시 기능에 의하면, 동시에 재기록 되는 화소수가 블록 사이즈에 한정되므로, 전체 화소 동시에 셀프 리플래시 동작을 행하는 경우의 드라이버 사이즈나 배선 사이즈의 문제는 발생하지 않는다.

발명이 이루고자 하는 기술적 과제

전술한 일본특허공개 2001-343928호 공보에 개시된 부분표시기능 및 종래의 부분 셀프 리플래시 기능에 있어서는, 어느 것이나, 일부 복수의 화소제어선을 동시에 제어할 필요가 있다. 즉, 일본특허공개 2001-343928호 공보에 개시된 부분표시기능에 있어서는, 비표시영역에 대응하는 복수의 게이트선을 일괄해서 활성화 할 필요가 있고, 전술한 종래의 부분 셀프 리플래시 기능에 있어서는, 리플래시 대상의 블록에 대응하는 복수의 게이트선을 동시에 활성화할 필요가 있다.

그러나, 전술한 일본특허공개 2001-343928호 공보에서 개시되는 화상표시장치는, 부분표시기능을 실현하기 위해 별도 출력제어블록이 설치되기 때문에, 장치 면적이 증대한다는 문제가 있다.

또한, 전술한 종래의 부분 셀프 리플래시 기능은, 그 기능을 실현하기 위해 복수의 제어신호선 및 그 제어신호선에 대응한 복수의 버퍼 회로가 별도 필요하고, 제어회로가 복잡해진다는 문제가 있다.

그래서, 본 발명은, 상기 과제를 해결하기 위한 것으로, 그 목적은, 일부의 복수의 화소제어선을 용이하게 동시제어할 수 있다. 화상표시장치를 제공하는 것이다.

발명의 구성

본 발명에 의하면, 화상표시장치는, 행렬형으로 배치된 복수의 화상표시소자를 포함하는 화상표시부와, 상기 복수의 화상표시 소자의 행에 대응해서 배치되는 복수의 화소제어선과, 상기 복수의 화소제어선에 접속되는 수직주사회로와, 수직주사의 시작을 지시하기 위한 주사시작신호 및 활성화 대상의 화소제어선의 활성화를 지시하기 위한 허가신호를 발생하고, 그 발생한 각 신호를 상기 수직주사회로에 출력하는 제어장치를 구비하며, 상기 화상표시부의 일부를 비 표시로 하는 부분 표시모드시, 또는, 상기 화상표시부를 복수의 블록으로 분할하여 셀프 리플래시 동작을 실행하는 부분 셀프 리플래시 동작시, 상기 제어장치는 상기 화상표시부에서의 화상을 비표시로 하는 비표시 영역의 크기에 대응하는 기간, 또는 상기 셀프 리플래시 동작이 실행되는 블록의 크기에 대응하는 기간, 상기 주사시작신호를 활성화하고, 상기 수직주사회로는, 상기 주사시작신호가 활성화되어 있는 기간의 길이에 따른 수의 화소제어선을 동시에 활성화가능상태로 하고, 상기 활성화가능상태에 있는 화소제어선에 대응하는 영역을 상기 비표시 영역 또는 상기 블록으로서, 상기 활성화가능상태에 있는 화소제어선을 상기 허가신호의 활성화에 따라 동시에 활성화한다.

본 발명에 의한 화상표시장치에 있어서는, 수직주사의 시작을 지시하는 주사시작신호가 가변으로 되고, 부분표시모드시 또는 부분 셀프 리플래시 동작시, 주사시작신호의 활성화기간에 따른 수의 화소제어선이 동시에 활성화한다.

따라서, 본 발명에 의하면, 새로운 회로를 추가하지 않고, 복수의 화소제어선을 용이하게 동시제어할 수 있다. 그 결과, 부분표시기능 및 부분 셀프 리플래시 기능을 간이한 구성으로 실현할 수 있다.

[발명의 실시예]

이하, 본 발명의 실시예에 대하여, 도면을 참조하면서 상세하게 설명한다. 이때, 도면에서 동일 또는 해당 부분에는 동일한 부호를 부착해서 그 설명은 반복하지 않는다.

(실시예 1)

실시에 1에서는, 대기모드시에 부분표시기능을 갖는 액정표시장치에 대하여 나타낸다.

도 1은 본 발명의 실시예 1에 의한 액정표시장치(100)의 전체구성을 나타내는 개략 블록도이다. 도 1을 참조하면, 이 액정표시장치(100)는, 액정표시부(10)와, 1:3 디멀티플렉서(12)와, 수직주사회로(14)와, 기판(16)과, 소스 IC(18)를 구비한다.

액정표시부(10)는, 행렬형으로 배치된 복수의 화소(도시하지 않음)를 포함한다. 각 화소에는, R(빨강), G(초록) 및 B(파랑)의 3원색 중 어느 하나의 컬러필터가 설치되어 있고, 열방향에 인접하는 화소(R), 화소(G) 및 화소(B)로 1개의 표시단위가 구성된다. 또한 화소의 행에 대응해서 복수의 게이트선이 배치되고, 화소의 열에 대응해서 복수의 소스선이 배치된다.

1:3 디멀티플렉서(12)는 표시 데이터에 대응하는 표시전압(DATA0~DATAn)을 소스 IC(18)로부터 수신하고, 그 수신한 표시전압을 대응하는 소스선에 출력한다. 구체적으로는, 1:3 디멀티플렉서(12)는, 선택된 게이트선의 각 표시단위에 대하여 소스 IC(18)로부터 직렬로 출력된다. 화소(R), 화소(G) 및 화소(B)에 대응하는 표시전압 DATAi(i는 0~n의 정수)를 소스 IC(18)로부터 수신하고, 각 표시단위의 화소(R), 화소(G) 및 화소(B)에 각각 대응하는 각 소스선에 그 받은 표시전압 DATAi를 시분할해서 출력한다.

수직주사회로(14)는, 스타트 신호 ST, 허가신호 ENAB 및 클럭신호 CLOCK, /CLOCK를 소스 IC(18)로부터 수신하고, 행방향으로 배치된 복수의 게이트선을 이들 신호에 근거해서 소정의 타이밍으로 활성화한다. 구체적으로는, 보통 동작시, 수직주사회로(14)는, 스타트 신호 ST의 활성화를 기인하여, 클럭신호 CLOCK, /CLOCK에 동기해서 복수의 게이트선을 순차적으로 활성화한다. 한편, 후술하는 부분표시모드시, 수직주사회로(14)는, 화상표시부(10)의 표시영역에 있어서는, 보통 동작시와 마찬가지로, 그 표시영역에 대응하는 게이트선을 클럭신호 CLOCK, /CLOCK에 동기해서 순차적으로 활성화한다. 이에 대하여 비표시영역에 있어서는, 소스 IC(18)로부터 허가신호 ENAB를 수신하는 타이밍으로 그 비표시영역에 대응하는 게이트선을 일제히 활성화한다.

소스 IC(18)는, 스타트 신호 ST, 허가신호 ENAB 및 클럭신호 CLOCK, /CLOCK를 생성해서 수직주사회로(14)에 출력한다. 여기서, 스타트 신호 ST는, 게이트선의 주사시작을 수직주사회로(14)에 지시하기 위한 신호이고, 프레임의 최초에 활성화된다. 허가신호 ENAB는, 수직주사회로(14)에 의해 활성화가능상태로 되어 있는 게이트선의 활성화 타이밍을 제공하는 신호이다.

또한, 소스 IC(18)는, 수직주사회로(14)에 의해 선택되는 게이트선의 각 표시단위에 각각 대응하는 표시전압(DATA0~DATAn)을 발생하고, 그 발생한 표시전압(DATA0~DATAn)을 1:3 디멀티플렉서(12)에 출력한다. 또한, 소스 IC(18)는, 각 표시전압(DATA0~DATAn)을 각 화소마다 시분할하기 위한 전환신호(RSW, GSW, BSW)를 1:3 디멀티플렉서(12)에 출력한다. 여기서, 전환신호(RSW, GSW, BSW)는, 각 표시단위의 화소(R), 화소(G) 및 화소(B)에 각각 대응하는 각 소스선을 각각 선택하기 위한 신호이다. 또한, 소스 IC(18)는, 대향전극전압 VCOM을 액정표시부(10)에 출력한다.

이때, 액정표시부(10)는, 「화상표시부」를 구성하고, 소스 IC(18)는, 「제어장치」를 구성한다.

도 2는, 도 1에 나타난 액정표시장치(100)의 부분표시모드시의 표시상태를 나타내는 도면이다. 도 2를 참조하면, 이 액정표시장치(100)는, 대기시, 일부의 영역(22)만 화상표시를 행하고, 그 밖의 영역(20)에서는 화상표시를 행하지 않는 「부분표시모드」로 이행한다. 실제로는, 부분표시모드에서는, 영역(20)에 특정한 색(예를 들면, 화이트 또는 블랙)이 표시된다.

도 3은, 도 1에 나타난 액정표시부(10)의 구성을 나타내는 회로도이다. 이때, 도 3에서는, 도시의 관계상, 액정표시부(10)의 일부만이 나타난다. 도 3을 참조하면, 액정표시부(10)는, 복수의 화소 PX와, 복수의 게이트선 GL과, 복수의 소스선 SL을 포함한다. 복수의 화소 PX의 각각은, N 채널 박막트랜지스터(102)와, 커패시터(104)와, 액정표시소자(106)로 이루어진다. 이때, 이하에서는, 박막트랜지스터를 「TFT(Thin Film Transistor)」라고도 칭한다.

복수의 화소 PX는, 행렬형으로 배치되고, 그 행에 따라 복수의 게이트선 GL이 배치되며, 열에 따라 복수의 소스선 SL이 배치된다. 그리고, 복수의 화소 PX의 각각은, 대응하는 소스선 SL 및 게이트선 GL에 접속된다. 또한 복수의 화소 PX의 각각은, 대향전극전압 VCOM을 공통으로 수신한다.

화소 PX(i, j)에서의 N 채널 TFT(102)는, 소스 IC(18)(도시하지 않음)에 접속되는 소스선 SL(j)과 노드(108)와의 사이에 접속되고, 수직주사회로(14)(도시하지 않음)에 접속되는 게이트선 GL(i)에 게이트가 접속된다. 액정표시소자(106)는, 노드(108)에 접속되는 화소전극과, 대향전극전압 VCOM이 인가되는 대향전극을 가지고 있다. 커패시터(104)는, 한쪽이 노드(108)에 접속되고, 다른쪽이 대향전극전압 VCOM에 고정된다.

화소 PX(i, j)에 있어서는, 화소전극과 대향전극과의 사이의 전위차에 따라 액정표시소자(106)에서의 액정의 배향성이 변화함으로써, 액정표시소자(106)의 휘도(반사율)가 변화된다. 이것에 의해, 소스 IC(18)로부터 소스선 SL(j) 및 N 채널TFT(102)를 통해 인가되는 표시전압에 따른 휘도(반사율)를 액정표시소자(106)에 표시 할 수 있다.

그리고, 수직주사회로(14)에 의해 게이트선 GL(i)이 활성화되어 소스선 SL(j)로부터 액정표시소자(106)에 표시전압이 인가된 후, 게이트선 GL(i)은 불활성화되어 N 채널 TFT(102)는 OFF 되지만, N 채널 TFT(102)의 OFF 기간에 있어서도, 커패시터(104)가 화소전극의 전위를 유지하므로, 액정표시소자(106)는, 인가된 표시전압에 따른 휘도(반사율)를 유지할 수 있다.

이때, 그 밖의 화소 PX에 대해서도, 구성은 동일하므로, 그 설명은 반복하지 않는다. 또한, 복수의 게이트선 GL은, 「복수의 화소제어선」을 구성한다.

도 4는, 도 1에 나타난 1:3 디멀티플렉서(12)의 구성을 나타내는 기능 블록도이다. 도 4를 참조하면, 1:3 디멀티플렉서(12)는, 아날로그 스위치부(122)와, 아날로그 스위치 제어회로(124)를 포함한다.

아날로그 스위치부(122)는, 소스 IC(18)(도시하지 않음)로부터 외부 소스선(126)을 통해 각 표시단위의 표시전압을 수신한다. 여기서, 상기한 바와 같이, 각 표시단위의 각 화소에 대응하는 표시전압은, 소스 IC(18)로부터 직렬로 출력된다. 그리고, 아날로그 스위치부(122)는, 아날로그 스위치 제어회로(124)로부터 전환신호(RSW, GSW, BSW) 및 그것들에 각각 상보의 신호(/RSW, /GSW, /BSW)를 수신하고, 각 표시단위에서의 각 화소의 표시전압을 이들 신호에 따라 시분할해서 소스선(128)에 순차적으로 출력한다.

아날로그 스위치 제어회로(124)는, 소스 IC(18)로부터 전환신호(RSW, GSW, BSW)를 수신하고, 그 수신한 전환신호(RSW, GSW, BSW) 및 그것들에 각각 상보의 신호(/RSW, /GSW, /BSW)를 아날로그 스위치부(122)에 출력한다.

도 5는, 도 4에 나타난 아날로그 스위치부(122)의 구성을 나타내는 회로도이다. 이때, 도 5에서는, 도시의 관계 상, 아날로그 스위치부(122)의 일부만이 나타난다. 도 5를 참조하면, 아날로그 스위치부(122)는, P 채널 MOS 트랜지스터(131, 133, 135)와, N 채널 MOS 트랜지스터(132, 134, 136)로 이루어진다.

P 채널 MOS 트랜지스터 131 및 N 채널 MOS 트랜지스터 132는, 소스선 SL(j-1)과 외부 소스선 126과의 사이에 접속되고, 각각 전환신호 RSW, /RSW를 게이트에 수신한다. P 채널 MOS 트랜지스터 133 및 N 채널 MOS 트랜지스터 134는, 소스선 SL(j)과 외부 소스선 126과의 사이에 접속되고, 각각 전환신호 GSW, /GSW를 게이트에 수신한다. P 채널 MOS 트랜지스터 135 및 N 채널 MOS 트랜지스터 136은, 소스선 SL(j+1)과 외부 소스선 126과의 사이에 접속되고, 각각 전환신호 BSW, /BSW를 게이트에 수신한다.

이 아날로그 스위치부(122)에 있어서는, 소스 IC(18)(도시하지 않음)에 의해 빨강 표시용의 표시전압이 외부 소스선(126)에 공급되고, 전환신호 RSW가 활성화되면, 빨강표시용의 화소가 접속되는 소스선 SL(j-1)에 대한 트랜스퍼 게이트를 구성하는 P 채널 MOS 트랜지스터 131 및 N 채널 MOS 트랜지스터 132가 ON한다. 그렇다면, 빨강표시용의 표시전압이 외부 소스선(126)으로부터 소스선 SL(j-1)에 공급된다.

계속해서, 소스 IC(18)에 의해 초록 표시용의 표시전압이 외부 소스선(126)에 공급되고, 전환신호 GSW가 활성화되면, 초록표시용의 화소가 접속되는 소스선 SL(j)에 대한 트랜스퍼 게이트를 구성하는 P 채널 MOS 트랜지스터 133 및 N 채널 MOS 트랜지스터 134가 ON한다. 그에 의해, 초록표시용의 표시전압이 외부 소스선(126)으로부터 소스선 SL(j)에 공급된다.

또한, 계속해서, 소스 IC(18)에 의해 파랑 표시용의 표시전압이 외부 소스선(126)에 공급되고, 전환신호 BSW가 활성화되면, 파랑 표시용의 화소가 접속되는 소스선 SL(j+1)에 대한 트랜스퍼 게이트를 구성하는 P 채널 MOS 트랜지스터 135 및 N 채널 MOS 트랜지스터 136이 ON한다. 그에 의해, 파랑 표시용의 표시전압이 외부 소스선(126)으로부터 소스선 SL(j+1)에 공급된다.

도 6은, 도 1에 나타난 수직주사회로(14)의 구성을 나타내는 회로도이다. 이때, 도 6에서는, 도시의 관계상, 수직주사회로(14)의 일부만을 나타낸다. 도 6을 참조하면, 수직주사회로(14)는, 시프트 레지스터(142. 1, 142. 2, 142. 3, ...)와, 출력제

어회로(148)를 포함한다. 시프트 레지스터(142. 1, 142. 2, 142.3, ...)의 각각은, 인버터(Iv1~Iv6)로 이루어진다. 출력제어회로(148)는, NAND 게이트(150, 153, 156)와, 레벨 시프터(151, 154, 157)와, 출력버퍼(152, 155, 158)로 이루어진다.

시프트 레지스터(142. 1, 142. 2, 142. 3, ...)는, 직렬로 접속되고, 소스 IC(18)(도시하지 않음)로부터 수신하는 클럭신호 CLOCK, /CLOCK에 동기해서 동작한다. 시프트 레지스터 142. 1에서, 인버터 Iv1은, 소스 IC(18)로부터 스타트 신호 ST를 수신하고, 클럭신호(CLOCK)의 상승 타이밍에 동기해서 스타트 신호 ST의 반전신호를 출력한다. 인버터 Iv2는, 인버터 Iv1로부터의 출력신호를 수신하고, 그 수신한 신호를 반전한 신호를 출력한다. 인버터 Iv3, Iv4는, 인버터 Iv2로부터의 출력신호를 수신하고, 그 수신한 신호의 반전신호를 클럭신호 CLOCK의 하강 타이밍에 동기해서 출력한다. 인버터 Iv5는, 인버터 Iv4로부터의 출력신호를 수신하고, 그 수신한 신호의 반전신호를 활성화가능신호 SR1로서 출력한다. 인버터 Iv6은, 인버터 Iv5로부터의 출력신호를 수신하고, 그 수신한 신호의 반전신호를 클럭신호 CLOCK의 상승 타이밍에 동기해서 출력한다.

시프트 레지스터 142. 2, 142. 3의 회로구성은, 시프트 레지스터 142. 1과 동일하고, 시프트 레지스터 142. 2, 142. 3은, 스타트 신호 ST 대신에 전단의 시프트 레지스터로부터의 출력신호를 인버터 Iv1이 수신하는 점에서 시프트 레지스터 142. 1과 다르다. 그리고, 시프트 레지스터 142. 2, 142. 3은, 각각 활성화가능신호 SR2, SR3을 출력한다.

출력제어회로(148)에 있어서, NAND 게이트 150은, 시프트 레지스터 142. 1로부터 출력되는 활성화가능신호 SR1 및 소스 IC(18)로부터 출력되는 허가신호 ENAB의 논리곱을 연산하고, 그 연산결과를 반전한 신호를 출력한다. 레벨 시프터 151은, NAND 게이트 150으로부터 수신하는 출력신호의 신호레벨을 시프트하고, 출력버퍼(152)는, 레벨 시프터(151)로부터 수신하는 신호를 게이트 신호 G1로서 게이트선 GL1에 출력한다.

또한 NAND 게이트 153은, 시프트 레지스터 142. 2로부터 출력되는 활성화가능신호 SR2 및 허가신호 ENAB의 논리곱을 연산하고, 그 연산결과를 반전한 신호를 레벨 시프터 154에 출력한다. 그리고, 출력버퍼 155는, 레벨 시프터 154로부터 수신하는 신호를 게이트 신호 G2로서 게이트선 GL2에 출력한다. NAND 게이트 156은, 시프트 레지스터 142. 3으로부터 출력되는 활성화가능신호 SR3 및 허가신호 ENAB의 논리곱을 연산하고, 그 연산결과를 반전한 신호를 레벨 시프터 157에 출력한다. 그리고, 출력버퍼 158은, 레벨 시프터 157로부터 수신한 신호를 게이트 신호 G3으로서 게이트선 GL3에 출력한다.

이 수직주사회로(14)에 있어서는, 시프트 레지스터 142. 1, 142. 2, 142. 3, ...은, 소스 IC(18)로부터 수신하는 스타트 신호 ST를 클럭신호 CLOCK의 하강 타이밍에 동기해서 순차적으로 시프트한다. 그리고, 출력제어회로(148)는, 소스 IC(18)로부터 수신하는 허가신호 ENAB가 H(논리 하이) 레벨이 된 타이밍에서, 그 때에 H 레벨인 활성화가능신호 SR에 대응하는 게이트선 GL을 활성화한다.

도 7은, 이 실시예 1에 의한 액정표시장치(100)에서의 주된 신호의 부분표시모드시의 동작과형도이다. 여기서, 이 실시예 1에 의한 액정표시장치(100)는, 프레임 반전구동을 행한다. 프레임 반전구동이란, 액정의 신뢰성의 관점으로부터 액정표시소자에 인가되는 표시전압의 극성을 반전시키는 것이 일반적으로 행해지고 있던 중, 화상의 1프레임마다 표시전압의 극성을 전환하는 것을 말한다. 이때, 이 도 7에서는, 전체 12개의 게이트선 중 상단의 4개의 게이트선에 대응하는 영역을 비표시영역으로 할 경우에 대하여 나타나지만, 게이트선의 수는, 이것에 한정되는 것은 아니다.

도 7을 참조하고, 시간 T1 전에, 소스 IC(18)는, 수직주사회로(14)에 출력하는 스타트 신호 ST를 H 레벨로 하고, 시간 T8 후까지 복수주기에 걸쳐 H 레벨을 유지한다. 시프트 레지스터 142. 1, 142. 2, 142. 3, ...은, 클럭신호 CLOCK, /CLOCK에 동기해서 스타트 신호 ST를 순차적으로 시프트하고, 시간 T2, T4, T6, ...에 있어서, 각각 활성화가능신호 SR1, SR2, SR3, ...을 순차적으로 H 레벨로 한다.

그리고, 시간 T8에 있어서 활성화가능신호(SR1~SR4)가 동시에 H 레벨이 되면, 소스 IC(18)는, 수직주사회로(14)에 출력하는 허가신호 ENAB를 H 레벨로 한다. 그에 의해, 수직주사회로(14)의 출력제어회로(148)는, 게이트 신호(G1~G4)를 H 레벨로 하고, 게이트선(GL1~GL4)이 일제히 활성화된다.

한편, 소스 IC(18)는, 허가신호 ENAB를 H 레벨로 출력하는 동시에, 특정한 색표시(예를 들면 화이트 또는 블랙)에 대응하는 표시전압(DATA0~DATAn)을 1:3 디멀티플렉서(12)에 출력하고, 각 표시전압(DATA0~DATAn)을 각 화소마다 시분할하기 위한 전환신호(RSW, GSW, BSW)를 1:3 디멀티플렉서(12)에 순차적으로 출력한다.

이것에 의해, 게이트선(GL1~GL4)에 대응하는 모든 화소에 상기한 색표시에 대응하는 표시전압이 인가되고, 비표시영역이 구성된다.

다음의 프레임의 시작 타이밍인 시간 T23 전에, 소스 IC(18)는, 스타트 신호 ST를 다시 H 레벨로 하지만, 이번은, 시간 T24 후에 즉시 스타트 신호 ST를 L(논리 로우) 레벨로 한다. 시프트 레지스터 142. 1, 142. 2, 142. 3, ...은, 클럭신호 CLOCK, /CLOCK에 동기해서 이 스타트 신호 ST를 순차적으로 시프트하고, 각각 시간 T24, T26, T28, ...에 있어서 활성화가능신호 SR1, SR2, SR3, ...을 1주기만 H 레벨로 한다.

그리고, 시간 T32에 있어서 활성화가능신호 SR5가 H 레벨이 되면, 소스 IC(18)는, 수직주사회로(14)에 출력하는 허가신호 ENAB를 H 레벨로 한다. 그렇다면, 출력제어회로(148)는, 게이트 신호 G5를 H 레벨로 하고, 게이트선 GL5가 활성화된다. 그 후에 소스 IC(18)는, 각 주기마다 허가신호 ENAB를 H 레벨로 하고, 게이트선 GL6 이후의 게이트선이 클럭신호(CLOCK)에 동기해서 순차적으로 활성화된다.

한편, 소스 IC(18)는, 허가신호 ENAB를 H 레벨로부터 출력하는 동시에, 활성화되는 게이트선에 접속되는 각 화소에 대응하는 표시전압(DATA0~DATAn)을 1:3 디멀티플렉서(12)에 출력하고, 전환신호(RSW, GSW, BSW)를 1:3 디멀티플렉서(12)에 순차적으로 출력한다.

이것에 의해, 게이트선 GL5 이후의 게이트선에 대응하는 각 화소에 있어서는, 화상 데이터에 대응하는 표시전압이 인가되고, 표시영역이 구성된다.

이때, 시간 T23으로부터 개시되는 프레임에서는, 시간 T1로부터 개시되는 프레임에 대하여 표시전압의 극성이 반전된다. 또한, 시간 T23에서는 극성의 반전은 행하지 않고, 다음 시간 T1로부터의 사이클에서 극성반전되도록 해도 된다.

한편, 도 8은, 이 실시예 1에 의한 액정표시장치(100)에서의 주된 신호의 통상동작시의 동작과형도이다. 도 8을 참조하면, 소스 IC(18)는, 시간 T1 전에 스타트 신호 ST를 H 레벨로 하고, 시간 T2 후에 그 스타트 신호 ST를 L 레벨로 한다. 시프트 레지스터 142. 1, 142. 2, ...은, 클럭신호 CLOCK, /CLOCK에 동기해서 스타트 신호 ST를 순차적으로 시프트하고, 각각 시간 T2, T4, ...에 있어서 활성화가능신호 SR1, SR2, ...을 1주기만 H 레벨로 한다.

그리고, 활성화가능신호 SR1, SR2, ...이 순차적으로 H 레벨이 되는 타이밍에서, 소스 IC(18)는, 그때마다, 허가신호 ENAB를 H 레벨로 한다. 이에 따라 클럭신호 CLOCK에 동기하여 게이트 신호 G1, G2, ...이 순차 H 레벨로 되고, 게이트선 GL1, GL2,...가 순차 활성화된다.

한편, 소스 IC(18)는, 허가신호 ENAB를 H 레벨로 출력하는 동시에, 활성화되는 게이트선에 접속되는 각 화소에 대응하는 표시전압(DATA0~DATAn)을 1:3 디멀티플렉서(12)로 출력하고, 전환신호(RSW, GSW, BSW)를 1:3 디멀티플렉서(12)에 순차적으로 출력한다.

이에 따라, 도 1에 나타나는 액정표시부(10)에서, 클럭신호 CLOCK에 동기하여 행방향(수직주사방향)으로 화상데이터가 순차적으로 화상에 기록되고, 액정표시부(10) 전면에 원하는 화상데이터가 표시된다.

이와 같이, 이 액정표시장치(100)에서는, 스타트 신호 ST가 가변 길이이고, 부분표시모드시는, 클럭신호 CLOCK의 복수 사이클에 걸쳐 스타트 신호 ST를 H 레벨로 함으로써, 그 기간에 대응하는 영역을 비표시영역으로 할 수 있다.

이때, 상기에 있어서는, 부분표시모드시에서의 스타트 신호 ST는, 도 7에서, 시간 T1~T8까지 H 레벨로 유지되고, 이것에 따라 게이트선(GL1~GL4)에 대응하는 영역을 비표시영역으로 했지만, 스타트 신호 ST를 H 레벨로 유지하는 기간을 더 길게 함으로써 비표시영역을 확대할 수 있고, H 레벨의 기간을 짧게 함으로써 비표시영역을 축소할 수 있다.

또한, 상기에 있어서는, 활성화가능신호(SR1~SR2)가 동시에 H 레벨일 때에 허가신호 ENAB를 H 레벨로 함으로써 게이트선(GL1~GL4)이 동시에 활성화되지만, 허가신호 ENAB를 H 레벨로 하는 타이밍을 변경함으로써, 비표시영역을 액정표시부(10)의 다른 영역에 설정할 수 있다.

이때, 부분표시모드시에 있어서는, 복수의 게이트선에 의해 선택되는 복수의 화소에 동시에 특정한 색표시에 대응하는 데이터가 기록된다. 그래서, 데이터의 기록시간이 부족한 경우에는, 도 7에서의 시간 T8~T10에 있어서, 클럭신호 CLOCK의 주기를 길게 해도 된다.

이상과 같이, 본 실시예 1에 의한 액정표시장치(100)에 의하면, 스타트 신호 ST를 가변 길이로 했으므로, 새로운 회로를 추가하지 않고, 복수의 게이트선을 용이하게 동시제어할 수 있다. 따라서, 부분 표시모드를 간단한 구성으로 실현할 수 있다. 또한, 스타트 신호 ST의 길이를 변경함으로써, 비표시영역과 표시영역과의 비율을 용이하게 변경할 수 있고, 허가신호 ENAB의 출력 타이밍을 변경함으로써, 액정표시부(10)에서의 비표시영역의 위치를 임의로 변경할 수도 있다.

그리고, 부분표시모드시는, 비표시영역에 대응하는 복수의 화소에 일제히 표시전압이 인가되므로, 소스 IC(18) 및 1:3 멀티플렉서(12)의 동작회수를 억제할 수 있고, 그 결과, 액정표시장치(100)의 소비전력을 감소할 수 있다.

이때, 도 7에 나타낸 바와 같이, 부분표시모드시에서의 각 화소에의 데이터 기록은 2 프레임마다 이루어지는 바, 데이터의 기록이 행해지지 않는 기간(도 7에서의 T1~T8 및 T10~T32)에 있어서 클럭신호 CLOCK의 주파수를 크게 함으로써, 데이터 기록주기를 단축할 수 있다. 그러나, 이 경우는, 소스 IC(18) 및 1:3 멀티플렉서(12)의 비동작기간이 짧아지므로, 저소비전력화는, 약간 저해된다.

(실시예 2)

실시예 1에서는, 부분표시모드시, 도 7에 나타낸 바와 같이, 비표시영역에 데이터를 기록한 후, 표시영역에 데이터가 기록 될 때까지, 일정한 타임 러그가 발생한다. 실시예 2에서는, 이 타임 러그를 감소하고, 표시동작의 고속화가 도모된다.

도 9는, 본 발명의 실시예 2에 의한 액정표시장치의 전체 구성을 나타내는 개략 블록도이다. 도 9를 참조하면, 이 액정표시장치(100A)는, 도 1에 나타낸 실시예 1에 의한 액정표시장치(100)의 구성에 있어서, 수직주사회로(14) 및 소스 IC(18) 대신에 수직주사회로(14A) 및 소스 IC(18A)를 각각 구비한다.

수직주사회로(14A)는, 리셋트 신호RESET를 또한 받는 점에 있어서 수직주사회로(14)와 다르다. 리셋트 신호 RESET는, 수직주사회로(14A)의 내부상태를 리셋트하기 위한 신호이고, 리셋트 신호 RESET가 H 레벨이 되면, 수직주사회로(14A)는, 그 내부상태를 리셋트한다.

소스 IC 18A는, 수직주사회로 14A에 리셋트 신호 RESET를 또 출력하는 점에 있어서 소스 IC 18과 다르다. 그리고, 소스 IC 18A는, 후술하는 바와 같이, 부분표시모드시, 비표시영역에 대응하는 게이트선을 동시활성화하기 위한 허가신호 ENAB을 H 레벨로 하면, 계속해서 리셋트 신호 RESET를 H 레벨로 한다.

도 10은, 도 9에 나타낸 수직주사회로(14A)의 구성을 나타내는 회로도이다. 이때, 도 10에서는, 도시의 관계상, 수직주사회로(14A)의 일부만이 표시된다. 도 10을 참조하면, 수직주사회로 14A는, 도 6에 나타낸 실시예 1에서의 수직주사회로 14의 구성에 있어서, 시프트 레지스터 142. 1, 142. 2, 142. 3, ... 대신에 시프트 레지스터 242. 1, 242. 2, 242. 3, ...을 포함한다. 시프트 레지스터 242. 1, 242. 2, 242. 3, ...의 각각은, 시프트 레지스터 142. 1, 142. 2, 142. 3, ...의 각각의 구성이 있어서, 인버터 Iv2, Iv5 대신에 각각 NOR 게이트(250, 252)로 이루어진다.

NOR 게이트 250은, 인버터 Iv1의 출력신호 및 소스 IC(18A)(도시하지 않음)로부터 수신하는 리셋트 신호 RESET의 논리합을 연산하고, 그 연산결과를 반전한 신호를 인버터 Iv3, Iv4에 출력한다. NOR 게이트 252는, 인버터 Iv4의 출력신호 및 리셋트 신호 RESET의 논리합을 연산하고, 그 연산결과를 반전신호를 활성화가능신호 SR1로서 출력한다.

시프트 레지스터 242. 1, 242. 2, 242. 3, ...의 각각에서의 그 밖의 구성은, 시프트 레지스터 142. 1, 142. 2, 142. 3, ...의 각각의 구성과 동일하므로, 설명은 반복하지 않는다. 또한 출력제어회로(148)에 대해서는, 이미 설명한 바와 같다.

이 수직주사회로(14A)에 있어서는, 리셋트 신호 RESET가 H 레벨이 되면, 각 시프트 레지스터 242. 1, 242. 2, 242. 3, ...에서의 NOR 게이트 250, 252의 출력이 L 레벨이 되고, 각 시프트 레지스터 242. 1, 242. 2, 242. 3, ...의 내부상태가 리셋트된다. 그 결과, 활성화가능신호 SR1, SR2, ...가 모두 L 레벨로 되어 리셋트된다.

도 11은, 이 실시예 2에 의한 액정표시장치(100A)에서의 주된 신호의 부분표시모드시의 동작과형도이다. 여기서, 이 실시예 2에 의한 액정표시장치(100A)도, 프레임 반전구동을 행한다. 이때, 이 도 11에서도, 전체 12개의 게이트선 중 상단의 4개의 게이트선에 대응하는 영역을 비표시영역으로 하는 경우에 대하여 표시되지만, 게이트선의 수는, 이것에 한정되는 것은 아니다.

도 11을 참조하면, 시간 T1~T9에 있어서는, 실시예 1에 의한 액정표시장치(100)와 동일한 동작을 행한다. 그리고, 게이트선(GL1~GL4)이 일제히 활성화되면, 시간 T10에 있어서, 소스 IC(18A)는, 리셋트 신호 RESET를 H 레벨로 한다. 그렇다면, 각 시프트 레지스터 242. 1, 242. 2, 242. 3, ...은, 그 내부상태가 리셋트되고, 시간 T1로부터 입력된 스타트 신호 ST에 관한 정보는, 시프트 레지스터 242. 1, 242. 2, ...로부터 소거된다. 그리고, 시프트 레지스터 242. 1~242. 4에서 H 레벨이었던 활성화가능신호(SR1~SR4)는, 어느 것이나 L 레벨이 된다.

이것에 의해, 시간 T1로부터 H 레벨로서 입력된 스타트 신호 ST가 마지막 단의 시프트 레지스터까지 시프트되어 소멸하는 것을 대기하지 않고, 즉시 다음 프레임에 대응하는 동작이 개시된다.

이때, 시간 T12 이후의 동작은, 도 7에 나타낸 실시예 1에 의한 액정표시장치(100)에서의 시간 T22 이후의 동작과 동일하므로, 시간 T12 이후의 동작 파형에 대해서는, 설명을 반복하지 않는다.

이상과 같이, 이 실시예 2에 의한 액정표시장치(100A)에 의하면, 시프트 레지스터의 내부상태를 리셋트하는 리셋트 신호 RESET를 설치했으므로, 부분표시모드시에서의 데이터 기록주기를 단축 할 수 있다. 따라서, 부분 표시모드시에서의 표시영역의 표시동작이 개선된다.

(실시예 3)

실시예 3에서는, 실시예 1에 의한 액정표시장치(100)가 라인반전구동하는 경우에 대하여 나타낸다. 라인반전구동이란, 프레임 반전구동이 1프레임마다 표시전압의 극성을 전환하는 것에 대해, 1 수평기간마다 표시전압의 극성을 전환하는 것을 말한다.

실시예 3에 의한 액정표시장치의 구성은, 실시예 1에 의한 액정표시장치(100)의 구성과 동일하므로, 그 설명은 반복하지 않는다.

도 12는, 이 실시예 3에 의한 액정표시장치에서의 주된 신호의 부분표시모드시의 동작파형도이다. 이때, 이 도 12에서도, 전체 12개의 게이트선 중 상단의 4개의 게이트선에 대응하는 영역을 비표시영역으로 하는 경우에 대하여 표시하였지만, 게이트선의 수는, 이것에 한정되는 것이 아니다.

도 12를 참조하면, 시간 T1 전에, 소스 IC(18)는, 수직주사회로(14)에 출력하는 스타트 신호 ST를 H 레벨로 한다. 그리고, 시간 T2 후에는, 소스 IC(18)는, 스타트 신호 ST를 L 레벨로 한다. 그에 의해, 시프트 레지스터 142. 1, 142. 2, 142. 3, ...은, 클럭신호 CLOCK, /CLOCK에 동기해서 이 스타트 신호 ST를 순차적으로 시프트하고, 시간 T2, T4, T6, ...에 각각 활성화가능신호 SR1, SR2, SR3, ...을 순차적으로 H 레벨로 한다.

또한, 시간 T5 전에, 소스 IC(18)는, 스타트 신호 ST를 다시 H 레벨로 한다. 그리고, 시간 T6 후에는, 소스 IC(18)는, 스타트 신호 ST를 L 레벨로 한다. 그렇게 하면, 시프트 레지스터 142. 1, 142. 2, 142. 3, ...은, 클럭신호 CLOCK, /CLOCK에 동기해서 이 스타트 신호 ST를 순차적으로 시프트하고, 시간 T6, T8, T10, ...에 각각 활성화가능신호 SR1, SR2, SR3, ...을 순차적으로 H 레벨로 한다.

그리고, 시간 T6에 있어서, 활성화가능신호 SR1, SR3이 동시에 H 레벨로 되고, 활성화가능신호 SR2, SR4가 L 레벨이 되면, 소스 IC(18)는, 수직주사회로(14)에 출력하는 허가신호 ENAB를 H 레벨로 한다. 그에 의해, 출력제어회로(148)는, 게이트 신호 G1, G3을 H 레벨로 하고, 게이트선 GL1, GL3이 동시에 활성화된다. 한편, 게이트선 GL2, GL4는, 활성화되지 않는다. 여기서, 시간 T6에 있어서는, 대향전극전압 VCOM으로서, 예를 들면 5V가 인가된다.

또한, 시간 T8에 있어서, 활성화가능신호 SR2, SR4가 동시에 H 레벨로 되고, 활성화가능신호 SR1, SR3이 L 레벨이 되면, 소스 IC(18)는, 허가신호 ENAB를 H 레벨로 한다. 그에 의해, 출력제어회로(148)는, 게이트 신호 G2, G4를 H 레벨로 한다. 따라서, 이번에는, 게이트선 GL2, GL4가 동시에 활성화되고, 게이트선 GL1, GL3은, 불활성화된다. 여기서, 시간 T8에 있어서는, 대향전극전압 VCOM은 0V로 되고, 표시전압의 극성을 전환할 수 있다.

이때, 특히 도시하지 않았지만, 소스 IC(18)는, 시간 T6 후 및 시간 T8 후의 각각에 있어서, 허가신호 ENAB를 H 레벨로 출력하는 동시에, 특정한 색표시(예를 들면 화이트 또는 블랙)에 대응하는 표시전압(DATA0~DATAn)을 1:3 디멀티플렉서(12)에 출력하고, 각 표시전압(DATA0~DATAn)을 각 화소마다 시분할하기 위한 전환신호(RSW, GSW, BSW)를 1:3 디멀티플렉서(12)에 순차적으로 출력한다.

이것에 의해, 라인반전구동을 행하면서, 게이트선(GL1~GL4)에 대응하는 모든 화소에 상기한 색표시에 대응하는 표시전압이 인가되고, 비표시영역이 구성된다.

시간 T22 이후의 동작에 대해서는, 대향전극전압 VCOM이 라인마다 전환하는 것을 제외해서는, 기본적으로는, 도 7에 나타낸 실시예 1에 의한 액정표시장치(100)에서의 시간 T22 이후의 동작과 같다. 따라서, 시간 T24 이후의 동작 파형에 대해서는, 설명을 반복하지 않는다. 이것에 의해, 게이트선 GL5 이후에 대응하는 화소에 있어서는, 화상 데이터에 대응하는 표시전압이 인가되고, 표시영역이 구성된다.

이때, 상기에 있어서는, 부분표시모드시에서의 스타트 신호 ST는, 시간 T1~T2 및 시간 T5~T6에 있어서 H 레벨로 되고, 이에 따라 게이트선 GL1~GL4에 대응하는 영역을 비표시영역으로 했지만, 스타트 신호 ST를 H 레벨로 하는 회수를 늘림으로써 비표시영역을 더 확대할 수 있다. 예를 들면, 시간 T9~T10에 있어서 스타트 신호 ST를 또 H 레벨로 함으로써, 비표시영역을 게이트선 GL1~GL6에 대응하는 영역으로 확대할 수 있다.

또한, 상기에 있어서는, 활성화가능신호 SR1, SR3이 동시에 H 레벨일 때 및 활성화가능신호 SR2, SR4가 동시에 H 레벨일 때에 신호 ENAB를 H 레벨로 함으로써 게이트선 GL1~GL4에 대응하는 영역을 비표시영역으로 했지만, 허가신호 ENAB를 H 레벨로 하는 타이밍을 변경함으로써, 비표시영역을 화상표시부(10)의 다른 영역에 설정할 수 있다.

또한, 특히 도시하지 않았지만, 이 실시예 3에 있어서도, 실시예 2와 같이 시프트 레지스터의 내부상태를 리셋하는 리셋 신호 RESET를 설치할 수 있다.

이상과 같이, 라인반전구동을 행하는 이 실시예 3에 의해서도, 새로운 회로를 추가하지 않고, 복수의 게이트선을 용이하게 동시제어할 수 있다. 따라서, 부분 표시모드를 간단한 구성으로 실현할 수 있다. 또한, 스타트 신호 ST의 활성화 회수를 변경함으로써, 비표시영역과 표시영역과의 비율을 용이하게 변경할 수 있다. 또한, 허가신호 ENAB의 출력 타이밍을 변경함으로써, 액정표시부(10)에서의 비표시영역의 위치를 임의로 변경할 수도 있다.

(실시예 4)

실시예 4에서는, 부분 셀프 리플래시 기능을 갖는 액정표시장치에 대해서 표시된다.

도 13은, 본 발명의 실시예 4에 의한 액정표시장치(100B)의 전체구성을 나타내는 개략 블록도이다. 도 13을 참조하면, 이 액정표시장치(100B)는, 도 1에 나타낸 실시예 1에 의한 액정표시장치(100)의 구성에 있어서, 액정표시부 10, 수직주사회로 14 및 소스 IC 18 대신에, 액정표시부 10B, 수직주사회로 14B 및 소스 IC 18B를 각각 구비한다.

액정표시부(10B)는, 행렬형으로 배치된 복수의 화소(도시하지 않음)를 포함한다. 각 화소에는, R(빨강), G(초록) 및 B(파랑)의 3원색 중 어느 하나의 컬러필터가 설치되어 있고, 열방향에 인접하는 화소(R), 화소(G) 및 화소(B)로 1개의 표시단위가 구성된다. 그리고, 액정표시부(10B)에서의 각 화소는, 소스 IC(18B)로부터 제공되는 제어신호(CONTA, CONTB)에 따라 셀프 리플래시 동작을 행한다. 또한 화소의 행에 대응하고, 복수의 게이트선 및 각 화소에서의 셀프 리플래시 동작을 제어하기 위한 복수의 제어신호선이 배치되고, 화소의 열에 대응해서 복수의 소스선이 배치된다.

수직주사회로(14B)는, 스타트 신호 ST, 허가신호 ENAB 및 클럭신호 CLOCK, /CLOCK를 소스 IC(18B)로부터 수신하고, 이들 신호에 근거하여 복수의 게이트선을 소정의 타이밍으로 활성화한다. 또한, 수직주사회로(14B)는, 제어신호(CONTA, CONTB)를 소스 IC(18B)로부터 수신하고, 이들 신호에 근거하여 복수의 제어신호선을 소정의 타이밍으로 활성화한다.

소스 IC(18B)는, 셀프 리플래시 동작시에 수직주사회로(14B)에 제어신호(CONTA, CONTB)를 더 출력하는 점에서, 실시예 1에서의 소스 IC(18)와 다르다. 소스 IC(18B)에서의 그 밖의 구성은, 소스 IC(18)와 같다.

도 14는, 도 13에 나타낸 액정표시부(10B)의 구성을 나타내는 회로도이다. 이때, 도 14에서는, 도시 관계상, 액정표시부(10B)의 일부만을 나타낸다. 도 14를 참조하면, 액정표시부(10B)는, 행렬형으로 배치되는 복수의 화소 PXB와, 복수의 게이트선 GL과, 복수의 제어신호선 CONTA_GL, CONTB_GL과, 복수의 소스선 SL을 포함한다.

화소 PXB(i, j)는, 소스선 SL(j), 게이트선 GL(i), 제어신호선 CONTA_GL(i), CONTB_GL(i) 및 대향전극전압 VCOM이 인가되는 전압선에 접속된다. 그리고, 수직주사회로(14B)(도시하지 않음)에 의해 게이트선 GL(i)이 활성화되어 소스선 SL

(j)으로부터 액정표시소자(도시하지 않음)에 표시전압이 인가되면, 액정표시소자는, 그 표시전압에 따른 휘도로 표시한다. 그 후에 게이트선 GL(i)은 불활성화되지만, 내부의 커패시터(도시하지 않음)가 화소전극의 전위를 유지하므로, 액정표시소자는, 인가된 표시전압에 따른 휘도(반사율)를 유지할 수 있다.

또한, 화소 PXB(i, j)는, 수직주사회로(14B)에 의해 제어신호선(CONTA_GL, CONTB_GL)이 활성화되면, 셀프 리플래시 동작을 행한다. 즉, 화소 PXB(i, j)는, 제어신호선 CONTA_GL이 활성화되면, 기록되어 있는 데이터를 화소 PXB(i, j) 내의 소정의 영역에 일단 저장시키고, 제어신호선 CONTB_GL이 활성화되면, 그 저장시킨 데이터에 근거하여 재기록을 행한다.

이때, 그 밖의 화소 PXB에 대해서도, 구성은 동일하므로, 그 설명은 반복하지 않는다. 또한, 복수의 게이트선 GL 및 복수의 제어신호선 CONTA_GL, CONTB_GL은, 「복수의 화소제어선」을 구성한다.

도 15는, 도 13에 나타낸 수직주사회로(14B)의 구성을 나타내는 회로도이다. 이때, 도 15에서는, 도시 관계상, 수직주사회로(14B)의 일부만을 나타낸다. 도 15를 참조하면, 수직주사회로(14B)는, 도 6에 나타낸 실시예 1에서의 수직주사회로(14)의 구성에 있어서, 출력제어회로(148) 대신에 출력제어회로(248)를 포함한다. 출력제어회로(248)는, 출력제어회로(148)의 구성에 더하여, NAND 게이트(160, 163, 166, 170, 173, 176)와, 레벨 시프터(161, 164, 167, 171, 174, 177)와, 출력버퍼(162, 165, 168, 172, 175, 178)를 더 포함한다.

NAND 게이트 160은, 시프트 레지스터 142. 1로부터 출력되는 활성화가능신호 SR1 및 소스 IC(18B)로부터 출력되는 제어신호 CONTA의 논리곱을 연산하고, 그 연산결과를 반전한 신호를 레벨 시프터 161에 출력한다. 그리고, 출력버퍼 162는, 레벨 시프터 161로부터 수신하는 신호를 셀프 리플래시 제어신호 CONTA_G1로서 제어신호선 CONTA_GL1에 출력한다. NAND 게이트 170은, 활성화가능신호 SR1 및 소스 IC(18B)로부터 출력되는 제어신호 CONTB의 논리곱을 연산하고, 그 연산결과를 반전한 신호를 레벨 시프터 171에 출력한다. 그리고, 출력버퍼 172는, 레벨 시프터 171로부터 수신하는 신호를 셀프 리플래시 제어신호 CONTB_G1로서 제어신호선 CONTB_GL1에 출력한다.

NAND 게이트 163은, 시프트 레지스터 142. 2로부터 출력되는 활성화가능신호 SR2 및 제어신호 CONTA의 논리곱을 연산하고, 그 연산결과를 반전한 신호를 레벨 시프터 164에 출력한다. 그리고, 출력버퍼 165는, 레벨 시프터 164로부터 수신하는 신호를 셀프 리플래시 제어신호 CONTA_G2로서 제어신호선 CONTA_GL2에 출력한다. NAND 게이트 173은, 활성화가능신호 SR2 및 제어신호 CONTB의 논리곱을 연산하고, 그 연산결과를 반전한 신호를 레벨 시프터 174에 출력한다. 그리고, 출력버퍼 175는, 레벨 시프터 174로부터 수신하는 신호를 셀프 리플래시 제어신호 CONTB_G2로서 제어신호선 CONTB_GL2에 출력한다.

NAND 게이트 166은, 시프트 레지스터 142. 3으로부터 출력되는 활성화가능신호 SR3 및 제어신호 CONTA의 논리곱을 연산하고, 그 연산결과를 반전한 신호를 레벨 시프터 167에 출력한다. 그리고, 출력버퍼 168은, 레벨 시프터 167로부터 수신하는 신호를 셀프 리플래시 제어신호 CONTA_G3으로서 제어신호선 CONTA_GL3에 출력한다. NAND 게이트 176은, 활성화가능신호 SR3 및 제어신호 CONTB의 논리곱을 연산하고, 그 연산결과를 반전한 신호를 레벨 시프터 177에 출력한다. 그리고, 출력버퍼 178은, 레벨 시프터 177로부터 수신하는 신호를 셀프 리플래시 제어신호 CONTB_G3으로서 제어신호선 CONTB_GL3에 출력한다.

수직주사회로 14B의 그 밖의 구성은, 도 6에 나타낸 실시예 1에서의 수직주사회로 14의 구성과 동일하므로, 설명은 반복하지 않는다.

이 수직주사회로(14B)에 있어서는, 시프트 레지스터(142·1, 142·2, 142. 3, ...)는, 소스 IC(18B)로부터 수신하는 스타트 신호 ST를 클럭신호(CLOCK)의 하강 타이밍에 동기해서 순차적으로 시프트한다. 그리고, 출력제어회로(248)는, 소스 IC(18B)로부터 수신하는 허가신호 ENAB가 H 레벨이 된 타이밍에서, 그 때에 H 레벨인 활성화가능신호 SR에 대응하는 게이트선 GL을 활성화한다.

또한, 출력제어회로(248)는, 소스 IC(18B)로부터 수신하는 제어신호 CONTA가 H 레벨이 된 타이밍에서, 그 때에 H 레벨인 활성화가능신호 SR에 대응하는 제어신호선 CONTA_GL을 활성화한다. 또한, 출력제어회로(248)는, 소스 IC(18B)로부터 수신하는 제어신호 CONTB가 H 레벨이 된 타이밍에서, 그 때에 H 레벨인 활성화가능신호 SR에 대응하는 제어신호선 CONTB_GL을 활성화한다.

이 액정표시장치(100B)에서의 통상시의 동작은, 실시예 1에 의한 액정표시장치(100)에서의 통상시의 동작과 동일하고, 중심인 신호의 동작 파형은, 도 8에 나타낸 동작 파형과 같아진다.

도 16은, 이 실시예 4에 의한 액정표시장치(100B)에서의 주된 신호의 셀프 리플래시 동작시의 동작과형도이다. 여기서, 이 실시예 4에 의한 액정표시장치(100B)는, 프레임 반전구동을 행한다. 도 16을 참조하면, 시간 T1 전에, 소스 IC(18B)는, 수직주사회로(14B)에 출력하는 스타트 신호 ST를 H 레벨로 하고, 시간 T8 후까지 복수주기에 걸쳐 H 레벨을 유지한다. 시프트 레지스터(142. 1, 142. 2, 142. 3, ...)는, 클럭신호 CLOCK, /CLOCK에 동기해서 스타트 신호 ST를 순차적으로 시프트하고, 시간 T2, T4, T6, ...에 있어서, 각각 활성화가능신호 SR1, SR2, SR3, ...을 순차적으로 H 레벨로 한다.

그리고, 시간 T8에 있어서, 활성화가능신호 SR1~SR4가 동시에 H 레벨로 되면, 소스 IC(18B)는, 우선, 수직주사회로(14B)에 출력하는 제어신호 CONTA를 H 레벨로 한다. 그에 의해, 수직주사회로(14B)의 출력제어회로(248)는, 리플래시 제어신호 CONTA_G1~CONTA_G4를 H 레벨로 하고, 제어신호선 CONTA_GL1~CONTA_GL4가 일제히 활성화된다. 이것에 의해, 제어신호선 CONTAGL1~CONTA_GL4에 접속되는 제1 블록의 각 화소 PXB는, 일제히 셀프 리플래시 동작을 시작한다.

계속해서, 시간 T9에 있어서, 소스 IC(18B)는, 제어신호 CONTB를 H 레벨로 한다. 그에 의해, 출력제어회로(248)는, 리플래시 제어신호 CONTB_G1~CONTB_G4를 H 레벨로 하고, 제어신호선 CONTB_GL1~CONTB_GL4가 일제히 활성화된다. 이에 의해, 셀프 리플래시 동작을 시작하고 있는 상기 제1 블록의 각 화소는, 데이터의 재기록을 행하고, 셀프 리플래시 동작을 종료한다.

다음에 시간 T16에 있어서, 활성화가능신호 SR5~SR8이 동시에 H 레벨이 되면, 소스 IC(18B)는, 제어신호 CONTA를 다시 H 레벨로 한다. 그에 의해, 출력제어회로(248)는, 리플래시 제어신호 CONTA_G5~CONTA_G8을 H 레벨로 하고, 제어신호선 CONTA_GL5~CONTA_GL8이 일제히 활성화된다. 이에 의해, 제어신호선 CONTA_GL5~CONTA_GL8에 접속되는 제2 블록의 각 화소 PXB가 일제히 셀프 리플래시 동작을 시작한다.

이때, 특히 도면에는 나타나지 않았지만, 그 후에 소스 IC(18B)는, 제어신호 CONTB를 H 레벨로 하고, 상기 제2 블록에 있어서 데이터의 재기록이 행해진다.

이와 같이, 이 액정표시장치(100B)에 있어서는, 스타트 신호 ST가 가변 길이이고, 셀프 리플래시 동작시는, 클럭신호(CLOCK)의 복수 사이클에 걸쳐 스타트 신호 ST를 H 레벨로 함으로써, 그 기간에 대응하는 블록 단위로 부분 셀프 리플래시 동작을 행할 수 있다.

이때, 상기에 있어서는, 셀프 리플래시 동작에서의 스타트 신호 ST는, 시간 T1~T8까지 H 레벨로 유지되고, 이에 따라 4라인 분(만큼)의 블록마다 셀프 리플래시 동작을 행하는 것으로 했지만, 스타트 신호 ST를 H 레벨로 유지하는 기간을 더 길게 함으로써 블록 사이즈를 확대할 수 있고, H 레벨의 기간을 짧게 함으로써 블록 사이즈를 축소할 수 있다.

이상과 같이, 이 실시예 4에 의한 액정표시장치(100B)에 의하면, 스타트 신호 ST를 가변 길이로 했으므로, 새로운 회로를 추가하지 않고, 셀프 리플래시 동작을 제어하는 복수의 제어신호선을 용이하게 동시제어할 수 있다. 따라서, 셀프 리플래시 동작을 블록마다 분할해서 행하는 부분 셀프 리플래시 동작을 간단한 구성으로 실현할 수 있다. 또한, 스타트 신호 ST의 길이를 변경함으로써, 부분 셀프 리플래시일 때의 블록 사이즈를 용이하게 변경할 수 있고, 이 액정표시장치(100B)에서의 드라이버 능력에 따른 블록 사이즈의 설정을 용이하게 행할 수 있다.

(실시예 5)

실시예 5에서는, 실시예 4에 의한 액정표시장치(100B)가 라인반전구동하는 경우에 대하여 나타낸다.

실시예 5에 의한 액정표시장치의 구성은, 실시예 4에 의한 액정표시장치(100B)의 구성과 동일하므로, 그 설명은 반복하지 않는다.

도 17은, 이 실시예 5에 의한 액정표시장치에서의 주된 신호의 셀프 리플래시 동작시의 동작과형도이다. 도 17을 참조하면, 시간 T1 전에, 소스 IC(18B)는, 수직주사회로(14B)에 출력하는 스타트 신호 ST를 H 레벨로 한다. 그리고, 시간 T2 후에는, 소스 IC(18B)는, 스타트 신호 ST를 L 레벨로 한다. 그에 의해, 시프트 레지스터 142. 1, 142. 2, 142. 3, ...은, 클럭신호 CLOCK, /CLOCK에 동기해서 이 스타트 신호 ST를 순차적으로 시프트하고, 시간 T2, T4, T6, ...에 각각 활성화가능신호 SR1, SR2, SR3, ...을 순차적으로 H 레벨로 한다.

또한, 시간 T5 전에, 소스 IC(18B)는, 스타트 신호 ST를 다시 H 레벨로 한다. 그리고, 시간 T6 후에는, 소스 IC(18B)는, 스타트 신호 ST를 L 레벨로 한다. 그에 의해, 시프트 레지스터 142. 1, 142. 2, 142. 3, ...은, 클럭신호 CLOCK, /CLOCK에 동기해서 이 스타트 신호 ST를 순차적으로 시프트하고, 시간 T6, T8, T10, ...에 각각 활성화가능신호 SR1, SR2, SR3, ...을 순차적으로 H 레벨로 한다.

그리고, 시간 T6에 있어서, 활성화가능신호 SR1, SR3이 동시에 H 레벨로 되고, 활성화가능신호 SR2, SR4가 L 레벨이 되면, 소스 IC(18B)는, 우선, 제어신호 CONTA를 H 레벨로 한다. 그에 의해, 출력제어회로(248)는, 제어신호 CONTA_G1, CONTA_G3을 H 레벨로 하고, 제어신호선 CONTA_GL1, CONTA_GL3이 동시에 활성화된다.

계속해서, 시간 T7에 있어서, 소스 IC(18B)는, 제어신호 CONTB를 H 레벨로 한다. 그렇다면, 출력제어회로(248)는, 제어신호 CONTB_G1, CONTB_G3을 H 레벨로 하고, 제어신호선 CONTB_GL1, CONTB_GL3이 동시에 활성화된다. 즉, 시간 T6~T8에서는, 제어신호선 CONTA_GL1, CONTA_GL3(제어신호선 CONTB_GL1, CONTB_GL3)에 접속되는 각 화소에 있어서 셀프 리플래시 동작이 일제히 행해진다.

한편, 이 기간에 있어서는, 제어신호선 CONTA_GL2, CONTB_GL2, CONTA_GL4, CONTB_GL4는, 활성화되지 않는다. 이때, 도시하지 않았지만, 시간에 T6에 있어서는, 대향전극전압 VCOM으로서, 예를 들면 5V가 인가된다.

다음에 시간 T8에 있어서, 활성화가능신호 SR2, SR4가 동시에 H 레벨로 되고, 활성화가능신호 SR1, SR3이 L 레벨이 되면, 소스 IC(18B)는, 다시, 제어신호 CONTA를 H 레벨로 한다. 그에 의해, 출력제어회로(248)는, 이번에는 제어신호 CONTA_G2, CONTA_G4를 H 레벨로 하고, 제어신호선 CONTA_GL2, CONTA_GL4가 동시에 활성화된다.

계속해서, 시간 T9에 있어서, 소스 IC(18B)는, 제어신호 CONTB를 H 레벨로 한다. 그에 의해, 출력제어회로(248)는, 제어신호 CONTB_G2, CONTB_G4를 H 레벨로 하고, 제어신호선 CONTB_GL2, CONTB_GL4가 동시에 활성화된다. 즉, 시간 T8~T10에서는, 제어신호선 CONTA_GL2, CONTA_GL4(제어신호선 CONTB_GL2, CONTB_GL4)에 접속되는 각 화소에 있어서 셀프 리플래시 동작이 일제히 행해진다. 이때, 도시하지 않았지만, 시간 T8에 있어서, 대향전극전압 VCOM은 0V로 되고, 표시전압의 극성을 전환할 수 있다.

시간 T14에 있어서, 활성화가능신호 SR5, SR7이 동시에 H 레벨로 되고, 활성화가능신호 SR6, SR8이 L 레벨로 되면, 소스 IC(18B)는, 제어신호 CONTA를 H 레벨로 한다. 그렇다면, 출력제어회로(248)는, 제어신호 CONTA_G5, CONTA_G7을 H 레벨로 하고, 제어신호선 CONTA_GL5, CONTA_GL7이 동시에 활성화된다.

계속해서, 시간 T15에 있어서, 소스 IC(18B)는, 제어신호 CONTB를 H 레벨로 한다. 그에 의해, 출력제어회로(248)는, 제어신호 CONTB_G5, CONTB_G7을 H 레벨로 하고, 제어신호선 CONTB_GL5, CONTB_GL7이 동시에 활성화된다(도시하지 않음). 즉, 시간 T14~T16에서는, 제어신호선 CONTA_GL5, CONTA_GL7(제어신호선 CONTB_GL5, CONTB_GL7)에 접속되는 각 화소에 있어서 셀프 리플래시 동작이 일제히 행해진다. 한편, 이 기간에 있어서는, 제어신호선 CONTA_GL6, CONTB_GL6, CONTA_GL8, CONTB_GL8은, 활성화되지 않는다.

다음에, 시간 T16에 있어서, 활성화가능신호 SR6, SR8이 동시에 H 레벨이 되고, 활성화가능신호 SR5, SR7이 L 레벨이 되면, 소스 IC(18B)는, 다시, 제어신호 CONTA를 H 레벨로 한다. 그에 의해, 출력제어회로(248)는, 이번에는 제어신호 CONTA_G6, CONTA_G8을 H 레벨로 하고, 제어신호선 CONTA_GL6, CONTA_GL8이 동시에 활성화된다.

계속해서, 시간 T17에 있어서, 소스 IC(18B)는, 제어신호 CONTB를 H 레벨로 한다. 그에 의해, 출력제어회로(248)는, 제어신호 CONTB_G6, CONTB_G8을 H 레벨로 하고, 제어신호선 CONTB_GL6, CONTB_GL8이 동시에 활성화된다(도시하지 않음). 즉, 시간 T16~T18에서는, 제어신호선 CONTA_GL6, CONTA_GL8(제어신호선 CONTB_GL6, CONTB_GL8)에 접속되는 각 화소에 있어서 셀프 리플래시 동작이 일제히 행해진다.

이상과 같이, 라인반전구동을 행하는 이 실시예 5에 의해서도, 프레임 반전구동을 행하는 실시예 4와 동일한 효과를 얻을 수 있다.

이때, 상기한 각 실시예에 있어서는, 프레임 반전구동 또는 라인반전구동의 경우에 대하여 나타냈지만, 본 발명의 적용 범위는, 이들 반전구동방식에 한정되는 것은 아니며, 다른 구동방식, 예를 들면, 복수 라인마다 기록이 행해지는 구동방식에 대해서도 적용할 수 있다.

또한, 상기한 각 실시예에 있어서는, 본 발명에 의한 화상표시장치로서 액정표시장치인 경우를 대표적으로 예시해서 설명했지만, 본 발명의 적용 범위는, 액정표시장치에 한정되는 것은 아니며, 화소마다 설치된 전류구동형 발광소자인 유기발광다이오드에 공급하는 전류를 변화시킴으로써 유기발광 다이오드의 표시휘도를 변화시키는 전계발광 표시장치 등에 있어서도, 본 발명을 적용할 수 있다.

이번 개시된 실시예는, 모든 점에서 예시를 위한 것으로서, 한정될 수는 없고, 본 발명의 정신과 범위는 첨부한 청구의 범위에 의해서만 한정되는 것이 명확하게 이해될 것이다.

발명의 효과

본 발명에 의한 화상표시장치에 있어서는, 수직주사의 시작을 지시하는 주사시작신호가 가변으로 되고, 부분표시모드시 또는 부분 셀프 리플래시 동작시, 주사시작신호의 활성기간에 따른 수의 화소제어선이 동시에 활성화한다.

따라서, 본 발명에 의하면, 새로운 회로를 추가하지 않고, 복수의 화소제어선을 용이하게 동시제어할 수 있다. 그 결과, 부분표시기능 및 부분 셀프 리플래시 기능을 간이한 구성으로 실현할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 의한 액정표시장치의 전체구성을 나타내는 개략 블록도이다.

도 2는 도 1에 나타내는 액정표시장치의 부분표시모드시의 표시상태를 나타내는 도면이다.

도 3은 도 1에 나타내는 액정표시부의 구성을 나타내는 회로도이다.

도 4는 도 1에 나타내는 1:3 디멀티플렉서의 구성을 나타내는 기능 블록도이다.

도 5는 도 4에 나타내는 아날로그 스위치부의 구성을 나타내는 회로도이다.

도 6은 도 1에 나타내는 수직주사회로의 구성을 나타내는 회로도이다.

도 7은 본 실시예 1에 의한 액정표시장치에서의 주된 신호의 부분표시모드시의 동작과형도이다.

도 8은 본 실시예 1에 의한 액정표시장치에서의 주된 신호의 통상동작시의 동작과형도이다.

도 9는 본 발명의 실시예 2에 의한 액정표시장치의 전체구성을 나타내는 개략 블록도이다.

도 10은 도 9에 나타내는 수직주사회로의 구성을 나타내는 회로도이다.

도 11은 실시예 2에 의한 액정표시장치에서의 주된 신호의 부분표시모드시의 동작과형도이다.

도 12는 실시예 3에 의한 액정표시장치에서의 주된 신호의 부분표시모드시의 동작과형도이다.

도 13은 본 발명의 실시예 4에 의한 액정표시장치의 전체구성을 나타내는 개략 블록도이다.

도 14는 도 13에 나타내는 액정표시부의 구성을 나타내는 회로도이다.

도 15는 도 13에 나타내는 수직주사회로의 구성을 나타내는 회로도이다.

도 16은 실시예 4에 의한 액정표시장치에서의 주된 신호의 셀프 리플래시 동작시의 동작과형도이다.

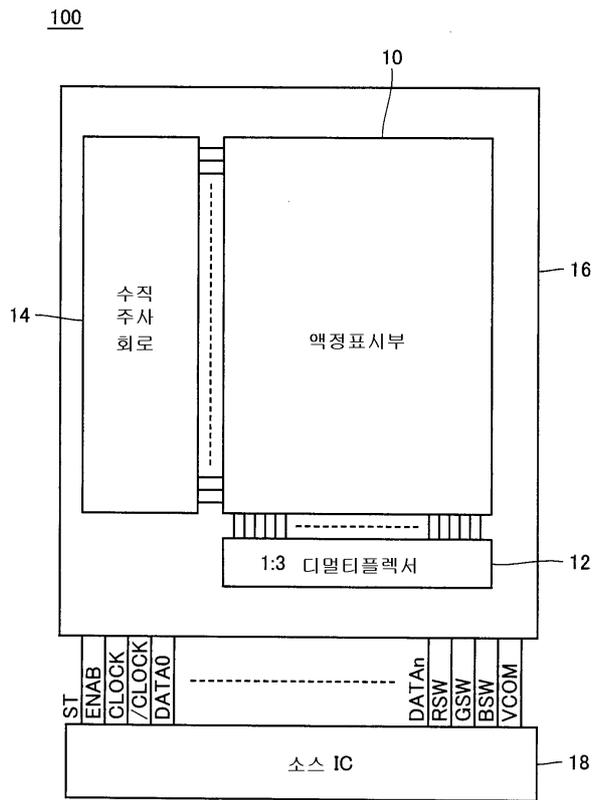
도 17은 실시예 5에 의한 액정표시장치에서의 주된 신호의 셀프 리플래시 동작시의 동작과형도이다.

<도면의 주요부분에 대한 부호의 설명>

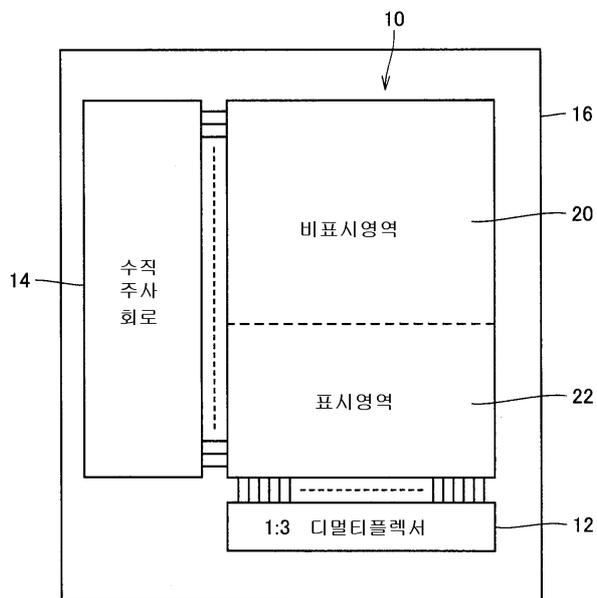
10, 10B : 액정표시부 12 : 1:3 디멀티플렉서
 14, 14A, 14B : 수직주사회로 16 : 기관
 18, 18A, 18B : 소스 IC 20, 22 : 영역
 100, 100A, 100B : 액정표시장치 102 : N 채널 TFT
 104 : 커패시터 106 : 액정표시소자
 108 : 노드 122 : 아날로그 스위치부
 124 : 아날로그 스위치 제어회로 126 : 외부 소스선
 128 : 소스선
 131, 133, 135 : P 채널 MOS 트랜지스터
 132, 134, 136 : N 채널 MOS 트랜지스터
 142. 1, 142. 2, 142. 3, 242. 1, 242. 2, 242. 3 : 시프트 레지스터
 148, 248 : 출력제어회로
 150, 153, 156, 160, 163, 166, 170, 173, 176, : NAND 게이트
 151, 154, 157, 161, 164, 167, 172, 175, 178 : 출력버퍼
 250, 252 : NOR 게이트 PX, PXB : 화소
 SL : 소스선 GL : 게이트선
 Iv1 ~ Iv6 : 인버터 CONTA_GL, CONTB_GL : 제어신호선
 VCOM : 대향전극전압

도면

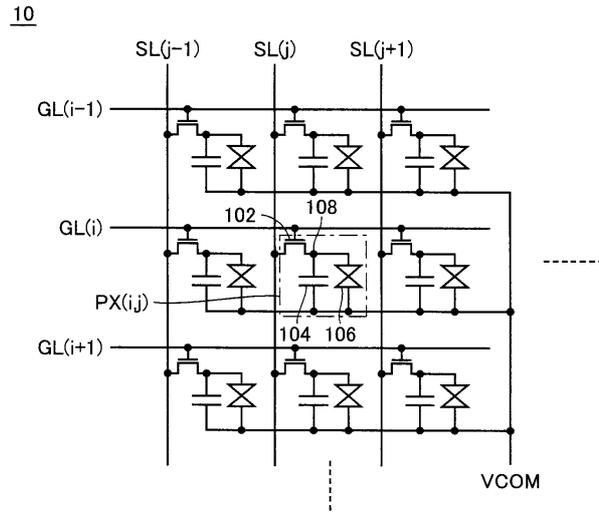
도면1



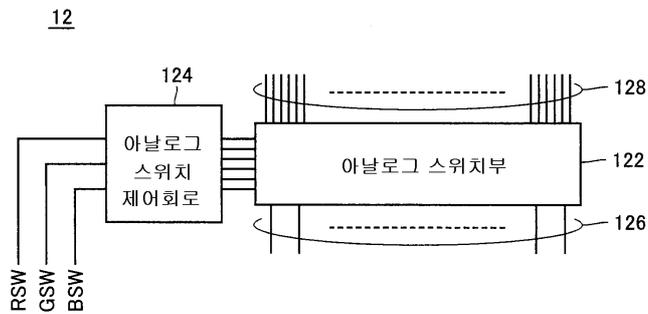
도면2



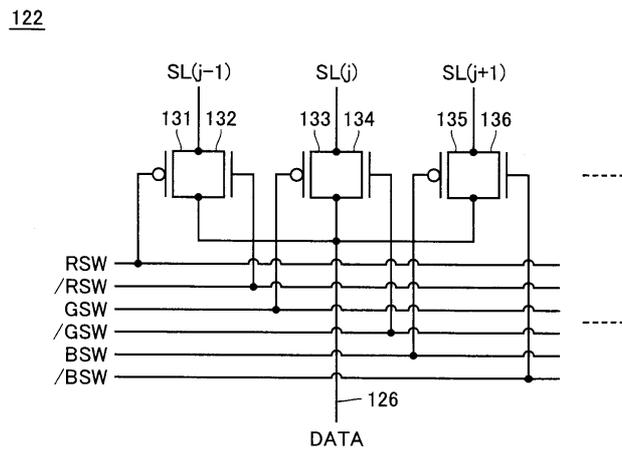
도면3



도면4

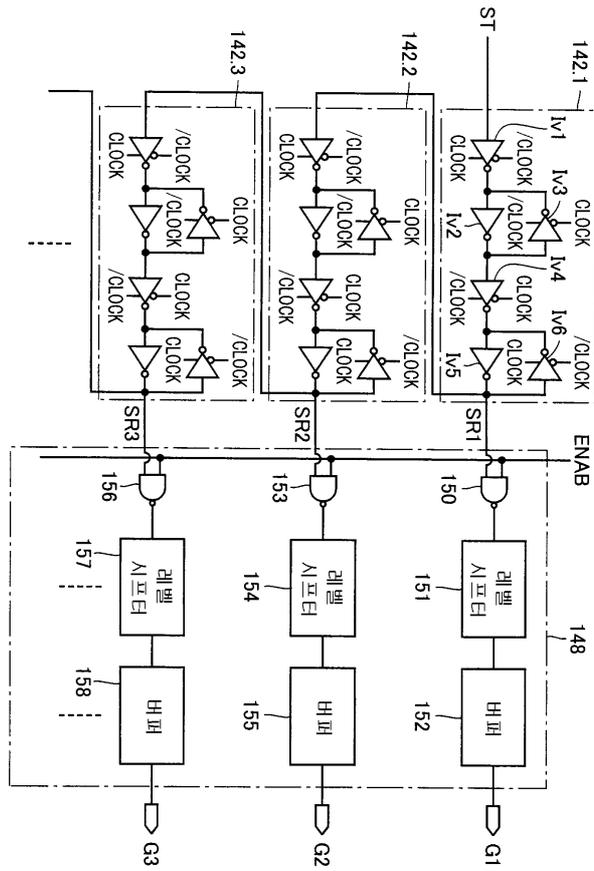


도면5

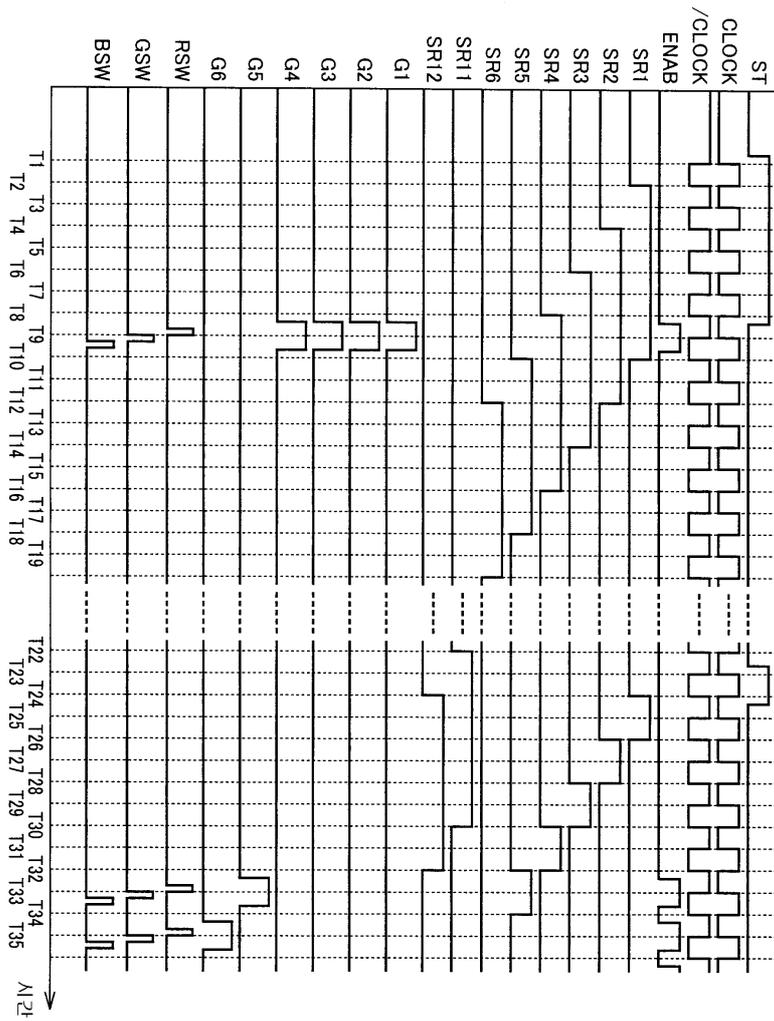


도면6

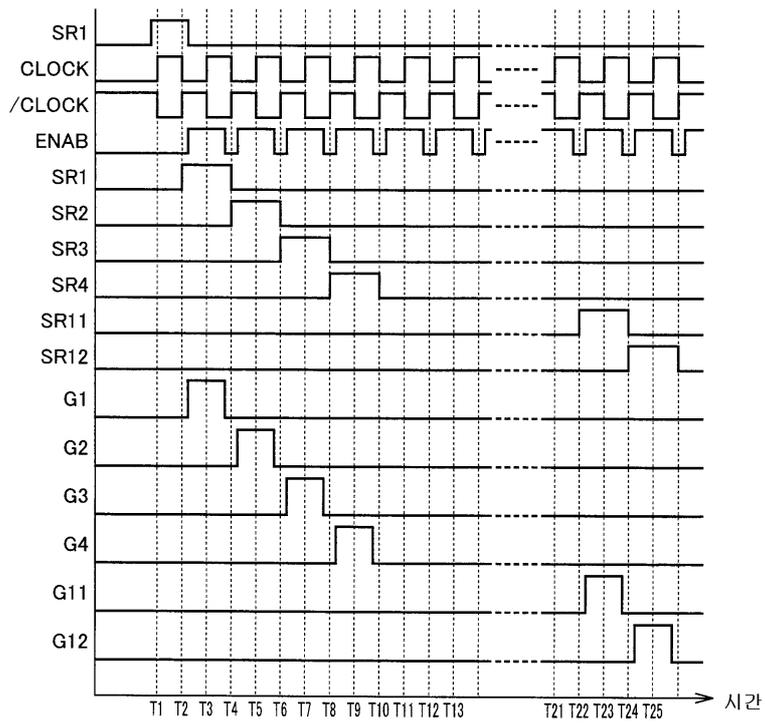
14



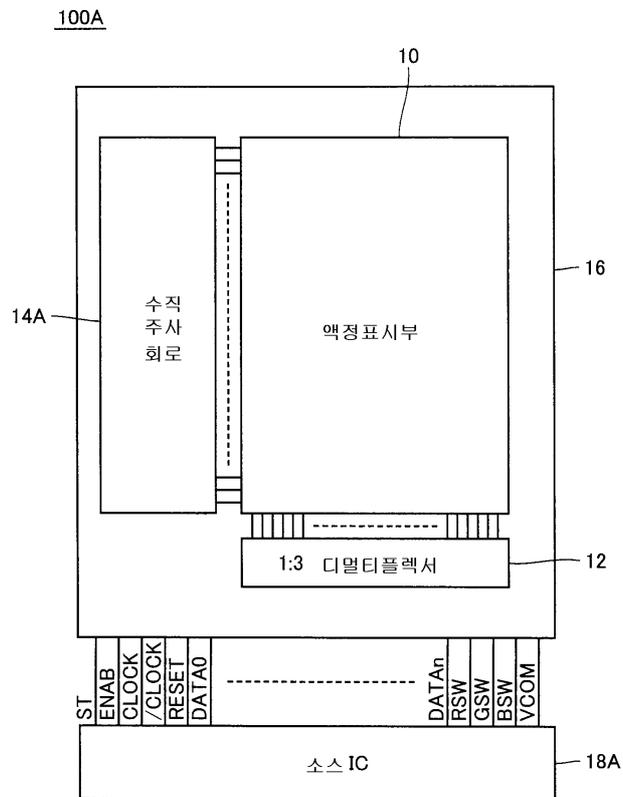
도면7



도면8

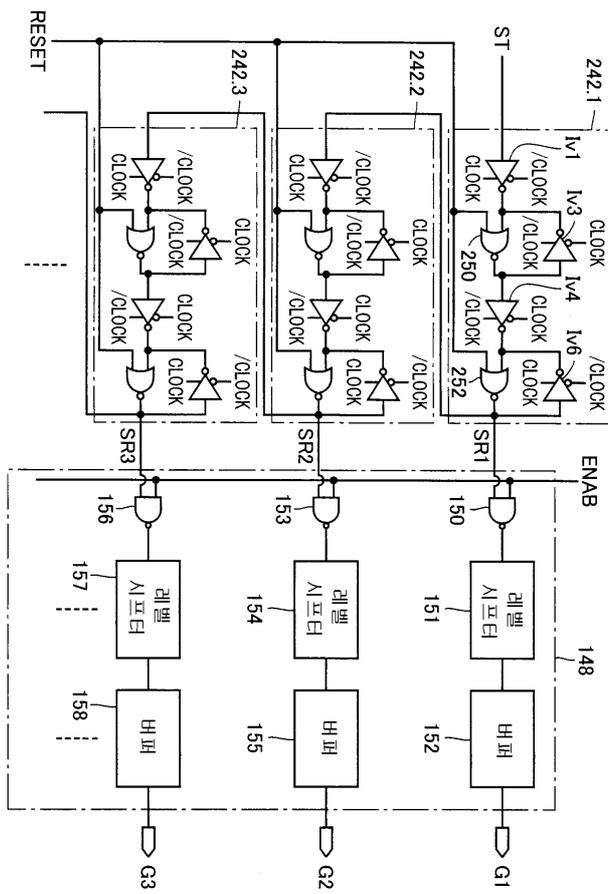


도면9

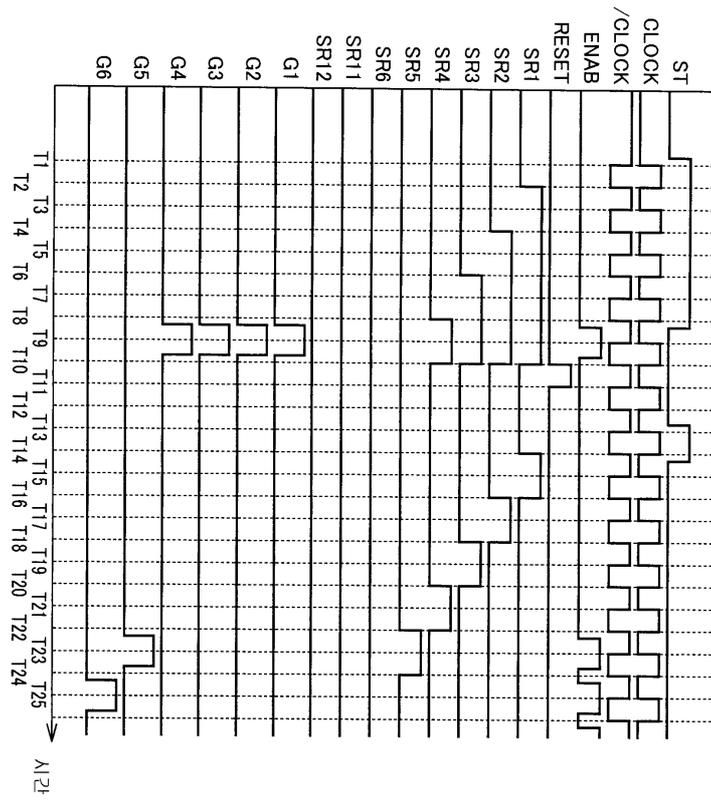


도면10

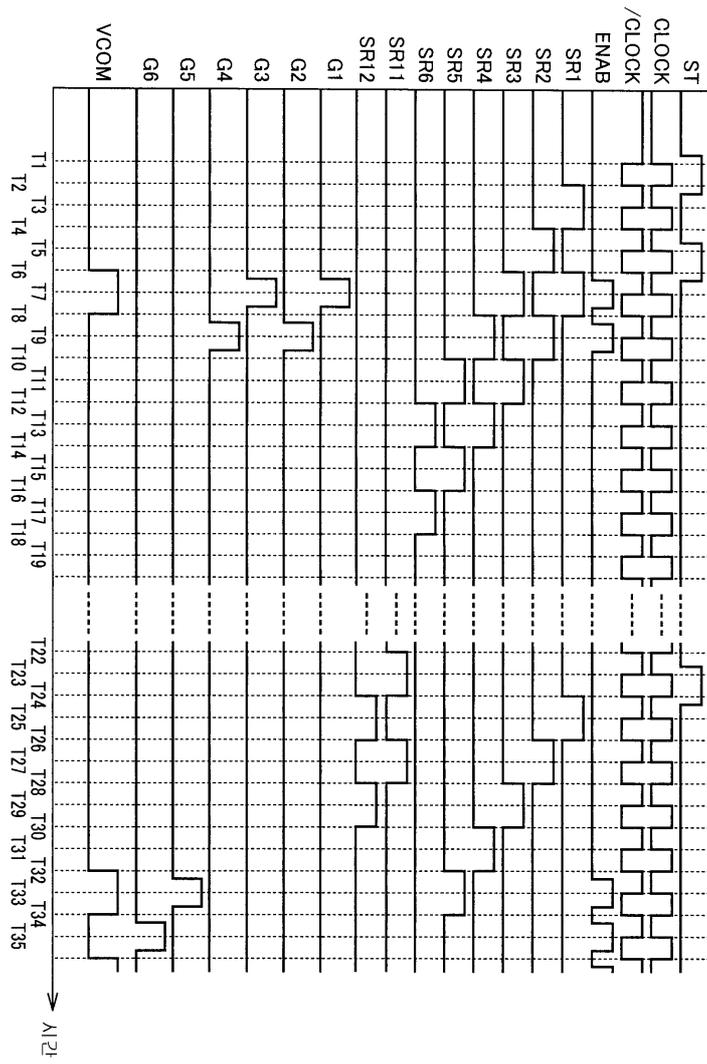
14A



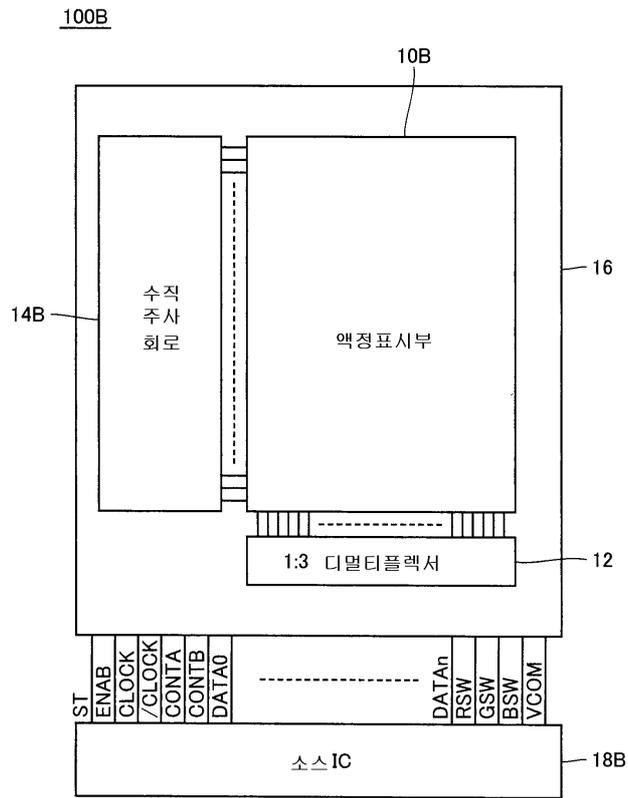
보판11



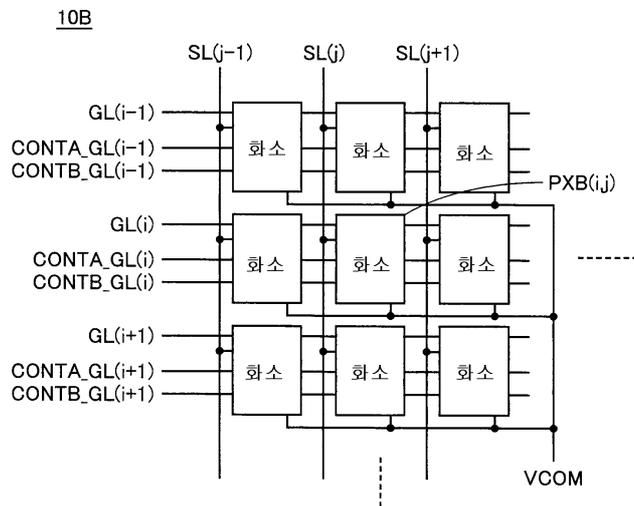
도면12



도면13

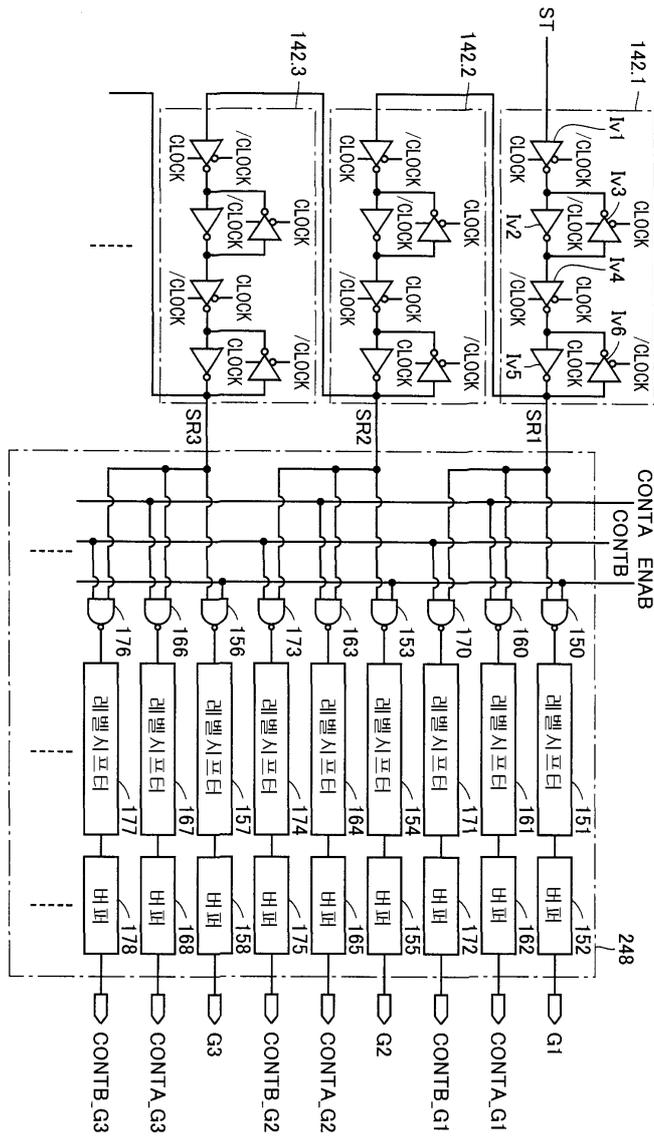


도면14

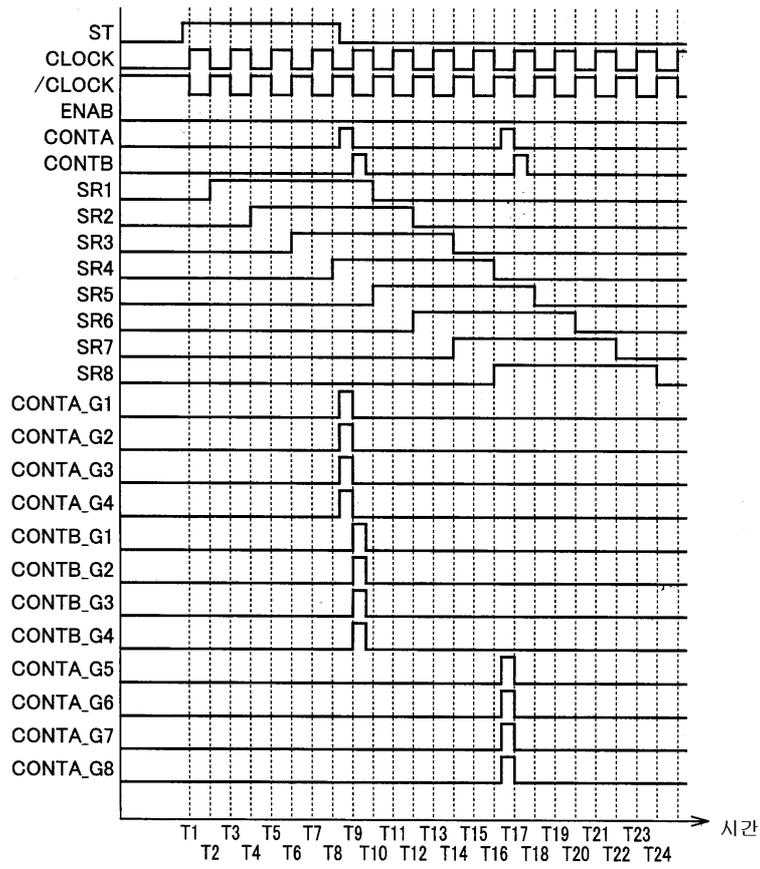


도면15

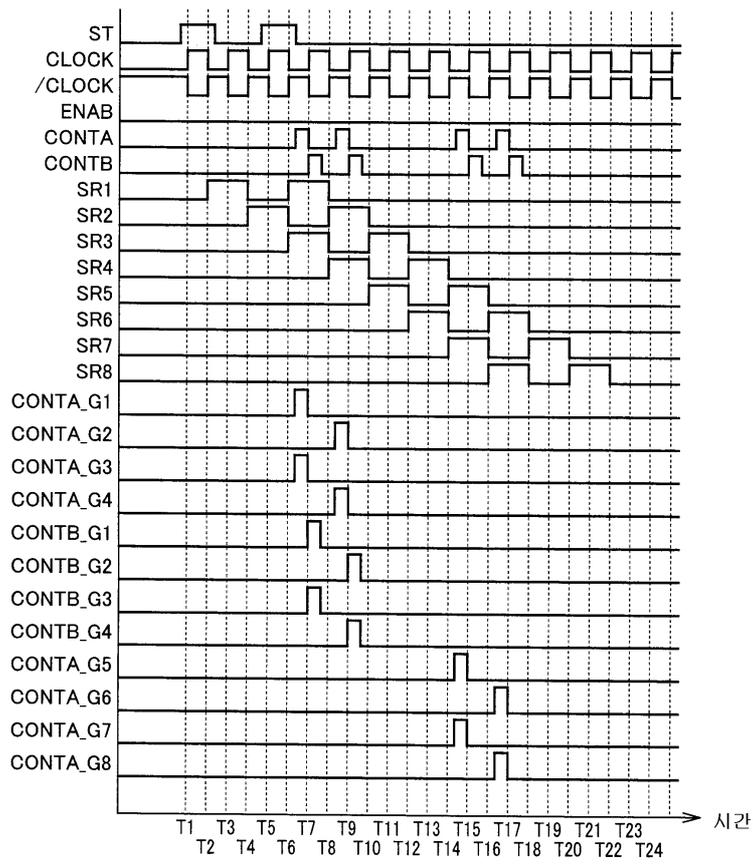
14B



도면16



도면17



专利名称(译)	一种图像显示装置，包括以矩阵形式排列的多个像素，		
公开(公告)号	KR100661468B1	公开(公告)日	2006-12-27
申请号	KR1020050008944	申请日	2005-02-01
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
当前申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	NOJIRI ISAO 노지리아사오 MURAI HIROYUKI 무라이히로유키		
发明人	노지리아사오 무라이히로유키		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G3/32		
CPC分类号	G09G3/3688 G09G3/3677 G09G3/3618 G09G2310/0289 G09G2310/04 G09G3/3648 G09G3/3275 G09G3/3614 G09G3/3266		
代理人(译)	LEE HWA我 权泰BOK		
优先权	2004039988 2004-02-17 JP		
其他公开文献	KR1020050082159A		
外部链接	Espacenet		

摘要(译)

在时间T1前~T8到H电平之后的多个周期中，源IC (18) 在部分显示模式下将表示垂直扫描开始的开始信号 (ST) 输出到垂直扫描电路 (14)。移位寄存器 (142.1,142.2) 在时钟信号中同步，并且它将启动信号 (ST) 连续地移位。以这种方式，它分别连续地将活动使能信号 (SR1, SR2, ...) 连续到H电平。并且在时间T8之后，源IC (18) 将许可信号 (ENAB) 输出到垂直扫描电路 (14)，同时，活动使能信号 (SR1~SR4) 被调平为H到H电平。因此，垂直扫描电路 (14) 一下子激活激活使能信号 (SR1~SR4) 中的相应的相应栅极线 (G1~G4)。液晶，像素，显示装置，扫描电路，寄存器，栅极。

