



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0110381
(43) 공개일자 2008년12월18일

(51) Int. Cl.

G02F 1/136 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0059054

(22) 출원일자 2007년06월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김철세

대구 달서구 도원동 강산타운아파트 409동 205호

(74) 대리인

박장원

전체 청구항 수 : 총 32 항

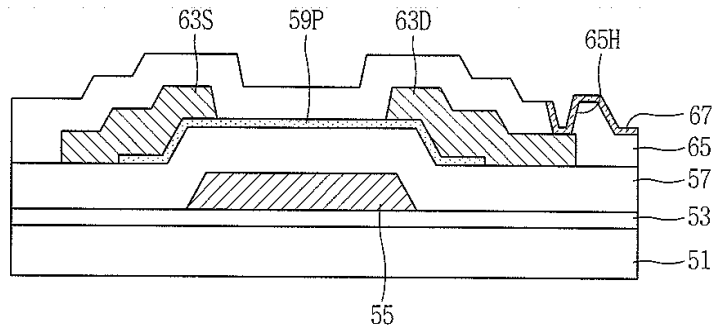
(54) 액정표시소자 및 그 형성방법

(57) 요약

본 발명은 액정표시소자 및 형성방법에 관해 개시한다. 개시된 박막 트랜지스터 구조는 게이트전극이 구비된 기판과, 상기 기판 상에 형성된 게이트 절연막과, 상기 게이트 절연막 위에 형성되며 불순물이 도핑된 미세결정질 실리콘막으로 이루어진 반도체층과, 상기 반도체층을 가진 기판 상에 형성되며 일정 간격으로 이격 배치된 소오스전극 및 드레인전극을 포함하여 구성된다.

따라서, 상기한 구성에 의하면, 본 발명은 박막 트랜지스터의 턴-온 상태에서는 상기 불순물이 도핑된 미세결정질 실리콘의 낮은 비저항으로 높은 전류를 흘리며, 턴-오프 상태에서는 게이트 전압을 인가하여 불순물이 도핑된 미세결정질 실리콘을 디플리션시켜 전류를 차단시키게 된다. 그 결과, 박막 트랜지스터의 이동도를 높일 수 있다.

대표도 - 도3e



특허청구의 범위

청구항 1

게이트전극이 구비된 기판과,

상기 기판 상에 형성된 게이트 절연막과,

상기 게이트 절연막 위에 형성되며, 불순물이 도핑된 미세결정질 실리콘막으로 이루어진 반도체층과,

상기 반도체층을 가진 기판 상에 형성되며, 일정 간격으로 이격 배치된 소오스전극 및 드레인전극을 포함한 액정표시소자.

청구항 2

제 1항에 있어서, 상기 게이트 전극은 제 1게이트전극과, 상기 제 1게이트전극과 병렬로 배치된 제 2게이트전극을 포함하는 것을 특징으로 하는 액정표시소자.

청구항 3

제 1항에 있어서, 상기 소오스전극 및 드레인전극은 일부위가 상기 게이트전극과 중첩되도록 형성되는 것을 특징으로 하는 액정표시소자.

청구항 4

제 1항에 있어서, 상기 소오스전극 및 드레인전극은 상기 게이트전극과 일정 간격으로 이격되도록 형성되는 것을 특징으로 하는 액정표시소자.

청구항 5

제 1항에 있어서, 상기 불순물은 n타입인 것을 특징으로 하는 액정표시소자.

청구항 6

제 5항에 있어서, 상기 n타입 불순물은 인(Phosphorous) 및 아세닉(As) 중 어느 하나인 것을 특징으로 하는 액정표시소자.

청구항 7

제 1항에 있어서, 상기 반도체층은 50~1000Å 두께를 가진 것을 특징으로 하는 액정표시소자.

청구항 8

제 1항에 있어서, 소오스전극 및 드레인전극을 가진 기판 상에 형성되며, 상기 드레인전극을 노출하는 콘택홀을 가진 보호막과,

상기 보호막 상에 형성되며, 상기 콘택홀을 덮는 화소전극을 더 포함하는 액정표시소자.

청구항 9

기판과,

상기 기판 위에 형성되며, 불순물이 도핑된 미세결정질 실리콘막으로 이루어진 반도체층과,

상기 반도체층을 가진 기판 상에 형성되며, 일정간격으로 이격배치된 소오스전극 및 드레인전극과,

상기 기판 상에 형성된 게이트 절연막과,

상기 게이트 절연막 상에 형성된 게이트전극을 포함한 액정표시소자.

청구항 10

제 9항에 있어서, 상기 기판과 상기 반도체층 사이에 형성되며, 상기 게이트전극과 오버랩되는 차폐막과,

상기 차폐막 위에 형성된 절연막을 더 포함하는 것을 특징으로 하는 액정표시소자.

청구항 11

제 9항에 있어서, 상기 게이트전극은 제 1게이트전극 및, 상기 제 1게이트전극과 병렬로 배치된 제 2게이트전극을 포함하는 것을 특징으로 하는 액정표시소자.

청구항 12

제 9항에 있어서, 상기 불순물은 n타입인 것을 특징으로 하는 액정표시소자.

청구항 13

제 10항에 있어서, 상기 n타입 불순물은 인(Phosphorous) 및 아세닉(As) 중 어느 하나인 것을 특징으로 하는 액정표시소자.

청구항 14

제 9항에 있어서, 상기 불순물이 도핑된 미세결정질 실리콘막은 50~1000Å 두께를 가진 것을 특징으로 하는 액정표시소자.

청구항 15

제 9항에 있어서, 상기 게이트 절연막을 관통하여 상기 드레인전극을 노출하는 콘택홀과,
상기 콘택홀을 덮는 화소전극을 더 포함하는 것을 특징으로 하는 액정표시소자.

청구항 16

기판을 제공하는 단계와,
상기 기판 상에 게이트전극을 형성하는 단계와,
상기 게이트전극을 가진 기판 상에 게이트 절연막을 형성하는 단계와,
상기 게이트 절연막 위에 불순물이 도핑된 미세결정질 실리콘막을 형성하는 단계와,
상기 불순물이 도핑된 미세결정질 실리콘막을 패터닝하여 반도체층을 형성하는 단계와,
상기 반도체층을 가진 기판 상에 일정간격으로 이격 배치된 소오스전극 및 드레인전극을 형성하는 단계를 포함하는 액정표시소자의 형성방법.

청구항 17

제 16항에 있어서, 상기 게이트 전극 형성 단계는 제 1게이트전극과, 상기 제 1게이트전극과 병렬로 배치된 제 2게이트전극을 형성하는 것을 포함하는 액정표시소자의 형성방법.

청구항 18

제 16항에 있어서, 상기 소오스전극 및 드레인전극은 일부위가 상기 게이트전극과 중첩되도록 형성하는 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 19

제 16항에 있어서, 상기 소오스전극 및 드레인전극은 상기 게이트전극과 일정 간격으로 이격되도록 형성하는 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 20

제 1항에 있어서, 상기 불순물은 인(Phosphorous) 및 아세닉(As) 중 어느 하나인 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 21

제 16항에 있어서, 상기 불순물이 도핑된 미세결정질 실리콘막 형성 단계는, 상기 미세결정질 실리콘을 성장하면서 인-시투로 상기 불순물을 도핑하는 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 22

제 21항에 있어서, 상기 불순물은 1~1000ppm 농도로 도핑하는 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 23

제 16항에 있어서, 상기 불순물이 도핑된 미세결정질 실리콘막은 50~1000Å 두께로 형성하는 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 24

기판을 제공하는 단계와,

상기 기판 위에 불순물이 도핑된 미세결정질 실리콘막을 형성하는 단계와,

상기 불순물이 도핑된 미세결정질 실리콘막을 패터닝하여 반도체층을 형성하는 단계와,

상기 반도체층을 가진 기판 상에 일정간격으로 이격배치된 소오스전극 및 드레인전극을 형성하는 단계와,

상기 소오스전극 및 드레인전극을 가진 기판 상에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 상에 게이트전극을 형성하는 단계를 포함한 액정표시소자의 형성방법.

청구항 25

제 26항에 있어서, 상기 게이트 전극 형성 단계는 제 1게이트전극과, 상기 제 1게이트전극과 병렬로 배치된 제 2게이트전극을 각각 형성하는 것을 포함하는 액정표시소자의 형성방법.

청구항 26

제 24항에 있어서, 상기 소오스전극 및 드레인전극은 일부위가 상기 게이트전극과 중첩되도록 형성하는 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 27

제 24항에 있어서, 상기 소오스전극 및 드레인전극은 상기 게이트전극과 일정간격으로 이격되도록 형성하는 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 28

제 24항에 있어서, 상기 불순물은 인(Phosphorous) 및 아세닉(As) 중 어느 하나인 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 29

제 24항에 있어서, 상기 불순물이 도핑된 미세결정질 실리콘막 형성 단계는, 상기 미세결정질 실리콘막을 성장하면서 인-시투로 상기 불순물을 도핑하는 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 30

제 29항에 있어서, 상기 불순물은 1~1000ppm 농도로 도핑하는 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 31

제 24항에 있어서, 상기 불순물이 도핑된 미세결정질 실리콘막은 50~1000Å 두께로 형성하는 것을 특징으로 하는 액정표시소자의 형성방법.

청구항 32

제 24항에 있어서, 상기 기판을 제공한 다음,

상기 게이트전극과 오버랩되는 차폐막을 형성하는 단계와,

상기 차폐막 위에 형성된 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시소자의 형성방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 액정표시소자 및 그 형성방법에 관한 것으로서, 보다 구체적으로는 박막 트랜지스터(Thin Film Transistor)의 이동도를 높일 수 있는 액정표시소자 및 그 형성방법에 관한 것이다.
- <10> 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 증증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.
- <11> 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- <12> 일반적인 액정 표시 장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동 신호를 인가하기 위한 구동부로 크게 구분될 수 있다. 여기서, 상기 액정 패널은 일정 공간을 갖고 합착된 각각의 제 1, 2기판과, 상기 제 1, 제 2 기판 사이에 주입된 액정층으로 구성된다.
- <13> 이때, 상기 제 1기판(박막 트랜지스터 어레이 기판)에는 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차하여 정의된 각 화소 영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과, 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성되어 있다.
- <14> 그리고, 제 2기판(칼라 필터 어레이 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 차광층과, 칼라 색상을 표현하기 위한 R, G, B 칼라 필터층과, 화상을 구현하기 위한 공통 전극이 형성되어 있다.
- <15> 이와 같은 상기 제 1, 제 2 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 씰(seal)재에 의해 합착되며, 상기 두 기판 사이에 액정이 주입되어 있다.
- <16> 한편, 상기 제 1기판에 있어서, 박막 트랜지스터는 활성층으로 반도체층을 이용한다. 상기 반도체층은 비정질 실리콘 또는 결정질 실리콘으로 형성된다. 이때, 상기 반도체층으로 비정질 실리콘을 이용할 경우, 저온에서 기상 퇴적법으로 비교적 용이하게 제조되고 양산에 적합한 특징이 있다. 또한, 상기 결정질 실리콘을 이용하여 반도체층을 형성할 경우, 박막 트랜지스터의 고속동작을 실현하도록 큰 전류에 대한 충분한 구동능력을 갖게 되며, 액정표시소자의 주변 구동 회로가 동일 기판 상에서 표시부와 일체로 형성될 수 있게 한다. 이러한 이유로 인해, 상기 결정질 실리콘을 이용한 박막 트랜지스터가 오늘날 주목을 받고 있다.
- <17> 도 1a 내지 도 1d는 종래의 일반적인 박막 트랜지스터의 형성방법을 설명하기 위한 공정별 단면도로서, 상기 박막 트랜지스터는 백 채널 식각 방식으로 형성하는 것을 보였다. 이하, 첨부된 도면을 참고로 하여 종래의 일반적인 박막 트랜지스터의 형성방법을 설명하면 다음과 같다.
- <18> 도 1a에 도시한 바와 같이, 제 1기판(11)상에 제 1 금속막을 형성하고, 포토리쓰그래피 공정에 의해 상기 제 1 금속막을 패터닝하여 게이트 전극(15)을 형성한다. 이때, 상기 제 1기판(11)과 상기 게이트 전극(15) 사이에 완충막(13)을 더 형성할 수 있다.
- <19> 그 다음, 도 1b에 도시된 바와 같이, 상기 게이트 전극(15)을 가진 기판 상에 게이트 절연막(17)을 형성한다. 이때, 상기 게이트 절연막(17)은 실리콘 산화막 또는 실리콘 질화막을 이용할 수 있다. 이 후, 상기 게이트 절

연막(17) 위에 비정질 실리콘막(a-Si crystalline) 및 불순물이 도핑된 실리콘막을 차례로 형성한다. 이때, 상기 불순물이 도핑된 실리콘막은 오믹콘택층 형성을 위한 것이다. 상기 비정질 실리콘막은 반도체층을 형성하기 위한 것으로서, 50~1000Å 두께로 형성한다. 여기서, 상기 비정질 실리콘막 대신에 미세결정질 실리콘막을 이용할 수도 있다.

<20> 이어, 상기 불순물이 도핑된 실리콘막 및 비정질 실리콘막을 패터닝하여 비정질 실리콘막으로 이루어진 반도체층(19)을 형성한다. 그 다음, 상기 반도체층(19)을 가진 기판 상에 제 2금속막을 형성한다. 이때, 상기 제 2금속막은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo) 등의 도전성 금속을 이용한다. 이후, 상기 제 2금속막을 패터닝하여 소오스전극(23S) 및 드레인전극(23D)을 형성한다. 이어, 상기 소오스전극(23S) 및 드레인전극(23D)을 마스크로 하여 상기 반도체층(19)에 잔류된 불순물이 도핑된 실리콘막을 제거한다. 그 결과, 상기 소오스전극(23S)/드레인전극(23D) 및 반도체층(19) 사이에는 상기 불순물이 도핑된 실리콘막으로 이루어진 오믹콘택층(21)이 형성된다.

<21> 도 1c에 도시한 바와 같이, 상기 오믹 콘택층(21)을 가진 기판 상에 보호막(25)을 형성한다. 이 후, 상기 보호막(25)을 패터닝하여 상기 드레인전극(23D)을 노출하는 콘택홀(25H)을 형성한다.

<22> 계속하여, 도 1d에 도시된 바와 같이, 상기 콘택홀(25H)을 가진 기판 위에 투명도전막을 형성한다. 이때, 상기 투명도전막은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도전성 금속을 이용한다. 이어, 상기 투명도전막을 패터닝하여 콘택홀(25H)을 덮는 화소전극(27)을 형성한다.

<23> 이와 같이 상술한 종래기술에 따른 박막 트랜지스터 형성방법에서는 반도체층으로 비정질 실리콘막 또는 미세결정질 실리콘막을 사용한다. 여기서 반도체층으로 미세결정질 실리콘막을 사용할 경우, 게이트 전극에 전압을 인가하게 되면, 전류는 게이트 절연막과 미세결정질 실리콘막인 반도체층과의 계면으로 흐르게 된다. 이때, 일반적으로 반도체층 계면에서의 결정도(crystal volume fraction)가 낮고 결함(defect)이 많아 이동도가 낮게 되는 문제점이 있다.

<24> 또한, 상기 미세결정질 실리콘막으로 반도체층을 형성할 경우, 상기 미세결정질 실리콘막은 증착속도가 1Å/sec 이하로 매우 낮기 때문에 충분한 두께를 확보하기 위해서는 증착 시간을 오래 가져가야 한다. 그 결과, 생산성이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<25> 따라서, 상기 문제점을 해결하기 위해, 본 발명의 목적은 박막 트랜지스터의 반도체층으로 불순물이 도핑된 미세결정질 실리콘막을 적용함으로써, 박막 트랜지스터의 이동도를 높이고 생산성을 확보할 수 있는 액정표시소자 및 그 형성방법을 제공하려는 것이다.

발명의 구성 및 작용

<26> 상기 목적을 달성하고자, 본 발명에 따른 액정표시소자는 게이트전극이 구비된 기판과, 기판 상에 형성된 게이트 절연막과, 게이트 절연막 위에 형성되며, 불순물이 도핑된 미세결정질 실리콘막으로 이루어진 반도체층과, 반도체층을 가진 기판 상에 형성되며, 일정 간격으로 이격 배치된 소오스전극 및 드레인전극을 포함한다.

<27> 상기 게이트 전극은 제 1게이트전극과, 상기 제 1게이트전극과 병렬로 배치된 제 2게이트전극을 가질 수 있다.

<28> 상기 소오스전극 및 드레인전극은 일부위가 상기 게이트전극과 중첩되도록 형성되거나, 상기 게이트전극과 일정 간격으로 이격되도록 형성될 수 있다.

<29> 상기 불순물은 n타입으로서, 인(Phosphorous) 및 아세닉(As) 중 어느 하나일 수 있다.

<30> 상기 반도체층은 50~1000Å 두께를 가진 것이 바람직하다.

<31> 소오스전극 및 드레인전극을 가진 기판 상에 형성되며 상기 드레인전극을 노출하는 콘택홀을 가진 보호막과, 상기 보호막 상에 형성되며 상기 콘택홀을 덮는 화소전극을 더 포함한다.

<32> 본 발명에 따른 액정표시소자의 형성방법은 기판을 제공하는 단계와, 기판 상에 게이트전극을 형성하는 단계와, 게이트전극을 가진 기판 상에 게이트 절연막을 형성하는 단계와, 게이트 절연막 위에 불순물이 도핑된 미세결정질 실리콘막을 형성하는 단계와, 불순물이 도핑된 미세결정질 실리콘막을 패터닝하여 반도체층을 형성하는 단계와, 상기 반도체층을 가진 기판 상에 일정간격으로 이격 배치된 소오스전극 및 드레인전극을 형성하는 단계를

포함한다.

- <33> 본 발명은 불순물이 도핑된 미세결정실리콘막을 사용하여 반도체층을 형성함으로써, 오믹콘택층을 형성하기 위한 별도의 불순물이 도핑된 실리콘막 형성이 불필요하다. 따라서, 오믹콘택층을 형성하기 위한 별도의 막을 형성하지 않아도 됨으로써, 증착 공정을 생략가능하여 박막 트랜지스터 제작 공정을 단순화한다.
- <34> (실시예)
- <35> 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들을 설명한다.
- <36> 도 2는 본 발명의 제 1실시예에 따른 액정표시소자를 나타낸 평면도로서, 소오스전극 및 드레인전극의 일부위가 게이트 전극과 중첩된 것을 보였다.
- <37> 도 2를 참고로 하여 본 발명의 제 1실시예에 따른 액정표시소자를 설명하면 다음과 같다.
- <38> 도 2에 도시한 바와 같이, 제 1기판(미도시)상에 화소영역을 정의하기 위하여 일정한 간격을 갖고 일 방향으로 복수개의 게이트 라인(54)이 배열되고, 상기 게이트 라인(54)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(62)이 배열된다.
- <39> 그리고 상기 게이트 라인(54)과 데이터 라인(62)이 교차되어 정의된 각 화소영역에는 매트릭스 형태로 형성되는 화소전극(67)과, 상기 게이트 라인(54)의 신호에 의해 스위칭되어 상기 데이터 라인(62)의 신호를 상기 각 화소전극(67)에 전달하는 복수 개의 박막 트랜지스터가 형성된다.
- <40> 여기서, 상기 박막 트랜지스터는 상기 게이트 라인(54)으로부터 돌출되어 형성되는 게이트 전극(55)과, 게이트 전극(55)을 가진 기판 전면에 형성된 게이트 절연막(도면에는 도시되지 않음)과, 상기 게이트 전극(55) 상층의 게이트 절연막 위에 형성되는 반도체층(59P)과, 상기 데이터 라인(62)으로부터 돌출되어 형성되는 소오스 전극(63S)과, 상기 소오스 전극(63S)에 일정한 간격을 갖고 형성되는 드레인 전극(63D)을 포함하여 구성되어 있다.
- <41> 한편, 상기 박막 트랜지스터를 가진 기판 상에는 보호막(미도시)이 형성된다. 상기 보호막에는 상기 드레인전극(63D)을 노출하는 콘택홀(65H)이 형성된다.
- <42> 그리고, 상기 보호막 위에는 상기 콘택홀(65H)을 통해 상기 드레인 전극(63D)과 전기적으로 연결되는 화소전극(67)이 형성된다.
- <43> 상기와 같이 구성된 제 1기판은 제 2기판(미도시)과 합착된다. 이때, 상기 제 2기판은, 도시되지 않았지만, 제 1기판에 형성된 화소영역과 각각 대응되는 개구부를 가지며 광 차단 역할을 수행하는 블랙 매트릭스(black matrix)층과, 칼라 색상을 구현하기 위한 적/녹/청(R/G/B) 컬러 필터층, 및 공통전극으로 구성되어 있다.
- <44> 이와 같은 제 1기판과 제 2기판은 스페이서(spacer)(미도시)에 의해 일정 공간을 가지며, 액정 주입구(미도시)를 갖는 실(seal)재(미도시)에 의해 합착된다. 한편, 제 1기판과 제 2기판 사이에는 상기 액정 주입구를 통해 액정이 주입된다.
- <45> 도 3a 내지 도 3e는 도 2의 I-I'선의 절단면을 보인 것으로서, 본 발명에 따른 액정표시소자의 박막 트랜지스터 형성방법을 설명하기 위한 공정별 단면도이다. 여기서, 본 발명에 따른 박막 트랜지스터는 백 채널 식각 방식으로 형성된 것을 예로 하여 설명하기로 한다. 이하, 첨부된 도면을 참고로 하여 본 발명에 따른 액정표시소자의 박막 트랜지스터 형성방법을 설명하면 다음과 같다.
- <46> 도 3a에 도시한 바와 같이, 제 1기판(51)상에 제 1 금속막을 형성하고, 포토리소그래피 공정에 의해 상기 제 1 금속막을 패터닝하여 게이트 전극(55)을 형성한다. 여기서, 상기 제 1기판(51)과 상기 게이트 전극(55) 사이에 완충막(53)을 더 형성할 수 있다.
- <47> 그 다음, 도 3b에 도시된 바와 같이, 상기 게이트 전극(55)을 가진 기판 상에 게이트 절연막(57) 및 n타입의 불순물이 도핑된 미세결정질 실리콘막(59)을 연속 증착한다. 이때, 상기 게이트 절연막(57)은 실리콘 산화막 또는 실리콘 질화막을 이용할 수 있다. 또한, 상기 n타입의 불순물이 도핑된 미세결정질 실리콘막(59)은 반도체층 형성을 위한 것으로서, 50~1000Å 두께로 형성한다. 한편, 상기 n타입의 불순물이 도핑된 미세결정질 실리콘막(59)은 결정립 크기가 50Å 이상인 것이 바람직하다.
- <48> 한편, 상기 n타입의 불순물이 도핑된 미세결정질 실리콘막(59)은 미세결정질 실리콘을 성장하면서 인-시튜(in-situ)로 n타입의 불순물을 도핑처리하여 형성한다. 이때, 상기 n타입의 불순물은 1~1000ppm 농도로 도핑된다.
- <49> 이 후, 도 3c에 도시된 바와 같이, 상기 n타입의 불순물이 도핑된 미세 결정질 실리콘막을 패터닝하여 반도체층

(59P)을 형성한다. 이어, 상기 반도체층(59P)을 가진 기판 상에 제 2금속막을 형성한다. 이때, 상기 제 2금속막은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo) 등의 도전성 금속을 이용한다. 그 다음, 상기 제 2금속막을 패터닝하여 소오스전극(63S) 및 드레인전극(63D)을 형성한다. 이때, 상기 소오스전극(63S) 및 드레인전극(63D)은, 도 2 및 도 3c에 도시된 바와 같이, 일부위가 상기 게이트전극(55)과 중첩되도록 형성할 수 있다.

- <50> 도 4는 본 발명의 제 1실시에 중에서, 상기 소오스전극 및 드레인전극이 게이트 전극과 서로 중첩되지 않는 구조를 보인 액정표시소자의 평면도이다. 또한, 도 5는 도 4의 II-II'선의 절단면을 보인 단면도이다.
- <51> 상술한 것 이외에도, 도 4 및 도 5에 도시된 바와 같이, 상기 소오스전극(63S) 및 드레인전극(63D)은 상기 게이트전극(55)과 중첩되지 않고 일정 간격으로 이격되도록 형성할 수도 있다. 이 경우, 게이트 전극과 소오스전극 간의 캐패시턴스(Cgs)가 없어 킥백(kickback)전압이 생기지 않는다.
- <52> 도 6는 본 발명에 따른 n타입의 불순물이 도핑된 미세결정질 실리콘막으로 이루어진 반도체층을 채택할 경우, 턴-온 상태(도 6의 상단부분)와 턴-오프 상태(도 6의 하단부분)에서의 상기 반도체층의 에너지 밴드를 나타낸 도면이다.
- <53> 이와 같이, 본 발명에서 반도체층으로 n타입의 불순물이 도핑된 미세결정질 실리콘막을 적용함으로써, 박막 트랜지스터의 이동도를 획기적으로 높일 수 있다.
- <54> 즉, 도 6에 도시된 바와 같이, 본 발명에서 반도체층으로 n타입의 불순물이 도핑된 미세결정질 실리콘막을 적용하게 되면, 박막 트랜지스터의 턴-온(turn-on) 상태에서는 n타입의 불순물이 도핑된 미세결정질 실리콘막의 낮은 비저항으로 인해 높은 전류를 흘리게 되고, 턴-오프(turn-off) 상태에서는 음의 게이트 전압을 인가하여 n타입의 불순물이 도핑된 미세 결정질 실리콘막을 디플리션(depletion)시켜 전류를 차단시키게 된다. 따라서, 박막 트랜지스터의 이동도를 높일 수 있다.
- <55> 한편, 반도체층으로 n타입의 불순물이 도핑된 미세결정질 실리콘막을 적용할 경우, 본 발명에서는 반도체층이 오믹 콘택층의 역할을 수행할 수 있게 된다. 따라서, 별도의 오믹콘택층 형성이 불필요함에 따라, 상기 오믹콘택층 형성을 위한 별도의 막증착 공정이 불필요하여 공정이 단순화된다.
- <56> 여기서, 상기 n타입의 불순물이 도핑된 미세결정질 실리콘막은 화학기상증착 또는 스퍼터 공정을 이용하여 기존의 반도체층에 비해 두께를 훨씬 더 얇게 제조할 수 있으며, 이로써 미세 결정질 실리콘막의 낮은 증착율을 극복할 수 있다.
- <57> 계속하여, 도 3d에 도시한 바와 같이, 상기 소오스전극(63S) 및 드레인전극(63D)을 가진 기판 상에 보호막(65)을 형성한다. 이때, 상기 보호막(65)은 무기보호막 또는 유기보호막일 수 있다. 이어, 상기 보호막(65)을 패터닝하여 상기 드레인전극(63D)을 노출하는 콘택홀(65H)을 형성한다.
- <58> 그 다음, 도 3e에 도시된 바와 같이, 상기 콘택홀(65H)을 가진 기판 위에 투명도전막을 형성한다. 이때, 상기 투명도전막은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도전성 금속을 이용한다. 이어, 상기 투명도전막을 패터닝하여 콘택홀(65H)을 덮는 화소전극(67)을 형성한다.
- <59> 상술한 방법에 의해 얻어지는 본 발명의 제 1실시에 따른 액정표시소자는, 도 2 및 도 3e에 도시된 바와 같이, 게이트전극(55)이 구비된 기판(51)과, 기판(51) 상에 형성된 게이트 절연막(57)과, 게이트 절연막(57) 위에 형성되며 불순물이 도핑된 미세결정질 실리콘막으로 이루어진 반도체층(59P)과, 상기 반도체층(59P)을 가진 기판 상에 형성되며 일정 간격으로 이격 배치된 소오스전극(63S1) 및 드레인전극(63D1)을 포함하여 구성된다.
- <60> 이와 같이, 본 발명의 제 1실시예에서는 반도체층으로 불순물이 도핑된 미세결정질 실리콘막을 적용함으로써, 박막 트랜지스터의 턴-온 상태에서는 상기 불순물이 도핑된 미세결정질 실리콘의 낮은 비저항으로 높은 전류를 흘리며, 턴-오프 상태에서는 게이트 전압을 인가하여 불순물이 도핑된 미세결정질 실리콘을 디플리션시켜 전류를 차단시키게 된다. 이로써, 박막 트랜지스터의 이동도를 높일 수 있다.
- <61> 도 7은 본 발명의 제 2실시에 따른 액정표시소자의 단면도이다.
- <62> 도 7에 도시된 바와 같이, 본 발명의 제 2실시에 따른 액정표시소자의 형성방법은 본 발명의 제 1실시예와 동일하되, 게이트전극(55G)이 이중 구조로 형성하는 것을 보였다.
- <63> 구체적으로, 본 발명의 제 2실시에 따른 방법을 알아보면 다음과 같다.
- <64> 도 7에 도시된 바와 같이, 상기 게이트 절연막(53)을 가진 제 1기판(51) 상에 제 1금속막을 형성한다. 그 다음,

상기 제 1금속막을 패터닝하여 제 1게이트전극(55G1) 및 상기 제 1게이트전극(55G1)과 병렬로 배치된 제 2게이트전극(55G2)으로 구성된 게이트 전극(55G)을 형성한다. 그리고, 상기 게이트 전극(55G) 형성 이후의 공정은 본 발명의 제 1실시예와 동일하게 적용된다.

<65> 상술한 방법에 의해 얻어지는 본 발명의 제 2실시예에 따른 박막 트랜지스터는, 도 7에 도시된 바와 같이, 제 1기관(51)과, 상기 제 1기관(51) 상에 형성되며 제 1게이트전극(55G1) 및 상기 제 1게이트전극(55G1)과 병렬로 배치된 제 2게이트전극(55G2)으로 구성된 게이트전극(55G)과, 상기 게이트전극(55G)을 가진 제 1기관 상에 형성된 게이트 절연막(57)과, 게이트 절연막(57) 위에 형성되며 불순물이 도핑된 미세결정질 실리콘막으로 이루어진 반도체층(59P)과, 상기 반도체층(59P)을 가진 기관 상에 형성되며 일정 간격으로 이격 배치된 소오스전극(63S1) 및 드레인전극(63D1)을 포함하여 구성된다.

<66> 이에 더하여, 상기 소오스전극(63S1) 및 드레인전극(63D1)을 가진 기관 상에 형성된 보호막(65), 상기 보호막(65)을 관통하여 상기 드레인전극(63D1)을 노출하는 콘택홀(65H)과, 상기 콘택홀(65H)을 덮는 화소 전극(67)을 더 포함할 수 있다.

<67> 이와 같이 본 발명의 제 2실시예에서는 오프 상태에서의 누설전류를 줄이기 위해 2개의 게이트전극(55G)을 병렬로 배치된 구조를 보였다. 즉, 턴-오프 시 게이트전극(55G) 상의 반도체층(59P)은 P타입에 가까워지므로 2개의 게이트전극(55G1)(55G2) 사용 시 소오스전극(63S1) 및 드레인전극(63D1) 사이의 정합은 NPNPN으로 형성된다. 이 경우, 2개의 다이오드가 직렬로 연결된 상태에서 역방향의 전압이 인가되는 경우와 같으므로 누설전류가 줄어들게 된다.

<68> 도 8은 본 발명의 제 3실시예에 따른 액정표시소자의 단면도이다. 도 8은 백라이트가 있는 경우 빛에 노출된 부분의 포토 캐리어(photo carrier)에 의한 누설전류가 흐르게 되므로, 이러한 누설전류를 차폐막을 이용하여 차단한 박막 트랜지스터 구조를 보인 것이다.

<69> 본 발명의 제 3실시예에 따른 액정표시소자의 형성방법은, 도 8에 도시된 바와 같이, 제 1기관(51) 상에 채널이 형성될 영역을 덮는 차폐막(71)을 형성한다. 이때, 상기 제 1기관과 상기 차폐막(71) 사이에 완충막(53)을 더 형성할 수 있다. 이어, 상기 차폐막(71)을 가진 기관 상에 절연막(57)을 형성한다. 그 다음, 상기 절연막(57) 상에 불순물이 도핑된 미세 결정질 실리콘막을 형성한다. 이때, 상기 불순물이 도핑된 미세 결정질 실리콘막은 미세 결정질 실리콘을 성장하면서 인-시투로 불순물을 도핑 처리하여 형성한다. 또한, 상기 불순물은 n타입으로서, 상기 불순물이 도핑된 미세결정질 실리콘막 내로 1~1000ppm 도핑농도로 도핑 처리한다.

<70> 여기서, 상기 불순물이 도핑된 미세결정질 실리콘막은 50~1000Å두께를 가지도록 형성한다. 이 후, 상기 불순물이 도핑된 미세결정질 실리콘막을 패터닝하여 반도체층(59P)을 형성한다. 여기서, 상기 반도체층(59P)은 소오스전극(63S) 및 드레인전극(63D) 하부에서 옴릭콘택층 역할을 수행할 수 있다.

<71> 계속하여, 상기 반도체층(59P)을 가진 기관 상에 본 발명의 제 1실시예와 동일한 방법으로 소오스전극(63S) 및 드레인전극(63D)을 형성한다. 이어, 상기 소오스전극(63S) 및 드레인전극(63D)을 가진 기관 상에 게이트 절연막(64)을 형성한다.

<72> 그 다음, 상기 게이트 절연막(64) 상에 게이트 전극(55G')을 형성한다. 이때, 상기 게이트 전극(55G')은, 본 발명의 제 2실시예와 동일하게, 제 1게이트전극(55G1) 및 상기 제 1게이트전극(55G1)과 병렬로 배치된 제 2게이트전극(55G2)을 갖도록 형성한다.

<73> 이 후, 상기 게이트 절연막(64)을 패터닝하여 상기 드레인전극(63D)의 일부위를 노출하는 콘택홀(64H)을 형성한다. 이어, 상기 콘택홀(64H)을 가진 기관 상에 투명도전막을 형성하고 나서, 상기 투명도전막을 패터닝하여 콘택홀(64H)을 덮는 화소전극(67)을 형성한다.

<74> 상술한 방법에 의해 얻어지는 본 발명의 제 3실시예에 따른 박막 트랜지스터는, 도 8에 도시된 바와 같이, 제 1기관(51)과, 상기 제 1기관(51) 위에 형성되며 불순물이 도핑된 미세결정질 실리콘막으로 이루어진 반도체층(59P)과, 상기 반도체층(59P)을 가진 기관 상에 형성되며 일정간격으로 이격배치된 소오스전극(63S) 및 드레인전극(63D)과, 상기 소오스전극/드레인전극(63)(63D)을 가진 기관 상에 형성된 게이트 절연막(64)과, 상기 게이트 절연막(64)을 관통하여 상기 드레인전극(63D)을 노출하는 콘택홀(64H)과, 상기 콘택홀(64H)을 덮는 화소전극(67)과, 상기 게이트 절연막(64) 상에 형성되며 제 1게이트전극(55G1) 및 상기 제 1게이트전극(55G1)과 병렬로 배치된 제 2게이트전극(55G2)으로 이루어진 게이트전극(55G')과, 상기 제1기관(51)과 상기 반도체층(59P) 사이에 배치되어 상기 게이트전극(55G')과 오버랩되는 차폐막(71)과, 차폐막(71)과 반도체층(59P) 사이에 개재된 절

연막(58)을 포함하여 구성된다.

<75> 이때, 상기 제 1기판과 상기 차폐막(71) 사이에 완충막(53)이 더 개재될 수 있다.

<76> 일반적으로, 백라이트가 있는 경우, 빛에 노출된 부분의 포토 캐리어(photo carrier)에 의한 누설전류가 흐르게 된다. 따라서, 본 발명의 제 3실시예에서는 이러한 누설전류를 차폐막을 이용하여 차단할 수 있다. 여기서, 상기 차폐막은 플로팅되어 있으나, 경우에 따라서는 상부의 게이트 전극(55G')과 연결하여 사용할 수 있다. 즉, 보다 많은 전류를 흘리고자 할 경우, 채널 디플리션을 시키기 위해 게이트 전압을 채널영역의 상하부인 게이트 전극과 차폐막에 동시에 인가할 수 있다.

발명의 효과

<77> 본 발명에 따르면, 불순물이 도핑된 미세결정질 실리콘막으로 이루어진 반도체층을 제공한다. 따라서, 본 발명에서는 박막 트랜지스터의 턴-온 상태에서는 상기 불순물이 도핑된 미세결정질 실리콘의 낮은 비저항으로 높은 전류를 흘리며, 턴-오프 상태에서는 게이트 전압을 인가하여 불순물이 도핑된 미세결정질 실리콘을 디플리션시켜 전류를 차단시키게 된다. 그 결과, 박막 트랜지스터의 이동도를 높일 수 있다.

<78> 한편, 본 발명에서는 반도체층으로 n타입의 불순물이 도핑된 미세결정질 실리콘막을 적용할 경우, 상기 반도체층이 오믹 콘택층의 역할을 수행할 수 있게 된다. 따라서, 별도의 오믹콘택층 형성이 불필요함에 따라, 상기 오믹콘택층 형성을 위한 별도의 막증착 공정이 불필요하여 공정이 단순화된다.

<79> 또한, 상기 n타입의 불순물이 도핑된 미세결정질 실리콘막은 기존에 비해 얇게 형성이 가능하다. 따라서, 기존의 미세 결정질 실리콘막의 낮은 증착율을 극복할 수 있다.

도면의 간단한 설명

<1> 도 1a 내지 도 1d는 종래의 일반적인 액정표시소자 및 그 형성방법을 설명하기 위한 공정별 단면도.

<2> 도 2는 본 발명의 제 1실시예에 따른 액정표시소자를 나타낸 평면도.

<3> 도 3a 내지 도 3e는 도 2의 I-I'선의 절단면을 보인 공정별 단면도.

<4> 도 4는 본 발명의 제 1실시예에서, 소오스전극 및 드레인전극이 게이트 전극과 서로 중첩되지 않는 구조를 보인 액정표시소자의 평면도.

<5> 도 5는 도 4의 II-II'선의 절단면을 보인 단면도.

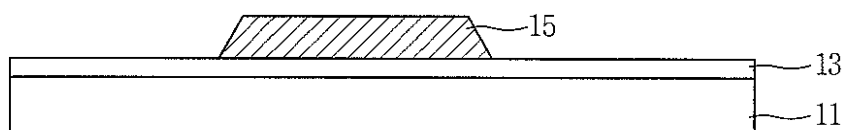
<6> 도 6은 본 발명의 제 1실시예에 따른 반도체층을 채택할 경우, 턴-온 상태와 턴-오프 상태에서의 반도체층의 에너지 밴드를 나타낸 도면.

<7> 도 7은 본 발명의 제 2실시예에 따른 액정표시소자의 단면도.

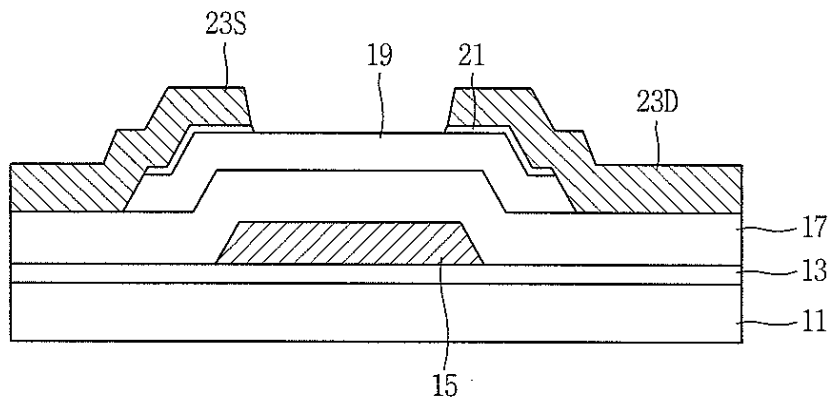
<8> 도 8은 본 발명의 제 3실시예에 따른 액정표시소자의 단면도.

도면

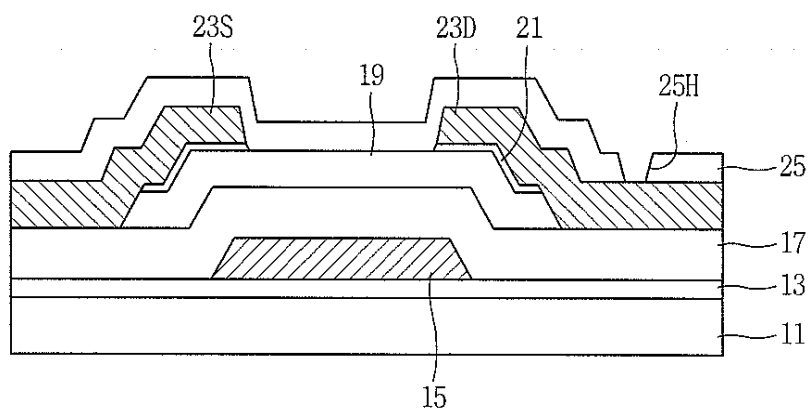
도면1a



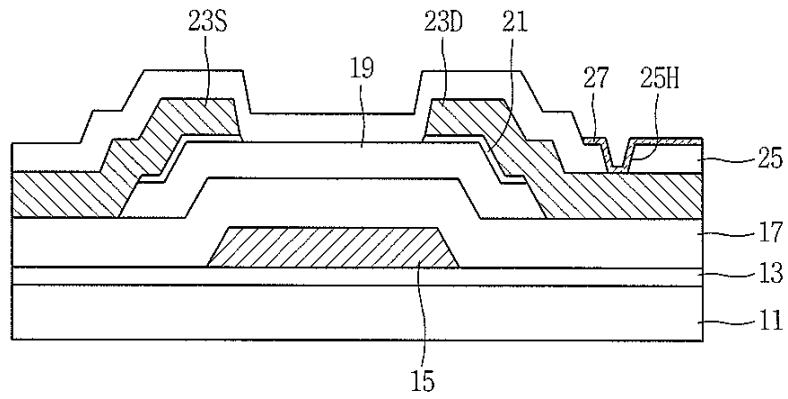
도면1b



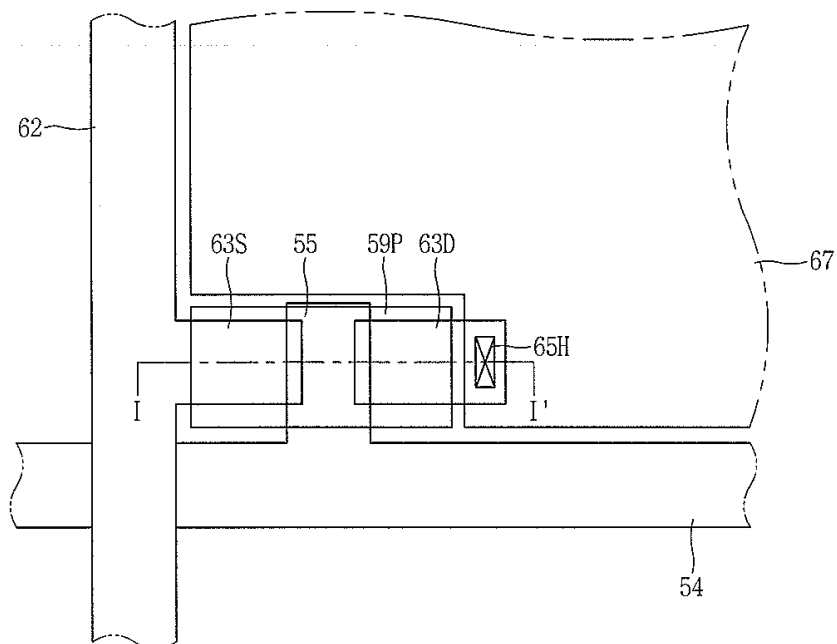
도면1c



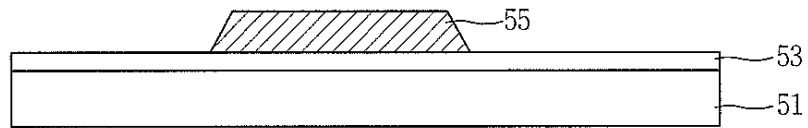
도면1d



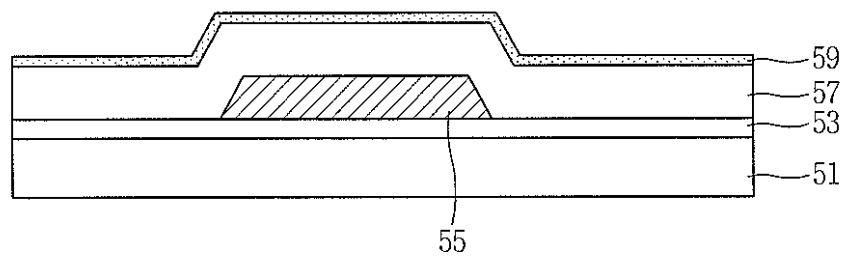
도면2



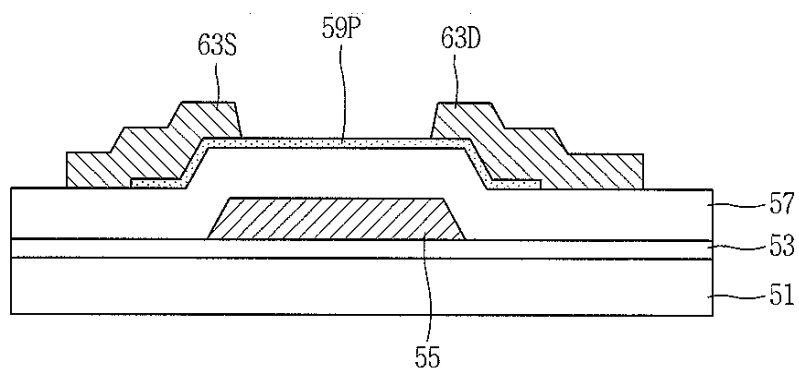
도면3a



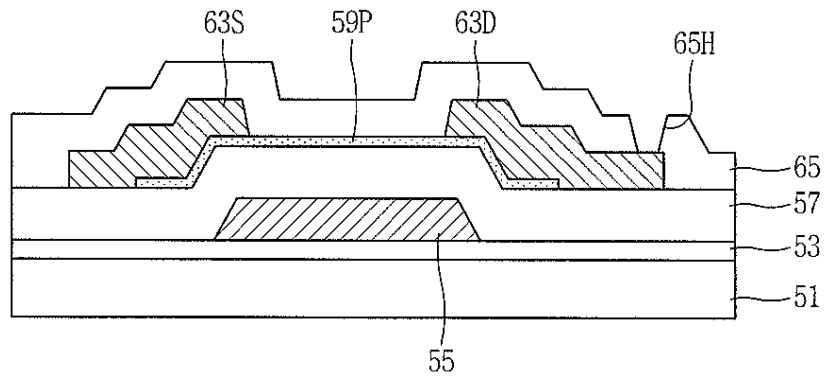
도면3b



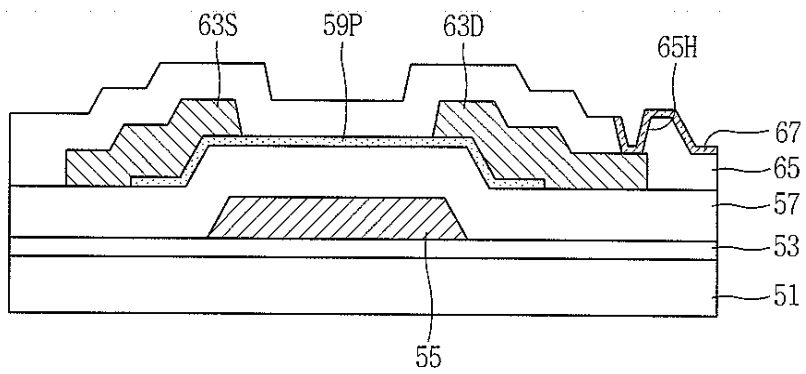
도면3c



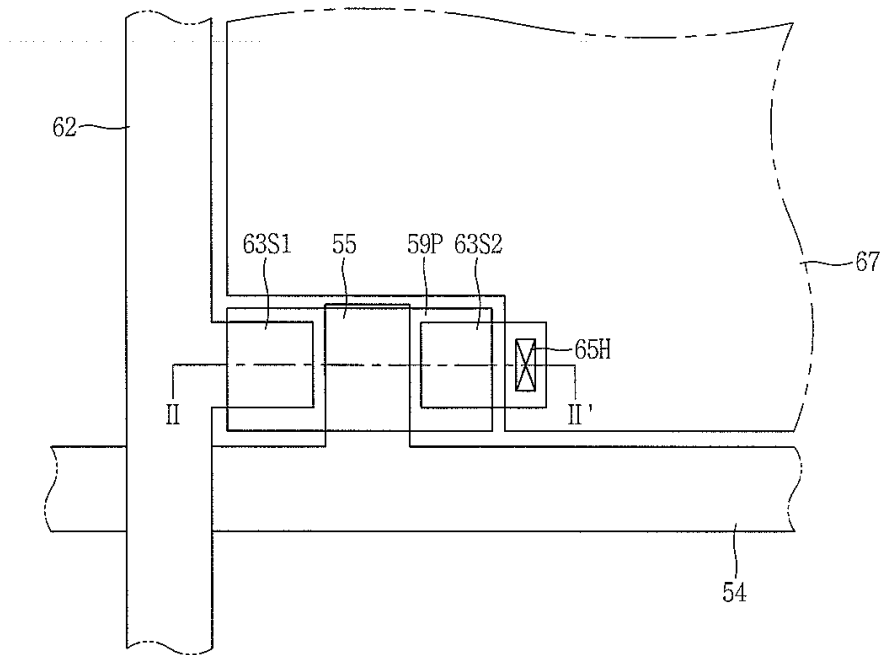
도면3d



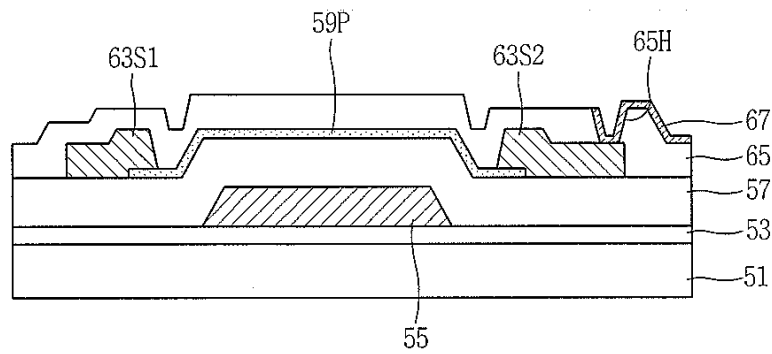
도면3e



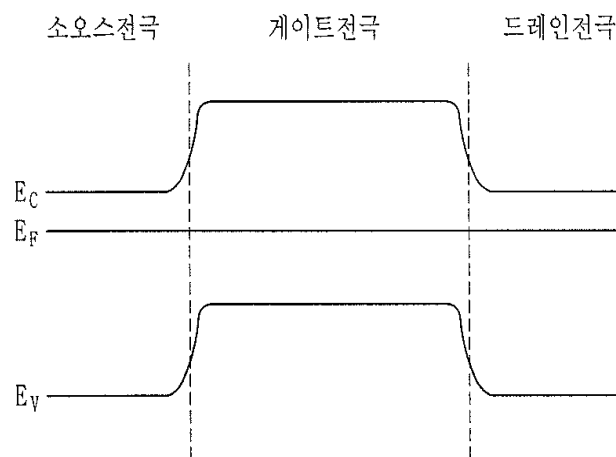
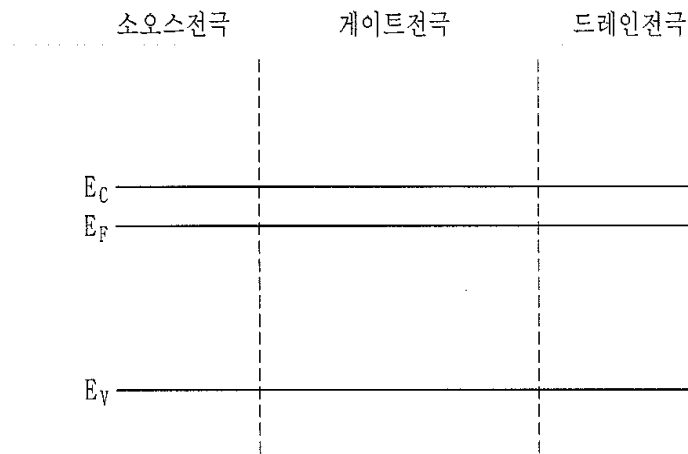
도면4



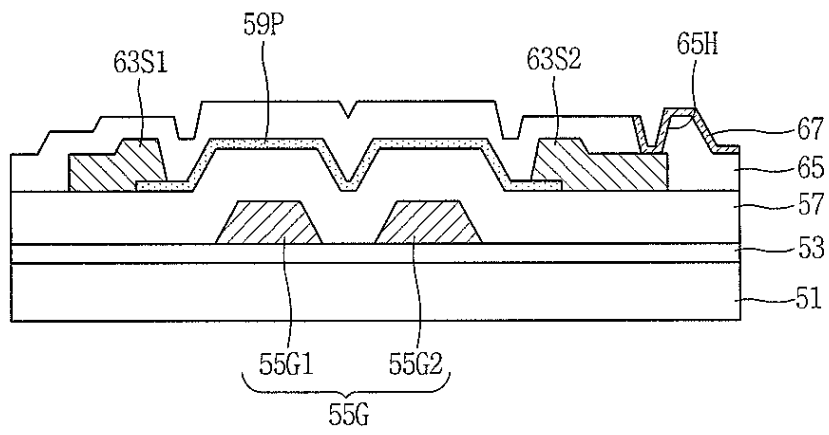
도면5



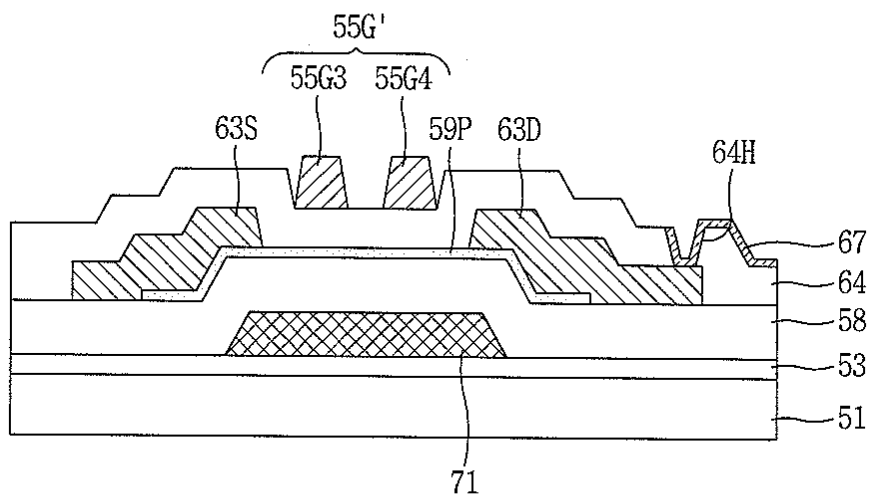
도면6



도면7



도면8



专利名称(译)	液晶显示元件及其形成方法		
公开(公告)号	KR1020080110381A	公开(公告)日	2008-12-18
申请号	KR1020070059054	申请日	2007-06-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM CHEOL SE		
发明人	KIM,CHEOL SE		
IPC分类号	G02F1/136 G02F1/133		
CPC分类号	G02F1/1362 G02F1/1343 G02F1/136227 G02F1/1368		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示元件和形成方法。所公开的薄膜晶体管结构包括具有栅电极的基板，形成在基板上的栅极绝缘膜，形成在栅极绝缘膜上并由掺杂有杂质的微晶硅膜制成的半导体层，并且源电极和漏电极彼此隔开预定距离。因此，根据本发明，当薄膜晶体管导通时，高电流在掺杂的微晶硅的低电阻率下流动，并且在截止状态下，栅极电压施加到杂质 - 并耗尽微晶硅以阻断电流。结果，可以增加薄膜晶体管的迁移率。

