

특허청구의 범위

청구항 1

표시 영역 및 주변 영역을 가지는 절연 기관,

상기 절연 기관 위에 차례대로 형성되어 있는 게이트선, 게이트 절연막, 데이터선, 무기막, 유기막 및 도전막, 상기 주변 영역에 형성되어 있는 도전막 식각 판단 테그

를 포함하고,

상기 도전막 식각 판단 테그는 소정 간격 이격되어 있는 제1 테그 및 제2 테그를 포함하는 박막 트랜지스터 표시판.

청구항 2

제1항에서,

상기 제1 테그는 제1 테그 무기막, 제1 테그 유기막 및 제1 테그 도전막을 포함하고,

상기 제2 테그는 제2 테그 무기막, 제2 테그 도전막을 포함하는 박막 트랜지스터 표시판.

청구항 3

제2항에서,

상기 제1 테그 무기막 및 제2 테그 무기막은 상기 무기막의 형성과 동시에 형성되는 박막 트랜지스터 표시판.

청구항 4

제2항에서,

상기 제1 테그 유기막은 상기 유기막의 형성과 동시에 형성되는 박막 트랜지스터 표시판.

청구항 5

제2항에서,

상기 제1 테그 도전막 및 제2 테그 도전막은 상기 도전막의 형성과 동시에 형성되는 박막 트랜지스터 표시판.

청구항 6

제3항에서,

상기 도전막은 ITO 또는 IZO로 이루어지는 박막 트랜지스터 표시판.

청구항 7

제1항에서,

상기 도전막은 가드링인 박막 트랜지스터 표시판.

청구항 8

표시 영역 및 주변 영역을 가지는 절연 기관 위에 차례대로 게이트선, 게이트 절연막, 데이터선, 무기막, 유기막 및 도전막을 형성하는 단계,

상기 무기막, 유기막 및 도전막의 형성 시 동시에 상기 주변 영역에 소정 간격 이격되어 있는 제1 테그 및 제2 테그를 포함하는 도전막 식각 판단 테그를 형성하는 단계,

상기 도전막은 그 아래에 유기막 및 무기막이 형성되어 있는 제1 부분과 그 아래에 무기막이 형성되어 있는 제2 부분을 포함하며,

상기 제1 테그 및 제2 테그의 단락 여부를 이용하여 상기 제1 부분과 제2 부분의 경계면의 연장선을 따라 도전

막이 식각되었는 지 여부를 확인하는 박막 트랜지스터 표시판의 검사 방법.

청구항 9

제8항에서,

상기 제1 테그는 제1 테그 무기막, 제1 테그 유기막 및 제1 테그 도전막을 포함하고,

상기 제2 테그는 제2 테그 무기막, 제2 테그 도전막을 포함하는 박막 트랜지스터 표시판의 검사 방법.

청구항 10

제9항에서,

상기 제1 테그 도전막 및 제2 테그 도전막에 각각 프로브를 접촉시켜 상기 제1 테그 및 제2 테그의 단락 여부를 확인하는 박막 트랜지스터 표시판의 검사 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 박막 트랜지스터 표시판 및 그 검사 방법에 관한 것이다.
- <19> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 액정층을 통과하는 빛의 투과율을 조절하는 표시 장치이다.
- <20> 최근 고해상도의 액정 표시 장치가 요구되어 있으며, 이에 따라 박막 트랜지스터의 크기가 작아지게 되어 정전기 불량 발생하기 쉽게 되었다. 특히 다각형으로 형성된 패드부 또는 주변 회로부 등에 정전기가 많이 유입된다. 이를 방지하기 위해 패드부 또는 주변 회로부와 연결된 복수개의 가드링(guard ring) 및 복수개의 가드링을 서로 연결하는 쇼팅바(shorting bar)를 형성함으로써 패드부 또는 주변 회로부에 유입된 정전기를 분산시킨다. 고해상도뿐만 고개구율의 액정 표시 장치도 요구되고 있어 두꺼운 유기막을 적용하고 있으나, 이 경우 두꺼운 유기막이 형성된 부분과 유기막이 형성되지 않은 부분의 경계부에는 단차가 발생하며 경계부에 걸쳐 형성된 가드링 또는 쇼팅바는 완전히 식각되지 않고 단락이 일어나기 쉽다. 특히 쇼팅바 및 가드링은 ITO 또는 IZO 등의 투명한 도전막으로 이루어지며, ITO 또는 IZO는 그 자체가 이미 산화된 물질이기 때문에 식각이 쉽지 않다. 또한, ITO 또는 IZO는 투명하므로 쇼팅바 및 가드링의 미식각 여부를 검사자가 시야로 확인하기도 어렵다. 미식각여부를 판단하기 위해 전자 현미경(SEM, scanning electron microscope)을 이용하거나 테그(TEG, test element group)를 이용할 수 있으나, 전자 현미경을 이용한 판독의 경우 시간이 오래 걸리며, 테그를 이용한 판독의 경우 특정 부위에 대한 판독은 불가능하고 특히 미약한 미식각은 판독할 수 있는 고유 테그가 없어 즉각적이고 정확한 모니터링은 불가능하다.

발명이 이루고자 하는 기술적 과제

- <21> 본 발명의 기술적 과제는 도전막 식각 판단 테그를 이용하여 유기막에 의한 단차로 투명 도전막이 미식각되는 것을 방지할 수 있는 박막 트랜지스터 표시판 및 그 검사 방법을 제공하는 것이다.

발명의 구성 및 작용

- <22> 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은 표시 영역 및 주변 영역을 가지는 절연 기판, 상기 절연 기판 위에 차례대로 형성되어 있는 게이트선, 게이트 절연막, 데이터선, 무기막, 유기막 및 도전막, 상기 주변 영역에 형성되어 있는 도전막 식각 판단 테그를 포함하고, 상기 도전막 식각 판단 테그는 소정 간격 이격되어 있는 제1 테그 및 제2 테그를 포함하는 것이 바람직하다.
- <23> 또한, 상기 제1 테그는 제1 테그 무기막, 제1 테그 유기막 및 제1 테그 도전막을 포함하고, 상기 제2 테그는 제2 테그 무기막, 제2 테그 도전막을 포함하는 것이 바람직하다.

- <24> 또한, 상기 제1 테그 무기막 및 제2 테그 무기막은 상기 무기막의 형성과 동시에 형성되는 것이 바람직하다.
- <25> 또한, 상기 제1 테그 유기막은 상기 유기막의 형성과 동시에 형성되는 것이 바람직하다.
- <26> 또한, 상기 제1 테그 도전막 및 제2 테그 도전막은 상기 도전막의 형성과 동시에 형성되는 것이 바람직하다.
- <27> 또한, 상기 도전막은 ITO 또는 IZO로 이루어지며, 상기 도전막은 가드링인 것이 바람직하다.
- <28> 또한, 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 표시 영역 및 주변 영역을 가지는 절연 기판 위에 차례대로 게이트선, 게이트 절연막, 데이터선, 무기막, 유기막 및 도전막을 형성하는 단계, 상기 무기막, 유기막 및 도전막의 형성 시 동시에 상기 주변 영역에 소정 간격 이격되어 있는 제1 테그 및 제2 테그를 포함하는 도전막 식각 판단 테그를 형성하는 단계, 상기 도전막은 그 아래에 유기막 및 무기막이 형성되어 있는 제1 부분과 그 아래에 무기막이 형성되어 있는 제2 부분을 포함하며, 상기 제1 테그 및 제2 테그의 단락 여부를 이용하여 상기 제1 부분과 제2 부분의 경계면의 연장선을 따라 도전막이 식각되었는지 여부를 확인할 수 있다.
- <29> 또한, 상기 제1 테그는 제1 테그 무기막, 제1 테그 유기막 및 제1 테그 도전막을 포함하고, 상기 제2 테그는 제2 테그 무기막, 제2 테그 도전막을 포함하는 것이 바람직하다.
- <30> 또한, 상기 제1 테그 도전막 및 제2 테그 도전막에 각각 프로브를 접촉시켜 상기 제1 테그 및 제2 테그의 단락 여부를 확인하는 것이 바람직하다.
- <31> 그러면, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <32> 이제 본 발명의 실시예에 따른 박막 트랜지스터 표시판에 대하여 도면을 참고로 하여 상세하게 설명한다.
- <33> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 개략도이다.
- <34> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정표시 장치는 하부 표시판(100) 및 상부 표시판(200)으로 이루어진 표시판부(300), 이에 부착되어 있는 복수의 게이트 FPC 기판(410) 및 복수의 데이터 FPC 기판(510), 그리고 게이트 및 데이터 FPC 기판(410, 510)에 부착되어 있는 인쇄 회로 기판(550)을 포함한다. 게이트 FPC 기판(410)과 데이터 FPC 기판(510)에는 각각 게이트 구동 집적 회로(440)와 데이터 구동 집적 회로(540)가 칩의 형태로 장착되어 있으며, 구동 집적 회로(440, 540)와 외부와의 전기적 연결을 위한 인출선(420, 520)들이 형성되어 있다. 표시판부(300)의 하부 표시판(100)은 화상이 표시되는 표시 영역(display area)(D)과 그 바깥에 위치하며 표시 영역 내의 표시 신호선(도시하지 않음)과 FPC 기판(410, 510) 또는 구동 집적 회로(440, 540)와의 물리적, 전기적 연결이 이루어지는 주변 영역(peripheral area)(P)으로 구분할 수 있다. 주변 영역(P)에는 박막 트랜지스터 및 화소 전극의 특성을 측정하는 테그(610)와 도전막의 식각 여부를 판단하는 도전막 식각 판단 테그(620)가 형성되어 있다. 테그(610)는 소스 전극과 드레인 전극은 플로팅(floating)되어 있어, 표시 영역의 내부에서의 박막 트랜지스터의 특성 및 화소 전극에서 형성되는 용량(capacitor) 특성을 측정하기가 용이하지 않아, 주변 영역에 표시 영역과 동일한 패턴으로 형성하여 간접적으로 박막 트랜지스터의 특성 및 용량을 알 수 있게 하는 패턴을 의미한다. 그리고, 도전막 식각 판단 테그(620)는 도전막의 식각이 제대로 이루어졌는지를 확인할 수 있는 패턴을 의미한다. 도전막 식각 판단 테그(620)에 의해 식각 여부를 확인할 수 있는 도전막은 ITO 또는 IZO로 이루어지는 투명 도전막으로서, 그 아래 유기막(180q)이 형성되어 있는 제1 부분과 그 아래에 유기막(180p)이 형성되어 있지 않은 제2 부분을 포함하는 도전막이다. 이러한 도전막으로는 주변 영역(P)에 형성되는 가드링(710) 또는 쇼팅바(720) 등이 해당된다. 가드링(710)은 주변 회로부 또는 패드부(700)와 연결되어 주변 회로부 또는 패드부(700) 등에 정전기가 유입되는 것을 방지하는 역할을 하며, 쇼팅바(720)는 복수개의 가드링(710)을 서로 연결하여 분산시키는 역할을 한다.
- <35> 이하에서, 도 2 내지 도 4를 참고로 하여 하부 표시판인 액정 표시 장치용 박막 트랜지스터 표시판 및 도전막 식각 판단 테그에 대해 상세히 설명한다.
- <36> 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 3 및 도 4는 각각 도 2의 박막 트랜지스터 표시판을 III-III 선 및 IV-IV 선을 따라 잘라 도시한 단면도이다.
- <37> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 표시 신호선인 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.

- <38> 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 아래로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 유지 전극선(131)은 소정의 전압을 인가 받으며, 게이트선(121)과 거의 나란하게 뻗은 줄기선과 이로부터 갈라진 복수 쌍의 제1 및 제2 유지 전극(133a, 133b)을 포함한다. 그러나 유지 전극선(131)의 모양 및 배치는 여러 가지로 변형될 수 있다.
- <39> 게이트선(121) 및 유지 전극선(131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다. 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection)(154)를 포함한다. 반도체(151) 위에는 복수의 선형 및 점형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 저항성 접촉 부재(161, 165)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 점형 저항성 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 배치되어 있다.
- <40> 저항성 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 표시 신호선인 복수의 데이터선(data line)(171) 및 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다. 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗어 J자형으로 굽은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 드레인 전극(175)은 데이터선(171)과 분리되어 있으며 게이트 전극(124)을 중심으로 소스 전극(173)과 마주한다. 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.
- <41> 데이터선(171), 드레인 전극(175) 및 노출된 반도체(151) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(151) 부분에 해가 가지 않도록 하부 무기막(180p)과 상부 유기막(180q)의 이중막 구조를 가진다.
- <42> 보호막(180)에는 데이터선(171)의 끝 부분(179)과 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181), 제1 유지 전극(133a) 고정단 부근의 유지 전극선(131) 일부를 드러내는 복수의 접촉 구멍(183a), 그리고 제1 유지 전극(133a) 자유단의 돌출부를 드러내는 복수의 접촉 구멍(183b)이 형성되어 있다.
- <43> 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 다리(overpass)(83) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.
- <44> 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압(common voltage)을 인가 받는 다른 표시판(200)의 공통 전극(common electrode)(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자(도시하지 않음)의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.
- <45> 화소 전극(191) 및 이와 연결된 드레인 전극(175)은 유지 전극(133a, 133b)을 비롯한 유지 전극선(131)과 중첩하며, 화소 전극(191)의 왼쪽 및 오른쪽 변은 유지 전극(133a, 133b)보다 데이터선(171)에 인접한다. 화소 전극(191) 및 이와 전기적으로 연결된 드레인 전극(175)이 유지 전극선(131)과 중첩하여 이루는 축전기를 유지 축전기(storage capacitor)라 하며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다. 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.

- <46> 주변 영역(P)은 표시 영역(D)이 아니므로 우수한 절연 특성이 요구되지 않아 주변 영역(P) 중 일부 영역(R)에는 보호막(180)이 형성되어 있지 않다. 그리고, 주변 영역(P)에는 도전막 식각 판단 테그(260)가 형성되어 있다. 도전막 식각 판단 테그(620)는 서로 소정 간격(d) 이격되어 있는 제1 테그(620a) 및 제2 테그(620b)를 포함한다. 제1 테그(620a)는 제1 테그 무기막(80a), 제1 테그 유기막(85) 및 제1 테그 도전막(90a)을 포함하고, 제2 테그(620b)는 제2 테그 무기막(80b), 제2 테그 도전막(90b)을 포함한다. 기판(110) 위에 제1 테그 무기막(80a)이 형성되어 있고, 그 위에 제1 테그 무기막(80a)와 동일한 패턴으로 두꺼운 제1 테그 유기막(85)이 형성되어 있으며, 제1 테그 무기막(80a) 및 제1 테그 유기막(85)을 제1 테그 도전막(90a)이 덮고 있다. 그리고, 제1 테그 무기막(80a)과 소정 간격 이격된 위치에 제2 테그 무기막(80b)이 형성되어 있고, 제2 테그 무기막(80b)을 제2 테그 도전막(90b)이 덮고 있다. 제1 테그 무기막(80a) 및 제2 테그 무기막(80b)은 무기막(180p)의 형성과 동시에 형성되며, 제1 테그 유기막(85)은 유기막(180q)의 형성과 동시에 형성되고, 제1 테그 도전막(90a) 및 제2 테그 도전막(90b)은 화소 전극(191), 복수의 접촉 보조 부재(81, 82), 가드링(710) 또는 쇼팅바(720)의 형성과 동시에 형성된다. 제1 테그 유기막(85)에 의해 제1 테그(620a)의 높이는 제2 테그(620b)의 높이보다 높으므로 제1 테그(620a)와 제2 테그(620b)간에는 단차가 발생한다.
- <47> 도 5에는 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 검사 방법을 도시하고 있다.
- <48> 도 4 및 도 5에 도시한 바와 같이, 표시 영역 및 주변 영역을 가지는 절연 기판 위에 차례대로 게이트선(121), 게이트 절연막(140), 데이터선(171), 무기막(180p), 유기막(180q) 및 도전막(191, 81, 82, 710, 720)을 형성한다. 도전막은 화소 전극(191), 접촉 보조 부재(81, 82), 가드링(710) 또는 쇼팅바(720) 등이 해당되며, 특히, 가드링(710)은 그 아래에 유기막(180q) 및 무기막(180p)이 형성되어 있는 제1 부분(A)과 그 아래에 무기막(180p)이 형성되어 있는 제2 부분(B)을 포함한다.
- <49> 그리고, 무기막(180p), 유기막(180q) 및 도전막(191, 81, 82, 710, 720)의 형성과 동시에 주변 영역(P)에 제1 테그(620a) 및 제2 테그(620b)를 포함하는 도전막 식각 판단 테그(620)를 형성한다. 제1 테그(620a)는 제1 테그 무기막(80a), 제1 테그 유기막(85) 및 제1 테그 도전막(90a)을 포함하고, 제2 테그(620b)는 제2 테그 무기막(80b), 제2 테그 도전막(90b)을 포함한다.
- <50> 다음으로, 제1 테그 도전막(90a) 및 제2 테그 도전막(90b)의 표면에 각각 프로브(50)를 접촉시키고 일정 전류를 흘려 저항을 측정함으로써 제1 테그(620a) 및 제2 테그(620b)의 단락 여부를 확인한다.
- <51> 도 5에 도시된 바와 같이, 제1 테그 도전막(90a) 및 제2 테그 도전막(90b)에 대한 식각이 완전히 이루어지지 않아 제1 테그 도전막(90a) 및 제2 테그 도전막(90b) 사이에 연결 도전막(91)이 잔류하는 경우에는 프로브(50)에 의해 측정된 저항이 낮아지게 된다. 따라서, 그 아래에 유기막(180q) 및 무기막(180p)이 형성되어 있는 제1 부분(A)과 그 아래에 무기막(180p)만이 형성되어 있는 제2 부분(B)을 가지는 가드링(710)도 제1 부분(A)과 제2 부분(B)의 경계면의 연장선을 따라 완전히 식각되지 않았다고 간접적으로 판단할 수 있다. 즉, 식각되어야 하는 복수개의 가드링(710)사이의 공간 중 제1 부분(A)과 제2 부분(B)의 경계면의 연장선 부분(C)은 완전히 식각되지 않게 된다.
- <52> 한편, 각 기판(110)마다 도전막 식각 테그(620)를 형성하고, 기판(110) 간의 도전막 식각율의 균일도를 검사할 수 있다.

발명의 효과

- <53> 본 발명에 따른 박막 트랜지스터 표시판은 도전막 식각 판단 테그를 형성함으로써 유기막에 의한 단차로 투명 도전막이 미식각되는 것을 방지할 수 있다.
- <54> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

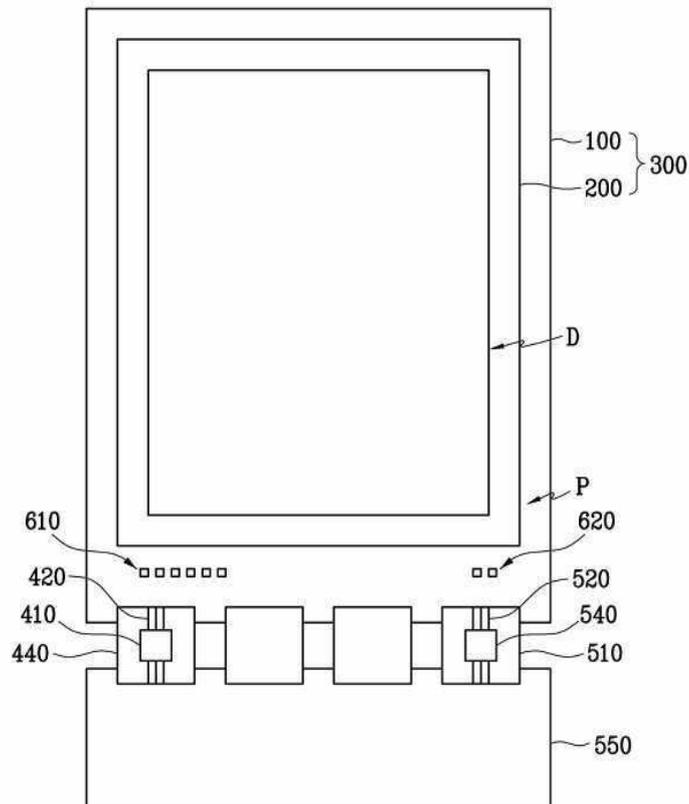
도면의 간단한 설명

- <1> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 개략도이다.
- <2> 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.

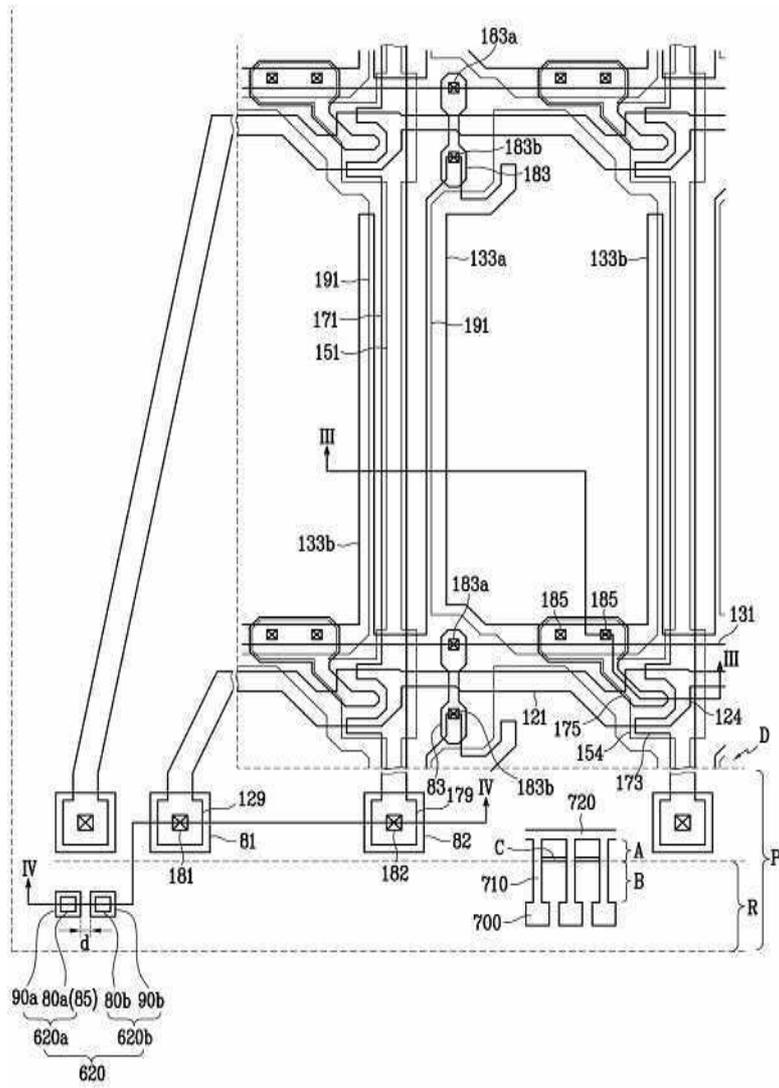
- <3> 도 3 및 도 4는 각각 도 2의 박막 트랜지스터 표시판을 III-III 선 및 IV-IV 선을 따라 잘라 도시한 단면도이다.
- <4> 도 5는 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 검사 방법을 도시한 도면이다.
- <5> <도면의 주요부분에 대한 부호의 설명>
- <6> 81, 82: 접촉 보조 부재 83: 연결 다리
- <7> 91: 연결 도전막 100: 하부 표시판
- <8> 110: 기판 121, 129: 게이트선
- <9> 124: 게이트 전극 131: 유지 전극선
- <10> 133a, 133b: 유지 전극 140: 게이트 절연막
- <11> 151, 154: 반도체 161, 165: 저항성 접촉 부재
- <12> 171, 179: 데이터선 173: 소스 전극
- <13> 175: 드레인 전극 180: 보호막
- <14> 180p: 무기막 180q: 유기막
- <15> 181, 182, 185: 접촉 구멍 190: 화소 전극
- <16> 200: 상부 표시판 610: 태그
- <17> 620: 도전막 식각 판단 태그 710: 가드링

도면

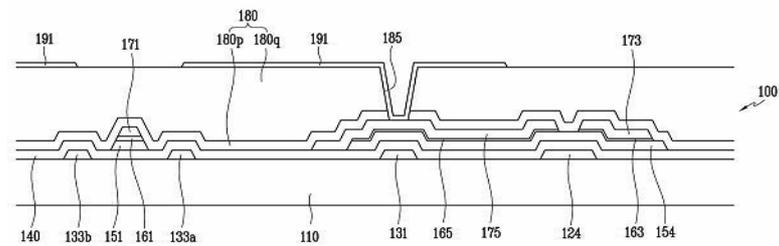
도면1



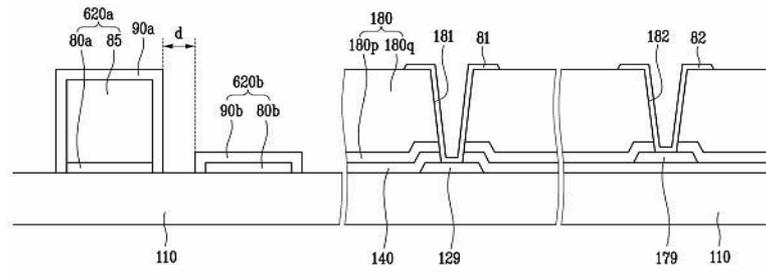
도면2



도면3



도면4



도면5

