



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0071231
(43) 공개일자 2008년08월04일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0009165

(22) 출원일자 2007년01월30일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이혁진

경기 성남시 분당구 구미동 까치마을롯데아파트
415-1002

김희섭

경기 화성시 반월동 신영통현대1차아파트 110-304
(뒷면에 계속)

(74) 대리인

조희원

전체 청구항 수 : 총 12 항

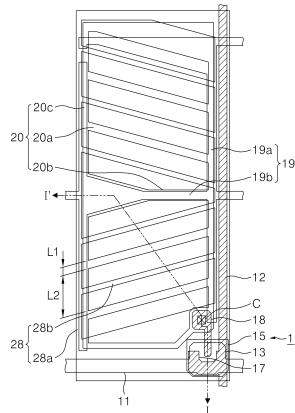
(54) 액정 표시 장치

(57) 요 약

본 발명은 상부 기판과 하부 기판의 오정렬(mis-align)이 발생하더라도 휘도 감소가 최소화되는 DFS 모드 액정 표시 장치에 관한 것이다.

본 발명에 따른 액정 표시 장치는, 게이트 라인, 데이터 라인 및 박막 트랜지스터를 가지는 하부 기판; 상기 하부 기판에 형성되며, 일정한 배치 간격으로 이격되어 배치되는 다수개의 제1 막대형 전극을 가지는 화소 전극; 상기 하부 기판과 대향되는 상부 기판; 상기 상부 기판에 형성되며, 상기 제1 막대형 전극과 동일한 배치 간격으로 엇갈리게 배치되는 다수개의 제2 막대형 전극을 가지는 공통 전극; 상기 하부 기판과 공통 전극 사이에 개재되는 액정;을 포함하며, 상기 제1, 2 막대형 전극의 폭은 $4 \sim 6 \mu\text{m}$ 이고, 상기 배치 간격은 $11.5 \sim 13.5 \mu\text{m}$ 인 것을 특징으로 한다.

대표도 - 도1



(72) 발명자

이준우

경기 안양시 동안구 관양2동 인덕원삼성아파트
112-204

루지안강

경기 수원시 영통구 영통동 벽적골8단지아파트
833-404

우화성

경기 수원시 영통구 매탄1동 주공4단지아파트
419-107

특허청구의 범위

청구항 1

게이트 라인, 데이터 라인 및 박막 트랜지스터를 가지는 하부 기판;

상기 하부 기판에 형성되며, 일정한 배치 간격으로 이격되어 배치되는 다수개의 제1 막대형 전극을 가지는 화소 전극;

상기 하부 기판과 대향되는 상부 기판;

상기 상부 기판에 형성되며, 상기 제1 막대형 전극과 동일한 배치 간격으로 엇갈리게 배치되는 다수개의 제2 막대형 전극을 가지는 공통 전극;

상기 하부 기판과 공통 전극 사이에 개재되는 액정;을 포함하며,

상기 제1, 2 막대형 전극의 폭은 $4 \sim 6 \mu\text{m}$ 이고, 상기 배치 간격은 $11.5 \sim 13.5 \mu\text{m}$ 인 것을 특징으로 하는 액정 표시 장치.

청구항 2

게이트 라인, 데이터 라인 및 박막 트랜지스터를 가지는 하부 기판;

상기 하부 기판에 형성되며, 일정한 배치 간격으로 이격되어 배치되는 다수개의 제1 막대형 전극을 가지는 화소 전극;

상기 하부 기판과 대향되는 상부 기판;

상기 상부 기판에 형성되며, 상기 제1 막대형 전극과 엇갈리게 배치되는 다수개의 제2 막대형 전극을 가지는 공통 전극;

상기 하부 기판과 공통 전극 사이에 개재되는 액정;을 포함하며,

상기 제1 막대형 전극의 폭은 $6 \mu\text{m}$ 이고, 상기 제2 막대형 전극의 폭은 $4 \mu\text{m}$ 이며, 상기 배치 간격은 $11.5 \sim 13.5 \mu\text{m}$ 인 것을 특징으로 하는 액정 표시 장치.

청구항 3

게이트 라인, 데이터 라인 및 박막 트랜지스터를 가지는 하부 기판;

상기 하부 기판에 형성되며, 일정한 배치 간격으로 이격되어 배치되는 다수개의 제1 막대형 전극을 가지는 화소 전극;

상기 하부 기판과 대향되는 상부 기판;

상기 상부 기판에 형성되며, 상기 제1 막대형 전극과 동일한 배치 간격으로 엇갈리게 배치되는 다수개의 제2 막대형 전극을 가지는 공통 전극;

상기 하부 기판과 공통 전극 사이에 개재되는 액정;을 포함하며,

상기 제1 막대형 전극의 폭은 $4 \mu\text{m}$ 이고, 상기 제2 막대형 전극의 폭은 $6 \mu\text{m}$ 이며, 상기 배치 간격은 $11.5 \sim 13.5 \mu\text{m}$ 인 것을 특징으로 하는 액정 표시 장치.

청구항 4

게이트 라인, 데이터 라인 및 박막 트랜지스터를 가지는 하부 기판;

상기 하부 기판에 형성되며, 일정한 배치 간격으로 이격되어 배치되는 다수개의 제1 막대형 전극과 상기 다수개의 제1 막대형 전극의 말단을 연결하는 제1 연결부를 가지는 화소 전극;

상기 하부 기판과 대향되는 상부 기판;

상기 상부 기판에 형성되며, 상기 제1 막대형 전극과 중첩되지 않도록 엇갈리게 배치되는 다수개의 제2 막대형 전극과 상기 다수개의 제2 막대형 전극의 말단을 연결하는 제2 연결부를 가지는 공통 전극;

상기 하부 기판과 공통 전극 사이에 개재되는 액정;

상기 제1 막대형 전극과 제1 연결부 결합 영역 또는 제2 막대형 전극과 제2 연결부 결합 영역 중 어느 한 곳에 형성되며, 상기 제1 막대형 전극 또는 제2 막대형 전극과 사선을 이루는 텍스쳐(texture) 제어부;를 포함하는 액정 표시 장치.

청구항 5

제4항에 있어서,

상기 텍스쳐 제어부는,

상기 제1 막대형 전극 또는 제2 막대형 전극과 $20 \sim 60^\circ$ 의 각도를 이루는 것을 특징으로 하는 액정 표시 장치.

청구항 6

제5항에 있어서,

상기 텍스쳐 제어부는,

상기 제1 막대형 전극 또는 제2 막대형 전극과 30° 각도를 이루는 것을 특징으로 하는 액정 표시 장치.

청구항 7

제4항에 있어서,

상기 텍스쳐 제어부는,

상기 제1 막대형 전극과 제1 연결부가 이루는 사각형 또는 제2 막대형 전극과 제2 연결부가 이루는 사각형 내에서 서로 마주보는 꼭지점에 각각 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 8

제4항에 있어서,

상기 제1 연결부는, 상기 제1 막대형 전극 양 단 중 동일한 방향의 일단들을 서로 연결하고,

상기 제2 연결부는, 상기 제2 막대형 전극 양 단 중 상기 제1 연결부와 반대 방향의 일단들을 서로 연결하는 것을 특징으로 하는 액정 표시 장치.

청구항 9

제4항에 있어서,

상기 제1 연결부는, 상기 제1 막대형 전극 양 단 중 동일한 방향의 일단들을 서로 연결하고,

상기 제2 연결부는, 상기 제2 막대형 전극 양 단 중 상기 제1 연결부와 동일한 방향의 일단들을 서로 연결하는 것을 특징으로 하는 액정 표시 장치.

청구항 10

게이트 라인, 데이터 라인 및 박막 트랜지스터를 가지는 하부 기판;

상기 하부 기판에 형성되며, 일정한 배치 간격으로 이격되어 배치되는 다수개의 제1 막대형 전극과 상기 다수개의 제1 막대형 전극의 양 단 중 어느 일단을 서로 연결하는 제1 연결부를 가지는 화소 전극;

상기 하부 기판과 대향되는 상부 기판;

상기 상부 기판에 형성되며, 상기 제1 막대형 전극과 중첩되지 않도록 엇갈리게 배치되는 다수개의 제2 막대형 전극과 상기 다수개의 제2 막대형 전극의 양 단 중 어느 일단을 서로 연결하는 제2 연결부를 가지는 공통 전극;

상기 하부 기판과 공통 전극 사이에 개재되는 액정;을 포함하는 액정 표시 장치.

청구항 11

제10항에 있어서,

상기 제1 연결부는, 상기 제1 막대형 전극 양 단 중 동일한 방향의 일단들을 서로 연결하고,

상기 제2 연결부는, 상기 제2 막대형 전극 양 단 중 상기 제1 연결부와 반대 방향의 일단들을 서로 연결하는 것을 특징으로 하는 액정 표시 장치.

청구항 12

제10항에 있어서,

상기 제1 연결부는, 상기 제1 막대형 전극 양 단 중 동일한 방향의 일단들을 서로 연결하고,

상기 제2 연결부는, 상기 제2 막대형 전극 양 단 중 상기 제1 연결부와 동일한 방향의 일단들을 서로 연결하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 DFS(Dual Fringe field Switching) 모드 액정 표시 장치에 관한 것으로서, 상부 기판과 하부 기판의 오정렬(mis-align)이 발생하더라도 휘도 감소가 최소화되는 DFS 모드 액정 표시 장치에 관한 것이다.
- <12> 액정 표시 장치는 광학적 전기적 이방성을 가지는 액정을 서로 다른 전압이 인가되는 두 전극 사이에 배치하고, 두 전극에 의하여 발생하는 전기장에 의하여 액정이 구동하여 변화되는 투과율에 의하여 화상을 표시한다. 이 액정 표시 장치는 빠른 응답속도와 양산성 등의 장점에 의하여 그 사용 범위가 급속하게 확장되고 있다.
- <13> 이러한 액정 표시 장치는 측면 시인성을 개선하고, 투과율을 개선하기 위하여 다양한 모드의 액정 표시 장치로 진화하고 있다. 다양한 모드의 액정 표시 장치는 전기장을 발생시키는 화소 전극과 공통 전극의 패턴 그리고 액정의 배향 방향 등에 의하여 결정된다.
- <14> 이 중에 DFS 모드는 화소 전극을 하부 기판에 배치하고, 공통 전극을 상부 기판에 배치하되, 화소 전극과 공통 전극이 모두 일정한 형상으로 패턴화된다. 여기에서 화소 전극과 공통 전극은 각각 평행하게 배치되는 다수개의 막대형 전극을 가지며, 화소 전극의 막대형 전극과 공통 전극의 막대형 전극은 서로 엇갈리게 배치된다. 따라서 엇갈리게 배치되는 화소 전극과 공통 전극에 의하여 2개의 프린지 필드가 형성되는 것이다. 그리고 DFS 모드에서 상부 기판과 하부 기판은 모두 러빙 공정을 거치며, 액정은 전기장에 수평하게 배향된다.
- <15> 이러한 DFS 모드의 액정 표시 장치는 측면 시인성과 투과율이 우수한 장점을 가진다. 반면에, 화소 전극과 공통 전극의 폭이 좁기 때문에 상부 기판과 하부 기판의 합착 과정에서 오정렬(mis-align)이 발생하는 경우에는 휘도가 대폭 감소되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <16> 본 발명이 이루고자 하는 기술적 과제는 오정렬이 발생하더라도 휘도 감소가 최소화되는 DFS 모드 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

- <17> 전술한 기술적 과제를 달성하기 위한 본 발명에 따른 액정 표시 장치는, 케이트 라인, 데이터 라인 및 박막 트랜지스터를 가지는 하부 기판; 상기 하부 기판에 형성되며, 일정한 배치 간격으로 이격되어 배치되는 다수개의 제1 막대형 전극을 가지는 화소 전극; 상기 하부 기판과 대향되는 상부 기판; 상기 상부 기판에 형성되며, 상기 제1 막대형 전극과 동일한 배치 간격으로 엇갈리게 배치되는 다수개의 제2 막대형 전극을 가지는 공통 전극; 상기 하부 기판과 공통 전극 사이에 개재되는 액정;을 포함하며, 상기 제1, 2 막대형 전극의 폭은 $4 \sim 6 \mu\text{m}$ 이고, 상기 배치 간격은 $11.5 \sim 13.5 \mu\text{m}$ 인 것을 특징으로 한다.
- <18> 그리고 상기 공통 전극 또는 화소 전극에는 공통 전극 또는 화소 전극 에지 부분의 텍스쳐를 방지하기 위한 텍

스쳐 제어부가 더 구비되는 것을 특징으로 한다.

<19> 이하에서는 첨부된 도면을 참조하여 본 발명의 구체적인 일 실시예를 상세하게 설명한다.

<20> 먼저 도 1, 2를 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치를 설명한다. 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 구조를 도시하는 평면도이고, 도 2는 도 1에서 I-I' 선을 기준으로 절단하여 얻어지는 단면도이다.

<21> 본 실시예에 따른 액정 표시 장치는 DFS 모드 액정 표시 장치로서, 도 1, 2에 도시된 바와 같이, 하부 기판(1), 상부 기판(2), 화소 전극(20), 공통 전극(28), 게이트 라인(11), 데이터 라인(12), 박막 트랜지스터(T) 및 액정(30)을 포함한다.

<22> 하부 기판(1)은 매트릭스 형태로 배치되는 다수개의 화소 영역을 가진다. 그리고 이 화소 영역에는 스위칭 소자인 박막 트랜지스터(T)가 구비되고, 이 박막 트랜지스터(T)에 신호를 전달하는 신호 배선이 구비된다. 그리고 각 화소 영역에는 박막 트랜지스터(T)에 접속되어 화소 신호를 인가받는 화소 전극(20)이 배치된다. 이하에서 구체적으로 설명한다. 본 실시예에서는 신호 배선으로 데이터 라인(12) 및 게이트 라인(11)을 예로 들어 설명한다.

<23> 먼저 게이트 라인(11)은 박막 트랜지스터(T)에 스캔 신호를 공급한다. 이 게이트 라인(11)은 도 1에 도시된 바와 같이, 기판 상에 라인 형상으로 길게 배치된다. 그리고 이 게이트 라인(11)은 도전성 금속으로 이루어지는 단일막 또는 이중막 이상의 다중막으로 이루어질 수 있다. 이 게이트 라인(11)은 박막 트랜지스터(T)의 게이트 전극(13)과 접속된다.

<24> 다음으로 데이터 라인(12)은 도 1에 도시된 바와 같이, 게이트 라인(11)과 실질적으로 직교한 상태로 배치된다. 이렇게 데이터 라인(12)과 게이트 라인(11)의 교차에 의하여 화소 영역이 정의된다. 즉, 이웃하는 게이트 라인들과 데이터 라인에 의하여 형성되는 직사각형 형상의 영역이 화소 영역이 되는 것이다. 이 데이터 라인(12)에는 화소 신호가 인가된다. 데이터 라인(12)에 인가된 화소 신호는 게이트 라인(11)에 인가된 스캔 신호에 의하여 박막 트랜지스터(T)의 채널이 열리는 동안에 화소 전극(20)으로 전달되어 충전된다.

<25> 이 데이터 라인(12)도 게이트 라인(11)과 마찬가지로, 도전성 금속으로 이루어지는 단일막이거나 또는 이중막 이상의 다중막으로 이루어질 수 있다.

<26> 다음으로 박막 트랜지스터(T)는 게이트 전극(13), 반도체층(15), 오믹 컨택층(16), 소스/드레인 전극(17, 18)을 포함하여 구성된다. 게이트 전극(13)은 게이트 라인(11)과 접촉되며, 도 2에 도시된 바와 같이, 하부 기판(1)의 상면에 배치된다. 물론 게이트 전극(13)이 박막 트랜지스터(T)의 상부에 배치되는 구조를 가질 수도 있다.

<27> 그리고 반도체층(15)은 게이트 절연막(14)을 사이에 두고 게이트 전극(13)과 중첩된다. 이 반도체층(15)은 폴리실리콘 또는 아몰퍼스 실리콘으로 이루어진다. 반도체층(15)은 게이트 전극(13)에 스캔 신호가 인가되는 동안 채널을 형성하여 소스 전극(17)의 화소 신호를 드레인 전극(18)으로 전달한다.

<28> 그리고 이 반도체층(15) 상부에는 오믹 컨택층(16)이 형성된다. 이 오믹 컨택층(16)은 불순물이 도핑된 폴리 실리콘 또는 아몰퍼스 실리콘으로 이루어진다. 이 오믹 컨택층(16)은 반도체층(15)과 소스 전극(17) 사이 또는 반도체층(15)과 드레인 전극(18) 사이에서 오믹 접촉을 형성하여 박막 트랜지스터(T)의 특성을 향상시킨다.

<29> 다음으로 소스 전극(17)의 일단은 도 1에 도시된 바와 같이, 데이터 라인(12)과 접속된다. 그리고 이 소스 전극(17)의 타단은 도 2에 도시된 바와 같이, 반도체층(15)의 일부와 중첩된다. 한편 드레인 전극(18)의 일단은 도 1에 도시된 바와 같이, 화소 전극(20)과 접속된다. 그리고 이 드레인 전극(18)의 타단은 도 2에 도시된 바와 같아, 반도체층(15)의 일부와 중첩된다.

<30> 다음으로 화소 전극(20)은 도 2에 도시된 바와 같이, 컨택홀(C)을 통하여 드레인 전극(18)과 접속된다. 따라서 이 화소 전극(20)은 드레인 전극(18)으로부터 화소 신호를 전달받는다. 이 화소 전극(20)은 백라이트 유닛으로부터 공급되는 빛을 통과시켜야 하므로 투명 도전층으로 형성된다. 따라서 이 화소 전극(20)은 ITO, IZO, ITZO 등으로 형성될 수 있다.

<31> 그리고 본 실시예에 따른 화소 전극(20)은, 일정한 배치 간격을 가지고 서로 이격되어 평행하게 배치되는 다수 개의 제1 막대형 전극(20a)을 가진다. 여기에서 제1 막대형 전극의 폭(L1)보다 배치 간격(L2)이 2배 이상 커야 한다. 이렇게 배치 간격(L2)보다 좁은 폭(L1)을 가지는 제1 막대형 전극(20a)은 후술한 제2 막대형 전극(28a)과 함께 양측으로 기울어진 전기장(fringe field)를 형성한다. 이 전기장에 의하여 액정이 전기장과 수평하게 배향

되어 측면 시인성이 개선되는 것이다.

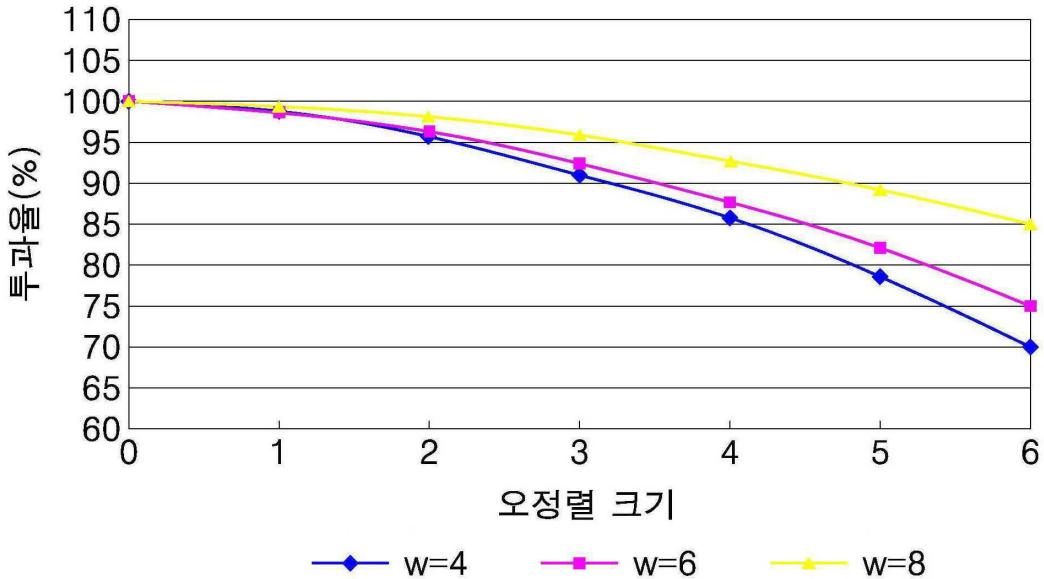
- <32> 본 실시예에서, 이 제1 막대형 전극(20a)들은 도 1에 도시된 바와 같이, 게이트 라인(11)에 대하여 기울어진 상태로 배치될 수도 있다. 즉, 게이트 라인(11)과 평행한 것이 아니라, 일정한 각도로 기울어진 상태로 배치되는 것이다. 특히, 하나의 화소 영역 내에서 중앙을 가르는 가상의 선을 기준으로 하여 서로 대칭이 되도록 기울어진 상태로 배치될 수 있다. 이렇게 하나의 화소 영역 내에서 서로 다른 각도를 가지고, 기울어진 막대형 전극들은 다중 도메인을 형성하여 측면 시인성을 효과적으로 개선할 수 있는 것이다.
- <33> 그리고 화소 전극(20)의 중앙에는 대칭 중심인 중앙부(20b)가 배치된다. 그리고 제1 막대형 전극(20a)과 중앙부(20b)의 말단들은 도 1에 도시된 바와 같이, 연결부(20c)에 의하여 서로 연결된다. 따라서 드레인 전극(18)에 의하여 전달된 화소 전압이 공통적으로 다수개의 제1 막대형 전극(20a)에 충전된다. 따라서 다수개의 제1 막대형 전극(20a)들은 동일한 화소 전압을 가진다.
- <34> 이렇게 화소 전극(20)이 형성된 하부 기판의 최 상면에는 배향막이 형성된다. 본 발명에서는 하부 기판에 수평 배향막을 형성한다. 이때 배향막의 러빙 방향은 하부 기판의 장변 또는 단변과 평행한 방향이다. 따라서 하부 기판의 장변 또는 단변과 기울어진 상태로 배치되는 화소 전극의 각 제1 막대형 전극과 배향막의 배향 방향이 일정한 각도를 이룬다. 본 실시예에서는 배향막의 배향 방향과 제1 막대형 전극이 $10 \sim 30^\circ$ 정도의 각도를 이루도록 하며, 특히, 20° 인 것이 바람직하다.
- <35> 다음으로 상부 기판(2)에는 블랙 매트릭스(25), 칼라 필터(26), 오버 코트층(27), 공통 전극(28)이 구비된다. 블랙 매트릭스(25)는 빛이 통과하지 못하는 불투명층으로 이루어진다. 그리고 이 블랙 매트릭스(25)는 전술한 화소 영역에 대응되도록 상부 기판(2)을 구획한다. 이 블랙 매트릭스(25)에 의하여 구획된 영역 내에 칼라 필터(26)가 배치된다. 이때 인접하는 칼라 필터(26)는 서로 다른 색으로 배치된다. 특정한 경우에는 칼라 필터가 하부 기판에 배치될 수도 있다. 이렇게 칼라 필터가 박막 트랜지스터와 함께 하부 기판에 배치되는 구조를 COA(color filter on array) 구조라고 한다.
- <36> 그리고 블랙 매트릭스(25)의 상부와 칼라 필터(26)의 상부에는 대향 기판(2)의 표면을 평탄화하기 위한 오버 코트층(27)이 형성된다. 이 오버 코트층(27)은 유기물질로 이루어질 수 있다.
- <37> 그리고 오버 코트층(27) 상면에는 공통 전극(28)이 형성된다. 이 공통 전극(28)에는 액정 구동을 위한 기준 전압인 공통 전압이 인가된다. 이 공통 전극(28)도 화소 전극(20)과 마찬가지로 빛을 통과시킬 수 있는 투명 도전층으로 이루어진다.
- <38> 본 실시예에 따른 공통 전극(28)은 상기 화소 전극(20)과 마찬가지로 일정한 배치 간격을 가지고 서로 이격되어 배치되는 다수개의 제2 막대형 전극(28a)을 가진다. 여기에서 제2 막대형 전극(28a)의 배치 간격은 제1 막대형 전극(20a)의 배치 간격과 실질적으로 동일한 것이 바람직하다. 그리고 제2 막대형 전극(28a)는 도 1에 도시된 바와 같이, 제2 연결부(28b)에 의하여 서로 연결된다. 따라서 다수개의 제2 막대형 전극(28a)에는 동일한 공통 전압이 인가된다.
- <39> 그리고 도 1, 2에 도시된 바와 같이, 제2 막대형 전극(28a)은 제1 막대형 전극(20a)과 엇갈리게 배치된다. 여기에서 '엇갈리게 배치된다'함은 액정 표시 장치의 상측에서 바라 보았을 때, 이웃한 2개의 제1 막대형 전극(20a) 사이에 제2 막대형 전극(28a)이 배치되는 구조를 말한다. 따라서 평면도 상에서 도 1에 도시된 바와 같이, 제1 막대형 전극(20a)과 제2 막대형 전극(28a)이 교번적으로 배치된다. 그리고 단면도 상에서는 도 2에 도시된 바와 같이, 제1 막대형 전극(20a)과 제2 막대형 전극(28a)이 사선 방향으로 배치된다.
- <40> 이렇게 사선 방향으로 배치된 제1 막대형 전극(20a)과 제2 막대형 전극(28a)에 의하여 도 3에 도시된 바와 같이, 프린지 필드가 형성되고, 이 프린지 필드에 의하여 액정이 전기장 방향을 따라 회전한다.
- <41> 이렇게 공통 전극이 형성된 상부 기판의 최 상면에는 배향막이 형성된다. 이 배향막도 전술한 하부 기판의 배향막과 마찬가지로 수평 배향막이다. 이때 상부 기판에 형성되는 배향막은 하부 기판에 형성되는 배향막과 평행하게 러빙되므로, 상부 기판에 형성되는 배향막의 러빙방향이 제2 막대형 전극과 $10 \sim 30^\circ$ 기울어진 상태를 이룬다.
- <42> 이렇게 상부 기판과 하부 기판에 각각 수평 배향막이 배치되므로, 본 실시예에 따른 액정 표시 장치에 배치된 액정은 전원이 인가되지 않은 오프 상태에서 수평 방향으로 배향된 상태를 유지한다. 이런 상태에서 화소 전극과 공통 전극에 전압이 인가되면, 형성되는 전기장 방향을 따라 회전한다.
- <43> 한편 전술한 바와 같이, 본 실시예에 따른 화소 전극(20)과 공통 전극(28)은 매우 작은 크기의 폭을 가지므로,

상부 기판(2)과 하부 기판(1)의 합착과정에서 오정렬(mis-align)이 발생하는 경우에는 원하는 형태의 전기장이 형성되지 않는다. 그러면 액정을 정확하게 제어할 수 없어서 투과율이 대폭감소되는 문제점이 있다.

<44> 오정렬에 따른 투과율 감소 문제를 보다 구체적으로 살펴본다. 먼저, 오정렬의 크기에 따른 투과율의 차이를 관찰하여 이를 분석하되, 제1, 2 막대형 전극(20a, 28a)의 전극폭을 변화시키면서 분석한다.

<45> 이를 도시한 것이 그래프 1이다.

<46> <그래프 1>



<47>

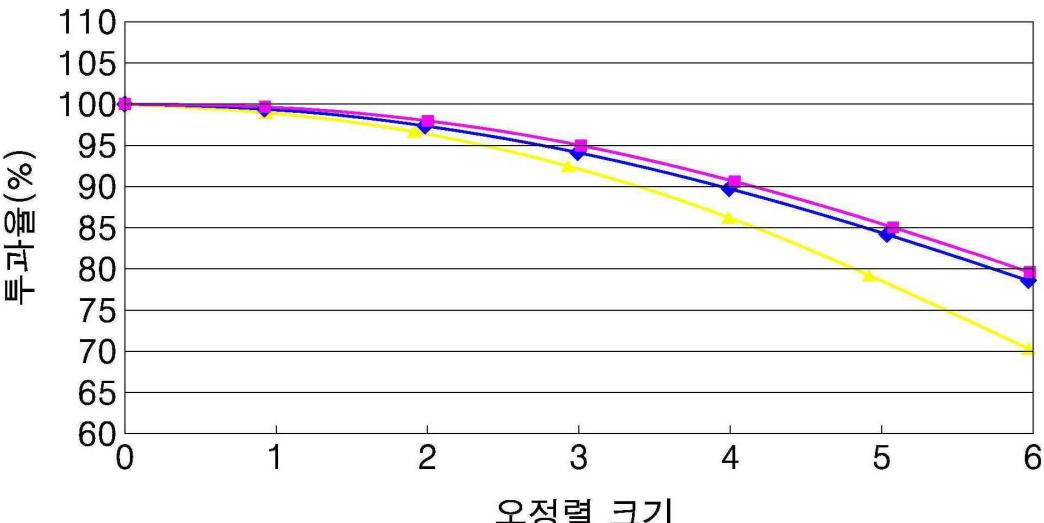
<48> 그래프 1에 의하면, 일반적으로 오정렬의 크기가 커질수록 투과율이 감소되는 것을 알 수 있다. 하지만, 전극폭이 $4\mu\text{m}$ 에서 $8\mu\text{m}$ 로 커짐에 따라 투과율의 감소폭이 작아지는 것을 알 수 있다. 따라서 막대형 전극의 전극폭이 커질수록 오정렬의 영향을 적게 받는 것을 알 수 있다.

<49> 그러나 전극폭이 커지는 것은, 제어할 수 없는 액정량이 많아져서 투과율이 오히려 감소하고, 구동 전압이 커지는 문제점이 있다. 따라서 막대형 전극의 전극폭은 일정한 범위 내에서 최대의 크기를 가지는 것이 바람직하다.

<50> 두번째로는 오정렬의 크기에 따른 투과율 변화를 관찰하되, 막대형 전극 간의 배치 간격을 변화시키면서 분석한다.

<51> 이를 도시한 것이 그래프 2이다.

<52> <그래프 2>



<53>

<54> 그래프 2에 의하면 막대형 전극 사이의 배치 간격이 $9.5\mu\text{m}$ 에서 $13.5\mu\text{m}$ 로 커짐에 따라 투과율의 감소폭이 작아지는 것을 알 수 있다. 따라서 막대형 전극 사이의 배치 간격이 커질수록 오정렬의 영향을 적게 받는 것을 알 수 있다.

<55> 그러나 막대형 전극 사이의 배치 간격이 커지는 것은, 하나의 화소 내에 배치되는 막대형 전극의 수를 감소시켜 측면 시인성 개선 효과를 감소시키고, 구동 전압을 증가시키는 문제점이 있다. 따라서 막대형 전극 사이의 배치 간격은 일정한 범위 내에서 최대의 크기를 가지는 것이 바람직하다.

<56> 이러한 실험 결과를 바탕으로 본 실시예에서는 2가지 실시예를 제시한다. 첫번째 실시예는 이 제1, 2 막대형 전극(20a, 28a)의 폭을 동일하게 하되, 제1, 2 막대형 전극(20a, 28a)의 폭을 $4 \sim 6\mu\text{m}$ 로 하는 것이다. 특히, 제1, 2 막대형 전극(20a, 28a)의 폭을 $5\mu\text{m}$ 로 하는 것이 바람직하다. 종래의 막대형 전극의 폭은 $4\mu\text{m}$ 인데, 이것에 비하여 본 실시예에 따른 막대형 전극이 $1\mu\text{m}$ 정도 전극 폭이 증가되는 것이다.

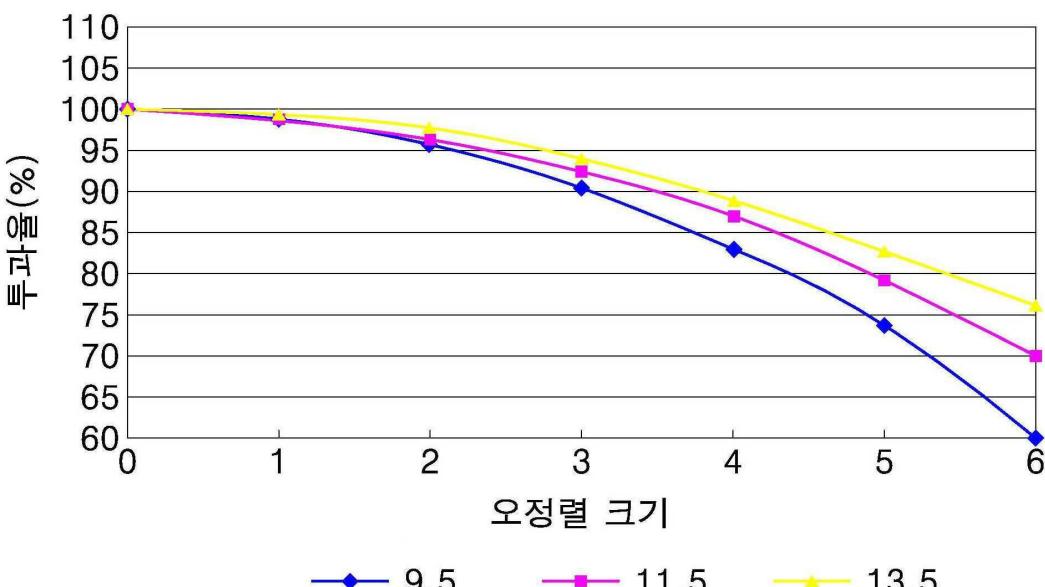
<57> 여기에서 막대형 전극 사이의 배치 간격은 $11.5 \sim 13.5\mu\text{m}$ 로 한다. 특히, 막대형 전극 사이의 배치 간격이 $12.5\mu\text{m}$ 인 것이 바람직하다. 종래의 막대형 전극 사이의 배치 간격이 $11.5\mu\text{m}$ 인데, 이것에 비하여 본 실시예에 따른 막대형 전극 사이의 배치 간격이 $1\mu\text{m}$ 정도 증가되는 것이다.

<58> 두번째 실시예는 제1 막대형 전극(20a)과 제2 막대형 전극(28a)의 폭을 상이하게 하는 것이다. 구체적으로 제1 막대형 전극(20a)의 폭을 $4 \sim 6\mu\text{m}$ 로 하고, 제2 막대형 전극(28a)의 폭은 $4\mu\text{m}$ 로 하는 것이다. 특히, 제1 막대형 전극(20a)의 폭을 $6\mu\text{m}$ 로 하는 것이 바람직하다. 물론 제2 막대형 전극(28a)의 폭을 $4 \sim 6\mu\text{m}$ 로 하고, 제1 막대형 전극(20a)의 폭은 $4\mu\text{m}$ 로 할 수도 있다. 이 실시예에서는 제1, 2 막대형 전극(20a, 28a) 중 어느 하나의 폭을 종래에 비하여 $2\mu\text{m}$ 정도 확장하고, 나머지 하나의 막대형 전극의 폭은 종래와 동일하게 하는 것이다.

<59> 여기에서 막대형 전극 사이의 배치 간격은 $11.5 \sim 13.5\mu\text{m}$ 로 한다. 특히, 막대형 전극 사이의 배치 간격이 $12.5\mu\text{m}$ 인 것이 바람직하다. 종래의 막대형 전극 사이의 배치 간격이 $11.5\mu\text{m}$ 인데, 본 실시예에 따른 막대형 전극 사이의 배치 간격은 $1\mu\text{m}$ 정도 증가되는 것이다.

<60> 이렇게 제시된 실시예들을 종래 구조와 비교하여 오정렬의 크기에 따른 투과율 변화를 도시한 것이 그래프 3이다.

<61> < 그래프 3 >



<62>

<63> 그래프 3에 의하면, 본 실시예에서 제시한 실시예들이 종래의 구조와 비교하여 오정렬의 영향을 적게 받는 것을 알 수 있다. 특히, $6\mu\text{m}$ 정도의 오정렬가 발생하였을 때, 종래 구조와 비교하여 10% 정도 투과율이 향상되는 것을 알 수 있다.

<64> 한편 본 실시예에 따른 공통 전극(28) 또는 화소 전극에는 텍스쳐 제어부가 더 구비될 수 있다. 이하에서는 이 텍스쳐 제어부에 대하여 도 4를 참조하여 설명한다. 도 4는 본 발명의 일 실시예에 따른 텍스쳐 제어부의 형상을 도시하는 평면도이다.

- <65> 본 실시예에 따른 화소 전극(20)은 제1 막대형 전극(20a)과 이들을 연결하는 제1 연결부(20c)로 구성되는데, 이 제1 막대형 전극(20a)과 제1 연결부(20c)는 서로 연결되어 사각형 형상을 이룬다. 이 사각형의 꼭지점 부분에서 전기장 왜곡에 의한 텍스쳐(texture)가 발생한다. 따라서 본 실시예에서는 화소 전극 또는 공통 전극 중 어느 한곳의 꼭지점 부분에 텍스쳐 제어부를 더 구비한다. 도 4에서는 공통 전극(28)에 텍스쳐 제어부(29)가 구비되는 것으로 도시하였지만, 화소 전극에 텍스쳐 제어부가 구비될 수도 있다. 이 텍스쳐 제어부는 화소 전극과 공통 전극을 비대칭 구조로 하여 텍스쳐를 방지한다.
- <66> 물론 화소 전극과 공통 전극 양 측에 텍스쳐 제어부가 구비될 수도 있지만, 공통 전극에 텍스쳐 제어부가 형성된 경우에는 화소 전극에 텍스쳐 제어부가 존재하지 않아야 하며, 화소 전극에 텍스쳐 제어부가 형성되는 경우에는 공통 전극에 텍스쳐 제어부가 존재하지 않는 것이, 텍스쳐를 방지하면서도 개구율 감소를 최소화할 수 있어서 바람직하다.
- <67> 구체적으로 이 텍스쳐 제어부(29)는 도 4에 도시된 바와 같이, 공통 전극(28)을 이루는 제2 막대형 전극(28b)과 제2 연결부(28a)가 이루는 사각형의 꼭지점 부분에 형성된다. 이때 이 텍스쳐 제어부(29)는 제2 막대형 전극(28b)과 일정한 각도를 가지도록 기울어지게 형성된다. 따라서 이 텍스쳐 제어부(29)에 의하여 공통 전극(28)에 형성된 사각형 형상의 관통공 중 꼭지점 부분 일부가 가려지는 것이다.
- <68> 한편 이 텍스쳐 제어부(29)가 제2 막대형 전극(28b)과 이루는 각도(θ)는 $20 \sim 60^\circ$ 의 범위 안에서 자유롭게 변화될 수 있다. 그러나 개구율과 텍스쳐 방지를 동시에 만족시키는 최선의 각도(θ)는 30° 이다.
- <69> 그리고 이 텍스쳐 제어부(29)는 도 4에 도시된 바와 같이, 제2 막대형 전극(28b)과 제2 연결부(28a)가 이루는 사각형의 꼭지점 중 서로 마주보는 꼭지점에 각각 구비될 수도 있다.
- <70> 한편 전술한 텍스쳐 불량은 화소 전극(20) 또는 공통 전극(28)의 제1 연결부(20a) 또는 제2 연결부(28b) 중 일부를 제거하는 방법으로 개선할 수도 있다. 본 실시예에 따른 화소 전극 또는 공통 전극에는 제1 막대형 전극 또는 제2 막대형 전극의 말단을 연결하는 제1 연결부 또는 제2 연결부가 제1 막대형 전극 또는 제2 막대형 전극의 양 단에 배치된다. 이 제1 연결부 또는 제2 연결부 중 막대형 전극의 일단에 존재하는 부분은 그대로 두고, 타단에 존재하는 부분을 제거하는 것에 의해서도 텍스쳐 불량을 개선할 수 있는 것이다.
- <71> 구체적으로 도 5에 도시된 바와 같이, 변형된 제1 연결부(20c')가 제1 막대형 전극(20a)의 일단을 연결하고, 타단은 서로 연결되지 않은 구조를 가질 수 있다. 이때 변형된 제2 연결부(28a')도 제2 막대형 전극(28b)의 일단만을 연결하고, 타단에는 형성되지 않는 구조를 가질 수 있다. 도 5에서는 변형된 제1 연결부(20c')와 제2 연결부(28a') 모두가 막대형 전극의 일측에만 형성된 구조를 도시하였지만, 변형된 제1 연결부(20c') 또는 제2 연결부(28a') 중 어느 하나는 막대형 전극의 양측에 형성되고, 다른 하나는 막대형 전극의 일측에만 형성된 구조를 가질 수도 있다.
- <72> 또한 도 5에서는 변형된 제1 연결부(20c') 또는 제2 연결부(28a')에 의하여 연결되지 아니한 제1 막대형 전극(20a) 또는 제2 막대형 전극(28b)의 방향이 서로 일치하였지만, 연결되지 아니한 방향이 서로 반대 방향일 수도 있다.
- <73> 이하에서는 본 실시예에 따른 액정 표시 장치 제조방법을 설명한다.
- <74> 도 6a, 6b는 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법 중 제1 마스크 공정을 설명하기 위한 단면도를 도시한 것이다.
- <75> 제1 마스크 공정으로 기판(1) 상에 게이트 라인(11), 게이트 전극(13), 스토리지 전극(19)을 포함하는 게이트 금속 패턴이 형성된다.
- <76> 구체적으로, 하부 기판(1) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 게이트 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층으로 이용되거나, 상기 금속을 이용하여 이중층 이상이 적층된 구조로 이용된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(11), 게이트 전극(13) 및 스토리지 전극을 포함하는 게이트 금속 패턴이 형성된다.
- <77> 도 7a, 7b는 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법 중 제2 마스크 공정을 설명하기 위한 단면도를 도시한 것이다.
- <78> 게이트 금속 패턴이 형성된 하부 기판(1) 상에 게이트 절연막(14)이 형성되고, 그 위에 제2 마스크 공정으로

반도체 패턴이 형성된다. 구체적으로 게이트 금속 패턴이 형성된 하부 기판(1) 상에 게이트 절연막(14), 비정질 실리콘층, 불순물(n+ 또는 p+) 도핑된 비정질 실리콘층이 순차적으로 형성된다. 예를 들면, 게이트 절연막(14), 비정질 실리콘층, 불순물 도핑된 비정질 실리콘층은 PECVD 방법으로 형성된다. 게이트 절연막(14)으로는 산화 실리콘(SiO_x), 질화 실리콘(SiNx) 등과 같은 무기 절연 물질이 사용될 수 있다. 그리고 나서 제 2 마스크를 이용한 포토 리소그래피 공정 및 식각 공정으로 비정질 실리콘층 및 도핑된 비정질 실리콘층이 패터닝됨으로써 반도체층(15) 및 오믹 컨택층(16)이 형성된다.

<79> 도 8a, 8b는 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법 중 제3, 4 마스크 공정을 설명하기 위한 단면도를 도시한 것이다.

<80> 반도체층(15) 및 오믹 컨택층(16)이 형성된 하부 기판(1) 상에 데이터 라인(12), 소스 전극(17), 드레인 전극(18)을 포함하는 데이터 금속 패턴을 형성한다. 구체적으로 반도체층(15) 및 오믹 컨택층(16)이 형성된 하부 기판(1) 상에 스퍼터링 방법 등을 이용하여 데이터 금속층을 형성한다. 이 데이터 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층으로 이용되거나, 상기 금속을 이용하여 이중층 이상이 적층된 구조를 이용할 수 있다. 그리고, 데이터 금속층 위에 포토레지스트가 도포된 다음, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 데이터 라인(12), 소스 전극(17) 및 드레인 전극(18)을 포함하는 데이터 금속 패턴을 형성한다.

<81> 그리고 제4 마스크 공정으로 콘택홀(C)을 포함하는 보호막(19)이 형성된다. 구체적으로, 데이터 금속 패턴이 형성된 게이트 절연막(14) 상에 PECVD, 스판 코팅(Spin Coating), 스판리스 코팅(Spinless Coating) 등의 방법으로 도 6a, 6b에 도시된 바와 같이 보호막(19)이 형성된다. 보호막(19)으로는 CVD, PECVD 등의 방법으로 형성되는 게이트 절연막(14)과 같은 무기 절연 물질이 이용된다. 또는 스판 코팅(Spin Coating), 스판리스 코팅(Spinless Coating) 등의 방법으로 형성되는 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용되기도 한다. 또는 무기 절연 물질과, 유기 절연 물질의 이중 구조로 형성되기도 한다. 이어서, 보호막(19) 위에 포토레지스트가 도포된 다음, 제4 마스크를 이용한 포토리소그래피 공정으로 노광 및 현상됨으로써 보호막이 형성될 부분에 포토레지스트 패턴이 형성된다.

<82> 그 다음, 포토레지스트 패턴을 이용한 식각 공정으로 보호막(19)이 패터닝됨으로써 콘택홀(C)이 형성된다.

<83> 도 9a, 9b는 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법 중 제5 마스크 공정을 설명하기 위한 단면도이다.

<84> 제5 마스크 공정에 의하여 보호막(19) 상에 화소 전극(20)이 형성된다. 구체적으로 컨택홀을 가지는 보호막(19) 상에 스퍼터링 등과 같은 증착 방법으로 투명 도전막이 전면 형성된다. 투명 도전막으로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : TO), 인듐 아연 산화물(Indium Zinc Oxide : IZO), SnO₂, 아몰퍼스-인듐 주석 산화물(a-ITO)등이 이용된다.

<85> 그리고 제5 마스크를 이용한 포토 리소그래피 공정 및 식각 공정에 의하여 투명 도전막이 패터닝되어 화소 전극(20)이 형성된다. 이 화소 전극(20)은 컨택홀(C)을 통하여 드레인 전극(18)과 접속된다.

<86> 본 실시예에서는 화소 전극 형성을 위한 제5 마스크 제조시에 화소 전극(20)이 일정한 배치 간격으로 이격되는 다수개의 제1 막대형 전극(20a)을 가지도록 한다. 예를 들어 제1 막대형 전극(20a)의 전극 폭(L1)이 5μm가 되도록 하고, 제1 막대형 전극 사이의 배치 간격(L2)이 12,5μm가 되도록 제5 마스크를 형성하고, 이 제5 마스크를 이용한 포토 리소그래피 공정 및 식각 공정에 의하여 오정렬에 의하여 투과율 감소가 최소화되는 화소 전극 패턴을 제조한다. 본 실시예에 따른 제5 마스크 공정은 종래의 그것과 동일하며, 단지 마스크 형상만 변경하여 오정렬에 의한 영향을 적게 받는 액정 표시 장치를 제조하는 것이다.

<87> 도 10은 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법 중 공통 전극 형상을 도시하는 평면도이다.

<88> 즉, 도 10에 도시된 바와 같이, 일정한 배치 간격으로 이격되어 배치되는 다수개의 제2 막대형 전극(28a)을 가지도록 공통 전극(28)을 형성한다. 이때, 제2 막대형 전극(28a)은 제1 막대형 전극(20a) 사이 사이에 배치된다. 그리고 공통 전극(28)에는 텍스쳐 제어부(28c)가 더 구비된다. 이 텍스쳐 제어부(28c)는 다수개의 제2 막대형 전극(28a) 중 최하측의 제2 막대형 전극으로부터 연장된다.

<89> 다음으로는 상부 기판과 하부 기판 상에 배향막을 도포하고 러빙한 후, 액정을 양 기판 사이에 두고 상부 기판과 하부 기판을 합착하여 액정 표시 장치를 완성한다.

발명의 효과

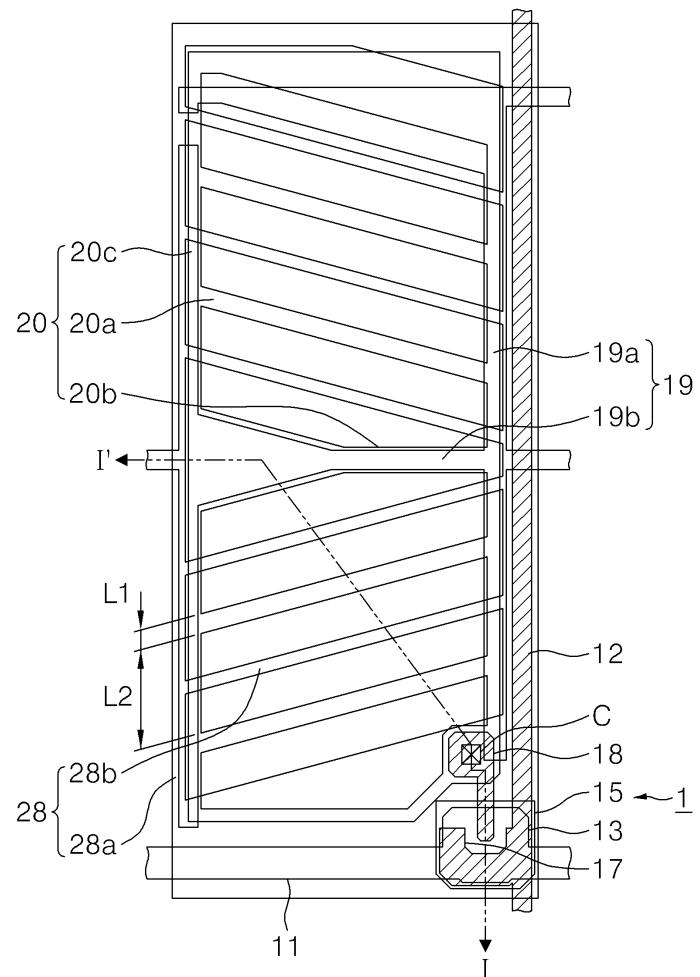
- <90> 본 발명에 따르면 종래에 비하여 막대형 전극의 폭과 막대형 전극 사이의 간격을 확장하여 오정렬에 따른 투과율 감소를 최소화하면서, 구동 전압 상승 등을 유발하지 않는 장점이 있다.
- <91> 또한 공통 전극에 텍스쳐 제어부를 더 구비함으로써, 게이트 라인에 의한 횡전계를 차단하여 오정렬에 따른 빛 샘 현상을 방지하는 장점이 있다.

도면의 간단한 설명

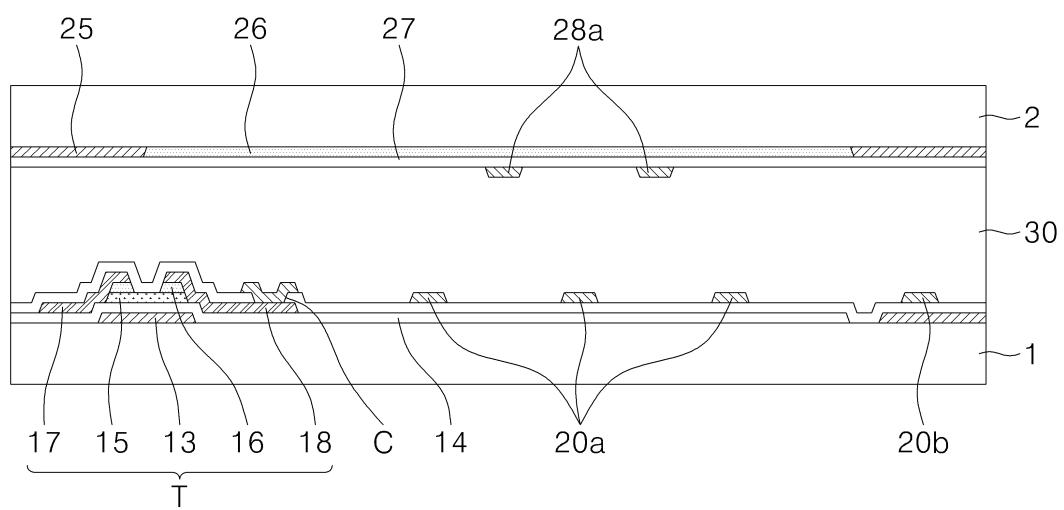
- <1> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 구조를 도시하는 평면도이다.
- <2> 도 2는 도 1에서 I-I' 선을 기준으로 절단하여 얻어지는 단면도이다.
- <3> 도 3은 본 발명의 일 실시예에 따른 화소 전극과 공통 전극에 의하여 발생하는 전기장과 회전하는 액정의 모습을 나타내는 모식도이다.
- <4> 도 4는 본 발명의 일 실시예에 따른 텍스쳐 방지부의 구조를 도시하는 평면도이다.
- <5> 도 5는 본 발명의 일 실시예에 따른 화소 전극과 공통 전극의 구조를 도시하는 평면도이다.
- <6> 도 6a, 6b는 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법 중 제1 마스크 공정을 설명하기 위한 단면도를 도시한 것이다.
- <7> 도 7a, 7b는 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법 중 제2 마스크 공정을 설명하기 위한 단면도를 도시한 것이다.
- <8> 도 8a, 8b는 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법 중 제3, 4 마스크 공정을 설명하기 위한 단면도를 도시한 것이다.
- <9> 도 9a, 9b는 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법 중 제5 마스크 공정을 설명하기 위한 단면도이다.
- <10> 도 10은 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법 중 공통 전극 형상을 도시하는 평면도이다.

도면

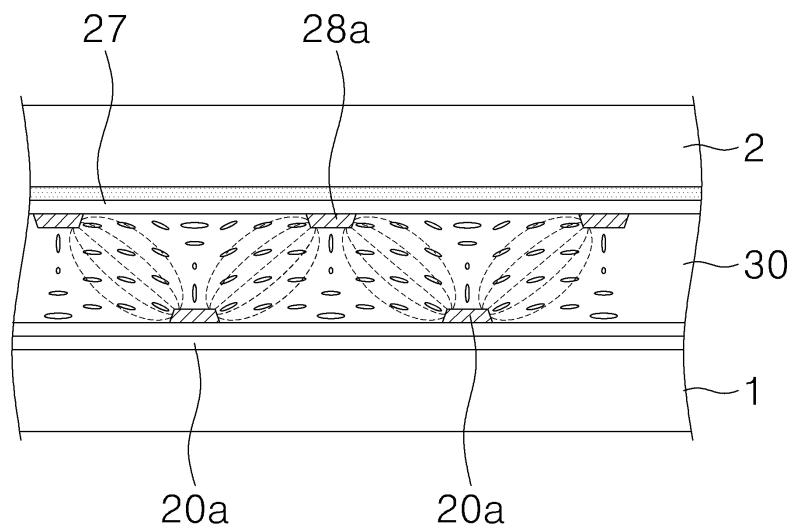
도면1



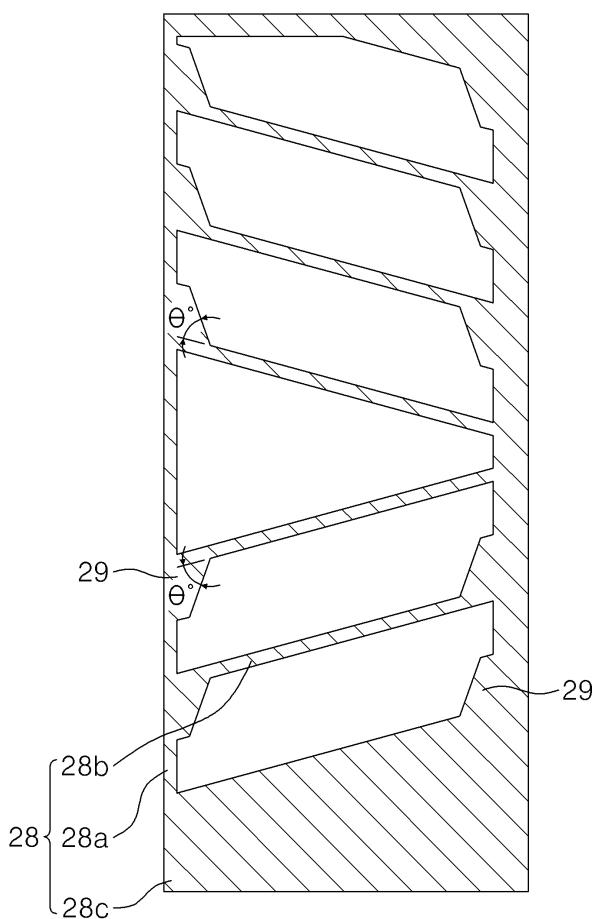
도면2



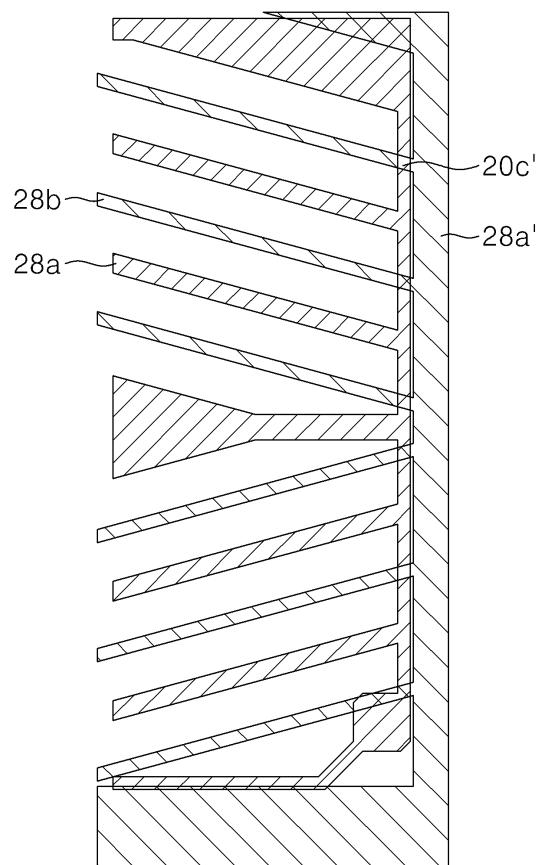
도면3



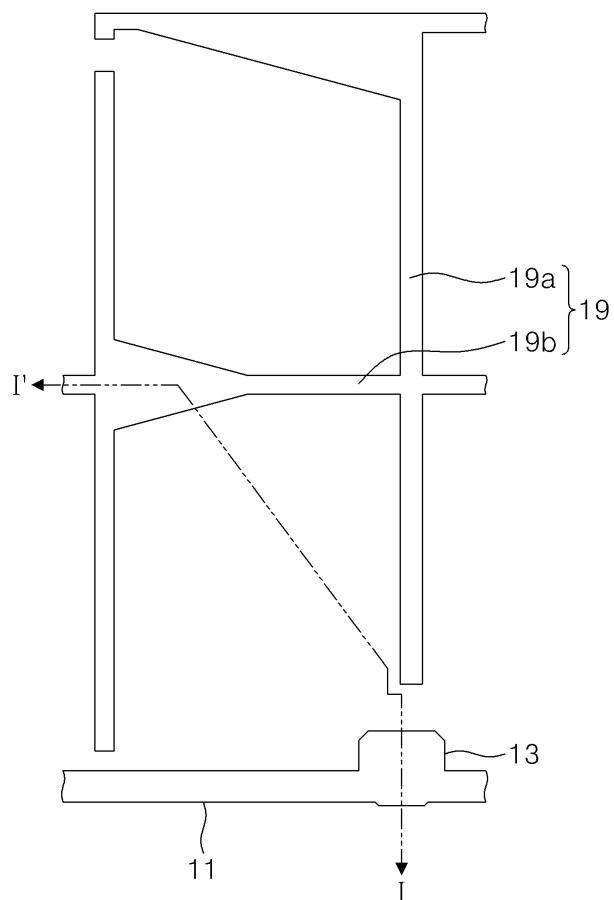
도면4



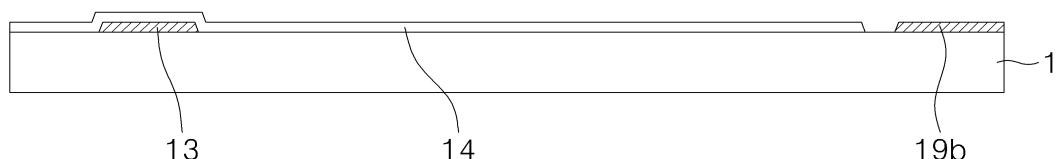
도면5



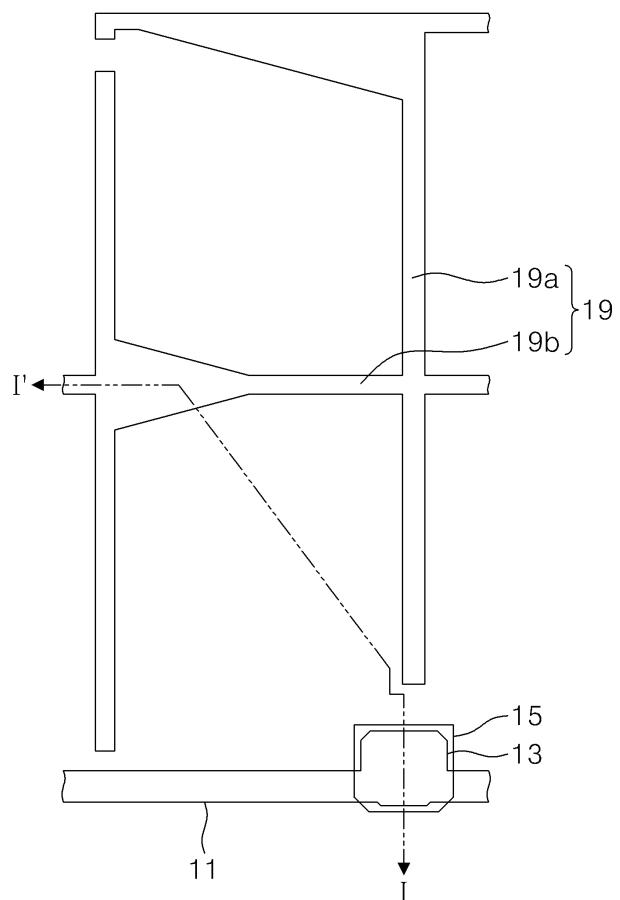
도면6a



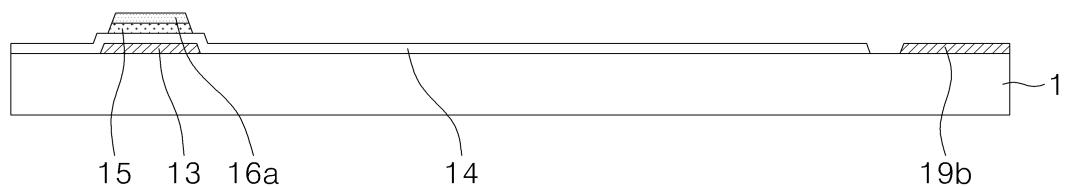
도면6b



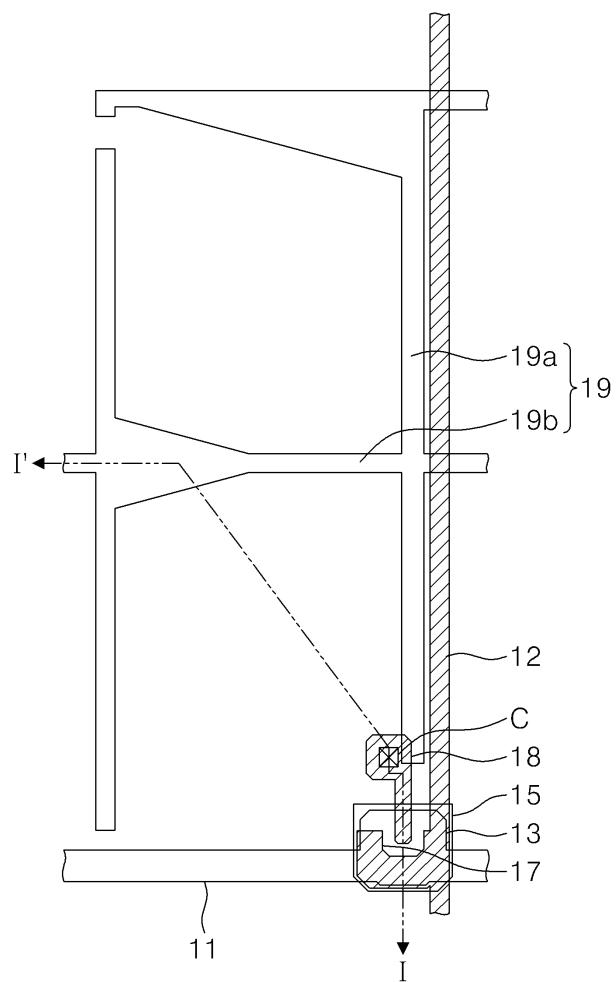
도면7a



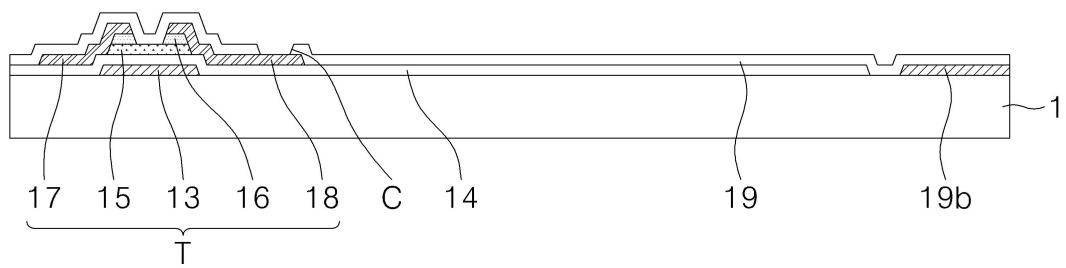
도면7b



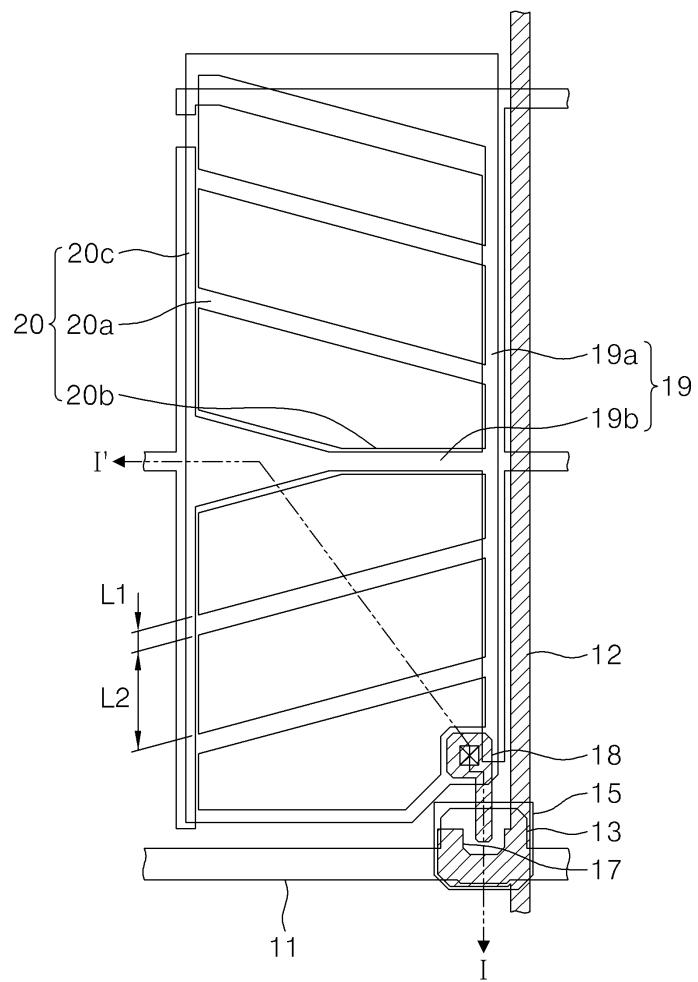
도면8a



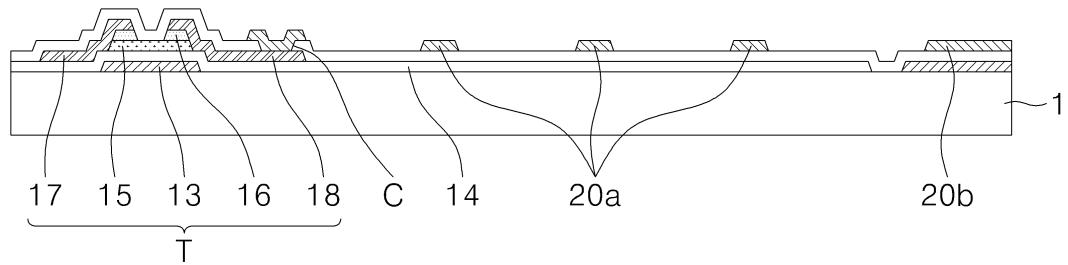
도면8b



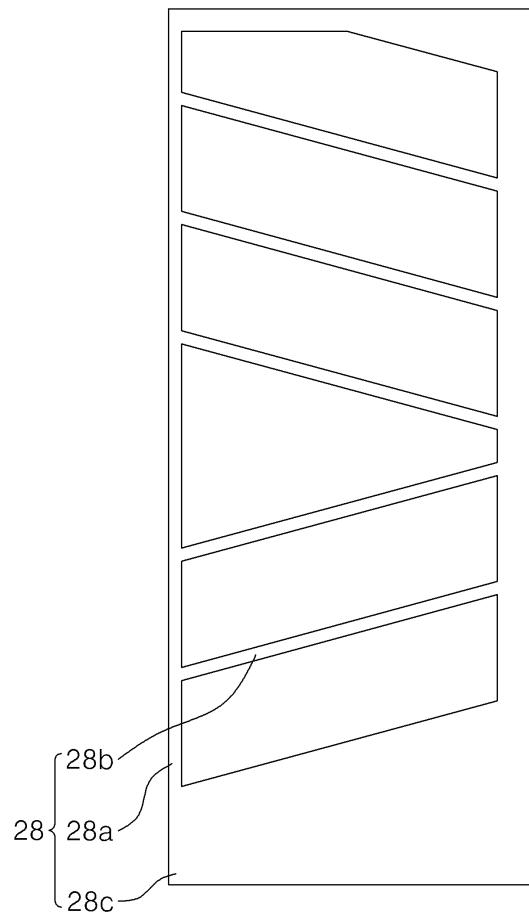
도면9a



도면9b



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080071231A	公开(公告)日	2008-08-04
申请号	KR1020070009165	申请日	2007-01-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE HYEOK JIN 이혁진 KIM HEE SEOP 김희섭 LEE JUN WOO 이준우 LUJIAN GANG 루지안강 WOO HWA SUNG 우화성		
发明人	이혁진 김희섭 이준우 루지안강 우화성		
IPC分类号	G02F1/1343		
CPC分类号	G02F2001/134318 G02F2001/134372 G02F1/134336 G02F2001/134381		
代理人(译)	SE JUN OH KWON, HYUK SOO 宋, 云何		
外部链接	Espacenet		

摘要(译)

本发明涉及一种DFS模式液晶显示装置，其中尽管产生了下板和上板的未对准(未对准)，但是亮度降低最小化。根据本发明的液晶显示器形成在下板中：具有栅极线的下板，以及数据线和薄膜晶体管。并且多个第一条形电极布置成与规则排列空间分开，可以称为排列空间为11.5~13.5μm，第一和第二条形电极的宽度为4~6μm，上板面对面与像素电极：下板具有，具有多个第二条形电极的公共电极，并且包括在下板和公共电极之间允许的液晶。具有多个第二条形电极的公共电极布置成在布置空间上不同，例如所述第一条形电极，其形成在上板中。

