



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0027980  
(43) 공개일자 2008년03월31일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2006-0092719

(22) 출원일자 2006년09월25일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

허용구

경기도 용인시 기흥읍 삼성전자(주)기흥공장 농서리 7-1 상록수동503호

전진

경기 수원시 장안구 천천동 삼성래미안아파트 107동 204호

(뒷면에 계속)

(74) 대리인

박영우

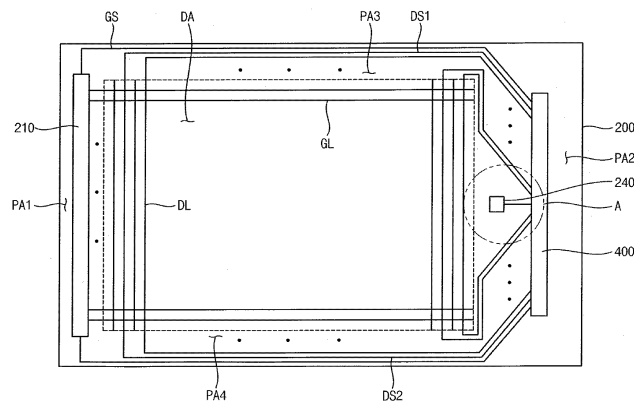
전체 청구항 수 : 총 18 항

(54) 표시 장치

(57) 요약

표시 영역의 상측 및 하측의 폭을 감소시킬 수 있는 표시 장치가 개시되어 있다. 표시 장치는 표시 영역과 표시 영역의 네 변을 둘러싸는 제1, 제2, 제3 및 제4 주변 영역을 포함한다. 표시 장치는 표시 기관, 대향 기관 및 구동 칩을 포함한다. 표시 기관은 표시 영역에서 가로 방향으로 연장되도록 형성되는 게이트 라인들, 표시 영역에서 게이트 라인들을 절연시키는 게이트 절연막 상에 세로 방향으로 연장되도록 형성되는 데이터 라인들 및 게이트 라인들의 제1 단부와 인접한 제1 주변 영역에 형성되는 게이트 구동회로부를 포함한다. 대향 기관은 액정을 사이에 두고 표시 기관과 대향한다. 구동 칩은 게이트 라인들의 제1 단부에 반대측인 제2 단부와 인접한 제2 주변 영역에서 표시 기관에 배치된다. 이와 같이, 구동 칩을 제2 주변 영역에 배치하여 표시 영역의 상측 및 하측의 폭을 감소시킬 수 있다.

대표도



(72) 발명자

**여기한**

경기도 용인시 수지읍 상현리 금호베스트빌  
155-801

**전용제**

경기 수원시 권선구 권선동 1311-6 에스더보보  
419호

**박용한**

경기 안양시 동안구 관양동 1608-2번지 I-SPACE  
2117호

## 특허청구의 범위

### 청구항 1

표시 영역과 상기 표시 영역의 네 변을 둘러싸는 제1, 제2, 제3 및 제4 주변 영역을 포함하는 표시 장치에 있어서,

상기 표시 영역에서 가로 방향으로 연장되도록 형성되는 게이트 라인들, 상기 표시 영역에서 상기 게이트 라인들을 절연시키는 게이트 절연막 상에 세로 방향으로 연장되도록 형성되는 데이터 라인들 및 상기 게이트 라인들의 제1 단부와 인접한 상기 제1 주변 영역에 형성되는 게이트 구동회로부를 포함하는 표시 기판;

액정을 사이에 두고 상기 표시 기판과 대향하는 대향 기판; 및

상기 게이트 라인들의 상기 제1 단부에 반대측인 제2 단부와 인접한 상기 제2 주변 영역에서 상기 표시 기판에 배치되는 구동 칩을 포함하는 표시 장치.

### 청구항 2

제1항에 있어서, 상기 표시 기판은

상기 데이터 라인들의 제1 단부와 인접한 상기 제3 주변 영역에 형성되며, 상기 데이터 라인들 중에서 짝수번째 데이터 라인들과 상기 구동 칩을 연결하는 제1 데이터 신호 인가선들; 및

상기 데이터 라인들의 상기 제1 단부에 반대측인 제2 단부와 인접한 상기 제4 주변 영역에 형성되며, 상기 데이터 라인들 중에서 홀수번째 데이터 라인들과 상기 구동 칩을 연결하는 제2 데이터 신호 인가선들을 포함하는 것을 특징으로 하는 표시 장치.

### 청구항 3

제2항에 있어서, 상기 제1 데이터 신호 인가선들은

$n-2$ 번째 데이터 라인들과 연결되는 제1 짝수 신호 인가선들; 및

$n$ 번째 데이터 라인들과 연결되는 제2 짝수 신호 인가선들을 포함하는 것을 특징으로 하는 표시 장치.

(여기서,  $n$ 은 4의 배수이다.)

### 청구항 4

제3항에 있어서, 상기 제1 짝수 신호 인가선들과 상기 제2 짝수 신호 인가선들은 상기 게이트 절연막을 사이에 두고 서로 다른 층에 형성되는 것을 특징으로 하는 표시 장치.

### 청구항 5

제4항에 있어서, 상기 제2 데이터 신호 인가선들은

$n-3$ 번째 데이터 라인들과 연결되는 제1 홀수 신호 인가선들; 및

$n-1$ 번째 데이터 라인들과 연결되는 제2 홀수 신호 인가선들을 포함하는 것을 특징으로 하는 표시 장치.

### 청구항 6

제5항에 있어서, 상기 제1 홀수 신호 인가선들과 상기 제2 홀수 신호 인가선들은 상기 게이트 절연막을 사이에 두고 서로 다른 층에 형성되는 것을 특징으로 하는 표시 장치.

### 청구항 7

제6항에 있어서, 상기 제1 짝수 신호 인가선들 및 상기 제1 홀수 신호 인가선들은 상기 게이트 라인들과 동일한 층에 형성되며, 상기 제2 짝수 신호 인가선들 및 상기 제2 홀수 신호 인가선들은 상기 데이터 라인들과 동일한 층에 형성되는 것을 특징으로 하는 표시 장치.

#### 청구항 8

제7항에 있어서, 상기 제1 짝수 신호 인가선들 및 상기 제1 홀수 신호 인가선들은 상기 게이트 라인들과 동일한 제1 금속으로 형성되고, 상기 제2 짝수 신호 인가선들 및 상기 제2 홀수 신호 인가선들은 상기 데이터 라인들과 동일한 제2 금속으로 형성되며, 상기 제1 짝수 신호 인가선들 및 상기 제1 홀수 신호 인가선들과 상기 제2 짝수 신호 인가선들 및 상기 제2 홀수 신호 인가선들은 상기 제1 금속과 상기 제2 금속간의 비저항 비율에 비례하는 선폭으로 형성되는 것을 특징으로 하는 표시 장치.

#### 청구항 9

제2항에 있어서, 상기 게이트 구동회로부는 다수의 구동 트랜지스터로 이루어진 쉬프트 레지스터를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 10

제9항에 있어서, 상기 표시 기판은 상기 제3 주변 영역 및 제4 주변 영역 중 적어도 하나의 영역을 거쳐 상기 구동 칩과 상기 게이트 구동회로부를 연결하는 게이트 신호 인가선들을 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 11

제10항에 있어서, 상기 게이트 신호 인가선들은 상기 제1 데이터 신호 인가선들 또는 상기 제2 데이터 신호 인가선들의 외곽에 형성되는 것을 특징으로 하는 표시 장치.

#### 청구항 12

제11항에 있어서, 상기 구동 칩은 상기 게이트 라인들의 배열 방향을 따라 배열되어 각종 출력 신호들을 출력하는 출력 패드들을 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 13

제12항에 있어서, 상기 출력 패드들은

중앙에 위치하며, 공통 전압을 출력하는 공통 전압 패드;

상기 공통 전압 패드를 기준으로 상기 제3 주변 영역 방향으로 배열되며, 상기 제1 데이터 신호 인가선들과 연결되는 제1 데이터 신호 패드들;

상기 공통 전압 패드를 기준으로 상기 제4 주변 영역 방향으로 배열되며, 상기 제2 데이터 신호 인가선들과 연결되는 제2 데이터 신호 패드들; 및

상기 제1 및 제2 데이터 신호 패드들의 외곽에 배열되며, 상기 게이트 신호 인가선들과 연결되는 게이트 신호 패드들을 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 14

제13항에 있어서, 상기 표시 기판은 상기 대향 기판과 전기적으로 연결되는 쇼트 포인트를 포함하며,

상기 쇼트 포인트는 상기 제2 주변 영역에서 상기 제1 데이터 신호 인가선들과 상기 제2 데이터 신호 인가선들 사이에 형성되어 상기 공통 전압 패드와 연결되는 것을 특징으로 하는 표시 장치.

#### 청구항 15

제2항에 있어서, 상기 대향 기판은 상기 제1, 제2, 제3 및 제4 주변 영역에 형성되는 차광막을 포함하며, 상기 게이트 구동회로부는 상기 차광막에 의해 커버되는 것을 특징으로 하는 표시 장치.

#### 청구항 16

제15항에 있어서, 상기 표시 기판과 상기 대향 기판 사이의 가장자리에 형성되며, 상기 대향 기판 방향에서 입사되는 외부광에 의해 경화되는 셀 라인을 더 포함하는 것을 특징으로 하는 표시 장치.

## 청구항 17

제16항에 있어서, 상기 쉘 라인에 대응되는 상기 차광막은 제거되는 것을 특징으로 하는 표시 장치.

## 청구항 18

제16항에 있어서, 상기 쉘 라인에 대응되는 상기 차광막에는 노광을 위한 슬릿이 형성되는 것을 특징으로 하는 표시 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 표시 장치에 관한 것으로, 더욱 상세하게는 표시 영역을 기준으로 상측 및 하측의 주변 영역의 면적을 최소화시킬 수 있는 표시 장치에 관한 것이다.
- <22> 일반적으로, 표시 장치는 게이트 라인들 및 데이터 라인들이 서로 교차되도록 형성되어 다수의 화소들을 정의하는 표시 기판과, 액정을 사이에 두고 표시 기판과 대향하는 대향 기판과, 표시 장치를 구동시키기 위하여 표시 기판에 결합되는 구동 칩을 포함한다.
- <23> 종래의 표시 장치는 구동 칩이 데이터 라인들의 단부에 대응되는 표시 기판의 상측 또는 하측에 배치되므로, 표시 장치의 상하 길이가 증가되는 구조를 갖는다.
- <24> 그러나, 최근들어 디지털 스틸 카메라(Digital Still Camera : DSC) 등의 제품에서는 화면 옆에 기기조작 버튼들이 위치하는 디자인이 채용됨에 따라, 표시 화면도 상하로 좁은 구조를 갖는 제품에 대한 요구가 증가되고 있다.

##### 발명이 이루고자 하는 기술적 과제

- <25> 따라서, 본 발명은 표시 영역을 기준으로 상측 및 하측의 주변 영역의 면적을 최소화시킬 수 있는 표시 장치를 제공한다.

#### 발명의 구성 및 작용

- <26> 본 발명의 일 특징에 따른 표시 장치는 표시 영역과 상기 표시 영역의 네 변을 둘러싸는 제1, 제2, 제3 및 제4 주변 영역을 포함한다. 상기 표시 장치는 표시 기판, 대향 기판 및 구동 칩을 포함한다. 상기 표시 기판은 상기 표시 영역에서 가로 방향으로 연장되도록 형성되는 게이트 라인들, 상기 표시 영역에서 상기 게이트 라인들을 절연시키는 게이트 절연막 상에 세로 방향으로 연장되도록 형성되는 데이터 라인들 및 상기 게이트 라인들의 제1 단부와 인접한 상기 제1 주변 영역에 형성되는 게이트 구동회로부를 포함한다. 상기 대향 기판은 액정을 사이에 두고 상기 표시 기판과 대향한다. 상기 구동 칩은 상기 게이트 라인들의 상기 제1 단부에 반대측인 제2 단부와 인접한 상기 제2 주변 영역에서 상기 표시 기판에 배치된다.
- <27> 상기 표시 기판은 제1 데이터 신호 인가선들 및 제2 데이터 신호 인가선들을 포함한다. 상기 제1 데이터 신호 인가선들은 상기 데이터 라인들의 제1 단부와 인접한 상기 제3 주변 영역에 형성되며, 상기 데이터 라인들 중에서 짝수번째 데이터 라인들과 상기 구동 칩을 연결한다. 상기 제2 데이터 신호 인가선들은 상기 데이터 라인들의 상기 제1 단부에 반대측인 제2 단부와 인접한 상기 제4 주변 영역에 형성되며, 상기 데이터 라인들 중에서 홀수번째 데이터 라인들과 상기 구동 칩을 연결한다.
- <28> 상기 제1 데이터 신호 인가선들은 n-2번째 데이터 라인들과 연결되는 제1 짝수 신호 인가선들 및 n번째 데이터 라인들과 연결되는 제2 짝수 신호 인가선들을 포함한다. 여기서, n은 4의 배수이다. 상기 제1 짝수 신호 인가선들과 상기 제2 짝수 신호 인가선들은 상기 게이트 절연막을 사이에 두고 서로 다른 층에 형성된다.
- <29> 상기 제2 데이터 신호 인가선들은 n-3번째 데이터 라인들과 연결되는 제1 홀수 신호 인가선들 및 n-1번째 데이터 라인들과 연결되는 제2 홀수 신호 인가선들을 포함한다. 상기 제1 홀수 신호 인가선들과 상기 제2 홀수 신호

호 인가선들은 상기 게이트 절연막을 사이에 두고 서로 다른 층에 형성된다.

- <30> 상기 제1 짝수 신호 인가선들 및 상기 제1 홀수 신호 인가선들은 상기 게이트 라인들과 동일한 층에 형성되며, 상기 제2 짝수 신호 인가선들 및 상기 제2 홀수 신호 인가선들은 상기 데이터 라인들과 동일한 층에 형성될 수 있다.
- <31> 상기 제1 짝수 신호 인가선들 및 상기 제1 홀수 신호 인가선들은 상기 게이트 라인들과 동일한 제1 금속으로 형성되고, 상기 제2 짝수 신호 인가선들 및 상기 제2 홀수 신호 인가선들은 상기 데이터 라인들과 동일한 제2 금속으로 형성될 수 있다. 이때, 상기 제1 짝수 신호 인가선들 및 상기 제1 홀수 신호 인가선들과 상기 제2 짝수 신호 인가선들 및 상기 제2 홀수 신호 인가선들은 상기 제1 금속과 상기 제2 금속간의 비저항 비율에 비례하는 선폭으로 형성될 수 있다.
- <32> 상기 게이트 구동회로부는 다수의 구동 트랜지스터들로 이루어진 쉬프트 레지스터를 포함할 수 있다.
- <33> 상기 표시 기판은 상기 제3 주변 영역 및 제4 주변 영역 중 적어도 하나의 영역을 거쳐 상기 구동 칩과 상기 게이트 구동회로부를 연결하는 게이트 신호 인가선들을 포함할 수 있다. 상기 게이트 신호 인가선들은 상기 제1 데이터 신호 인가선들 또는 상기 제2 데이터 신호 인가선들의 외곽에 형성될 수 있다.
- <34> 상기 구동 칩은 상기 게이트 라인들의 배열 방향을 따라 배열되어 각종 출력 신호들을 출력하는 출력 패드들을 포함한다. 상기 출력 패드들은 중앙에 위치하며 공통 전압을 출력하는 공통 전압 패드, 상기 공통 전압 패드를 기준으로 상기 제3 주변 영역 방향으로 배열되며 상기 제1 데이터 신호 인가선들과 연결되는 제1 데이터 신호 패드들, 상기 공통 전압 패드를 기준으로 상기 제4 주변 영역 방향으로 배열되며 상기 제2 데이터 신호 인가선들과 연결되는 제2 데이터 신호 패드들, 및 상기 제1 및 제2 데이터 신호 패드들의 외곽에 배열되며 상기 게이트 신호 인가선들과 연결되는 게이트 신호 패드들을 포함할 수 있다.
- <35> 상기 표시 기판은 상기 대향 기판과 전기적으로 연결되는 쇼트 포인트를 포함한다. 상기 쇼트 포인트는 상기 제2 주변 영역에서 상기 제1 데이터 신호 인가선들과 상기 제2 데이터 신호 인가선들 사이에 형성되어 상기 공통 전압 패드와 연결될 수 있다.
- <36> 상기 대향 기판은 상기 제1, 제2, 제3 및 제4 주변 영역에 형성되는 차광막을 포함한다. 이때, 상기 게이트 구동회로부는 상기 차광막에 의해 커버된다.
- <37> 상기 표시 장치는 상기 표시 기판과 상기 대향 기판 사이의 가장자리에 형성되며, 상기 대향 기판 방향에서 입사되는 외부광에 의해 경화되는 썬 라인을 더 포함한다. 상기 썬 라인에 대응되는 상기 차광막은 제거될 수 있다. 이와 달리, 상기 썬 라인에 대응되는 상기 차광막에는 노광을 위한 슬롯이 형성될 수 있다.
- <38> 이러한 표시 장치에 따르면, 표시 영역을 기준으로 상측 및 하측에 위치하는 제1 및 제2 주변 영역의 면적을 최소화시킬 수 있다.
- <39> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하고자 한다.
- <40> 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타낸 사시도이며, 도 2는 도 1에 도시된 표시 기판의 평면도이다.
- <41> 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 표시 장치(100)는 표시 기판(200), 액정을 사이에 두고 표시 기판(200)과 대향하는 대향 기판(300) 및 표시 기판(200)에 배치되는 구동 칩(400)을 포함한다. 표시 장치(100)는 도 2에 도시된 바와 같이, 실질적으로 영상을 표시하는 표시 영역(DA)과 표시 영역(DA)의 네 변을 둘러싸는 제1, 제2, 제3 및 제4 주변 영역(PA1, PA2, PA3, PA4)을 포함한다.
- <42> 표시 기판(200)은 표시 영역(DA)에서 가로 방향으로 연장되도록 형성되는 게이트 라인(GL)들과 표시 영역(DA)에서 세로 방향으로 연장되도록 형성되는 데이터 라인(DL)들을 포함한다. 데이터 라인(DL)들은 게이트 라인(GL)들을 절연시키는 게이트 절연막(미도시) 상에 형성되어 게이트 라인(GL)들과 절연된다.
- <43> 도시되지는 않았으나, 게이트 라인(GL)과 데이터 라인(DL)이 교차되는 영역에는 게이트 라인(GL) 및 데이터 라인(DL)과 연결되는 박막 트랜지스터(Thin Film Transistor : 이하, TFT라 칭함)가 형성될 수 있다. 상기 TFT의 게이트 단자 및 소오스 단자에는 각각 게이트 라인(GL) 및 데이터 라인(DL)이 연결되고, 드레인 단자에는 화소 전극이 연결되어 있다. 따라서, 게이트 라인(GL)을 통해 상기 TFT의 게이트 단자에 게이트 신호가 인가되면, 상기 TFT가 턴-온(turn on)되어 데이터 라인(DL)을 통해 상기 TFT의 소오스 단자로 인가된 데이터 신호가 드레인 단자를 통해 상기 화소 전극에 인가된다.

- <44> 한편, 표시 장치(100)의 제1 주변 영역(PA1)은 게이트 라인(GL)들의 제1 단부와 인접한 영역이며, 제2 주변 영역(PA2)은 게이트 라인(GL)들의 제1 단부에 반대측인 제2 단부와 인접한 영역이다. 또한, 표시 장치(100)의 제3 주변 영역(PA3)은 데이터 라인(DL)들의 제1 단부와 인접한 영역이며, 제4 주변 영역(PA4)은 데이터 라인(DL)들의 제1 단부에 반대측인 제2 단부와 인접한 영역이다. 따라서, 표시 영역(DA)은 제1, 제2, 제3 및 제4 주변 영역(PA1, PA2, PA3, PA4)에 의해 둘러 쌓인 구조를 갖는다.
- <45> 표시 기관(200)은 제1 주변 영역(PA1)에 형성되는 게이트 구동회로부(210)를 포함할 수 있다. 게이트 구동회로부(210)는 다수의 구동 트랜지스터들로 이루어진 쉬프트 레지스터(shift register)를 포함한다. 게이트 구동회로부(210)는 게이트 라인(GL)들, 데이터 라인(DL)들 및 상기 박막 트랜지스터를 형성하는 박막 공정에 의하여 동시에 형성될 수 있다. 게이트 구동회로부(210)는 구동 칩(400)으로부터 인가되는 게이트 제어 신호에 반응하여 게이트 라인(GL)들에 게이트 신호를 순차적으로 출력한다.
- <46> 구동 칩(400)은 표시 기관(200)의 제2 주변 영역(PA2)에 배치된다. 이와 같이, 구동 칩(400)을 표시 기관(200)의 우측에 해당하는 제2 주변 영역(PA2)에 배치함으로써, 표시 기관(200)의 상측 또는 하측에 해당하는 제3 주변 영역(PA3) 또는 제4 주변 영역(PA4)의 면적을 감소시킬 수 있다. 한편, 표시 장치(100)는 구동 칩(400)이 제1 주변 영역(PA1)에 배치되고, 게이트 구동회로부(210)가 제2 주변 영역(PA2)에 형성된 구조를 가질 수 있다.
- <47> 구동 칩(400)은 외부로부터 입력되는 각종 제어 신호에 반응하여 표시 장치(100)를 구동시키기 위한 각종 출력 신호들을 출력한다. 예를 들어, 구동 칩(400)은 데이터 라인(DL)들에 인가되는 데이터 신호, 게이트 구동회로부(210)에 인가되는 게이트 제어 신호 및 대향 기관(300)에 인가되는 공통 전압 등을 출력한다.
- <48> 표시 기관(200)은 구동 칩(400)으로부터 출력되는 데이터 신호를 데이터 라인(DL)들에 인가하기 위한 제1 데이터 신호 인가선(DS1)들 및 제2 데이터 신호 인가선(DS2)들을 포함한다.
- <49> 도 3은 도 2에 도시된 제1 및 제2 데이터 신호 인가선들을 나타낸 도면이며, 도 4는 도 3의 I-I'선을 따라 절단한 단면도이다.
- <50> 도 2, 도 3 및 도 4를 참조하면, 제1 데이터 신호 인가선(DS1)들은 데이터 라인(DL)들의 제1 단부와 인접한 제3 주변 영역(PA3)에 형성된다. 제1 데이터 신호 인가선(DS1)들은 데이터 라인(DL)들 중에서 짝수번째 데이터 라인(DL)들과 구동 칩(400)을 연결한다.
- <51> 제1 데이터 신호 인가선(DS1)들은 짝수번째 데이터 라인(DL)들 중에서  $n-2$ 번째 데이터 라인( $DL_{n-2}$ )들과 연결되는 제1 짝수 신호 인가선(222)들 및  $n$ 번째 데이터 라인( $DL_n$ )들과 연결되는 제2 짝수 신호 인가선(224)들을 포함한다. 여기서,  $n$ 은 4의 배수이다.
- <52> 제1 짝수 신호 인가선(222)들과 제2 짝수 신호 인가선(224)들은 게이트 절연막(223)을 사이에 두고 서로 다른 층에 형성된다. 예를 들어, 제1 짝수 신호 인가선(222)들은 게이트 라인(GL)들과 동일한 층에 형성되도록 기관(221)상에 형성되며, 제2 짝수 신호 인가선(224)들은 데이터 라인(DL)들과 동일한 층에 형성되도록 제1 짝수 신호 인가선(222)들을 덮고 있는 게이트 절연막(223)상에 형성된다. 제2 짝수 신호 인가선(224)들은 보호막 및 유기절연막(225)으로 덮여 있을 수 있다. 한편, 제1 짝수 신호 인가선(222)들은 데이터 라인(DL)들과 동일한 층에 형성되며, 제2 짝수 신호 인가선(224)들은 게이트 라인(GL)들과 동일한 층에 형성될 수 있다.
- <53> 이와 같이, 제1 짝수 신호 인가선(222)들과 제2 짝수 신호 인가선(224)들을 서로 다른 층에 형성하면, 제1 짝수 신호 인가선(222)과 제2 짝수 신호 인가선(224)간의 거리를 줄일 수 있으므로, 제3 주변 영역(PA3)의 폭을 감소시킬 수 있다.
- <54> 제1 짝수 신호 인가선(222)과 제2 짝수 신호 인가선(224)을 어느 정도 중첩되게 형성하면, 제3 주변 영역(PA3)의 폭을 더욱 감소시킬 수 있다. 그러나, 제1 짝수 신호 인가선(222)과 제2 짝수 신호 인가선(224)이 너무 많이 중첩되면, 제1 짝수 신호 인가선(222)과 제2 짝수 신호 인가선(224) 사이에 형성되는 기생 커패시터로 인해 신호의 왜곡이 발생될 수 있으므로, 신호의 왜곡이 발생되지 않는 범위 내에서 제1 짝수 신호 인가선(222)과 제2 짝수 신호 인가선(224)간의 거리를 결정하는 것이 바람직하다.
- <55> 제2 데이터 신호 인가선(DS2)들은 데이터 라인(DL)들의 제1 단부에 반대측인 제2 단부와 인접한 제4 주변 영역(PA4)에 형성된다. 제2 데이터 신호 인가선(DS2)들은 데이터 라인(DL)들 중에서 홀수번째 데이터 라인(DL)들과 구동 칩(400)을 연결한다.
- <56> 제2 데이터 신호 인가선(DS2)들은 홀수번째 데이터 라인(DL)들 중에서  $n-3$ 번째 데이터 라인( $DL_{n-3}$ )들과 연결되는



제1 홀수 신호 인가선(232)들 및  $n-1$ 번째 데이터 라인(DL <sub>$n-1$</sub> )들과 연결되는 제2 홀수 신호 인가선(234)들을 포함한다.

- <57> 제1 홀수 신호 인가선(232)들과 제2 홀수 신호 인가선(234)들은 게이트 절연막(223)을 사이에 두고 서로 다른 층에 형성된다. 예를 들어, 제1 홀수 신호 인가선(232)들은 게이트 라인(GL)들과 동일한 층에 형성되며, 제2 홀수 신호 인가선(234)들은 데이터 라인(DL)들과 동일한 층에 형성된다. 한편, 제1 홀수 신호 인가선(232)들은 데이터 라인(DL)들과 동일한 층에 형성되며, 제2 홀수 신호 인가선(234)들은 게이트 라인(GL)들과 동일한 층에 형성될 수 있다.
- <58> 이와 같이, 제1 홀수 신호 인가선(232)들과 제2 홀수 신호 인가선(234)들을 서로 다른 층에 형성하면, 제1 홀수 신호 인가선(232)과 제2 홀수 신호 인가선(234)간의 거리를 줄일 수 있으므로, 제4 주변 영역(PA4)의 폭을 감소시킬 수 있다.
- <59> 제1 짝수 신호 인가선(222)들 및 제1 홀수 신호 인가선(232)들은 게이트 라인(GL)들과 동일한 층에 게이트 라인(GL)들과 동일한 제1 금속으로 형성되고, 제2 짝수 신호 인가선(224)들 및 제2 홀수 신호 인가선(234)들은 데이터 라인(DL)들과 동일한 층에 데이터 라인(DL)들과 동일한 제2 금속으로 형성될 수 있다.
- <60> 제1 짝수 신호 인가선(222)들 및 제1 홀수 신호 인가선(232)들을 형성하는 제1 금속과 제2 짝수 신호 인가선(224)들 및 제2 홀수 신호 인가선(234)들을 형성하는 제2 금속이 다른 재질로 이루어질 경우, 저항 값의 차이가 발생할 수 있다. 따라서, 제1 금속과 제2 금속간의 비저항 비율에 비례하도록 제1 짝수 신호 인가선(222)들 및 제1 홀수 신호 인가선(232)들과 제2 짝수 신호 인가선(224)들 및 제2 홀수 신호 인가선(234)들의 선폭을 형성함으로써, 저항 값의 차이를 보상할 수 있다. 예를 들어, 제1 금속은 비저항이 4.5인 AlNd/Cr으로 형성되고, 제2 금속은 비저항이 12인 Mo으로 형성된 경우, 제1 짝수 신호 인가선(222)들 및 제1 홀수 신호 인가선(232)들과 제2 짝수 신호 인가선(224)들 및 제2 홀수 신호 인가선(234)들은 제1 금속과 제2 금속간의 비저항 비율에 비례하여 약 3 : 8 비율의 선폭으로 형성되는 것이 바람직하다.
- <61> 한편, 제1 짝수 신호 인가선(222)들 및 제1 홀수 신호 인가선(232)들은 데이터 라인(DL)들과 게이트 절연막(223)을 사이에 두고 서로 다른 층에 형성되므로, 제1 짝수 신호 인가선(222)들과  $n-2$ 번째 데이터 라인(DL <sub>$n-2$</sub> )들 및 제1 홀수 신호 인가선(232)들과  $n-3$ 번째 데이터 라인(DL <sub>$n-3$</sub> )들을 연결하기 위한 연결부(228)가 필요하다.
- <62> 도 5는 제1 짝수 신호 인가선과  $n-2$ 번째 데이터 라인을 연결하는 연결부의 일 실시예를 나타낸 단면도이다.
- <63> 도 5를 참조하면, 제1 짝수 신호 인가선(222)은 게이트 절연막(223)의 하부층에 형성되고,  $n-2$ 번째 데이터 라인(DL <sub>$n-2$</sub> )은 게이트 절연막(223)의 상부층에 형성되어 있다. 이때, 연결부(228)는 제1 짝수 신호 인가선(222)과  $n-2$ 번째 데이터 라인(DL <sub>$n-2$</sub> )의 직접 접촉을 통해 형성된다. 즉,  $n-2$ 번째 데이터 라인(DL <sub>$n-2$</sub> )은 게이트 절연막(223)에 형성된 컨택 홀을 통해 제1 짝수 신호 인가선(222)과 직접 접촉된다.
- <64> 도 6은 제1 짝수 신호 인가선과  $n-2$ 번째 데이터 라인을 연결하는 연결부의 다른 실시예를 나타낸 단면도이다.
- <65> 도 6을 참조하면, 연결부(228)는 제1 짝수 신호 인가선(222)과  $n-2$ 번째 데이터 라인(DL <sub>$n-2$</sub> )을 연결하는 브릿지 전극(226)을 통해 형성된다. 즉, 브릿지 전극(226)의 일단은 유기막(225) 및 게이트 절연막(223)에 형성된 컨택 홀을 통해 제1 짝수 신호 인가선(222)과 접촉되고, 브릿지 전극(226)의 타단은 유기막(225)에 형성된 컨택 홀을 통해  $n-2$ 번째 데이터 라인(DL <sub>$n-2$</sub> )과 접촉된다. 예를 들어, 브릿지 전극(226)은 인듐 틴 옥사이드(Indium Tin Oxide : ITO)로 형성된다.
- <66> 제1 홀수 신호 인가선(232)들과  $n-3$ 번째 데이터 라인(DL <sub>$n-3$</sub> )들의 연결 구조는 앞서 설명한 제1 짝수 신호 인가선(222)들과  $n-2$ 번째 데이터 라인(DL <sub>$n-2$</sub> )들의 연결 구조와 동일하므로, 이에 대한 설명은 생략하기로 한다.
- <67> 표시 장치(100)는 도 2 및 도 3에 도시된 바와 같이, 제1 데이터 신호 인가선(DS1)들이 제3 주변 영역(PA3)에 형성되고 제2 데이터 신호 인가선(DS2)들이 제4 주변 영역(PA4)에 형성된 구조를 가지나, 이와 달리, 제1 데이터 신호 인가선(DS1)들이 제4 주변 영역(PA4)에 형성되고 제2 데이터 신호 인가선(DS2)들이 제3 주변 영역(PA3)에 형성된 구조를 가질 수 있다.
- <68> 도 2를 참조하면, 표시 기관(200)은 제1 주변 영역(PA1)에 형성된 게이트 구동회로부(210)와 제2 주변 영역



(PA2)에 배치된 구동 칩(400)을 연결하기 위한 게이트 신호 인가선(GS)들을 포함한다.

- <69> 게이트 신호 인가선(GS)들은 제3 주변 영역(PA3) 및 제4 주변 영역(PA4) 중 적어도 하나의 영역을 거쳐 구동 칩(400)과 게이트 구동회로부(210)를 연결한다. 제3 주변 영역(PA3)을 거치는 게이트 신호 인가선(GS)들은 제1 데이터 신호 인가선(DS1)과의 교차를 방지하기 위하여 제1 데이터 신호 인가선(DS1)의 외곽에 형성되며, 제4 주변 영역(PA4)을 거치는 게이트 신호 인가선(GS)들은 제2 데이터 신호 인가선(DS2)들과의 교차를 방지하기 위하여 제2 데이터 신호 인가선(DS2)들의 외곽에 형성된다. 게이트 신호 인가선(GS)들은 제3 주변 영역(PA3) 또는 제4 주변 영역(PA4)의 폭을 감소시키기 위하여, 제1 데이터 신호 인가선(DS1)들 또는 제2 데이터 신호 인가선(DS2)들과 최대한 근접하게 형성되는 것이 바람직하다.
- <70> 구동 칩(400)으로부터 출력되는 게이트 제어 신호는 게이트 신호 인가선(GS)들을 통해 게이트 구동회로부(210)에 인가된다. 예를 들어, 게이트 신호 인가선(GS)들은 게이트 구동회로부(210)의 쉬프트 레지스터의 동작을 개시시키는 동작개시 신호가 전송되는 동작개시 신호선, 서로 위상이 반대인 제1 및 제2 클럭신호를 전송하는 제1 및 제2 클럭신호선, 게이트 라인(GL)에 연결된 박막 트랜지스터의 구동을 차단하는 게이트 오프 신호를 전송하는 게이트 오프 신호선 등을 포함할 수 있다.
- <71> 도 7은 도 2에 도시된 구동 칩의 패드 구조를 나타낸 평면도이다.
- <72> 도 2 및 도 7을 참조하면, 구동 칩(400)은 표시 기관(200)과 연결되는 면에 형성된 입력 패드(IP)들 및 출력 패드(OP)들을 포함한다. 구동 칩(400)은 입력 패드(IP)들을 통해 외부로부터 입력되는 각종 제어 신호에 반응하여 표시 장치(100)를 구동시키기 위한 각종 출력 신호들을 출력 패드(OP)를 통해 출력한다. 예를 들어, 구동 칩(400)은 데이터 라인(DL)들에 인가되는 데이터 신호, 게이트 구동회로부(210)에 인가되는 게이트 제어 신호 및 대향 기관(300)에 인가되는 공통 전압 등을 출력한다.
- <73> 출력 패드(OP)들은 게이트 라인(GL)들의 배열 방향을 따라 일렬로 배열된다. 이와 달리, 출력 패드(OP)들은 게이트 라인(GL)들의 배열 방향을 따라 지그재그 형태의 복수의 열로 배열될 수 있다.
- <74> 출력 패드(OP)들은 공통 전압 패드(410), 제1 데이터 신호 패드(420)들, 제2 데이터 신호 패드(430)들 및 게이트 신호 패드(440)들을 포함한다.
- <75> 공통 전압 패드(410)는 출력 패드(OP)들 중에서 중앙에 위치한다. 공통 전압 패드(410)는 대향 기관(300, 도 1에 도시됨)에 형성된 공통 전극에 인가되는 공통 전압(Vcom)을 출력한다.
- <76> 제1 데이터 신호 패드(420)들은 공통 전압 패드(410)를 기준으로 한쪽 방향으로 배열된다. 예를 들어, 제1 데이터 신호 패드(420)들은 공통 전압 패드(410)를 기준으로 제3 주변 영역(PA3) 방향으로 배열된다. 제1 데이터 신호 패드(420)들은 제1 데이터 신호 인가선(DS1)들과 연결된다. 제1 데이터 신호 패드(420)들을 통해 출력되는 데이터 신호는 제1 데이터 신호 인가선(DS1)들을 거쳐 짝수번째 데이터 라인(DL)들에 인가된다.
- <77> 제2 데이터 신호 패드(430)들은 공통 전압 패드(410)를 기준으로 제1 데이터 신호 패드(420)의 반대쪽 방향으로 배열된다. 예를 들어, 제2 데이터 신호 패드(430)들은 공통 전압 패드(410)를 기준으로 제4 주변 영역(PA4) 방향으로 배열된다. 제2 데이터 신호 패드(430)들은 제2 데이터 신호 인가선(DS2)들과 연결된다. 제2 데이터 신호 패드(430)들을 통해 출력되는 데이터 신호는 제2 데이터 신호 인가선(DS2)들을 거쳐 홀수번째 데이터 라인(DL)들에 인가된다.
- <78> 게이트 신호 패드(440)들은 제1 및 제2 데이터 신호 패드(420, 430)들의 외곽에 각각 배열된다. 게이트 신호 패드(440)들은 게이트 신호 인가선(GS)들과 연결된다. 게이트 신호 패드(440)들을 통해 출력되는 게이트 제어 신호는 게이트 신호 인가선(GS)을 거쳐 게이트 구동회로부(210)에 인가된다.
- <79> 게이트 신호 패드(440)들은 동작개시 신호를 출력하는 제1 패드(441), 제1 및 제2 클럭신호를 출력하는 제2 및 제3 패드(442, 443), 및 게이트 오프 신호를 출력하는 제4 패드(444)를 포함할 수 있다. 게이트 신호 패드(440)들의 부식을 방지하기 위하여, 게이트 오프 신호를 출력하는 제4 패드(444)는 가장 바깥 쪽에 위치시키고, 동작개시 신호를 출력하는 제1 패드(441)는 가장 안 쪽에 위치시키는 것이 바람직하다.
- <80> 표시 기관(200)은 대향 기관(300)과 전기적으로 연결되는 쇼트 포인트(240)를 포함할 수 있다.
- <81> 도 8은 도 2의 쇼트 포인트 부분을 확대한 A부분의 확대도이다.
- <82> 도 2 및 도 8을 참조하면, 쇼트 포인트(240)는 제2 주변 영역(PA2)에서 제1 데이터 신호 인가선(DS1)들과 제2 데이터 신호 인가선(DS2)들 사이에 형성되며, 구동 칩(400)의 공통 전압 패드(410)와 연결된다.

- <83> 구체적으로, 제1 데이터 신호 인가선(DS1)들은 제3 주변 영역(PA3) 방향으로 꺾어져 연장되고, 제2 데이터 신호 인가선(DS2)들은 제4 주변 영역(PA4) 방향으로 꺾어져 연장되기 때문에, 제1 데이터 신호 인가선(DS1)들과 제2 데이터 신호 인가선(DS2)들이 나뉘어지는 영역에는 쇼트 포인트(240)를 형성하기에 충분한 빈 공간이 형성된다. 이와 같이 제1 데이터 신호 인가선(DS1)들과 제2 데이터 신호 인가선(DS2)들 사이에 형성되는 빈 공간에 쇼트 포인트(240)를 형성하면, 공통 전압 패드(410)와의 연결 경로를 최대한 단축시킬 수 있으며, 공간 활용의 효율을 향상시킬 수 있다.
- <84> 공통 전압 패드(410)를 통해 출력되는 공통 전압은 쇼트 포인트(240)를 거쳐 대향 기관(300)의 공통 전극에 인가된다.
- <85> 한편, 구동 칩(400)과 인접한 데이터 라인(DL)들과 연결되는 제1 및 제2 데이터 신호 인가선(DS1, DS2)들은 제1 및 제2 데이터 신호 인가선(DS1, DS2)들 사이에 형성되는 빈 공간을 이용하여 꺾여진 구조로 형성함으로써, 구동 칩(400)과 상대적으로 먼 위치에 형성된 데이터 라인(DL)들과 연결되는 제1 및 제2 데이터 신호 인가선(DS1, DS2)들과의 길이를 유사하게 형성하여 저항 차이를 감소시킬 수 있다.
- <86> 도 9는 도 1에 도시된 표시 장치의 평면도이며, 도 10은 도 9의 II-II'선을 따라 절단한 표시 장치의 단면도이다.
- <87> 도 2, 도 9 및 도 10을 참조하면, 표시 장치(100)는 표시 기관(200)과 대향 기관(300)을 결합시키는 셀 라인(310)을 포함한다. 셀 라인(310)은 표시 기관(200)과 대향 기관(300) 사이의 가장자리에 형성되어 표시 기관(200)과 대향 기관(300) 사이에 배치되는 액정(미도시)의 이탈을 차단한다.
- <88> 셀 라인(310)은 자외선 등의 외부광에 의해 경화되는 광경화성 수지로 이루어진다. 제1, 제2, 제3 및 제4 주변 영역(PA1, PA2, PA3, PA4)에 대응하여 표시 기관(200)에는 제1 및 제2 데이터 신호 인가선(DS1, DS2)과 게이트 신호 인가선(GS) 등의 많은 신호선들이 촘촘하게 형성되어 있으므로, 표시 기관(200) 방향에서 외부광을 조사하는 배면 노광 방식으로는 셀 라인(310)을 완전히 노광시키기에 어려움이 있을 수 있다. 따라서, 대향 기관(300) 방향에서 외부광을 조사하는 정면 노광 방식을 통해 셀 라인(310)을 경화시킬 필요가 있다.
- <89> 대향 기관(300)은 제1, 제2, 제3 및 제4 주변 영역(PA1, PA2, PA3, PA4)에 형성되는 차광막(320)을 포함한다. 차광막(320)은 표시 영역(DA)과 달리 제1, 제2, 제3 및 제4 주변 영역(PA1, PA2, PA3, PA4)으로 광이 투과되는 것을 차단한다.
- <90> 표시 기관(200)의 제1 주변 영역(PA1)에는 다수의 구동 트랜지스터들로 이루어진 게이트 구동회로부(210)가 형성되어 있기 때문에, 정면 노광을 통한 외부광에 의하여 구동 트랜지스터들이 성능에 이상이 발생할 수 있다. 따라서, 게이트 구동회로부(210)는 차광막(320)에 의해 커버되도록 차광막(320) 하부에 형성되어 외부광에 노출되는 것을 방지할 수 있다.
- <91> 한편, 셀 라인(310)의 정면 노광을 위해서, 셀 라인(310)에 대응되는 차광막(320)은 제거될 수 있다. 차광막(320)이 셀 라인(310)을 덮고 있을 경우, 대향 기관(300) 방향에서 입사되는 외부광이 셀 라인(310)을 노광시키지 못하므로, 차광막(320)의 일부를 제거하여 원활하게 셀 라인(310)을 노광시킬 수 있다.
- <92> 도 11은 도 10에 도시된 차광막의 다른 실시예를 나타낸 단면도이다.
- <93> 도 11을 참조하면, 차광막(330)은 셀 라인(310)의 노광을 위하여 셀 라인(310)에 대응되는 영역에 형성된 슬릿(slit, 332)을 포함할 수 있다. 셀 라인(310)은 대향 기관(300) 방향에서 슬릿(332)을 통해 입사되는 외부광에 의해 경화된다.

### 발명의 효과

- <94> 이와 같은 표시 장치에 따르면, 구동 칩을 표시 영역의 좌측 또는 우측에 배치함으로써, 표시 영역의 상측 또는 하측의 폭을 감소시킬 수 있다.
- <95> 또한, 데이터 라인들과 연결되는 데이터 신호 인가선들을 표시 영역의 상측 및 하측에 짝수번째 및 홀수번째로 나누어 배치하고, 게이트 절연막을 사이에 두고 서로 다른 층에 지그재그로 형성함으로써, 표시 영역의 상측 및 하측의 폭을 최소화시킬 수 있다.
- <96> 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의

사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

## 도면의 간단한 설명

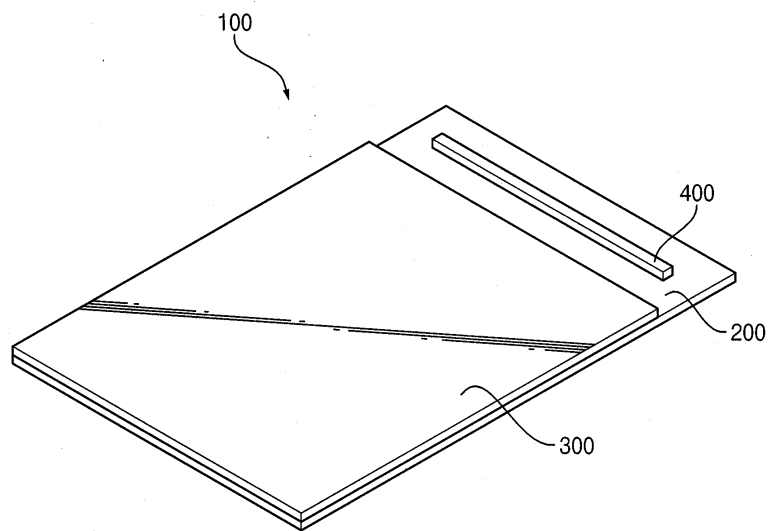
- <1> 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타낸 사시도이다.
- <2> 도 2는 도 1에 도시된 표시 기판의 평면도이다.
- <3> 도 3은 도 2에 도시된 제1 및 제2 데이터 신호 인가선들을 나타낸 도면이다.
- <4> 도 4는 도 3의 I-I'선을 따라 절단한 단면도이다.
- <5> 도 5는 제1 짝수 신호 인가선과 n-2번째 데이터 라인을 연결하는 연결부의 일 실시예를 나타낸 단면도이다.
- <6> 도 6은 제1 짝수 신호 인가선과 n-2번째 데이터 라인을 연결하는 연결부의 다른 실시예를 나타낸 단면도이다.
- <7> 도 7은 도 2에 도시된 구동 칩의 패드 구조를 나타낸 평면도이다.
- <8> 도 8은 도 2의 쇼트 포인트 부분을 확대한 A부분의 확대도이다.
- <9> 도 9는 도 1에 도시된 표시 장치의 평면도이다.
- <10> 도 10은 도 9의 II-II'선을 따라 절단한 표시 장치의 단면도이다.
- <11> 도 11은 도 10에 도시된 차광막의 다른 실시예를 나타낸 단면도이다.

<12> <도면의 주요 부분에 대한 부호의 설명>

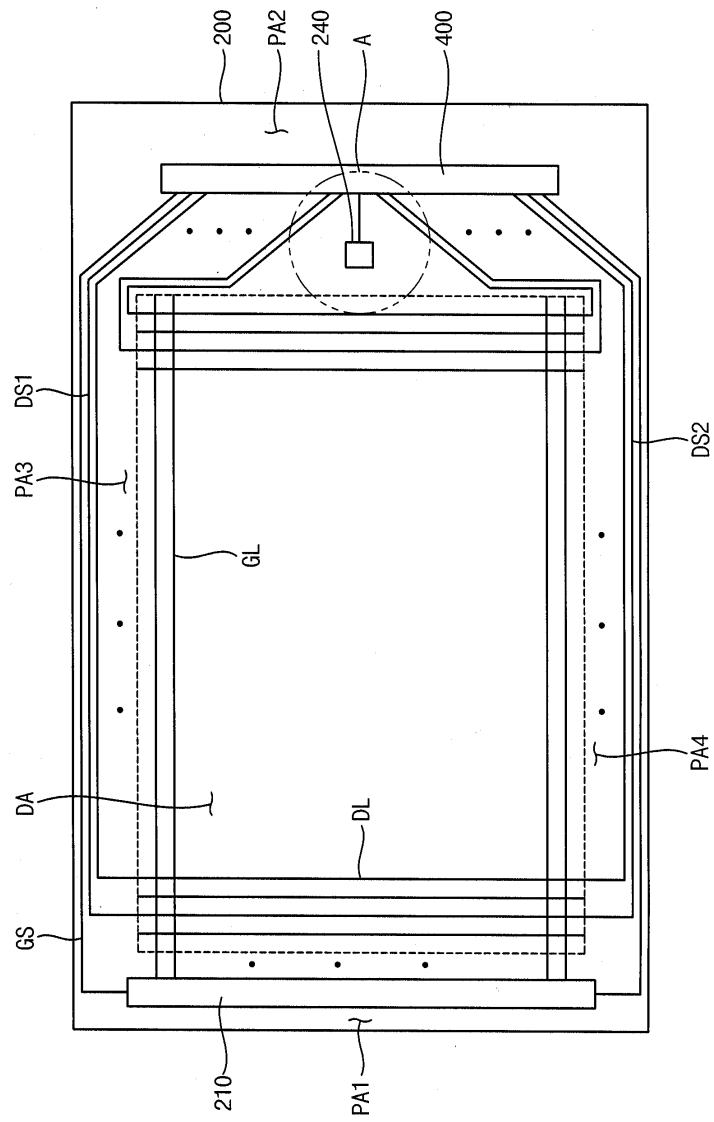
- |      |                    |                      |
|------|--------------------|----------------------|
| <13> | 100 : 표시 장치        | 200 : 표시 기관          |
| <14> | 210 : 게이트 구동회로부    | 222 : 제1 짝수 신호 인가선   |
| <15> | 224 : 제2 짝수 신호 인가선 | 232 : 제1 홀수 신호 인가선   |
| <16> | 234 : 제2 홀수 신호 인가선 | 240 : 쇼트 포인트         |
| <17> | 300 : 대향 기관        | 310 : 셀 라인           |
| <18> | 320 : 차광막          | 400 : 구동 칩           |
| <19> | 410 : 공통 전압 패드     | 420, 430 : 데이터 신호 패드 |
| <20> | 440 : 게이트 신호 패드    |                      |

도면

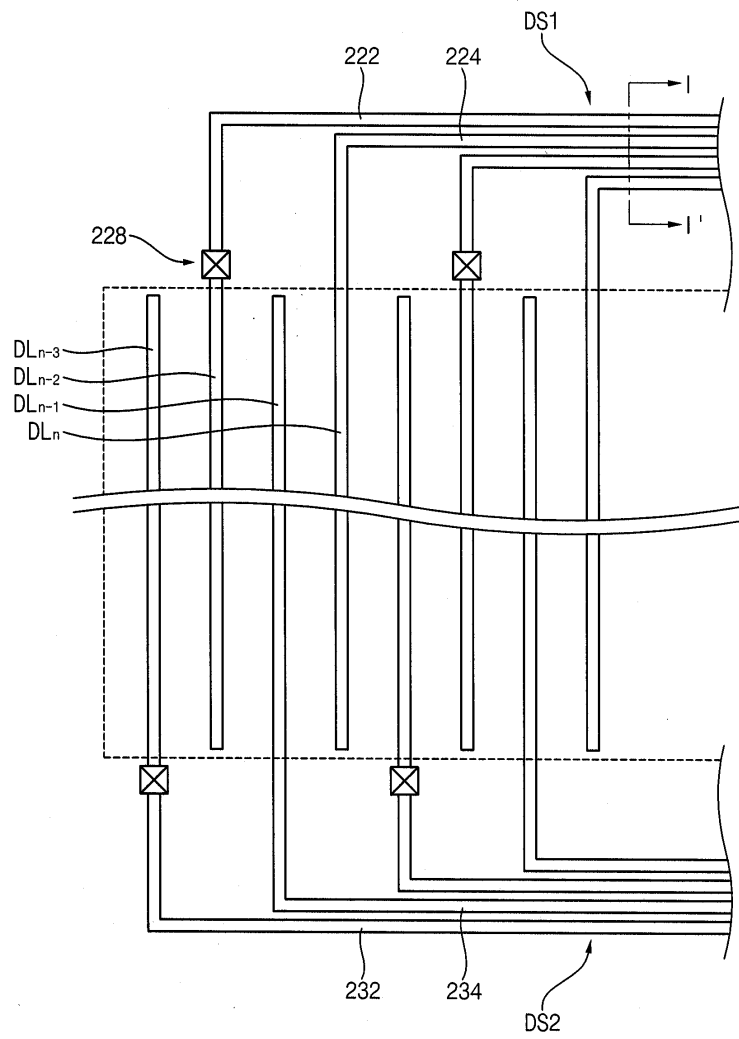
도면1



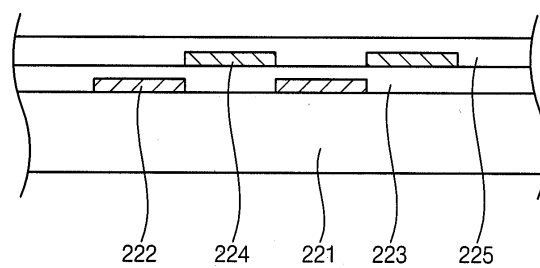
도면2



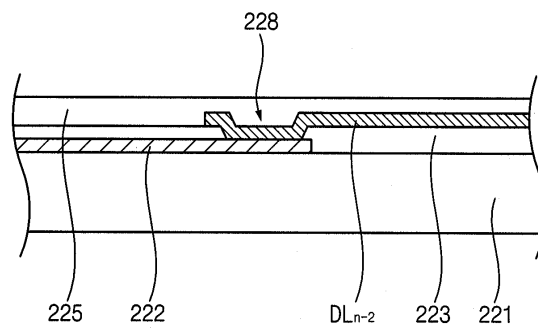
도면3



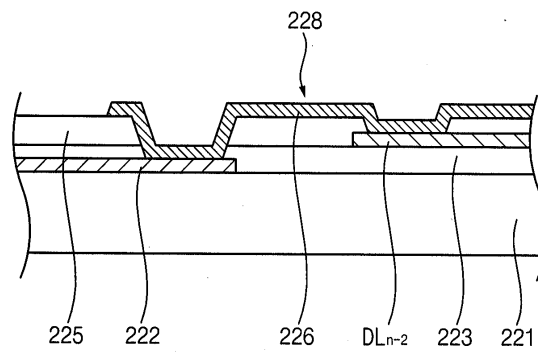
도면4



도면5

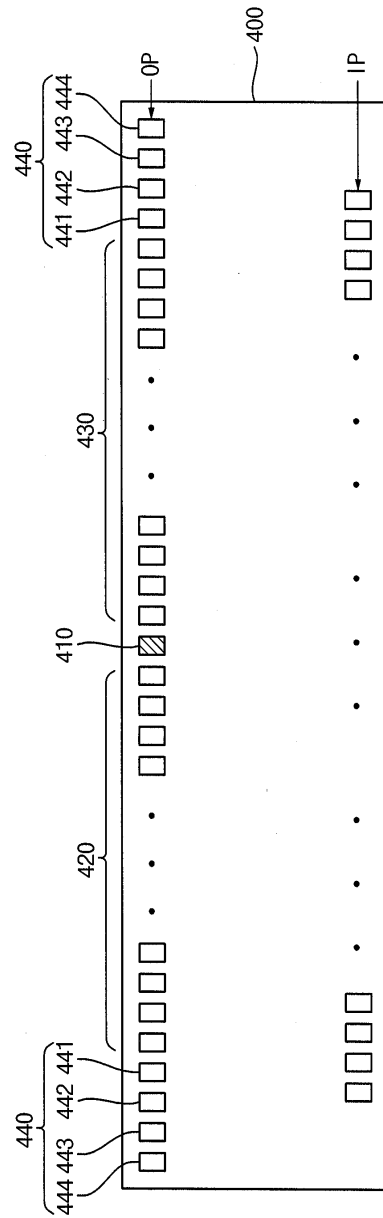


도면6

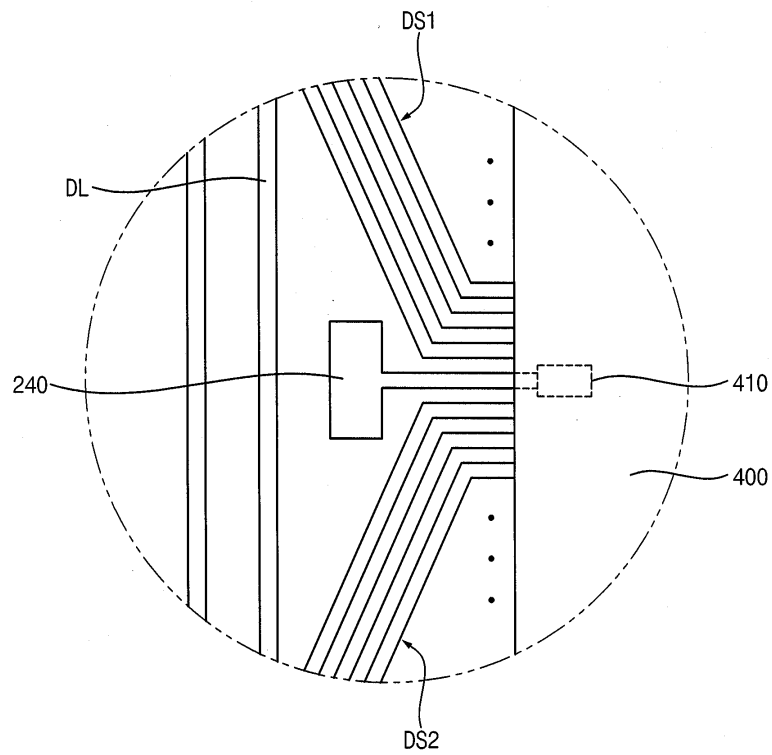




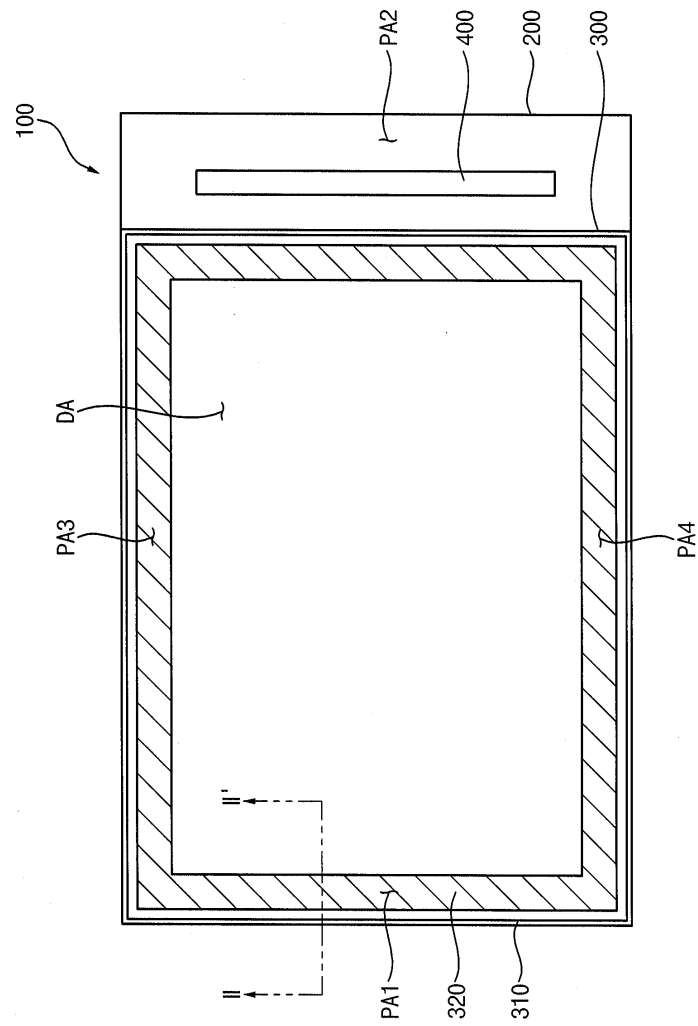
도면7



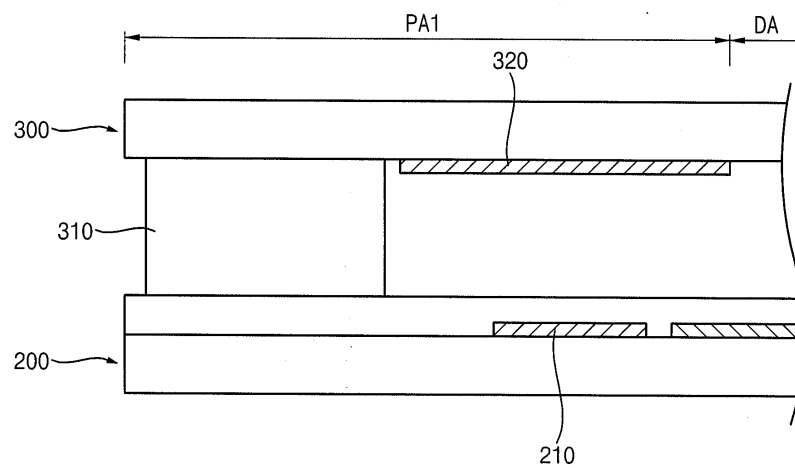
도면8



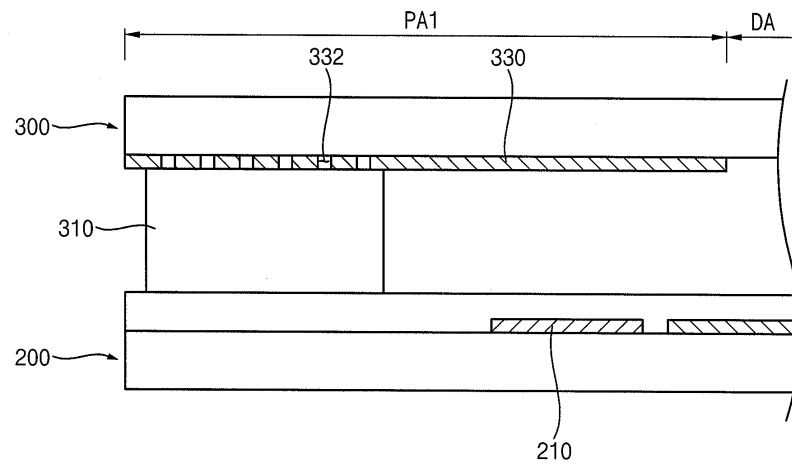
도면9



도면10



도면11



|                |                                                                                                                  |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示设备                                                                                                             |         |            |
| 公开(公告)号        | <a href="#">KR1020080027980A</a>                                                                                 | 公开(公告)日 | 2008-03-31 |
| 申请号            | KR1020060092719                                                                                                  | 申请日     | 2006-09-25 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                                                                                         |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                                                                                                        |         |            |
| 当前申请(专利权)人(译)  | 三星显示器有限公司                                                                                                        |         |            |
| [标]发明人         | HER YONG KOO<br>허용구<br>JEON JIN<br>전진<br>UH KEE HAN<br>어기한<br>JEON YONG JE<br>전용제<br>PARK YONG HAN<br>박용한        |         |            |
| 发明人            | 허용구<br>전진<br>어기한<br>전용제<br>박용한                                                                                   |         |            |
| IPC分类号         | G02F1/1345                                                                                                       |         |            |
| CPC分类号         | G02F1/13452 G09G3/3648 G09G2300/0408 G02F1/1345 G09G2300/0426 G09G3/3677 G02F1/136209 G02F1/136286 G09G2310/0286 |         |            |
| 代理人(译)         | PARK , YOUNG WOO                                                                                                 |         |            |
| 其他公开文献         | KR101274037B1                                                                                                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                        |         |            |

#### 摘要(译)

公开了一种用于减小显示区域的上侧和下侧的宽度的显示装置。显示装置包括显示区域，第一和第二围绕显示区域的四个侧面，以及第三和第四外围区域。显示装置包括显示基板，相对板和驱动芯片。显示基板包括栅极线，该栅极线形成为在显示区域数据线中沿横向延伸，该显示区域数据线形成为在栅极绝缘层绝缘栅极线上的显示区域中作为纵向延伸，第一端栅极线和栅极操作电路部分形成在相邻的第一边缘区域上。相对的板将液晶放置在该间隔中并且面对显示基板。在作为驱动芯片的第二端和相邻的第二外围区域是栅极线的第一端中的相对侧，它布置在显示基板中。这样，驱动芯片被布置到第二外围区域，并且显示区域的上侧和下侧的宽度可以减小。

