



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0012153  
(43) 공개일자 2008년02월11일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0073388

(22) 출원일자 2007년07월23일

심사청구일자 없음

(30) 우선권주장

1020060072698 2006년08월01일 대한민국(KR)

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

최진영

서울 노원구 상계9동 보람아파트 209동 102호

전진

경기 안양시 동안구 귀인동 꿈마을금호아파트 801동 702호

(74) 대리인

팬코리아특허법인

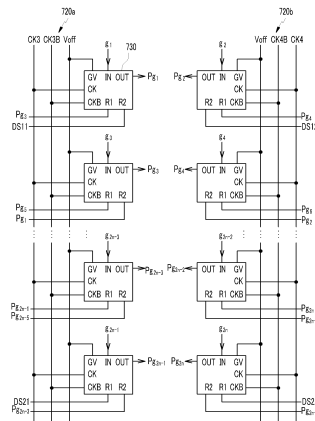
전체 청구항 수 : 총 15 항

(54) 표시 장치

(57) 요약

본 발명은 표시 장치에 관한 것으로서, 상기 표시 장치는 상기 화소에 연결되어 있고 게이트 온 전압과 게이트 오프 전압으로 이루어진 일반 게이트 신호를 전달하는 복수의 게이트선, 상기 게이트선과 교차하며 데이터 전압을 전달하는 복수의 데이터선, 상기 게이트선과 나란하게 뻗으며 유지 신호를 전달하는 복수의 유지 전극선, 상기 게이트선 및 상기 데이터선에 연결되어 있는 스위칭 소자, 상기 스위칭 소자와 공통 전압 사이에 연결되어 있는 액정 축전기, 그리고 상기 스위칭 소자와 상기 유지 전극선 사이에 연결되어 있는 유지 축전기를 각각 포함하며 행렬의 형태로 배열되어 있는 복수의 화소, 상기 일반 게이트 신호에 기초하여 유사 게이트 신호를 생성하는 복수의 유사 게이트 구동 회로, 그리고 상기 유사 게이트 신호에 기초하여 상기 유지 신호를 생성하는 복수의 유지 신호 생성 회로를 포함한다. 상기 각 화소에 인가되는 유지 신호는 상기 액정 축전기 및 상기 유지 축전기에 데이터 전압의 충전이 끝난 직후 전압 레벨이 변화한다.

대표도 - 도6



## 특허청구의 범위

### 청구항 1

게이트 온 전압과 게이트 오프 전압으로 이루어진 일반 게이트 신호를 전달하는 복수의 게이트선,  
 상기 게이트선과 교차하며 데이터 전압을 전달하는 복수의 데이터선,  
 상기 게이트선과 나란하게 뻗으며 유지 신호를 전달하는 복수의 유지 전극선,  
 상기 게이트선 및 상기 데이터선에 연결되어 있는 스위칭 소자, 상기 스위칭 소자와 공통 전압 사이에 연결되어 있는 액정 축전기, 그리고 상기 스위칭 소자와 상기 유지 전극선 사이에 연결되어 있는 유지 축전기를 각각 포함하며 행렬의 형태로 배열되어 있는 복수의 화소,  
 상기 일반 게이트 신호에 기초하여 유사 게이트 신호를 생성하는 복수의 유사 게이트 구동 회로, 그리고  
 상기 유사 게이트 신호에 기초하여 상기 유지 신호를 생성하는 복수의 유지 신호 생성 회로  
 를 포함하고,  
 상기 각 화소에 인가되는 유지 신호는 상기 액정 축전기 및 상기 유지 축전기에 데이터 전압의 충전이 끝난 직후 전압 레벨이 변화하는  
 표시 장치.

### 청구항 2

제1항에서,  
 상기 충전된 데이터 전압이 정극성인 경우 상기 유지 신호는 저레벨에서 고레벨로 변화하고, 상기 충전된 데이터 전압이 부극성인 경우 상기 유지 신호는 고레벨에서 저레벨로 변화하는 표시 장치.

### 청구항 3

제2항에서,  
 상기 각 유사 게이트 구동 회로는 상기 일반 게이트 신호를 소정 시간 지연시켜 상기 유사 게이트 신호를 생성하는 표시 장치.

### 청구항 4

제3항에서,  
 상기 소정 시간은 2H인 표시 장치.

### 청구항 5

제4항에서,  
 상기 공통 전압은 일정한 값을 가지는 표시 장치.

### 청구항 6

제5항에서,  
 상기 게이트 신호를 생성하는 게이트 구동부를 더 포함하고, 상기 게이트 구동부는 양방향 게이트 구동부인 표시 장치.

### 청구항 7

제1항 내지 제6항 중 어느 한 항에서,  
 상기 각 유사 게이트 구동 회로는,  
 일반 게이트 신호가 인가되어 출력 전압을 출력하는 입력부,

제1 클록 신호가 인가되고, 상기 출력 전압의 상태에 따라 동작하여 상기 제1 클록 신호를 유사 게이트 신호로서 출력하는 출력부,

상기 게이트 오프 전압, 제2 클록 신호 및 상기 출력 전압이 인가되고 상기 출력부와 연결되어 상기 제1 클록 신호의 상태 변화로부터 상기 유사 게이트 신호의 상태를 안정화시키는 안정화부, 그리고

상기 게이트 오프 전압, 후단의 유사 게이트 신호와 전단의 유사 게이트 신호 및 상기 출력 전압이 인가되고 상기 안정화부에 연결되어, 상기 제1 클록 신호의 상태 변화로부터 상기 출력 전압의 상태를 안정화시키고 상기 유사 게이트 구동 회로의 동작을 리셋하는 리셋부

를 포함하는

표시 장치.

### 청구항 8

제7항에서,

상기 제2 클록 신호는 상기 게이트 온 전압과 동일한 펄스 폭을 갖고, 상기 제1 클록 신호와 약 180° 위상차를 가지는 표시 장치.

### 청구항 9

제7항에서,

상기 제1 및 제2 클록 신호의 고레벨 전압은 게이트 온 전압과 동일하고, 상기 제1 및 제2 클록 신호의 저레벨 전압은 게이트 오프 전압과 동일한 표시 장치.

### 청구항 10

제7항에서,

상기 후단 및 전단의 유사 게이트 신호의 게이트 온 전압과 상기 입력되는 일반 게이트 신호의 게이트 온 전압의 인가 시기의 차이는 약 2H인 표시 장치.

### 청구항 11

제7항에서,

상기 입력부는 상기 일반 게이트 신호에 입력 단자와 제어 단자가 입력되어 있고 출력 단자로 상기 출력 전압을 출력하는 제1 스위칭 소자를 포함하는 표시 장치.

### 청구항 12

제11항에서,

상기 출력부는 상기 제1 클록 신호에 입력 단자가 연결되어 있고, 상기 출력 전압에 제어 단자가 연결되어 출력 단자로 상기 유사 게이트 신호를 출력하는 제2 스위칭 소자, 그리고 상기 제2 스위칭 소자의 제어 단자와 출력 단자 사이에 연결되어 있는 제1 축전기를 포함하는 표시 장치.

### 청구항 13

제12항에서,

상기 안정화부는,

상기 제2 스위칭 소자의 출력 단자에 입력 단자가 연결되어 있고 상기 제2 클록 신호에 제어 단자가 연결되어 있고, 상기 게이트 오프 전압에 출력 단자가 연결되어 있는 제3 스위칭 소자,

상기 제2 스위칭 소자의 출력 단자에 입력 단자가 연결되어 있고 상기 게이트 오프 전압에 출력 단자가 연결되어 있는 제4 스위칭 소자,

상기 제1 클록 신호와 상기 제4 스위칭 소자의 제어 단자에 사이에 연결되어 있는 제2 축전기, 그리고

상기 제4 스위칭 소자의 제어 단자에 입력 단자가 연결되어 있고, 상기 출력 전압에 제어 단자가 연결되어 있으며, 출력 단자가 상기 게이트 오프 전압에 연결되어 있는 제5 스위칭 소자

를 포함하는 표시 장치.

**청구항 14**

제13항에서,

상기 리셋부는,

상기 출력 전압에 입력 단자가 연결되어 있고, 상기 제4 스위칭 소자의 제어 단자에 제어 단자가 연결되어 있고, 상기 게이트 오프 전압에 출력 단자가 연결되어 있는 제6 스위칭 소자,

상기 출력 전압에 입력 단자가 연결되어 있고, 상기 후단의 유사 게이트 신호에 제어 단자가 연결되어 있고, 상기 게이트 오프 전압에 출력 단자가 연결되어 있는 제7 스위칭 소자, 그리고

상기 출력 전압에 입력 단자가 연결되어 있고, 상기 전단의 유사 게이트 신호에 제어 단자가 연결되어 있고, 상기 게이트 오프 전압에 출력 단자가 연결되어 있는 제8 스위칭 소자

를 포함하는 표시 장치.

**청구항 15**

제1항 내지 제6항 중 어느 한 항에서,

동일한 유지 전극선에 인가되는 유지 신호의 전압 레벨은 프레임 주기로 반전되는 표시 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 표시 장치에 관한 것이다.

**배경기술**

<2> 일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다. 화소 전극과 공통 전극 및 그 사이의 액정층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.

<3> 이러한 액정 표시 장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이때, 액정층에 한 방향의 전계가 오랫동안 인가됨으로써 발생하는 열화 현상을 방지하기 위하여 프레임별로, 행별로, 또는 화소별로 공통 전압에 대한 데이터 전압의 극성을 반전시킨다.

<4> 하지만, 행 반전일 경우, 화소별로 공통 전압에 대한 데이터 전압의 극성을 반전시키는 점 반전(dot inversion)일 경우보다 화상 표시를 위한 데이터 전압의 범위가 작다. 따라서, VA(vertical alignment) 모드 액정 표시 장치 등과 같이 액정 구동을 위한 문턱 전압(threshold voltage)이 높을 경우, 실제 화상 표시를 위한 계조를 표현하는데 이용되는 데이터 전압의 범위가 문턱 전압만큼 작아지고, 이로 인해, 원하는 휘도를 얻을 수 없게 된다.

<5> 또한 액정 표시 장치 중, 특히 핸드폰 등에 사용되는 중소형 표시 장치일 경우, 소비 전력 등을 절약하기 위해, 행별로 공통 전압에 대한 데이터 전압의 극성을 반전시키는 행 반전(row inversion)을 실시하고 있지만, 중소형 표시 장치에서도 해상도가 점점 증가하여 전력 소비가 점점 증가하게 된다.

**발명의 내용**

**해결 하고자하는 과제**

- <6> 본 발명이 이루고자 하는 기술적 과제는 표시 장치의 휘도를 향상시키는 것이다.
- <7> 본 발명이 이루고자 하는 다른 기술적 과제는 표시 장치의 소비 전력을 감소시키는 것이다.

**과제 해결수단**

- <8> 본 발명의 한 실시예에 따른 표시 장치는 게이트 온 전압과 게이트 오프 전압으로 이루어진 일반 게이트 신호를 전달하는 복수의 게이트선, 상기 게이트선과 교차하며 데이터 전압을 전달하는 복수의 데이터선, 상기 게이트선과 나란하게 뻗으며 유지 신호를 전달하는 복수의 유지 전극선, 상기 게이트선 및 상기 데이터선에 연결되어 있는 스위칭 소자, 상기 스위칭 소자와 공통 전압 사이에 연결되어 있는 액정 축전기, 그리고 상기 스위칭 소자와 상기 유지 전극선 사이에 연결되어 있는 유지 축전기를 각각 포함하며 행렬의 형태로 배열되어 있는 복수의 화소, 상기 일반 게이트 신호에 기초하여 유사 게이트 신호를 생성하는 복수의 유사 게이트 구동 회로, 그리고 상기 유사 게이트 신호에 기초하여 상기 유지 신호를 생성하는 복수의 유지 신호 생성 회로를 포함하고, 상기 각 화소에 인가되는 유지 신호는 상기 액정 축전기 및 상기 유지 축전기에 데이터 전압의 충전이 끝난 직후 전압 레벨이 변화한다.
- <9> 상기 충전된 데이터 전압이 정극성인 경우 상기 유지 신호는 저레벨에서 고레벨로 변화하고, 상기 충전된 데이터 전압이 부극성인 경우 상기 유지 신호는 고레벨에서 저레벨로 변화하는 것이 바람직하다.
- <10> 상기 각 유사 게이트 구동 회로는 상기 일반 게이트 신호를 소정 시간 지연시켜 상기 유사 게이트 신호를 생성하는 것이 좋다. 이때, 상기 소정 시간은 2H일 수 있다.
- <11> 상기 공통 전압은 일정한 값을 가지는 것이 좋다.
- <12> 본 발명의 한 실시예에 따른 표시 장치는 상기 일반 게이트 신호를 생성하는 게이트 구동부를 더 포함하고, 상기 게이트 구동부는 양방향 게이트 구동부인 것이 좋다.
- <13> 상기 각 유사 게이트 구동 회로는 일반 게이트 신호가 인가되어 출력 전압을 출력하는 입력부, 제1 클록 신호가 인가되고, 상기 출력 전압의 상태에 따라 동작하여 상기 제1 클록 신호를 유사 게이트 신호로서 출력하는 출력부, 상기 게이트 오프 전압, 제2 클록 신호 및 상기 출력 전압이 인가되고 상기 출력부와 연결되어 상기 제1 클록 신호의 상태 변화로부터 상기 유사 게이트 신호의 상태를 안정화시키는 안정화부, 그리고 상기 게이트 오프 전압, 후단의 유사 게이트 신호와 전단의 유사 게이트 신호 및 상기 출력 전압이 인가되고 상기 안정화부에 연결되어, 상기 제1 클록 신호의 상태 변화로부터 상기 출력 전압의 상태를 안정화시키고 상기 유사 게이트 구동 회로의 동작을 리셋하는 리셋부를 포함할 수 있다.
- <14> 상기 제2 클록 신호는 상기 게이트 온 전압과 동일한 펄스 폭을 갖고, 상기 제1 클록 신호와 약 180° 위상차를 가질 수 있다.
- <15> 상기 제1 및 제2 클록 신호의 고레벨 전압은 게이트 온 전압과 동일하고, 상기 제1 및 제2 클록 신호의 저레벨 전압은 게이트 오프 전압과 동일할 수 있다.
- <16> 상기 후단 및 전단의 유사 게이트 신호의 게이트 온 전압과 상기 입력되는 일반 게이트 신호의 게이트 온 전압의 인가 시기의 차이는 2H일 수 있다.
- <17> 상기 입력부는 상기 일반 게이트 신호에 입력 단자와 제어 단자가 입력되어 있고 출력 단자로 상기 출력 전압을 출력하는 제1 스위칭 소자를 포함할 수 있다.
- <18> 상기 출력부는 상기 제1 클록 신호에 입력 단자가 연결되어 있고, 상기 출력 전압에 제어 단자가 연결되어 출력 단자로 상기 유사 게이트 신호를 출력하는 제2 스위칭 소자, 그리고 상기 제2 스위칭 소자의 제어 단자와 출력 단자 사이에 연결되어 있는 제1 축전기를 포함할 수 있다.
- <19> 상기 안정화부는 상기 제2 스위칭 소자의 출력 단자에 입력 단자가 연결되어 있고 상기 제2 클록 신호에 제어 단자가 연결되어 있고, 상기 게이트 오프 전압에 출력 단자가 연결되어 있는 제3 스위칭 소자, 상기 제2 스위칭 소자의 출력 단자에 입력 단자가 연결되어 있고 상기 게이트 오프 전압에 출력 단자가 연결되어 있는 제4 스위칭 소자, 상기 제1 클록 신호와 상기 제4 스위칭 소자의 제어 단자 사이에 연결되어 있는 제2 축전기, 그리고

상기 제4 스위칭 소자의 제어 단자에 입력 단자가 연결되어 있고, 상기 출력 전압에 제어 단자가 연결되어 있으며, 출력 단자가 상기 게이트 오프 전압에 연결되어 있는 제5 스위칭 소자를 포함할 수 있다.

- <20> 상기 리셋부는 상기 출력 전압에 입력 단자가 연결되어 있고, 상기 제4 스위칭 소자의 제어 단자에 제어 단자가 연결되어 있고, 상기 게이트 오프 전압에 출력 단자가 연결되어 있는 제6 스위칭 소자, 상기 출력 전압에 입력 단자가 연결되어 있고, 상기 후단의 유사 게이트 신호에 제어 단자가 연결되어 있고, 상기 게이트 오프 전압에 출력 단자가 연결되어 있는 제7 스위칭 소자, 그리고 상기 출력 전압에 입력 단자가 연결되어 있고, 상기 전단의 유사 게이트 신호에 제어 단자가 연결되어 있고, 상기 게이트 오프 전압에 출력 단자가 연결되어 있는 제8 스위칭 소자를 포함할 수 있다.
- <21> 동일한 유지 전극선에 인가되는 유지 신호의 전압 레벨은 프레임 주기로 반전될 수 있다.

**효 과**

- <22> 이러한 본 발명에 따르면, 공통 전압을 소정 크기의 전압으로 고정시킨 후, 소정 주기로 전압 레벨이 바뀌는 유지 신호를 유지 전극선에 인가하므로, 화소 전극 전압의 범위가 증가하여 화소 전압의 범위 또한 넓어지므로 계조를 표현하기 위한 전압의 범위가 넓어지므로 화질이 향상된다.
- <23> 또한 동일한 크기의 데이터 전압이 인가될 경우, 일정한 전압의 유지 전압이 인가될 때보다 넓은 범위의 화소 전압이 생성되므로, 소비 전력이 감소하고, 이에 더하여 공통 전압이 일정한 값으로 고정되므로 소비 전력은 더욱 줄어든다.
- <24> 이에 덧붙여, 별도의 선택 회로를 부가할 필요 없이 양방향 게이트 구동부와 유지 신호 생성부를 채용한 액정 표시 장치가 구현 가능하다.

**발명의 실시를 위한 구체적인 내용**

- <25> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <26> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <27> 먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.
- <28> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 발명의 한 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이다.
- <29> 도 1을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(gate driver)(400), 데이터 구동부(data driver)(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(gray voltage generator)(800), 유지 신호 생성부(storage signal generator)(700) 및 신호 제어부(signal controller)(600)를 포함한다.
- <30> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(signal line)( $G_1-G_{2n}$ ,  $G_d$ ,  $D_1-D_m$ ,  $S_1-S_{2n}$ )과 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- <31> 신호선( $G_1-G_{2n}$ ,  $G_d$ ,  $D_1-D_m$ ,  $S_1-S_{2n}$ )은 복수의 게이트선( $G_1-G_{2n}$ ,  $G_d$ ), 복수의 데이터선( $D_1-D_m$ ) 및 복수의 유지 전극선(storage electrode line)( $S_1-S_{2n}$ )을 포함한다.
- <32> 게이트선( $G_1-G_{2n}$ ,  $G_d$ )은 게이트 신호("주사 신호"라고도 함)를 전달하며 일반 게이트선( $G_1-G_{2n}$ )과 부가 게이트선( $G_d$ ) 포함한다. 유지 전극선( $S_1-S_{2n}$ )은 일반 게이트선( $G_1-G_{2n}$ )과 교대로 배치되어 있으며 유지 신호(storage signal)를 전달한다. 데이터선( $D_1-D_m$ )은 데이터 전압을 전달한다.
- <33> 게이트선( $G_1-G_{2n}$ ,  $G_d$ )과 유지 전극선( $S_1-S_{2n}$ )은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선( $D_1-$

$D_m$ )은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.

- <34> 도 1에 도시한 것처럼, 화소(PX)는 일반 게이트선( $G_1$ - $G_{2n}$ ), 데이터선( $D_1$ - $D_m$ ) 및 유지 전극선( $S_1$ - $S_{2n}$ )과 연결되어 있으며, 행렬의 형태로 배열되어 있다. 각 화소(PX), 예를 들면  $i$  번째( $i=1, 2, \dots, 2n$ ) 행,  $j$  번째( $j=1, 2, \dots, m$ ) 열의 화소(PX)는, 도 2에 도시한 바와 같이,  $i$  번째 일반 게이트선( $G_i$ )과  $j$  번째 데이터선( $D_j$ )에 연결된 스위칭 소자(Q), 스위칭 소자(Q)에 연결된 액정 축전기(liquid crystal capacitor)(Clc), 그리고 스위칭 소자(Q)와  $i$  번째 유지 전극선(S)에 연결된 유지 축전기(storage capacitor)(Cst)를 포함한다.
- <35> 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 일반 게이트선( $G_i$ )과 연결되어 있고, 입력 단자는 데이터선( $D_j$ )과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)와 연결되어 있다.
- <36> 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며, 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 공통 전압(Vcom)은 일정 크기를 갖는 직류(DC) 전압이다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- <37> 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 화소 전극(191)과 유지 전극선( $S_i$ )이 절연체를 사이에 두고 중첩하여 이루어진다.
- <38> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 둘 수도 있다.
- <39> 액정 표시판 조립체(300)에는 적어도 하나의 편광자(도시하지 않음)가 구비되어 있다.
- <40> 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 전체 계조 전압 또는 한정된 수효의 계조 전압(앞으로 "기준 계조 전압"이라 한다)을 생성한다. (기준) 계조 전압은 공통 전압(Vcom)에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함할 수 있다.
- <41> 게이트 구동부(400)는 액정 표시판 조립체(300)의 양 측면, 예를 들면, 오른쪽과 왼쪽 끝에 배치되어 있는 제1 및 제2 게이트 구동 회로(400a, 400b)를 포함한다.
- <42> 제1 게이트 구동 회로(400a)는 홀수 번째 일반 게이트선( $G_1, G_3, \dots, G_{2n-1}$ ) 및 부가 게이트선( $G_q$ )과 한 쪽 끝에서 연결되어 있으며, 제2 게이트 구동 회로(400b)는 짝수 번째 일반 게이트선( $G_2, G_4, \dots, G_{2n}$ )과 한 쪽 끝에서 연결되어 있다. 그러나 이에 한정되는 것은 아니며 반대로 홀수 번째 일반 게이트선( $G_1, G_3, \dots, G_{2n-1}$ ) 및 부가 게이트선( $G_q$ )이 제2 게이트 구동 회로(400b)에 연결되어 있고 짝수 번째 일반 게이트선( $G_2, G_4, \dots, G_{2n}$ )은 제1 게이트 구동 회로(400a)에 연결되어 있을 수 있다.
- <43> 제1 및 제2 게이트 구동 회로(400a, 400b)는 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 연결된 게이트선( $G_1$ - $G_{2n}, G_q$ )에 인가한다.
- <44> 게이트 구동부(400)는 신호선( $G_1$ - $G_{2n}, G_d, D_1$ - $D_m, S_1$ - $S_{2n}$ ) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수 있다. 그러나 게이트 구동부(400)는 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다.
- <45> 유지 신호 생성부(700)는 액정 표시판 조립체(300)의 양 측면, 예를 들면, 제1 및 제2 게이트 구동 회로(400a,

400b)와 각각 인접하게 배치되어 있는 제1 및 제2 유지 신호 생성 회로(700a, 700b)를 구비한다.

- <46> 제1 유지 신호 생성 회로(700a)는 홀 수번째 유지 전극선( $S_1, S_3, \dots, S_{2n-1}$ ) 및 짝수 번째 일반 게이트선( $G_2, G_4, \dots, G_{2n}$ )에 연결되어 있으며, 홀 수 번째 유지 전극선( $S_1, S_3, \dots, S_{2n-1}$ )에 고레벨 전압과 저레벨 전압으로 이루어진 유지 신호를 인가한다.
- <47> 제2 유지 신호 생성 회로(700b)는 짝 수번째 유지 전극선( $S_2, S_4, \dots, S_{2n}$ ) 및 첫 번째 일반 게이트선( $G_1$ )을 제외한 홀수 번째 일반 게이트선( $G_3, G_5, \dots, G_{2n-1}$ )과 부가 게이트선( $G_4$ )에 연결되어 있으며, 짝수 번째 유지 전극선( $S_2, S_4, \dots, S_{2n}$ )에 유지 신호를 인가한다.
- <48> 이와는 달리, 유지 신호 생성부(700)는 게이트 구동부(400)에 연결된 별도의 부가 게이트선( $G_4$ )을 통해 필요한 신호를 공급받지 않고 별도의 신호 발생부나 신호 제어부(600) 등과 같은 별도의 장치로부터 필요한 신호를 공급 받을 수 있다. 이 경우, 게이트 구동부(400)에 연결된 부가 게이트선( $G_4$ )은 액정 표시판 조립체(300)에 형성될 필요가 없다.
- <49> 유지 신호 생성부(700)는 신호선( $G_1-G_{2n}, G_d, D_1-D_m, S_1-S_{2n}$ ) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수 있다. 그러나 유지 신호 생성부(700)는 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다.
- <50> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선( $D_1-D_m$ )과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 전압으로서 데이터선( $D_1-D_m$ )에 인가한다. 그러나 계조 전압 생성부(800)가 계조 전압을 모두 제공하는 것이 아니라 한정된 수효의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 원하는 데이터 전압을 생성한다. 데이터 구동부(500)는 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(도시하지 않음) 위에 장착되어 TCP의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(도시하지 않음) 위에 장착될 수도 있다.
- <51> 신호 제어부(600)는 게이트 구동부(400), 데이터 구동부(500) 및 유지 신호 생성부(700) 등을 제어한다.
- <52> 데이터 구동부(500), 신호 제어부(600) 및 계조 전압 생성부(800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(500, 600, 800)가 신호선( $G_1-G_{2n}, G_d, D_1-D_m, S_1-S_{2n}$ ) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- <53> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.
- <54> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면  $1024(=2^{10})$ ,  $256(=2^8)$  또는  $64(=2^6)$  개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호( $V_{sync}$ )와 수평 동기 신호( $H_{sync}$ ), 메인 클럭 신호(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <55> 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1), 데이터 제어 신호(CONT2) 및 유지 제어 신호(CONT3) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보내고, 유지 제어 신호(CONT3)를 유지 신호 생성부(700)에 내보낸다.
- <56> 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV1, STV2)와 게이트 온 전압(Von)의 출력

주기를 제어하는 적어도 하나의 클록 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.

- <57> 데이터 제어 신호(CONT2)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 아날로그 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.
- <58> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행, 예를 들면 i 번째 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 전압으로 변환한 다음, 이를 해당 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 인가한다.
- <59> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트선(G<sub>1</sub>-G<sub>2m</sub>) 중 하나, 예를 들면 i 번째 게이트선(G<sub>i</sub>)에 인가되는 게이트 신호를 게이트 온 전압(Von)으로 바꾸어, 이 게이트선(G<sub>i</sub>)에 연결된 스위칭 소자(Q)를 턴온시킨다[단, 부가 게이트선(G<sub>i</sub>)에는 스위칭 소자(Q)가 연결되어 있지 않으므로 제외]. 그러면, 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 인가된 데이터 전압이 턴온된 스위칭 소자(Q)를 통하여 i 번째 행의 화소(PX)에 인가되고 이에 따라 화소(PX) 내의 액정 축전기(C1c)와 유지 축전기(Cst)가 충전된다.
- <60> 액정 축전기(C1c)의 충전 전압, 즉 화소 전압은 화소(PX)에 인가된 데이터 전압과 공통 전압(Vcom)의 차이와 거의 같다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 편광자에 의하여 빛의 투과율 변화로 나타나며, 이를 통해 화소(PX)는 영상 신호(DAT)의 계조가 나타내는 휘도를 표시한다.
- <61> 하나의 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]가 지나서, 데이터 구동부(500)가 (i+1) 번째 행의 화소(PX)에 대한 데이터 전압을 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 인가하면, 게이트 구동부(400)는 i 번째 게이트선(G<sub>i</sub>)에 인가되는 게이트 신호를 게이트 오프 전압(Voff)으로 바꾸고 그 다음 게이트선(G<sub>i+1</sub>)에 인가되는 게이트 신호를 게이트 온 전압(Von)으로 바꾼다.
- <62> 그러면 i 번째 화소 행의 스위칭 소자(Q)가 턴 오프되고 이에 따라 화소 전극(191)이 고립 상태(floating)가 된다.
- <63> 유지 신호 생성부(700)는 신호 제어부(600)로부터의 유지 제어 신호(CONT3)와 (i+1) 번째 게이트선(G<sub>i+1</sub>)에 인가되는 게이트 신호의 전압 상승에 따라 i 번째 유지 전극선(S<sub>i</sub>)에 인가되는 유지 신호의 전압 레벨을 바꾼다. 그러면, i 번째 화소 행의 유지 축전기(Cst)의 한 쪽 단자인 화소 전극(191)이 다른 쪽 단자인 유지 전극선(S<sub>i</sub>)의 전압 변화에 따라 그 전압을 바꾼다.
- <64> 이러한 과정을 모든 화소행에 대하여 되풀이함으로써 액정 표시 장치는 한 프레임(frame)의 영상을 표시한다.
- <65> 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 또한, 한 행의 화소(PX)에 인가되는 데이터 전압의 극성은 모두 동일하며, 인접한 두 행의 화소(PX)에 인가되는 데이터 전압의 극성은 반대이다("행 반전").
- <66> 이와 같이 본 실시예에 따른 액정 표시 장치가 프레임 반전 및 행 반전을 수행하므로, 어느 한 행의 화소(PX)에 인가되는 데이터 전압은 모두 정극성이거나 부극성이며, 프레임 단위로 극성이 바뀐다. 이때 유지 전극선(S<sub>1</sub>-S<sub>2m</sub>)에 인가되는 유지 신호는 화소 전극(191)에 정극성의 데이터 전압이 충전된 경우에는 저레벨 전압에서 고레벨 전압으로 변화하며, 반대로 화소 전극(191)에 부극성의 데이터 전압이 충전된 경우에는 고레벨 전압에서 저레벨 전압으로 변화한다. 그러므로 화소 전극(191)의 전압은 정극성 데이터 전압으로 충전된 경우에는 더 올라가고 부극성 데이터 전압으로 충전된 경우에는 더 내려간다. 따라서 화소 전극(191)의 전압 범위는 데이터 전압의 기초인 계조 전압의 범위보다 넓으며, 이에 따라 낮은 기본 전압으로도 넓은 범위의 휘도를 구현할 수 있다.

- <67> 한편, 제1 및 제2 유지 신호 생성 회로(700a, 700b)는 각각 유지 전극선( $S_1$ - $S_{2n}$ )에 각각 연결된 복수의 신호 생성 회로(signal generating circuit)(710)를 포함할 수 있으며, 이러한 신호 생성 회로(710)의 한 예에 대하여 도 3 및 도 4를 참고로 하여 상세하게 설명한다.
- <68> 도 3은 본 발명의 한 실시예에 따른 신호 생성 회로의 회로도이고, 도 4는 도 3에 도시한 신호 생성 회로를 포함하는 액정 표시 장치에 사용되는 신호의 타이밍도이다.
- <69> 도 3에 도시한 바와 같이, 신호 생성 회로(710)는 입력단(IP)과 출력단(OP)을 가진다.  $i$  번째 신호 생성 회로인 경우, 입력단(IP)은  $(i+1)$  번째 게이트선( $G_{i+1}$ )과 연결되어  $(i+1)$  번째 게이트 신호( $g_{i+1}$ )(앞으로 "입력 신호"라 한다)를 받으며, 출력단(OP)은  $i$  번째 유지 전극선( $S_i$ )과 연결되어  $i$  번째 유지 신호( $V_{S_i}$ )를 출력한다. 이와 마찬가지로,  $(i+1)$  번째 신호 생성 회로인 경우, 입력단(IP)은  $(i+2)$  번째 게이트선( $G_{i+2}$ )과 연결되어  $(i+2)$  번째 게이트 신호( $g_{i+2}$ )를 입력 신호로서 받으며, 출력단(OP)은  $(i+1)$  번째 유지 전극선( $S_{i+1}$ )과 연결되어  $(i+1)$  번째 유지 신호( $V_{S_{i+1}}$ )를 출력한다.
- <70> 신호 생성 회로(710)는 신호 제어부(600)로부터 유지 제어 신호(CONT3)의 일종인 제1, 제2 및 제3 클록 신호(CK1, CK1B, CK2)를 받고, 신호 제어부(600) 또는 외부에서 고전압(AVDD)과 저전압(AVSS)을 받는다.
- <71> 도 4에 도시한 것처럼, 제1 내지 제3 클록 신호(CK1, CK1B, CK2)는 2H의 주기를 가지며 듀티비는 약 50%일 수 있다. 제1 클록 신호(CK1)와 제2 클록 신호(CK1B)는 약  $180^\circ$ 의 위상차를 가지는 서로 반전된 신호이며, 제2 클록 신호(CK1B)와 제3 클록 신호(CK2)의 위상은 서로 동일하다. 또한 제1 내지 제3 클록 신호(CK1, CK1B, CK2)의 파형은 프레임 단위로 반전된다.
- <72> 제1 및 제2 클록 신호(CK1, CK1B)의 고레벨 전압( $V_{h1}$ )은 약 15V이고 저레벨 전압( $V_{l1}$ )은 약 0V일 수 있으며, 제3 클록 신호(CK2)의 고레벨 전압( $V_{h2}$ )은 약 5V이고 저레벨 전압( $V_{l2}$ )은 약 0V일 수 있다. 고전압(AVDD)은 제3 클록 신호(CK2)의 고레벨 전압( $V_{h2}$ )과 동일하게 약 5V이고 저전압(AVSS)은 제3 클록 신호(CK2)의 저레벨 전압( $V_{l2}$ )과 동일하게 약 0V일 수 있다.
- <73> 신호 생성 회로(710)는 제어 단자, 입력 단자 및 출력 단자를 각각 가지는 다섯 개의 트랜지스터( $Tr_1$ ,  $Tr_2$ ,  $Tr_3$ ,  $Tr_4$ ,  $Tr_5$ )와 두 개의 축전기( $C_1$ ,  $C_2$ )를 포함한다.
- <74> 트랜지스터( $Tr_1$ )의 제어 단자는 입력단(IP)과 연결되어 있고, 입력 단자는 제3 클록 신호(CK2)와 연결되어 있으며, 출력 단자는 출력단(OP)과 연결되어 있다.
- <75> 트랜지스터( $Tr_2/Tr_3$ )의 제어 단자는 입력단(IP)과 연결되어 있고, 입력 단자는 제1/제2 클록 신호(CK1/CK1B)와 연결되어 있다.
- <76> 트랜지스터( $Tr_4/Tr_5$ )의 제어 단자는 트랜지스터( $Tr_2/Tr_3$ )의 출력 단자와 연결되어 있고, 입력 단자는 저전압(AVSS)/고전압(AVDD)에 연결되어 있으며, 출력 단자는 출력단(OP)과 연결되어 있다.
- <77> 축전기( $C_1/C_2$ )는 트랜지스터( $Tr_4/Tr_5$ )의 제어 단자와 저전압(AVSS)/고전압(AVDD) 사이에 연결되어 있다.
- <78> 트랜지스터( $Tr_1-Tr_5$ )는 비정질 규소(amorphous silicon) 또는 다결정 규소(poly crystalline silicon) 박막 트랜지스터로 이루어질 수 있다.
- <79> 이러한 신호 생성 회로의 동작에 대하여 상세하게 설명한다.
- <80> 본 실시예에 따르면, 도 4에 도시한 것처럼, 인접한 두 게이트선에 인가되는 게이트 온 전압( $V_{on}$ )의 인가 시간이 일부 중첩되어 있고, 이때, 게이트 온 전압( $V_{on}$ )의 중첩 시간은 약 1H일 수 있다. 이로 인해, 모든 행의 화소는 바로 이전 행의 화소에 인가되는 데이터 전압으로 약 1H동안 충전되지만, 나머지 약 1H 동안에는 자신의 데이터 전압으로 충전이 이루어져 정상적으로 영상의 표시 동작이 이루어진다.
- <81> 먼저,  $i$  번째 신호 생성 회로에 대하여 설명한다.
- <82> 입력 신호, 즉  $(i+1)$  번째 게이트선( $G_{i+1}$ )에 인가되는 게이트 신호( $g_{i+1}$ )가 게이트 온 전압( $V_{on}$ )이 되면, 제1 내지 제3 트랜지스터( $Tr_1-Tr_3$ )가 턴온된다. 턴온된 트랜지스터( $Tr_1$ )는 제3 클록 신호(CK2)를 출력단(OP)에 전달하여, 제3 클록 신호(CK2)의 저레벨 전압( $V_{l2}$ )에 의해 유지 신호( $V_{S_i}$ )의 전압 레벨은 저레벨 전압( $V^-$ )이 된다. 한편 턴온된 트랜지스터( $Tr_2$ )는 제1 클록 신호(CK1)를 트랜지스터( $Tr_4$ )의 제어 단자에 전달하고, 턴온된 트랜지

스터(Tr3)는 제2 클록 신호(CK1B)를 트랜지스터(Tr5)의 제어 단자에 전달한다.

- <83> 제1 클록 신호(CK1)와 제2 클록 신호(CK1B)는 서로 반전된 신호이므로 트랜지스터(Tr4)와 트랜지스터(Tr5)는 서로 반대로 동작한다. 즉, 트랜지스터(Tr4)가 턴 온되면 트랜지스터(Tr5)가 턴 오프되고, 반대로 트랜지스터(Tr4)가 턴 오프되면 트랜지스터(Tr5)가 턴 온된다. 트랜지스터(Tr4)가 턴 온되고 트랜지스터(Tr5)가 턴 오프되면 저전압(AVSS)이 출력단(OP)에 전달되고, 트랜지스터(Tr4)가 턴 오프되고 트랜지스터(Tr5)가 턴 온되면 고전압(AVDD)이 출력단(OP)에 전달된다.
- <84> 게이트 신호( $g_{i+1}$ )의 게이트 온 전압( $V_{on}$ ) 상태는 예를 들면 2H 동안 유지되며, 전반 1H 동안을 전반 구간(T1), 후반 1H 동안을 후반 구간(T2)라 하자.
- <85> 전반 구간(T1) 동안 제1 클록 신호(CK1)는 고레벨 전압( $V_{h1}$ )이고, 제2 및 제3 클록 신호(CK1B, CK2)는 저레벨 전압( $V_{l1}$ ,  $V_{l2}$ )이므로, 트랜지스터(Tr1)가 전달하는 제3 클록 신호(CK2)의 저레벨 전압( $V_{l2}$ )이 걸려 있는 출력단(OP)에는 트랜지스터(Tr4)가 전달하는 저전압(AVSS)이 걸린다. 따라서 유지 신호( $V_{s_i}$ )는 저레벨 전압( $V_{l2}$ ) 및 저전압(AVSS)과 같은 크기의 저레벨 전압( $V^-$ )이 된다. 한편, 전반 구간(T1) 동안, 축전기(C1)에는 제1 클록 신호(CK1)의 고레벨 전압( $V_{h1}$ )과 저전압(AVSS)의 차이만큼의 전압이 충전되고 축전기(C2)에는 제2 클록 신호(CK1B)의 저레벨 전압( $V_{l1}$ )과 고전압(AVDD)의 차이만큼의 전압이 충전된다.
- <86> 후반 구간(T2) 동안 제1 클록 신호(CK1)는 저레벨 전압( $V_{l1}$ )이고 제2 및 제3 클록 신호(CK1B, CK2)는 고레벨 전압( $V_{h1}$ ,  $V_{h2}$ )이므로, 전반 구간(T1)과는 반대로 트랜지스터(Tr5)는 턴온되고 트랜지스터(Tr4)는 턴오프된다.
- <87> 이로 인해, 출력단(OP)에는 턴온된 트랜지스터(Tr1)를 통해 전달되는 제3 클록 신호(CK2)의 고레벨 전압( $V_{h2}$ )이 걸리게 되어, 유지 신호( $V_{s_i}$ )는 저레벨 전압( $V^-$ )에서 고레벨 전압( $V_{h2}$ )과 동일한 레벨의 고레벨 전압( $V^+$ )으로 바뀌게 된다. 또한, 출력단(OP)에는 턴온된 트랜지스터(Tr5)를 통해 고레벨 전압( $V^+$ )과 동일한 레벨의 고전압(AVDD)이 인가된다.
- <88> 한편, 축전기(C1)의 충전 전압은 제1 클록 신호(CK1)의 저레벨 전압( $V_{l1}$ )과 저전압(AVSS)의 차이와 같으므로, 이들 두 전압이 같으면 축전기(C1)는 방전된다. 축전기(C2)의 충전 전압은 제2 클록 신호(CK1B)의 고레벨 전압( $V_{h1}$ )과 고전압(AVDD)의 차이와 같으므로 이들 두 전압이 서로 다르면 축전기(C2)의 충전 전압은 0이 아니다. 앞에서 예를 든 것처럼, 제2 클록 신호(CK1B)의 고레벨 전압( $V_{h1}$ )이 약 15V이고 고전압(AVDD)이 약 5V이면, 약 10V의 전압이 축전기(C2)에 충전된다.
- <89> 후반 구간(T2)이 끝나서 게이트 신호( $g_{i+1}$ )가 게이트 온 전압( $V_{on}$ )에서 게이트 오프 전압( $V_{off}$ )으로 바뀌면, 트랜지스터(Tr1-Tr3)는 턴 오프 상태로 바뀐다. 그러므로 트랜지스터(Tr1)의 출력 단자가 고립 상태가 되어 트랜지스터(Tr1)와 출력단(OP)의 전기적인 연결이 고립 상태가 되고, 또한 트랜지스터(Tr2, Tr3)의 출력 단자가 고립 상태가 되고, 이에 따라 트랜지스터(Tr4, Tr5)의 제어 단자 또한 고립 상태가 된다.
- <90> 축전기(C1)에는 전압이 충전되어 있지 않으므로 트랜지스터(Tr4)는 턴 오프 상태를 유지한다. 하지만, 축전기(C2)에는 제2 클록 신호(CK1B)의 고레벨 전압( $V_{h1}$ )과 고전압(AVDD)의 차이에 의해 전압이 충전되어 있으므로 그 전압이 트랜지스터(Tr5)의 문턱 전압 이상인 경우 트랜지스터(Tr5)는 턴온 상태를 유지한다. 따라서 출력단(OP)에는 고전압(AVDD)이 전달되고 유지 신호( $V_{s_i}$ )로서 출력된다. 그러므로 유지 신호( $V_{s_i}$ )는 고레벨 전압( $V^+$ )을 유지한다.
- <91> 다음, (i+1) 번째 신호 생성 회로의 동작에 대하여 설명한다.
- <92> (i+1) 번째 신호 생성 회로(도시하지 않음)에 (i+2) 번째 게이트 신호( $g_{i+1}$ )의 게이트 온 전압( $V_{on}$ )이 인가되면 (i+1) 번째 신호 생성 회로가 동작한다.
- <93> 도 4에 도시한 바와 같이, (i+2) 번째 게이트 신호( $g_{i+2}$ )가 게이트 온 전압( $V_{on}$ )이 되면, 이때의 제1 내지 제3 클록 신호(CK1, CK1B, CK2)의 상태는 (i+1) 번째 게이트 신호( $g_{i+1}$ )가 게이트 온 전압( $V_{on}$ )이 될 때의 상태와 반대가 된다.
- <94> 이로 인해, (i+2) 번째 게이트 신호( $g_{i+2}$ )의 전반 게이트 온 전압( $V_{on}$ ) 구간(T1)일 때의 동작은 (i+1) 번째 게이트 신호( $g_{i+1}$ )의 후반 게이트 온 전압( $V_{on}$ ) 구간(T2)일 때의 동작과 동일하여, 트랜지스터(Tr1, Tr3, Tr5)의 턴

은 동작에 의해 제3 클럭 신호(CK2)의 고레벨 전압(Vh2)과 고전압(AVDD)이 출력단(OP)에 걸리게 되어, 유지 신호(Vs<sub>i+1</sub>)는 고레벨 전압(V+)이 된다.

<95> 하지만 (i+2) 번째 게이트 신호(g<sub>i+2</sub>)의 후반 게이트 온 전압(Von) 구간(T2)일 때의 동작은 (i+1) 번째 게이트 신호(g<sub>i+1</sub>)의 전반 게이트 온 전압(Von) 구간(T1)일 때의 동작과 동일하여, 트랜지스터(Tr1, Tr2, Tr4)의 턴 온 동작에 의해 제3 클럭 신호(CK2)의 저레벨 전압(Vl2)과 저전압(AVSS)이 출력단(OP)에 걸리게 되어, 유지 신호(Vs<sub>i+1</sub>)는 고레벨 전압(V+)에서 저레벨 전압(V-)으로 바뀐다.

<96> 위에서 설명한 것처럼, 트랜지스터(Tr1)는 입력 신호의 전압 상태가 게이트 온 전압(Von)을 유지하는 동안 제3 클럭 신호(CK2)를 유지 신호로서 인가하기 위한 트랜지스터이고, 나머지 트랜지스터(Tr2-Tr5)는 입력 신호가 게이트 오프 전압(Voff)으로서 출력단(OP)이 트랜지스터(Tr1)의 출력 단자와 고립 상태일 때 축전기(C1, C2)를 이용하여 해당 유지 전극선에 인가되는 유지 신호의 전압 상태를 다음 프레임까지 유지하기 위한 트랜지스터이다. 즉, 트랜지스터(Tr1)는 해당 유지 전극선에 유지 신호를 초기에 인가하기 위한 것으로 나머지 트랜지스터(Tr2-Tr5)는 출력되고 있는 유지 신호를 일정하게 유지하기 위한 것이므로 트랜지스터(Tr2-Tr5)의 크기는 제1 트랜지스터(Tr1)의 크기보다 훨씬 작은 것이 좋다.

<97> 이러한 유지 신호(Vs)의 전압 변화로 인해, 화소 전극 전압(Vp)이 증감한다. 이하에서, 축전기와 이들 축전기의 정전 용량은 동일한 도면 부호로 표시한다.

<98> 즉, 화소 전극 전압(Vp)은 아래의 [수학식 1]처럼 구해진다. [수학식 1]에서 V<sub>D</sub>는 데이터 전압이고, Clc와 Cst는 각각 액정 축전기와 유지 축전기의 정전 용량을 나타내고, V+는 유지 신호(Vs)의 고레벨 전압이고 V-는 유지 신호(Vs)의 저레벨 전압이다.

**수학식 1**

$$V_p = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}} (V_+ - V_-)$$

<99>

<100> [수학식 1]에서 알 수 있듯이, 화소 전극 전압(Vp)은 축전기의 정전 용량(Clc, Cst) 및 유지 신호 (Vs)의 전압 변화에 의해 정해지는 변화량(Δ)이 데이터 전압 (V<sub>D</sub>)에 가감된 값이다.

<101> 따라서 화소 전극 전압(Vp)은 충전되어 있는 데이터 전압(V<sub>D</sub>)에 유지 신호(Vs)의 변화량(Δ)이 가감되어, 정극성 데이터 전압으로 충전되어 있을 경우에는 화소 전극 전압(Vp)은 변화량(Δ)만큼 증가되고, 반대로 부극성 데이터 전압으로 충전되어 있을 경우에는 화소 전극 전압(Vp)은 변화량(Δ)만큼 감소된다. 이로 인해, 화소 전압의 변화는 증감된 화소 전극 전압(Vp)에 의해 계조 전압의 범위 보다 넓어져, 표현되는 휘도 범위 역시 넓어진다.

<102> 또한, 이미 설명한 것처럼, 공통 전압(Vcom)이 일정한 전압으로 고정되어 있으므로, 낮은 전압과 높은 전압을 번갈아 인가할 때보다 소비 전력이 줄어든다.

<103> 이러한 실시예에 따르면, 공통 전압(Vcom)을 소정 크기의 전압으로 고정시킨 후, 소정 주기로 레벨이 바뀌는 유지 신호를 유지 전극선에 인가하여 화소 전극 전압의 범위를 증가시키고 이로 인해 화소 전압의 범위 또한 넓어지므로 계조를 표현하기 위한 전압의 범위가 넓어지므로 화질이 향상된다.

<104> 또한 동일한 크기의 데이터 전압이 인가될 경우, 일정한 전압의 유지 전압이 인가될 때보다 넓은 범위의 화소 전압이 생성되므로, 증가되는 데이터 전압의 크기를 고려하여 데이터 전압의 범위를 줄일 수 있으므로 소비 전력이 감소하고, 이에 더하여 공통 전압이 일정한 값으로 고정되므로 소비 전력은 더욱 줄어든다. 다음, 도 5 내지 도 8을 참고로 하여 본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 설명한다.

<105> 도 5는 본 발명의 다른 실시예에 따른 액정 표시 장치의 블록도이다. 도 6은 본 발명의 다른 실시예에 따른 유사 게이트 신호 생성 회로의 블록도이고, 도 7은 본 발명의 다른 실시예에 따른 유사 게이트 구동 회로의 회로도이며, 도 8은 도 7에 도시한 유사 게이트 구동 회로를 포함하는 액정 표시 장치에 사용되는 신호의 타이밍도이다.

- <106> 도 5에 도시한 액정 표시 장치는 도 1에 도시한 액정 표시 장치와 거의 유사하므로, 동일한 기능을 행하는 부분에 대해서는 같은 도면 부호를 부여하였고 그에 대한 상세한 설명은 생략한다.
- <107> 도 5에 도시한 바와 같이, 본 발명의 다른 실시예에 따른 액정 표시 장치는 게이트선( $G_1$ - $G_{2n}$ )에 연결된 게이트 구동부(401), 데이터선( $D_1$ - $D_m$ )에 연결된 데이터 구동부(500), 유지 전극선( $S_1$ - $S_{2n}$ )에 연결된 유지 신호 생성부(701), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 게이트 구동부(401) 및 데이터 구동부(500)에 연결된 신호 제어부(601)를 포함한다.
- <108> 하지만, 본 발명의 실시예에 따른 게이트 구동부(401)는 외부의 선택 신호에 의해 일반 게이트선( $G_1$ - $G_{2n}$ )의 주사 방향을 변경하는 양방향 게이트 구동부이다. 즉, 선택 신호의 상태에 따라 게이트 구동부(401)는 순방향으로, 즉, 첫 번째 일반 게이트선( $G_1$ )에서부터 마지막 일반 게이트선( $G_{2n}$ )으로 게이트 온 전압(Von)을 순차적으로 전달하거나, 반대로 역방향으로 즉, 마지막 일반 게이트선( $G_{2n}$ )에서부터 첫 번째 일반 게이트선( $G_1$ )으로 게이트 온 전압(Von)을 차례로 전달한다. 이를 위해, 액정 표시 장치는 사용자의 선택에 따라 해당 상태의 선택 신호를 신호 제어부(601) 등으로 출력하는 선택 스위치(도시하지 않음)를 더 구비할 수 있고, 신호 제어부(601)는 게이트 제어 신호(CONT1)를 통해 선택 스위치의 동작 상태를 전달하여 선택된 상태로 게이트 구동부(401)가 동작하도록 제어할 수 있다.
- <109> 도 5에 도시한 바와 같이, 유지 신호 생성부(701)는 제1 및 제2 유지 신호 생성 회로(701a, 701b)를 구비하고 있다. 하지만 도 1과는 달리, 본 발명의 실시예에 따른 제1 유지 신호 생성 회로(701a)는 짝수 번째 유지 전극선( $S_2, S_4, \dots, S_{2n}$ )에 연결되어 있고, 제2 유지 신호 생성 회로(701b)는 홀수 번째 유지 전극선( $S_1, S_3, \dots, S_{2n-1}$ )에 연결되어 있다. 하지만, 도 1에 도시한 제1 및 제2 유지 신호 생성 회로(700a, 700b)와 비교할 때, 제1 및 제2 유지 신호 생성 회로(701a, 701b)는 유지 전극선( $S_1$ - $S_{2n}$ )과의 연결 관계만 상이할 뿐 내부 구조는 동일하다. 이러한 제1 및 제2 유지 신호 생성 회로(701a, 701b)의 연결 관계는 이에 한정되지 않고 필요에 따라 변경될 수 있다.
- <110> 또한 도 1에 도시한 것과는 달리, 본 발명의 실시예에 따른 액정 표시 장치는 일반 게이트선( $G_1$ - $G_{2n}$ )과 유지 신호 생성부(701)에 연결된 유사 게이트 신호 생성부(720)를 더 구비한다.
- <111> 유사 게이트 신호 생성부(720)는 제1 및 제2 유지 신호 생성 회로(701a, 701b)에 각각 연결되어 있는 제1 및 제2 유사 게이트 신호 생성 회로(720a, 720b)를 포함한다.
- <112> 제1 유사 게이트 신호 생성 회로(720a)는 홀수 번째 일반 게이트선( $G_1, G_3, \dots, G_{2n-1}$ )과 제1 유지 신호 생성 회로(701a)에 연결되어 있으며 제1 유지 신호 생성 회로(701a)의 입력단(IP)에 게이트 온 전압(Von)과 게이트 오프 전압(Voff)으로 이루어진 유사 게이트 신호를 인가하고, 제2 유사 게이트 신호 생성 회로(720b)는 짝수 번째 일반 게이트선( $G_2, G_4, \dots, G_{2n}$ )과 제2 유지 신호 생성 회로(701b)에 연결되어 있으며 제2 유지 신호 생성 회로(700b)의 입력단(IP)에 유사 게이트 신호를 인가한다.
- <113> 이를 위해, 신호 제어부(601)는 유사 게이트 제어 신호(CONT4a, CONT4b)를 더 생성하여 제1 및 제2 유사 게이트 신호 생성 회로(720a, 720b)에 인가한다. 유사 게이트 신호 생성부(720)는 액정 표시판 조립체(301)에 집적될 수 있다. 그러나 유사 게이트 신호 생성부(720)는 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(301)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다.
- <114> 도 6에 도시한 바와 같이, 제1 및 제2 유사 게이트 신호 생성 회로(720a, 720b)는 신호 제어부(601)로부터 유사 게이트 제어 신호(CONT4a, CONT4b)의 일종인 제4 및 제5 클럭 신호(CK3, CK3B)와 제6 및 제7 클럭 신호(CK4, CK4B), 그리고 게이트 오프 전압(Voff)을 인가받는다. 즉, 제1 유사 게이트 신호 생성 회로(720a)는 유사 게이트 제어 신호(CONT4a)의 일종인 제4 및 제5 클럭 신호(CK3, CK3B)를 입력 받고, 제2 유사 게이트 신호 생성 회로(720b)는 유사 게이트 제어 신호(CONT4b)의 일종인 제6 및 제7 클럭 신호(CK4, CK4B)를 입력 받는다. 이러한 제1 및 제2 유사 게이트 신호 생성 회로(720a, 720b)는 제1 및 제2 유지 신호 생성 회로(701a, 701b)의 신호 생성 회로(710)에 각각 연결된 복수의 유사 게이트 구동 회로(730)를 포함한다.
- <115> 도 6에 도시한 바와 같이, 각 유사 게이트 구동 회로(730)는 입력단(IN), 클럭단(CK, CKB), 리셋단(R1, R2), 계

이트 전압단(GV) 및 출력단(OUT)를 포함한다.

- <116> 이미 설명한 것처럼, 제1 유사 게이트 신호 생성 회로(720a)의 각 유사 게이트 구동 회로(730)는 홀 수번째 게이트 신호( $g_1, g_3, \dots, g_{2n-1}$ )를 입력 받고, 제2 유사 게이트 신호 생성 회로(720b)의 각 유사 게이트 구동 회로(730)는 짝수 번째 게이트 신호( $g_2, g_4, \dots, g_{2n}$ )를 입력 받는다.
- <117> 예를 들어, 제1 유사 게이트 신호 생성 회로(720a)에 포함되는  $i$  ( $i$ 는 홀 수) 번째 유사 게이트 구동 회로(730)인 경우, 입력단(IN)은  $i$  번째 게이트선( $G_i$ )에 연결되어  $i$  번째 게이트 신호( $g_i$ )를 받고, 리셋단(R1)은  $(i+2)$  번째 유사 게이트 신호 생성 회로(720a)에 연결되어  $(i+2)$  번째 유사 게이트 신호( $Pg_{i+2}$ )를 받고, 리셋단(R2)은  $(i-2)$  번째 유사 게이트 신호 생성 회로(720a)에 연결되어  $(i-2)$  번째 유사 게이트 신호( $Pg_{i-2}$ )를 받으며, 클록단(CK, CKB)는 각각 제4 및 제5 클록 신호(CK3, CK3B)를 받으며, 게이트 전압단(GV)은 게이트 오프 전압(Voff)를 받는다. 출력단(OUT)은  $(i)$  번째 유지 전극선( $S_i$ )에 연결된 유지 신호 생성부(701)의  $(i)$  번째 신호 생성 회로(710)의 입력단(IP)에 연결된다. 이와 마찬가지로, 제2 유사 게이트 신호 생성 회로(720b)에 포함되는  $(i+1)$  번째 유사 게이트 구동 회로(730)인 경우, 입력단(IN)은  $(i+1)$  번째 게이트선( $G_{i+1}$ )과 연결되어  $(i+1)$  번째 게이트 신호( $g_{i+1}$ )를 입력받고, 리셋단(R1)은  $(i+3)$  번째 유사 게이트 신호 생성 회로(720b)에 연결되어  $(i+3)$  번째 유사 게이트 신호( $Pg_{i+3}$ )를 받고, 리셋단(R2)은  $(i-3)$  번째 유사 게이트 신호 생성 회로(720b)에 연결되어  $(i-3)$  번째 유사 게이트 신호( $Pg_{i-3}$ )를 받으며, 클록단(CK, CKB)는 각각 제6 및 제7 클록 신호(CK4, CK4B)를 받으며, 게이트 전압단(GV)은 게이트 오프 전압(Voff)를 받는다. 출력단(OUT)은  $(i+1)$  번째 유지 전극선( $S_{i+1}$ )에 연결된 유지 신호 생성부(701)의  $(i+1)$  번째 신호 생성 회로(710)의 입력단(IP)에 연결되어 있다.
- <118> 단, 제1 유사 게이트 신호 생성 회로(720a) 및 제2 유사 게이트 신호 생성 회로(720b)의 첫 번째 유사 게이트 구동 회로(730)의 리셋단(R2)에는 유사 게이트 신호 대신 별도의 더미 신호(DS11, DS12)가 입력되고, 제1 유사 게이트 신호 생성 회로(720a) 및 제2 유사 게이트 신호 생성 회로(720b)의 마지막 유사 게이트 구동 회로(730)의 리셋단(R1)는 별도의 더미 신호(DS21, DS22)가 입력된다. 이들 더미 신호(DS11, DS12, DS21, DS22)는 주사 시작 신호에 기초하여 신호 제어부(601)로부터 생성될 수 있다. 이와는 달리, 더미 신호(DS11, DS12, DS21, DS22)는 게이트 구동부(401)에 연결된 별도의 부가 게이트선을 통해 게이트 구동부(401)로부터 전달받을 수 있다. 도 8에 도시한 것처럼, 제4 및 제5 클록 신호(CK3, CK3B)와 제6 및 제7 클록 신호(CK4, CK4B)는 고레벨 전압(Vh3)과 저레벨 전압(Vl3)을 가지고, 고레벨 전압(Vh3)은 게이트 온 전압(Von)과 동일하고, 저레벨 전압(Vl3)은 게이트 오프 전압(Voff)과 동일할 수 있다. 또한 제4 및 제5 클록 신호(CK3, CK3B)와 제6 및 제7 클록 신호(CK4, CK4B)의 펄스폭은 게이트 온 전압(Von)의 펄스폭과 같으며, 이들 신호(CK3, CK3B, CK4, CK4B)의 주기는 약 4H이고, 듀티비는 약 50%일 수 있다. 제4 클록 신호(CK3)와 제5 클록 신호(CK3B) 그리고 제5 클록 신호(CK4)와 제6 클록 신호(CK4B)는 약 180°의 위상차를 가지는 서로 반전된 신호이다. 제4 클록 신호(CK3)와 제5 클록 신호(CK4)는 약 90°의 위상차를 가진다.
- <119> 도 7을 참고하면, 각 유사 게이트 구동 회로(730)는 제어 단자, 입력 단자 및 출력 단자를 각각 가지는 여덟 개의 트랜지스터(Q1-Q8) 및 두 개의 축전기(Cc, Cb)를 포함한다. 트랜지스터(Q1-Q8)는 NMOS 트랜지스터이지만, PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(Cc, Cb)는 실제로 공정시에 형성되는 게이트와 드레인/소스간 기생 용량(parasitic capacitance)일 수 있다.
- <120> 트랜지스터(Q1)의 입력 단자는 클록단(CK)에 연결되어 있고 출력 단자는 출력단(OUT)과 연결되어 있다.
- <121> 트랜지스터(Q2)의 입력 단자와 제어 단자는 입력단(IN)과 연결되어 있고 출력 단자는 절점(n1)을 통해 트랜지스터(Q1)의 제어 단자에 연결되어 있다.
- <122> 트랜지스터(Q3)의 입력 단자는 절점(n1)을 통해 트랜지스터(Q2)의 출력 단자에 연결되어 있고 제어 단자는 리셋단(R1)에 연결되어 있으며 출력 단자는 게이트 전압단(GV)에 연결되어 있다.
- <123> 트랜지스터(Q4)의 입력 단자는 절점(n1)을 통해 트랜지스터(Q2)의 출력 단자에 연결되어 있고 출력 단자는 게이트 오프 전압(Voff)에 연결되어 있다.
- <124> 트랜지스터(Q5)의 입력 단자는 트랜지스터(Q1)의 출력 단자에 연결되어 있고, 제어 단자는 트랜지스터(Q4)의 제어 단자에 연결되어 있으며, 출력 단자는 게이트 오프 전압(Voff)에 연결되어 있다.
- <125> 트랜지스터(Q6)의 입력 단자는 트랜지스터(Q1)의 출력 단자에 연결되어 있고, 제어 단자는 클록단(CKB)에 연결

되어 있으며, 출력 단자는 게이트 전압단(GV)에 연결되어 있다.

- <126> 트랜지스터(Q7)의 입력 단자는 절점(n2)을 통해 트랜지스터(Q4, Q5)의 제어 단자에 연결되어, 제어 단자는 절점(n1)을 통해 트랜지스터(Q1)의 출력 단자에 연결되어 있으며, 출력 단자는 게이트 전압단(GV)에 연결되어 있다.
- <127> 트랜지스터(Q8)의 입력 단자는 절점(n1)을 통해 트랜지스터(Q2)의 출력 단자에 연결되어 있고 제어 단자는 리셋 단(R2)에 연결되어 있으며 출력 단자는 게이트 전압단(GV)에 연결되어 있다.
- <128> 축전기(Cc)는 제3 클록 신호(CK3)와 절점(n2) 사이에 연결되어 있으며, 축전기(Cb)는 절점(n1)과 출력단(OUT) 사이에 연결되어 있다.
- <129> 이러한 유사 게이트 구동 회로(730)의 동작은 다음과 같다.
- <130> 선택 신호의 상태에 따라 게이트 구동부(401)의 주사 방향이 순방향일 경우, 유사 게이트 구동 회로(730)의 동작에 대하여 설명한다.
- <131> 설명을 시작하기 전에, 트랜지스터(Q1-Q8)는 게이트 온 전압(Von)에 따라 턴 온되고 게이트 오프 전압(Voff)에 따라 턴 오프되는 것으로 가정한다.
- <132> 예를 들어, i 번째 유사 게이트 구동 회로(730)에 대하여 설명한다.
- <133> 제4 클록 신호(CK3)가 고레벨 전압(Vh3)에서 저레벨 전압(Vl3)으로 천이하고, 제5 클록 신호(CK3B) 및 입력단(IN)에 인가되는 게이트 신호(g<sub>i</sub>)의 전압 레벨이 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 되면, 트랜지스터(Q2)와 트랜지스터(Q6)가 턴 온된다. 그러면 트랜지스터(Q2)를 통하여 절점(n1)에 게이트 온 전압(Von)이 전달되며, 이에 따라 트랜지스터(Q1, Q7)가 턴 온된다. 트랜지스터(Q7)를 통하여 절점(n2)에 게이트 오프 전압(Voff)이 전달되며, 이에 따라 트랜지스터(Q4, Q5)가 턴 오프된다. 이때, 후단인 (i+2)번째 유사 게이트 신호(Pg<sub>i+2</sub>)의 전압 레벨이 게이트 오프 전압(Voff)이므로 트랜지스터(Q3)는 턴 오프 상태를 유지한다. 한편, 턴 온된 두 트랜지스터(Q1, Q6)를 통하여 출력단(OUT)은 게이트 오프 전압(Voff)을 i 번째 유사 게이트 신호(Pg<sub>i</sub>)로서 i 번째 신호 생성 회로(710)의 입력단(IP)에 인가한다.
- <134> 이때 축전기(Cb)는 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 차에 해당하는 전압을 충전하고, 절점(n2)의 상태는 제4 클록 신호(CK3)의 저레벨 전압(Vl3)에 의해 저레벨 전압을 유지하여 트랜지스터(Q5)의 상태가 턴오프 상태를 유지한다.
- <135> 다음으로, i 번째 게이트 신호(g<sub>i</sub>)와 제5 클록 신호(CK3B)의 전압 레벨이 게이트 오프 전압(Voff)과 저레벨 전압(Vl3)으로 천이하고 제4 클록 신호(CK3)가 고레벨 전압(Vh3)으로 천이하면, 트랜지스터(Q2, Q6)는 턴 오프되며, 이때 후단의 유사 게이트 신호(Pg<sub>i+2</sub>)는 로우 레벨을 유지하므로, 트랜지스터(Q3)도 턴 오프 상태를 유지한다. 트랜지스터(Q2)가 턴 오프됨에 따라 절점(n1)은 i 번째 게이트 신호(g<sub>i</sub>)와의 연결이 차단되어 고립된다. 따라서 트랜지스터(Q1, Q7)는 턴 온 상태를 유지하여, 절점(n2)에 게이트 오프 전압이 인가되고, 이에 따라 트랜지스터(Q4, Q5)는 턴 오프 상태를 유지한다. 트랜지스터(Q5, Q6)가 모두 턴 오프 상태가 되므로 출력단(OUT)에 전달되던 게이트 오프 전압(Voff)은 차단되며, 트랜지스터(Q1)는 턴 온 상태를 유지하므로 클록 신호(CK3)의 고레벨 전압(Vh3)인 게이트 온 전압(Von)만이 출력단(OUT)으로 전달되어 출력된다. 이때, 축전기(Cb)는 일정한 전압을 유지하므로, 출력단(OUT)의 전압이 게이트 온 전압(Von)으로 상승함에 따라 고립 상태인 절점(n1)의 전압은 그 상승 폭만큼 상승한다.
- <136> 이때 축전기(Cc)는 제4 클록 신호(CK3)의 고레벨 전압(Vh3)인 게이트 온 전압(Von)과 절점(n2)의 전압인 게이트 오프 전압(Voff)의 차에 해당하는 전압을 충전하므로, 절점(n2)의 상태는 저전압을 유지하여 트랜지스터(Q5)의 상태가 턴오프 상태를 유지하도록 한다. 이로 인해, 안정적으로 출력단(OUT)을 통해 게이트 온 전압(Von)이 출력될 수 있도록 하다.
- <137> 제4 클록 신호(CK3)가 저레벨 전압(Vl3)으로 천이하고 제5 클록 신호(CK3B) 및 후단 유사 게이트 신호(Pg<sub>i+2</sub>)의 전압 레벨이 고레벨 전압(Vh3)과 게이트 온 전압(Von)으로 천이하면, 트랜지스터(Q3, Q6)가 턴 온되며, 이때 게이트 신호(g<sub>i</sub>)는 게이트 오프 전압(Voff)을 유지하므로 트랜지스터(Q2)는 턴 오프 상태를 유지한다. 트랜지스터(Q3)가 턴 온됨에 따라 절점(n1)에 게이트 오프 전압(Voff)이 전달되어 트랜지스터(Q1, Q7)가 턴 오프된다.
- <138> 트랜지스터(Q7)가 턴 오프되면 절점(n2)이 고립 상태가 되며, 이때 축전기(Cc)가 일정한 전압을 유지하므로, 제

4 클록 신호(CK3)가 저레벨 전압(V13)으로 천이함에 따라 절점(n2)의 전압이 게이트 오프 전압(Voff) 아래로 더욱 떨어지고자 한다. 그러나 절점(n2)의 전압이 게이트 오프 전압(Voff) 아래로 떨어지는 경우 트랜지스터(Q7)가 다시 턴 온되어 절점(n2)에 게이트 오프 전압(Voff)을 전달하므로 최종적인 평형 상태에서는 절점(n2)의 전압이 게이트 오프 전압(Voff)과 거의 같아진다. 그리고 이에 따라 트랜지스터(Q4, Q5)는 턴 오프 상태를 계속해서 유지한다.

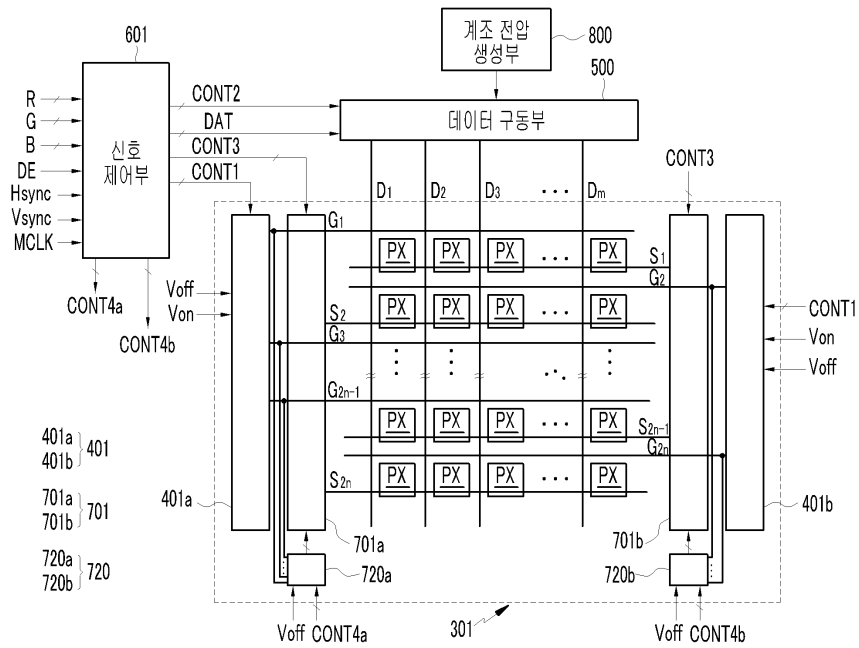
- <139> 한편, 트랜지스터(Q1)가 턴 오프되고 트랜지스터(Q6)가 턴 온되므로, 출력단(OUT)에는 게이트 오프 전압(Voff)이 전달되어 출력되며, 축전기(Cb)는 방전된다.
- <140> 이후로는 제4 및 제5 클록 신호(CK3, CK3B)만이 고레벨 전압(Vh3)과 저레벨 전압(V13)을 반복한다. 그런데, 제4 클록 신호(CK3)의 레벨 변화는 트랜지스터(Q5)를 주기적으로 턴 온 및 턴 오프 시키고, 제5 클록 신호(CK3B)의 레벨 변화는 트랜지스터(Q6)를 주기적으로 턴 온 및 턴 오프시킴으로써, 출력단(OUT)에 게이트 오프 전압(Voff)을 계속해서 인가해주므로, 출력단(OUT)의 전압 레벨은 제4 클록 신호(CK3)의 변화에 무관하게 안정적으로 게이트 오프 전압(Voff)을 유지한다. 또한, 제4 클록 신호(CK3)가 고레벨 전압(Vh3)일 때, 트랜지스터(Q6) 역시 턴 온되어 절점(n1)을 게이트 오프 전압(Voff)과 연결시켜 절점(n1)의 상태가 안정적으로 게이트 오프 전압(Voff)을 유지하도록 한다.
- <141> 이 경우, 트랜지스터(Q8)의 제어 단자에 연결된 리셋단(R2)에는 게이트 오프 전압(Voff) 상태인 전단 게이트 신호( $g_{i-2}$ )가 인가되어, 항상 턴오프 상태를 유지하고 있다.
- <142> 이로 인해, 도 8에 도시한 것처럼, i 번째 유사 게이트 구동 회로(730)에서, 입력단(IN)에 인가되는 일반 게이트 신호( $g_i$ )의 게이트 온 전압(Von) 인가 시기와 출력단(OUT)에서 출력되는 유사 게이트 신호( $Pg_i$ )의 게이트 온 전압(Von) 인가 시기는 약 2H 차이가 발생하므로, 유사 게이트 신호( $Pg_i$ )는 (i+2) 번째 게이트 신호( $g_{i+2}$ )와 실질적으로 동일하고, 마찬가지로 (i+1) 번째 유사 게이트 구동 회로(730)에서 출력되는 유사 게이트 신호( $Pg_{i+1}$ )는 (i+3) 번째 게이트 신호( $g_{i+3}$ )와 실질적으로 동일하다.
- <143> 이와는 달리, 선택 신호의 상태에 따라 주사 방향이 역방향일 경우, i 번째 유사 게이트 구동 회로(730)는 위에서 설명한 것과 동일하게 트랜지스터(Q1, Q2, Q4-Q7)와 축전기(Cc, Cb)가 동작하여, 출력단(OUT)을 통해 i 번째 신호 생성 회로(710)에 인가되는 유사 게이트 신호( $Pg_i$ )를 생성한다. 하지만 순방향 때와는 달리, 후단 유사 게이트 신호( $Pg_{i+2}$ )가 인가되는 트랜지스터(Q3)의 역할을 후단 유사 게이트 신호( $Pg_{i-2}$ )가 인가되는 트랜지스터(Q8)가 대신 행한다.
- <144> 이와 같이, 도 1처럼, 유지 신호 생성부(700)와 게이트선( $G_2-G_{2n}, G_4$ )를 직접 연결시키는 대신에, 본 실시예는 유지 신호 생성부(700)에 인가되는 게이트 신호와 실질적으로 동일한 유사 게이트 신호를 생성하는 유사 게이트 신호 생성부를 추가하므로, 도 1 내지 도 4를 참고로 한 실시예에 따른 효과뿐만 아니라, 멀티플렉서와 같은 별도의 선택 회로를 추가할 필요 없이 양방향 게이트 구동부와 함께 유사 신호 생성부를 사용할 수 있다.
- <145> 즉, 게이트 구동부가 양방향으로 동작할 경우, 전단 및 후단 게이트 신호 중 하나를 선택하는 멀티플렉서와 같은 별도의 선택 신호를 추가해야 하지만, 이러한 선택 회로를 구현하기 위해서는 제조상의 어려움이 발생한다. 하지만, 신호선( $G_1-G_n, D_1-D_n, S_1-S_n$ )과 함께 액정 표시판 조립체(301) 상에 직접 실장되는 유사 게이트 신호 생성부를 추가하여 유지 신호 생성부의 입력 신호로서 인가되는 유사 게이트 신호를 직접 생성한다. 이로 인해, 양방향 게이트 구동부를 이용하여 액정 표시 장치에도 유지 신호 생성부가 이용 가능하다.
- <146> 이때, 유사 게이트 신호 생성부는 게이트 구동부에 비해 작은 크기의 트랜지스터로 설계 가능하므로, 액정 표시 장치의 설계 여유도에 크게 영향을 미치지 않는다.
- <147> 본 발명의 실시예에서, 게이트 구동부(400, 401)와 유지 신호 생성부(700, 701)는 액정 표시판 조립체(300, 301)의 양측면에 각각 배치되어 있지만, 이에 한정되지 않고, 액정 표시판 조립체(300, 301)의 어느 한 측면에 배치되어 있는 하나의 게이트 구동부와 하나의 유지 신호 생성부를 이용할 수 있다. 이 경우 유지 신호 생성부에 연결된 유사 게이트 신호 생성부 역시 하나일 수 있다.
- <148> 또한 본 실시예에서, 인접한 두 게이트 온 전압이 소정 시간 중첩되어 있지만, 그러지 않은 경우에도 본 발명에 따른 유지 신호 생성부는 이용 가능하며, 이 경우 유사 게이트 신호 생성부 역시 인가되는 제4 및 제5 펄스 신호와 제6 및 제7 펄스 신호의 펄스 폭을 제어하여 유지 신호 생성부에 인가되는 유사 게이트 신호를 생성할 수



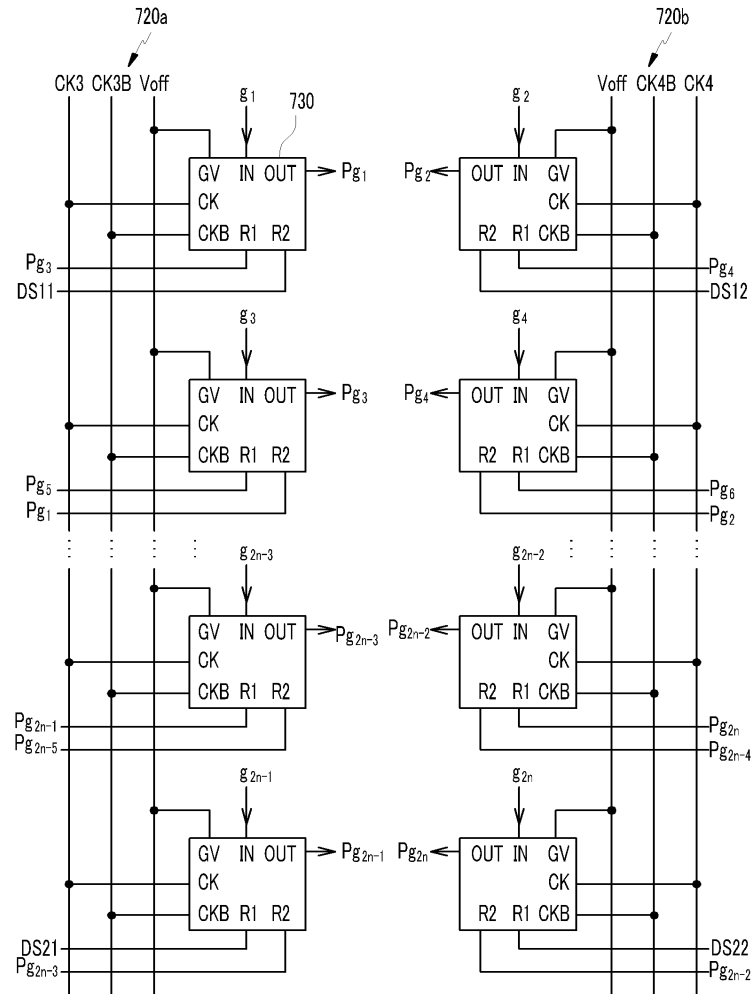




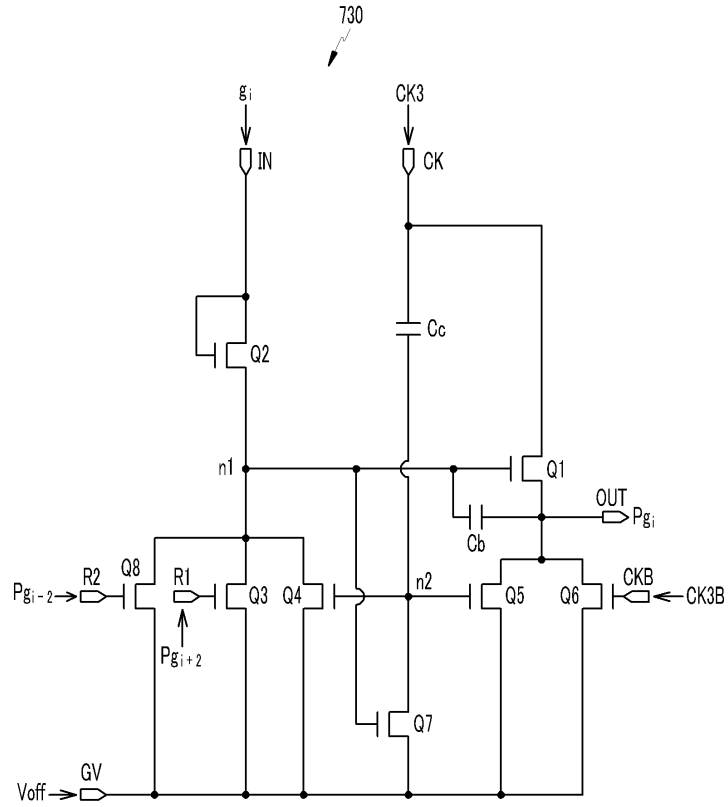
도면5



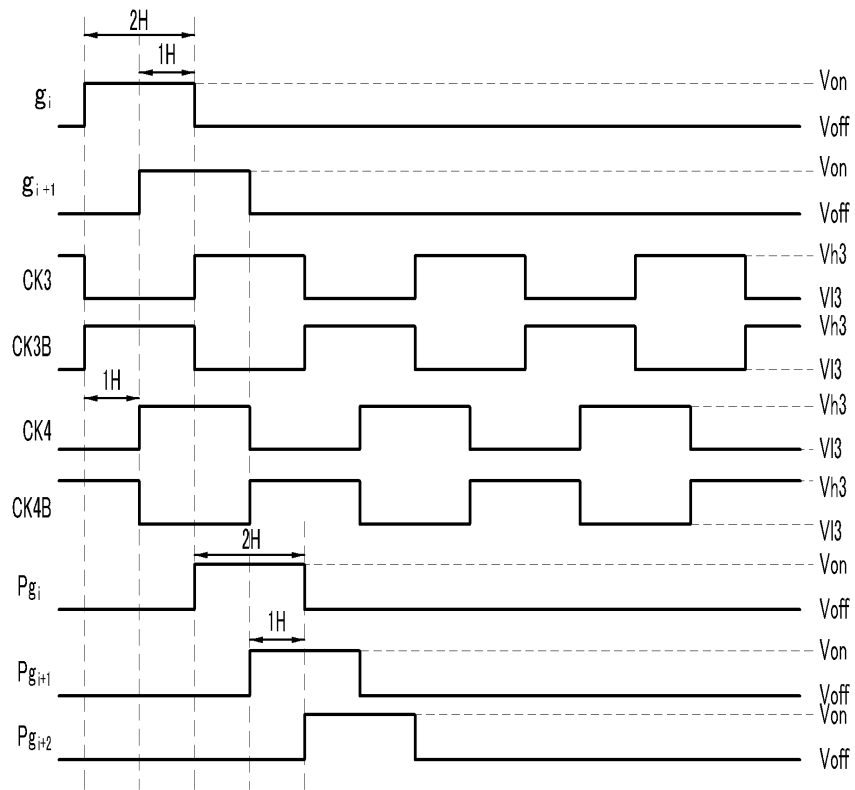
도면6



도면7



도면8



专利名称(译)	显示设备		
公开(公告)号	<a href="#">KR1020080012153A</a>	公开(公告)日	2008-02-11
申请号	KR1020070073388	申请日	2007-07-23
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI JIN YOUNG 최진영 JEON JIN 전진		
发明人	최진영 전진		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3659 G09G2330/021 G09G3/3677		
优先权	1020060072698 2006-08-01 KR		
其他公开文献	KR101415565B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供显示装置以将公共电压固定在预定大小的电压中并施加存储信号，其电压电平以规则周期改变，从而通过加宽用于表示灰度的电压范围来改善图像质量。显示装置包括多条栅极线 (G1-G2n, Gd)，多条数据线 (D1-Dm)，多条存储电极线 (S1-S2n)，多个像素 (PX)，多个类似的栅极驱动电路 (400) 和多个存储信号产生电路 (700)。多条栅极线传输由栅极导通电压和栅极截止电压组成的正常栅极信号。多条数据线与栅极线交叉并传输数据电压。多条存储电极线与栅极线平行并传输存储信号。多个像素分别包括开关器件，液晶电容器和存储电容器，并且以矩阵形式布置。多个类似的栅极驱动电路基于正常栅极信号产生类似的栅极信号。多个存储信号生成电路基于类似的栅极信号生成存储信号。

