



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

(11) 공개번호

10-2007-0078555

(43) 공개일자

2007년08월01일

(21) 출원번호 10-2006-0008925

(22) 출원일자 2006년01월27일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박종현
충남 천안시 두정동 우남아파트 1596번지 104동 1506호

(74) 대리인 조희원

전체 청구항 수 : 총 16 항

(54) 데이터 입력 방법 및 장치와 그를 이용한 액정 표시 장치

(57) 요약

본 발명은 메모리로부터의 데이터를 샘플링하는 최적의 클럭 타이밍을 자동으로 설정할 수 있는 메모리 구동 방법 및 장치와 그를 이용한 액정 표시 장치 및 그 구동 방법을 제공하는 것이다.

이를 위하여 본 발명은 메모리에 저장된 체크 데이터를 읽어 들여 최적 마진의 클럭을 설정하는 단계와; 상기 메모리로부터 읽어들이는 데이터를 상기 설정된 최적 마진의 클럭에 따라 래치하여 출력하는 단계를 포함하는 데이터 입력 방법 및 장치와 이를 이용한 액정 표시 장치를 개시한다.

대표도

도 2

특허청구의 범위

청구항 1.

메모리에 저장된 체크 데이터를 읽어 들여 최적 마진의 클럭을 설정하는 단계와;

상기 메모리로부터 읽어들이는 데이터를 상기 설정된 최적 마진의 클럭에 따라 래치하여 출력하는 단계를 포함하는 것을 특징으로 하는 데이터 입력 방법.

청구항 2.

제 1 항에 있어서,

상기 최적 마진의 클럭을 설정하는 단계는

상기 메모리에 체크 데이터를 저장하는 단계와;

상기 메모리에 저장된 상기 체크 데이터를 읽어 들여 입력하는 단계와;

상기 메모리로부터 상기 체크 데이터와 함께 전송된 전송 클럭을 입력하는 단계와;

상기 전송 클럭을 위상값이 서로 다른 다수의 클럭으로 변환하는 단계와;

상기 다수의 클럭 각각에 따라 상기 체크 데이터를 래치하는 단계와;

상기 래치된 다수의 체크 데이터를 원래의 체크 데이터와 비교하여 일치하는 체크 데이터를 검출하고 검출된 체크 데이터의 래치시 이용된 클럭을 상기 최적 마진의 클럭으로 설정하는 단계를 포함하는 것을 특징으로 하는 데이터 입력 방법.

청구항 3.

제 2 항에 있어서,

상기 체크 데이터를 검출하고 상기 최적 마진의 클럭을 설정하는 단계는

상기 래치된 다수의 체크 데이터 중 상기 원래의 체크 데이터와 일치하는 다수의 체크 데이터를 검출하는 단계와;

상기 검출된 다수의 체크 데이터의 래치시 이용된 다수의 클럭을 검출하는 단계와;

상기 검출된 다수의 클럭 중 어느 하나의 위상값을 갖는 클럭을 상기 최적 마진의 클럭으로 설정하는 단계를 포함하는 것을 특징으로 하는 데이터 입력 방법.

청구항 4.

제 3 항에 있어서,

상기 검출된 다수의 클럭 중 가운데 위상값을 갖는 클럭을 상기 최적 마진의 클럭으로 설정된 것을 특징으로 하는 데이터 입력 방법.

청구항 5.

제 4 항에 있어서,

상기 체크 데이터는 각 프레임 또는 각 수평 기간의 유효 데이터 기간 사이의 블랭크 기간에 상기 메모리에 저장된 것을 특징으로 하는 데이터 입력 방법.

청구항 6.

제 5 항에 있어서,

상기 메모리에 다수의 체크 데이터를 저장하고,

상기 메모리에 저장된 다수의 체크 데이터에 대하여 상기 체크 데이터를 읽어 들여 입력하는 단계 내지 상기 최적 마진의 클럭을 설정하는 단계를 반복하는 단계와;

상기 반복 단계에서 상기 설정 빈도수가 높은 클럭의 상기 최적 마진의 클럭으로 최종 설정하는 단계를 추가로 포함하는 것을 특징으로 하는 데이터 입력 방법.

청구항 7.

제 5 항 및 제 6 항 중 어느 한 항에 있어서,

상기 메모리로부터의 데이터를 상기 최적 마진의 클럭에 따라 래치하여 출력하는 단계는

상기 메모리로부터의 유효 데이터를 입력하는 단계와;

상기 메모리로부터 상기 유효 데이터와 함께 전송된 전송 클럭을 입력하는 단계와;

상기 전송 클럭을 위상값이 서로 다른 다수의 클럭으로 변환하는 단계와;

상기 다수의 클럭 각각에 따라 상기 유효 데이터를 래치하는 단계와;

상기 래치된 다수의 유효 데이터 중 상기 최적 마진의 클럭에 따라 래치된 유효 데이터를 선택하여 출력하는 단계를 포함하는 것을 특징으로 하는 데이터 입력 방법.

청구항 8.

데이터를 저장하는 메모리와;

상기 메모리로부터 읽어 들인 소정의 데이터를 이용하여 최적 마진의 클럭을 설정하고 설정된 최적 마진의 클럭에 따라 상기 메모리로부터의 데이터를 래치하여 출력하는 데이터 입력부를 포함하는 것을 특징으로 하는 데이터 입력 장치.

청구항 9.

제 8 항에 있어서,

상기 데이터 입력부는

상기 메모리로부터 상기 데이터와 함께 전송된 전송 클럭을 입력하여 위상값이 서로 다른 다수의 클럭으로 변환하는 클럭 변환부와;

상기 클럭 변환부로부터의 다수의 클럭 각각에 따라 상기 메모리로부터의 데이터를 래치하여 출력하는 데이터 래치부와;

상기 데이터 래치부로부터 출력된 다수의 데이터를 원래의 데이터와 비교하여 상기 최적 마진의 클럭을 설정하고 설정된 최적 마진의 클럭에 따라 래치된 데이터를 선택하여 출력하는 최적 데이터 선택부를 포함하는 것을 특징으로 하는 데이터 입력 장치.

청구항 10.

제 9 항에 있어서,

상기 메모리는 체크 데이터를 저장하고;

상기 데이터 래치부는 상기 메모리로부터의 체크 데이터를 상기 다수의 클럭 각각에 따라 래치하여 출력하며;

상기 최적 데이터 선택부는 상기 데이터 래치부로부터의 다수의 체크 데이터를 원래의 체크 데이터와 비교하여 일치하는 체크 데이터를 검출하고 그 검출된 체크 데이터 래치시 상기 데이터 래치부에서 이용된 클럭을 상기 최적 마진 클럭으로 설정하는 것을 특징으로 하는 데이터 입력 장치.

청구항 11.

제 10 항에 있어서,

상기 최적 데이터 선택부는

상기 다수의 체크 데이터 중 원래의 체크 데이터와 일치하는 다수의 체크 데이터를 검출하고 그 검출된 다수의 체크 데이터의 래치시 이용된 다수의 클럭을 검출하며, 상기 검출된 다수의 클럭 중 어느 하나의 위상값을 갖는 클럭을 상기 최적 마진의 클럭으로 설정하는 것을 특징으로 하는 데이터 입력 장치.

청구항 12.

제 11 항에 있어서,

상기 최적 데이터 선택부는

상기 검출된 다수의 클럭 중 가운데 위상값을 갖는 클럭을 상기 최적 마진의 클럭으로 설정하는 것을 특징으로 하는 데이터 입력 장치.

청구항 13.

제 12 항에 있어서,

상기 체크 데이터는 각 프레임 또는 각 수평 기간의 유효 데이터 기간 사이의 블랭크 기간에 상기 메모리에 저장된 것을 특징으로 하는 데이터 입력 장치.

청구항 14.

제 13 항에 있어서,

상기 메모리는 상기 블랭크 기간에 다수의 체크 데이터를 저장하고,

상기 데이터 입력부는 상기 메모리에 저장된 다수의 체크 데이터 각각에 대하여 상기 최적 마진의 클럭을 설정하는 단계를 반복하고, 설정 빈도수가 높은 클럭을 상기 최적 마진의 클럭으로 최종 설정하는 것을 특징으로 하는 데이터 입력 장치.

청구항 15.

제 14 항 중 어느 한 항에 있어서,

상기 메모리로부터는 유효 데이터를 저장하고;

상기 데이터 래치부는 상기 메모리로부터의 유효 데이터를 상기 다수의 클럭 각각에 따라 래치하여 출력하며;

상기 최적 데이터 선택부는 상기 데이터 래치부로부터 입력된 다수의 유효 데이터 중 상기 최적 마진의 클럭에 따라 래치된 유효 데이터를 선택하여 출력하는 것을 특징으로 하는 데이터 입력 장치.

청구항 16.

액정을 이용한 화소 매트릭스를 통해 화상을 표시하는 액정 패널과;

상기 화소 매트릭스의 게이트 라인을 구동하는 게이트 드라이버와;

상기 화소 매트릭스의 데이터 라인을 구동하는 데이터 드라이버와;

상기 제 8 항 내지 제 15 항 중 어느 한 항에 기재된 데이터 입력부를 통해 입력된 데이터를 신호 처리하여 상기 데이터 드라이버로 출력하고 상기 게이트 드라이버 및 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리로부터의 데이터 입력 방법 및 장치에 관한 것으로, 특히 메모리로부터의 데이터를 최적 타이밍의 클럭을 이용하여 래치할 수 있는 데이터 입력 방법 및 장치와 이를 이용한 액정 표시 장치에 관한 것이다.

최근 표시 장치로 각광 받고 있는 평판 표시 장치로는 액정을 이용한 액정 표시 장치(LCD), 불활성 가스의 방전을 이용한 플라즈마 디스플레이 패널(PDP), 유기 발광 다이오드를 이용한 유기 전계 발광 표시 장치(OLED) 등이 대표적이다. 플라즈마 디스플레이 패널은 대형 TV로, 유기 전계 발광 표시 장치는 소형 제품에 주로 응용되고 있는 반면에 액정 표시 장치는 휴대폰, 노트북, 모니터, TV 등과 같이 소형부터 대형까지 다양한 크기로 많은 분야에 응용되고 있다.

평판 표시 장치는 화소 매트릭스를 통해 화상을 표시하는 표시 패널과, 표시 패널을 구동하는 패널 구동 회로와, 패널 구동 회로를 제어하는 타이밍 컨트롤러를 포함한다. 타이밍 컨트롤러는 데이터 보정으로 화질을 향상시키기 위하여 데이터 변환 회로를 포함하고 이때 외부로부터 입력된 데이터를 저장하였다가 데이터 변환 회로로 공급하기 위한 메모리를 필수적으로 포함한다.

타이밍 컨트롤러는 데이터를 메모리에 저장하거나 저장된 데이터를 읽어낼 때 클럭을 이용한다. 그리고 타이밍 컨트롤러는 메모리로부터 읽어낸 데이터를 클럭에 따라 래치하여 데이터 변환 회로로 공급한다. 이때 정확한 데이터를 래치하기 위해서는 데이터의 셋업 마진(Setup Margin)과 홀드 마진(Hold Margin)이 필요하므로 클럭의 에지부가 데이터의 중심부와 정렬되는 것이 바람직하다. 그런데 데이터 중심과 클럭의 에지가 정렬되도록 클럭의 위상값을 세팅하더라도 주변 온도 및 클럭 지연과 회로 편차 등으로 인하여 데이터와 클럭 간의 타이밍 스큐(Timing Skew)가 틀어져서 데이터 래치시 에러가 발생되어 화면에 노이즈로 표시되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 종래의 문제점을 해결하기 위하여 안출된 것으로 메모리로부터의 데이터를 최적 타이밍의 클럭을 이용하여 래치할 수 있는 데이터 입력 방법 및 장치와 이를 이용한 액정 표시 장치에 관한 것이다.

발명의 구성

이를 위하여, 본 발명의 실시예에 따른 데이터 입력 방법은 메모리에 저장된 체크 데이터를 읽어 들여 최적 마진의 클럭을 설정하는 단계와; 상기 메모리로부터 읽어들이는 데이터를 상기 설정된 최적 마진의 클럭에 따라 래치하여 출력하는 단계를 포함한다.

구체적으로 상기 최적 마진의 클럭을 설정하는 단계는 상기 메모리에 체크 데이터를 저장하는 단계와; 상기 메모리에 저장된 상기 체크 데이터를 읽어 들여 입력하는 단계와; 상기 메모리로부터 상기 체크 데이터와 함께 전송된 전송 클럭을 입력하는 단계와; 상기 전송 클럭을 위상값이 서로 다른 다수의 클럭으로 변환하는 단계와; 상기 다수의 클럭 각각에 따라 상기 체크 데이터를 래치하는 단계와; 상기 래치된 다수의 체크 데이터를 원래의 체크 데이터와 비교하여 일치하는 체크 데이터를 검출하고 검출된 체크 데이터의 래치시 이용된 클럭을 상기 최적 마진의 클럭으로 설정하는 단계를 포함한다.

상기 체크 데이터를 검출하고 상기 최적 마진의 클럭을 설정하는 단계는 상기 래치된 다수의 체크 데이터 중 상기 원래의 체크 데이터와 일치하는 다수의 체크 데이터를 검출하는 단계와; 상기 검출된 다수의 체크 데이터의 래치시 이용된 다수의 클럭을 검출하는 단계와; 상기 검출된 다수의 클럭 중 어느 하나의 위상값을 갖는 클럭을 상기 최적 마진의 클럭으로 설정하는 단계를 포함한다. 여기서 상기 검출된 다수의 클럭 중 가운데 위상값을 갖는 클럭을 상기 최적 마진의 클럭으로 설정된다.

상기 체크 데이터는 각 프레임 또는 각 수평 기간의 유효 데이터 기간 사이의 블랭크 기간에 상기 메모리에 저장된다.

그리고 본 발명의 데이터 입력 방법은 상기 메모리에 다수의 체크 데이터를 저장하고, 상기 메모리에 저장된 다수의 체크 데이터에 대하여 상기 체크 데이터를 읽어 들여 입력하는 단계 내지 상기 최적 마진의 클럭을 설정하는 단계를 반복하는 단계와; 상기 반복 단계에서 상기 설정 빈도수가 높은 클럭의 상기 최적 마진의 클럭으로 최종 설정하는 단계를 추가로 포함한다.

상기 메모리로부터의 데이터를 상기 최적 마진의 클럭에 따라 래치하여 출력하는 단계는 상기 메모리로부터의 유효 데이터를 입력하는 단계와; 상기 메모리로부터 상기 유효 데이터와 함께 전송된 전송 클럭을 입력하는 단계와; 상기 전송 클럭을 위상값이 서로 다른 다수의 클럭으로 변환하는 단계와; 상기 다수의 클럭 각각에 따라 상기 유효 데이터를 래치하는 단계와; 상기 래치된 다수의 유효 데이터 중 상기 최적 마진의 클럭에 따라 래치된 유효 데이터를 선택하여 출력하는 단계를 포함한다.

그리고 본 발명에 따른 데이터 입력 장치는 데이터를 저장하는 메모리와; 상기 메모리로부터 읽어 들인 소정의 데이터를 이용하여 최적 마진의 클럭을 설정하고 설정된 최적 마진의 클럭에 따라 상기 메모리로부터의 데이터를 래치하여 출력하는 데이터 입력부를 포함한다.

상기 데이터 입력부는 상기 메모리로부터 상기 데이터와 함께 전송된 전송 클럭을 입력하여 위상값이 서로 다른 다수의 클럭으로 변환하는 클럭 변환부와; 상기 클럭 변환부로부터의 다수의 클럭 각각에 따라 상기 메모리로부터의 데이터를 래치하여 출력하는 데이터 래치부와; 상기 데이터 래치부로부터 출력된 다수의 데이터를 원래의 데이터와 비교하여 상기 최적 마진의 클럭을 설정하고 설정된 최적 마진의 클럭에 따라 래치된 데이터를 선택하여 출력하는 최적 데이터 선택부를 포함한다.

상기 메모리는 체크 데이터를 저장하고; 상기 데이터 래치부는 상기 메모리로부터의 체크 데이터를 상기 다수의 클럭 각각에 따라 래치하여 출력하며; 상기 최적 데이터 선택부는 상기 데이터 래치부로부터의 다수의 체크 데이터를 원래의 체크 데이터와 비교하여 일치하는 체크 데이터를 검출하고 그 검출된 체크 데이터 래치시 상기 데이터 래치부에서 이용된 클럭을 상기 최적 마진 클럭으로 설정한다.

상기 최적 데이터 선택부는 상기 다수의 체크 데이터 중 원래의 체크 데이터와 일치하는 다수의 체크 데이터를 검출하고 그 검출된 다수의 체크 데이터의 래치시 이용된 다수의 클럭을 검출하며, 상기 검출된 다수의 클럭 중 어느 하나의 위상값을 갖는 클럭을 상기 최적 마진의 클럭으로 설정한다. 상기 최적 데이터 선택부는 상기 검출된 다수의 클럭 중 가운데 위상값을 갖는 클럭을 상기 최적 마진의 클럭으로 설정한다.

상기 메모리는 상기 블랭크 기간에 다수의 체크 데이터를 저장하고, 상기 데이터 입력부는 상기 메모리에 저장된 다수의 체크 데이터 각각에 대하여 상기 최적 마진의 클럭을 설정하는 단계를 반복하고, 설정 빈도수가 높은 클럭을 상기 최적 마진의 클럭으로 최종 설정한다.

상기 메모리는 유효 데이터를 저장하고; 상기 데이터 래치부는 상기 메모리로부터의 유효 데이터를 상기 다수의 클럭 각각에 따라 래치하여 출력하며; 상기 최적 데이터 선택부는 상기 데이터 래치부로부터 입력된 다수의 유효 데이터 중 상기 최적 마진의 클럭에 따라 래치된 유효 데이터를 선택하여 출력한다.

그리고 본 발명에 따른 액정 표시 장치는 액정을 이용한 화소 매트릭스를 통해 화상을 표시하는 액정 패널과; 상기 화소 매트릭스의 게이트 라인을 구동하는 게이트 드라이버와; 상기 화소 매트릭스의 데이터 라인을 구동하는 데이터 드라이버와; 상기 데이터 입력부를 통해 입력된 데이터를 신호 처리하여 상기 데이터 드라이버로 출력하고 상기 게이트 드라이버 및 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함한다.

상기 기술적 과제 외에 본 발명의 다른 특징 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 1 내지 도 5를 참조하여 상세하게 설명하기로 한다.

도 1은 본 발명의 실시예에 따른 타이밍 컨트롤러의 데이터 입력부에서 최적 마진의 클럭을 설정하는 방법을 설명하기 위한 과형도이다.

본 발명에 따른 타이밍 컨트롤러는 외부로부터 입력된 유효 데이터를 프레임 단위로 메모리에 저장한다. 이때 타이밍 컨트롤러는 외부로부터 입력된 각 프레임의 유효 데이터를 저장하고 유효 데이터의 중간 중간에 데이터 입력부에서 최적 타이밍의 클럭을 선택하는데 이용하기 위한 체크 데이터를 저장한다. 예를 들면, 타이밍 컨트롤러는 각 프레임 또는 각 수평 기간의 유효 데이터가 공급된 후 다음 프레임 또는 다음 수평 기간의 유효 데이터가 공급되기 이전까지의 블랭크 기간에 다수의 체크 데이터를 메모리의 여유 공간에 더 저장한다. 이에 따라 데이터 입력부는 유효 데이터를 래치하여 입력하는 중간 중간에 체크 데이터를 이용하여 최적 마진의 클럭을 실시간으로 설정하여 온도 및 회로 편차 등으로 인한 데이터 에러가 방지된다.

도 1을 참조하면, 본 발명에 따른 타이밍 컨트롤러의 데이터 입력부가 메모리로부터 체크 데이터를 읽어낼 때 체크 데이터(DQ)와 함께 클럭(DQS)이 입력된다. 이어서 데이터 입력부는 메모리로부터 입력된 클럭(DQS)을 이용하여 위상이 서로 다른 다수의 클럭, 즉 위상 설정값(MR_SKEW[2:0])에 따라 서로 다른 위상값(0/8 위상 내지 7/8 위상)을 갖는 제1 내지 제8 클럭(C1 내지 C8)을 생성한다. 그 다음 데이터 입력부는 메모리로부터의 체크 데이터(DQ)를 제1 내지 제8 클럭(C1 내지 C8) 각각에 따라 래치하여 출력하고 출력된 다수의 체크 데이터를 원래의 체크 데이터와 비교함으로써 최적 마진의 클럭을 검출하여 최적의 클럭으로 설정한다. 예를 들면 도 1에 도시된 8개의 클럭(C1 내지 C8) 중 위상 설정값(MR_SKEW[2:0])이 "001, 010, 011"인 제2 내지 제4 클럭(C2, C3, C4)에 따라 래치된 체크 데이터가 원래의 체크 데이터와 일치하는 데이터로 검출된다. 여기서 중간 위상값인 "010"인 제3 클럭(C3)이 데이터(DQ)의 중심부에 근접하여 셋업 마진(dqi_Setup)과 홀드 마진(dqi_Hold)이 최적이므로 제3 클럭(C3)이 최적 마진의 클럭으로 설정된다. 이에 따라 데이터 입력부는 상기 과정에서 최적 마진으로 설정된 클럭에 따라 다음의 유효 데이터를 래치하여 데이터 변환부로 공급한다. 다시 말하여 데이터 입력부는 메모리로부터의 유효 데이터를 위상이 서로 다른 다수의 클럭에 따라 래치하고, 상기 과정에서 최적 마진으로 설정된 클럭에 응답하여 래치된 데이터를 선택하여 데이터 변환부로 공급한다. 이에 따라 데이터 입력부는 실시간으로 최적 마진의 클럭으로 래치된 데이터를 선택하여 출력함으로써 데이터 에러가 방지된다.

도 2는 본 발명의 실시예에 따른 타이밍 컨트롤러의 데이터 입력부를 도시한 회로 블록도이고, 도 3은 도 2에 도시된 데이터 입력부를 구체적으로 도시한 회로 블록도이다. 그리고 도 4는 도 3에 도시된 클럭 변환부로부터의 다수의 클럭과 메모리로부터의 체크 데이터 간의 타이밍 스큐를 비교하여 도시한 과형도이다.

도 2 및 도 3에 도시된 타이밍 컨트롤러(1)의 데이터 입력부(10)는 메모리(30)로부터의 클럭(DQS)을 위상이 서로 다른 다수의 클럭으로 변환하여 출력하는 클럭 변환부(40)와, 클럭 변환부(40)로부터의 다수의 클럭에 각각 응답하여 메모리(30)로부터의 데이터(DQ)를 래치하는 데이터 래치부(20)와, 데이터 래치부(20)로부터의 데이터 중 최적의 클럭 타이밍으로 래치된 데이터를 선택하여 데이터 변환부(26)로 출력하는 최적 데이터 선택부(50)를 포함한다.

타이밍 컨트롤러(1)는 외부로부터 입력된 데이터를 프레임 단위로 메모리(30)에 저장한다. 이때 타이밍 컨트롤러(1)는 외부로부터 입력된 각 프레임 또는 각 수평 기간의 유효 데이터를 저장하고 유효 데이터의 중간에 데이터 입력부(10)에서 최적 타이밍의 클럭을 선택하는데 이용하기 위한 체크 데이터를 저장한다. 예를 들면, 타이밍 컨트롤러(1)는 각 프레임 또는 각 수평 기간의 유효 데이터가 공급된 후 다음 프레임 또는 다음 수평 기간의 유효 데이터가 공급되기 이전까지의 블랭크 기간에 다수의 체크 데이터를 메모리(30)의 여유 공간에 더 저장한다. 이에 따라 데이터 입력부(10)는 메모리(30)로부터 체크 데이터를 읽어 들여 위상이 서로 다른 다수의 클럭으로 래치한 다음 원래의 데이터와 비교함으로써 최적 마진의 클럭을 검출하여 최적의 클럭으로 설정한다.

구체적으로 타이밍 컨트롤러(1)는 외부로부터의 유효 데이터를 메모리(30)에 프레임 단위로 저장하고 각 프레임 또는 각 수평 기간의 블랭크 기간에 체크 데이터를 메모리(30)의 여유 공간에 저장한다. 메모리(30)로는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory)가 이용된다. 타이밍 컨트롤러(1)가 메모리(30)에 저장된 데이터를 읽어들이는 경우 메모리(30)로부터의 데이터(DQ)는 데이터 래치부(20)로 공급되고, 메모리(30)로부터 데이터(DQ)와 동기하여 입력된 클럭(DQ)은 클럭 변환부(40)로 공급된다. 이때 메모리(30)로부터 입력된 데이터(DQ)는 도 3과 같이 타이밍 컨트롤러의 입출력 패드(12)를 통해 입력되며 다수의 지연부(11, 13, 15)를 통해 소정의 위상이 지연되어 데이터 래치부(20)로 공급된다. 그리고 메모리(30)로부터 입력된 클럭(DQS)도 도 3과 같이 타이밍 컨트롤러(1)의 입출력 패드(16)를 통해 입력되며 다수의 지연부(17, 19, 21)를 통해 소정의 위상이 지연되어 클럭 변환부(40)로 공급된다.

클럭 변환부(40)는 메모리(30)로부터의 클럭(DQ)을 위상 설정값(MR_SKEW)에 따라 위상이 서로 다른 다수의 클럭(C1 내지 C8)으로 변환하여 출력한다. 예를 들면 클럭 변환부(40)는 도 3과 같이 위상 동기 발진 회로인 PLL(Phase Locked Loop) 회로로 구현된다. PLL 회로(40)는 메모리(30)로부터의 클럭(DQ)을 도 4에 도시된 바와 같이 3비트의 위상 설정값(MR_SKEW[2:0])에 따라 서로 다른 위상값(0/8 위상 내지 7/8 위상)을 갖는 제1 내지 제8 클럭(C1 내지 C8)으로 변환하여 데이터 래치부(20)로 출력한다. 이때 클럭 변환부(40)로부터의 제1 내지 제8 클럭(C1 내지 C8)은 지연부(23)을 통해 소정의 위상이 동일하게 지연되어 데이터 래치부(20)로 출력되기도 한다.

데이터 래치부(20)는 클럭 변환부(40)로부터의 다수의 클럭(C1 내지 C8)에 각각 응답하여 메모리(30)로부터 입력된 데이터(DQ)를 래치하여 최적 데이터 선택부(50)로 출력한다. 이를 위하여 데이터 래치부(20)는 도 3과 같이 위상이 서로 다른 8개의 클럭(C1 내지 C8)을 각각 입력하는 제1 내지 제8 래치부(FF1 내지 FF8)로 구성되고, 제1 내지 제8 래치부(FF1 내지 FF8) 각각은 데이터(DQ)의 비트수(N)에 해당되는 N비트 래치, 즉 N개의 플립-플롭으로 구성된다. 제1 내지 제8 래치부(FF1 내지 FF8) 각각은 제1 내지 제8 클럭(C1 내지 C8) 각각의 특정 에지, 예를 들면 상승 에지에 응답하여 메모리(30)로부터 입력된 데이터(DQ)를 래치하고 래치된 데이터(DQ)를 최적 데이터 선택부(50)로 출력한다. 이에 따라 최적 데이터 선택부(50)에는 제1 내지 제8 클럭(C1 내지 C8) 각각에 응답하여 제1 내지 제8 래치부(FF1 내지 FF8)에 래치된 제1 내지 제8 N비트 데이터가 동시에 출력된다.

최적 데이터 선택부(50)는 메모리(30)에 저장된 체크 데이터를 이용하여 최적 마진의 클럭을 설정하는 과정을 거친 다음, 데이터 래치부(20)로부터의 제1 내지 제8 N비트 데이터 중 상기 과정에서 설정된 최적 마진의 클럭에 따라 래치된 데이터를 선택하여 데이터 변환부(26)로 출력한다. 다시 말하여 최적 데이터 선택부(50)는 각 프레임의 블랭크 기간에서 메모리(30)에 저장된 체크 데이터를 이용하여 최적 마진의 클럭을 선택하여 설정하는 과정을 거치게 된다. 그리고 최적 데이터 선택부(50)는 메모리(30)로부터 데이터 래치부(20)를 경유하여 다수의 클럭(C1 내지 C8)에 따라 래치된 다수의 유효 데이터 중에서 이전의 블랭크 기간에서 설정된 최적 마진의 클럭에 따라 래치된 유효 데이터를 선택하여 데이터 변환부(26)로 출력한다.

구체적으로, 도 4에 도시된 바와 같이 각 프레임 또는 각 수평 기간의 블랭크 기간에서 메모리(30)에 저장된 32비트의 제1 체크 데이터(CD1)가 데이터 래치부(20)를 통해 제1 내지 제8 클럭(C1 내지 C8)에 응답하여 래치된 다음 최적 데이터 선택부(50)로 출력된다. 최적 데이터 선택부(50)는 데이터 래치부(20)로부터 입력된 다수의 제1 체크 데이터(CD1)를 원래의 체크 데이터와 비교하여 원래의 체크 데이터와 일치하는 데이터들을 검출하고, 검출된 데이터의 래치시 이용된 클럭들 중 최적 마진의 클럭을 선택한다. 도 4를 참조하면, 8개의 클럭(C1 내지 C8)에서 위상 설정값(MR_SKEW[2:0])이 "001, 010, 011"인 제2 내지 제4 클럭(C2, C3, C4)의 응답으로 래치된 체크 데이터가 원래의 체크 데이터와 일치하는 데이터로 검출된다. 여기서 위상 설정값(MR_SKEW[2:0])이 "001"인 제2 클럭(C2)은 셋업 마진(dqi_Setup)이 부족하고, "011"인 제4 클럭(C4)은 홀드 마진(dqi_Hold)이 부족한 반면, 가운데의 "010"인 제3 클럭(C3)은 체크 데이터(CD1)의 중심부에 근접하여 셋업 마진(dqi_Setup)과 홀드 마진(dqi_Hold)이 최적이므로 제3 클럭(C)을 최적의 클럭으로 선택한다. 다시 말하여 최적 데이터 선택부(50)는 제3 클럭(C)을 입력으로 하는 제3 래치부(FF3)를 최적의 래치부로 선택한다. 그리고, 최적

데이터 선택부(50)는 블랭크 기간에 저장된 나머지의 체크 데이터들(CD2 내지 CDn)에 대하여 상기와 동일한 방법으로 최적 마진의 클럭을 선택하는 단계를 반복하여 최적의 클럭의 선택하고 선택 빈도수가 높은 클럭, 즉 제3 클럭(C)을 최적 마진의 클럭으로 최종 선택한다.

그리고 최적 데이터 선택부(50)는 각 프레임의 유효 데이터 기간에서 메모리(30)로부터 데이터 래치부(20)를 경유하여 입력된 다수의 유효 데이터들 중 상기 블랭크 기간에서 최적 마진으로 설정된 클럭에 따라 래치된 유효 데이터를 선택하여 데이터 변환부(26)로 출력한다.

이와 같이 본 발명에 따른 타이밍 컨트롤러(1)의 데이터 입력부(10)는 유효 데이터들 사이의 중간에, 즉 블랭크 기간에 메모리(30)에 저장된 체크 데이터를 이용하여 최적 마진의 클럭을 설정하고, 메모리(30)로부터 유효 데이터가 입력되면 설정된 최적 마진의 클럭에 따라 래치된 유효 데이터를 선택하여 데이터 변환부(26)로 출력한다. 이에 따라 본 발명에 따른 타이밍 컨트롤러(1)는 실시간으로 최적 마진의 클럭을 설정함으로써 온도 및 회로 편차 등으로 인한 데이터 입력 에러를 방지할 수 있다.

도 5는 본 발명의 실시예에 따른 타이밍 컨트롤러가 적용된 액정 표시 장치의 회로 블록도이다.

도 5에 도시된 액정 표시 장치는 액정 패널(130)의 게이트 라인(GL)을 구동하는 게이트 드라이버(128)와, 데이터 라인(DL)을 구동하는 데이터 드라이버(126)와, 감마 전압을 생성하여 데이터 드라이버(126)로 공급하는 감마 전압 생성부(122)와, 데이터 드라이버(126) 및 게이트 드라이버(128)를 제어하고 입력 데이터를 변환하여 데이터 드라이버(126)로 공급하는 타이밍 컨트롤러(24)를 구비한다.

타이밍 컨트롤러(124)는 외부의 컴퓨터 시스템(미도시)으로부터 입력된 데이터를 화질 향상을 위해 보정하여 데이터 드라이버(126)로 출력한다. 예를 들면 타이밍 컨트롤러(124)는 응답 속도 향상을 위하여 DCC(Dynamic Capacitance Compensation) 회로 내장하고 내장된 DCC 회로를 통해 입력 데이터를 DCC 데이터로 변환하여 데이터 드라이버(126)로 출력한다. 이때 타이밍 컨트롤러(124)는 도 2에 도시된 바와 같이 입력 데이터를 메모리(30)에 저장하고 데이터 입력부(10)를 통해 메모리(30)에 저장된 데이터를 읽어 들여 래치한 다음 DCC 회로로 공급한다. 여기서 데이터 입력부(10)는 전술한 바와 같이 메모리(30)에 저장된 체크 데이터를 이용하여 실시간으로 최적 마진의 클럭을 설정하고, 설정된 최적 마진의 클럭에 따라 래치된 데이터를 선택하여 DCC 회로 블록으로 공급하므로 온도 및 회로 편차에 따른 데이터의 입력 에러가 방지된다. 또한 타이밍 컨트롤러(124)는 외부의 컴퓨터 시스템으로부터 데이터와 함께 입력된 다수의 제어 신호들, 예를 들면 도트 클럭, 데이터 이네이블 신호, 수직 동기 신호, 수평 동기 신호 등을 이용하여 게이트 드라이버(128)와 데이터 드라이버(126) 각각의 구동 타이밍을 제어하는 다수의 제어 신호들을 생성하여 공급한다.

감마 전압 생성부(122)는 다수의 계조에 따른 다수의 감마 전압을 생성하여 데이터 드라이버(126)로 공급한다.

데이터 드라이버(126)는 타이밍 컨트롤러(124)로부터의 디지털 데이터를 아날로그 데이터 신호로 변환하여 액정 패널(130)의 다수의 데이터 라인(DL)으로 공급한다. 데이터 드라이버(126)는 감마 전압 생성부(122)로부터의 다수의 감마 전압들 중 타이밍 컨트롤러(124)로부터의 디지털 데이터에 해당되는 계조의 감마 전압을 선택하여 액정 패널(130)의 각 데이터 라인(DL)으로 공급한다. 이때 데이터 드라이버(126)는 타이밍 컨트롤러(124)로부터의 극성 제어 신호에 따라 정극성 또는 부극성(공통 전압 기준) 감마 전압을 선택하여 각 데이터 라인(DL)으로 공급한다.

게이트 드라이버(128)는 타이밍 컨트롤러(124)로부터의 제어 신호에 따라 게이트 신호를 발생하여 다수의 게이트 라인(GL)을 순차적으로 구동한다. 게이트 드라이버(128)는 타이밍 컨트롤러(124)로부터의 제어 신호에 따라 게이트 온 전압을 다수의 게이트 라인(GL)에 순차적으로 공급하고 다음 필드에서 게이트 온 전압이 공급되기 이전까지 게이트 오프 전압을 공급한다.

액정 패널(130)은 매트릭스 형태로 배열된 화소들의 조합으로 화상을 표시하고 화소들 각각은 적, 녹, 청 서브 화소의 조합으로 원하는 색을 표현한다. 각 서브 화소는 액정층에 전압을 인가하는 화소 전극 및 공통 전극으로 구성되는 액정 커패시터(Clc)로 표현되고, 액정 커패시터(Clc)는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 박막 트랜지스터(TFT)에 의해 독립적으로 구동된다. 박막 트랜지스터(TFT)는 게이트 라인(GL)의 게이트 온 전압에 의해 턴-온되어 데이터 라인(DL)의 데이터 신호를 액정 커패시터(Clc)에 충전하고 게이트 오프 전압에 의해 턴-오프되어 액정 커패시터(Clc)에 충전된 데이터 신호가 유지되게 한다. 액정 커패시터(Clc)는 박막 트랜지스터(TFT)를 통해 공급된 데이터 신호를 공통 전극에 공급된 공통 전압(Vcom)을 기준으로 충전하여 액정을 구동함으로써 광투과율을 조절한다. 그리고 각 서브 화소는 액정 커패시터(Clc)와 병렬 접속되어 박막 트랜지스터(TFT)의 턴-오프시 누설 전류를 보상하는 스토리지 커패시터(Cst)를 더 구비한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 데이터 입력 방법 및 장치는 체크 데이터를 이용하여 실시간으로 최적 마진의 클럭을 설정하고 설정된 최적의 클럭에 따라 래치된 데이터를 선택하여 다음 회로 블록으로 출력함으로써 온도 및 회로 편차로 인한 데이터 입력 에러를 방지할 수 있다. 이에 따라, 본 발명에 따른 데이터 입력 장치가 포함된 타이밍 컨트롤러가 적용된 액정 표시 장치는 최적 마진의 클럭으로 데이터를 래치하여 입력함으로써 데이터 입력 에러로 인한 노이즈 발생을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 타이밍 컨트롤러의 데이터 입력부에서 최적 마진의 클럭을 설정하는 방법을 설명하기 위한 파형도.

도 2는 본 발명의 실시예에 따른 타이밍 컨트롤러의 데이터 입력부를 도시한 회로 블록도.

도 3은 도 2에 도시된 데이터 입력부의 상세 회로도.

도 4는 도 3에 도시된 최적 데이터 선택부의 최적 마진 클럭 선택 방법을 구체적으로 설명하기 위한 파형도.

도 5는 본 발명의 실시예에 따른 타이밍 컨트롤러가 적용된 액정 표시 장치를 도시한 회로 블록도.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 타이밍 컨트롤러 10 : 데이터 입력부

11, 13, 15, 17, 19, 21 : 지연부 20 : 데이터 래치부

26 : 데이터 변환부 30 : 메모리

40 : 클럭 변환부 50 : 최적 데이터 선택부

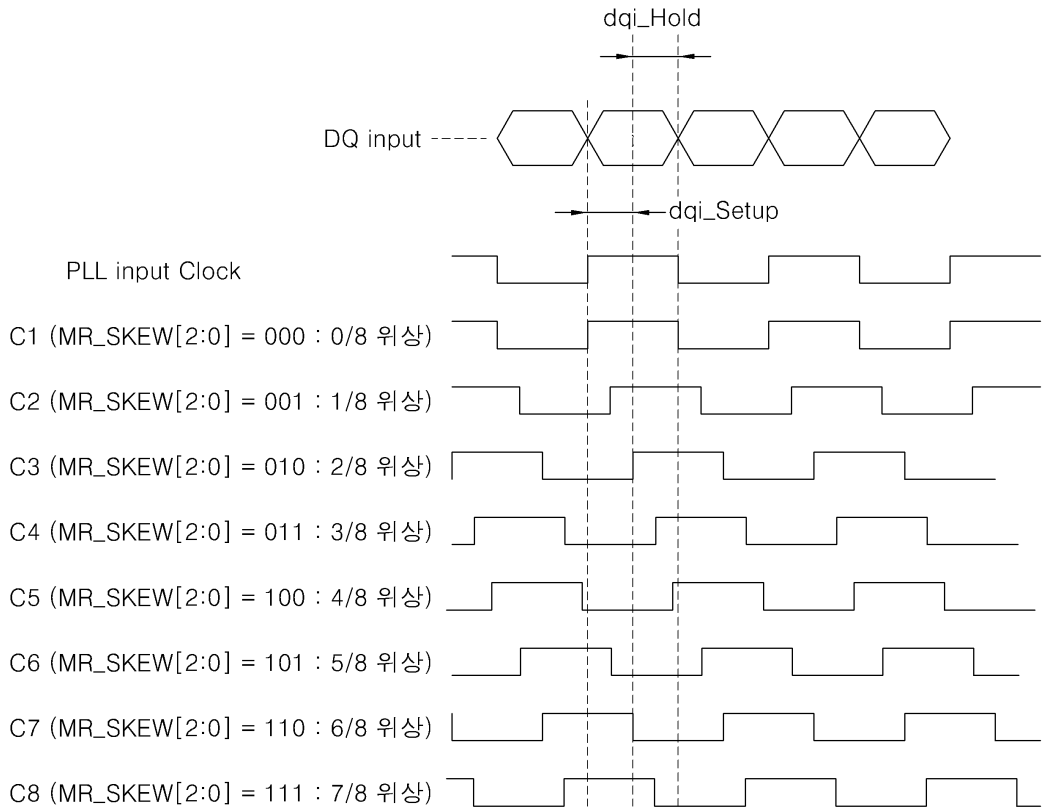
122 : 감마 전압 생성부 124 : 타이밍 컨트롤러

126 : 데이터 드라이버 128 : 게이트 드라이버

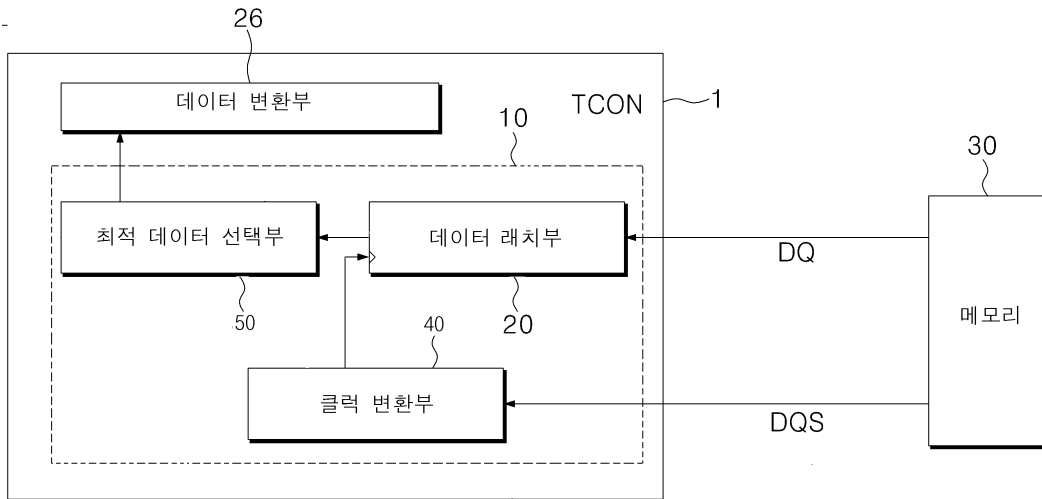
130 : 액정 패널

도면

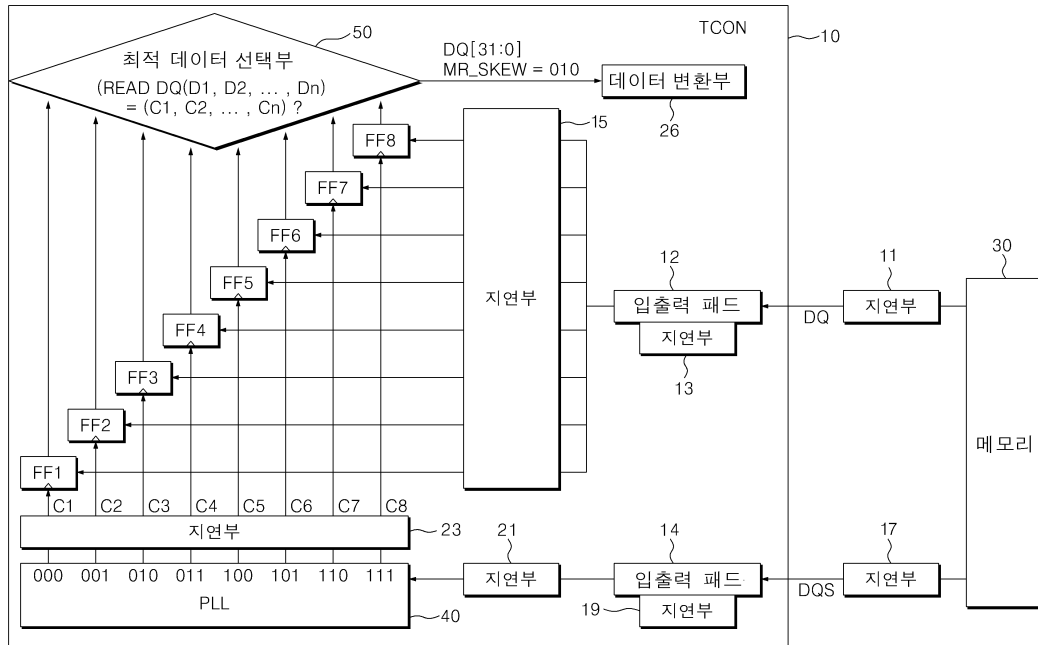
도면1



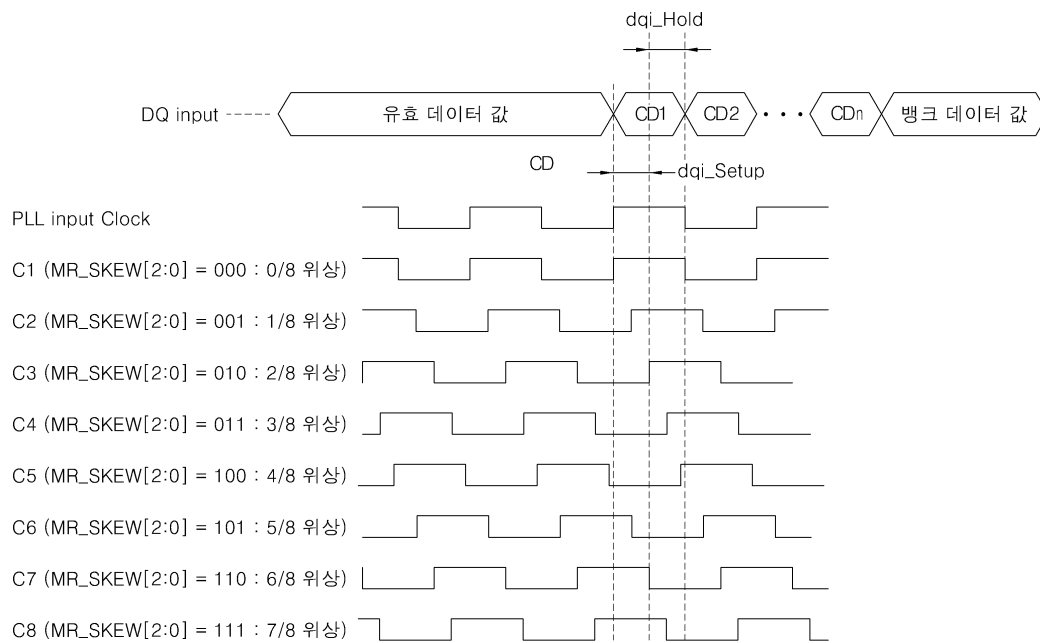
도면2



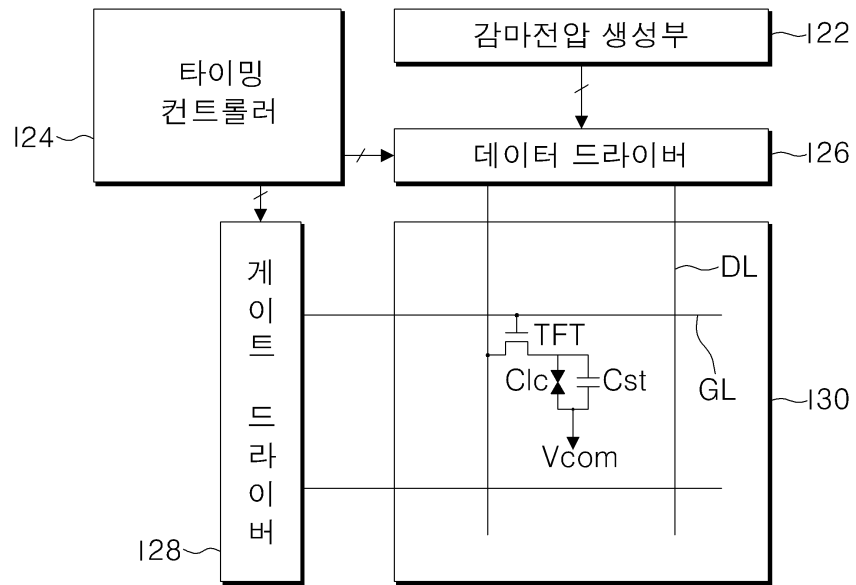
도면3



도면4



도면5



专利名称(译)	数据输入方法和装置以及液晶显示器		
公开(公告)号	KR1020070078555A	公开(公告)日	2007-08-01
申请号	KR1020060008925	申请日	2006-01-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK JONG HYON		
发明人	PARK, JONG HYON		
IPC分类号	G09G3/20 G09G3/36		
CPC分类号	G11C29/022 G09G2310/061 G09G3/3677 G09G3/006 G09G2360/18 G09G3/3688 G09G2320/0233 G09G5/008 G09G2320/0673 G11C29/50012 G11C29/028 G11C29/02		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋，云何		
其他公开文献	KR101193632B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种用于自动设置的存储器驱动方法和装置以及使用该存储器驱动方法的液晶显示器及其驱动方法，来自存储器的最佳时钟定时采样数据。为此，本发明公开了设置读入边缘的时钟的步骤，并且它最适合于：数据输入方法和装置，用于根据边缘的时钟包括设置的前一步骤，它最适合于锁存器并输出从存储器读取数据和使用该数据的液晶显示器。DDR SDRAM，内存，时钟偏移，设置，保持。

