



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0013203

(43) 공개일자 2007년01월30일

(21) 출원번호 10-2006-0048011

(22) 출원일자 2006년05월29일

심사청구일자 2006년05월29일

(30) 우선권주장 JP-P-2005-00214580 2005년07월25일 일본(JP)

(71) 출원인 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자 타카키 지로
일본국 구마모토 기쿠치군 니시고시마찌 미요시 997 멜코디스플레이 테크놀로지 가부시키가이샤 나이
이시구치 카즈히로
일본국 구마모토 기쿠치군 니시고시마찌 미요시 997 멜코디스플레이 테크놀로지 가부시키가이샤 나이
미나미 아키히로
일본국 구마모토 기쿠치군 니시고시마찌 미요시 997 멜코디스플레이 테크놀로지 가부시키가이샤 나이

(74) 대리인 권태복
이화익

전체 청구항 수 : 총 12 항

(54) 매트릭스 표시장치의 노이즈 제거 회로 및 이것을 이용한 매트릭스 표시장치

(57) 요약

액정표시장치의 노이즈 제거 회로에 관하며, 특히, 액정표시장치에 입력되는 표시제어신호에 중첩된 노이즈를 제거하는 회로를 제공한다. 노이즈를 제거하는 신호의 상승 검출 회로부(21)와 규정 기간 카운트하는 카운터(27)와, 상기 카운터의 초기화 신호를 작성하는 초기화 회로부(25)와, 카운터(27)의 카운트 허가 신호를 작성하는 카운트 이네이블 회로부(26)와, 카운터(27)가 초기 상태인지를 검지하는 초기상태 검출회로부(24)를 내장하고 있으며, 상승 검출 회로부(21)의 상승 검출에 의해, 카운터(27)가 초기값으로부터 카운트를 개시하여, 상기 규정 기간분의 카운트를 종료후, 앞 카운터(27)를 다시 초기화하도록 구성하고, 초기상태 검출회로부(24)의 초기상태 검출신호를 노이즈가 제거된 신호로 한다.

대표도

도 4

특허청구의 범위

청구항 1.

매트릭스 표시장치의 표시제어신호의 노이즈 제거 회로로서,
 노이즈를 제거하는 신호의 상승 검출 회로부와,
 규정 기간을 카운트하는 카운터와,
 상기 카운터의 초기화 신호를 작성하는 초기화 회로부와,
 상기 카운터의 카운트 허가 신호를 작성하는 카운트 이네이블 회로부와,
 상기 카운터가 초기 상태인지를 검지하는 초기상태 검출회로를 가지고,
 상기 상승 검출 회로부의 상승 검출에 의해, 상기 카운터가 초기값부터 카운트를 개시하고,
 상기 규정 기간 카운트 종료후, 상기 카운터가 다시 초기화되고,
 상기 초기상태 검출회로부의 초기상태 검출신호를 노이즈가 제거된 신호로 하는 것을 특징으로 하는 노이즈 제거 회로.

청구항 2.

제 1항에 있어서,
 데이터 이네이블 신호가 활성상태에서는 상기 카운터의 카운트 값을 유지하고, 상기 데이터 이네이블 신호가 비활성상태가 되면 상기 카운터를 초기화하는 것을 특징으로 하는 노이즈 제거 회로.

청구항 3.

매트릭스 표시장치의 표시제어신호의 노이즈 제거 회로로서,
 상기 제어신호에 포함되는 데이터 이네이블 입력의 상승을 검출하는 상승 검출 회로부와,
 상기 표시제어신호에 포함되는 클록 신호를 카운트하고, 초기화 신호에 의해 초기화되어, 카운트 허가 신호에 의해 카운트를 실행하는 카운터와,
 상기 카운터의 출력값이 소정의 규정값이 되었을 경우에 카운트 정지 신호를 출력하는 수평 화소수 검출부와,
 상기 카운터가 초기 상태임을 검출하고, 초기상태 검출신호를 출력하는 초기상태 검출회로부와,
 상기 상승 검출부의 출력 신호와 상기 카운트 정지 신호를 입력하고, 상기 초기화 신호를 출력하는 초기화 회로부와,
 상기 상승 검출부의 출력 신호와, 상기 카운트 정지 신호와, 상기 초기상태신호를 입력하고, 상기 카운트 허가 신호를 출력하는 카운트 이네이블 회로부를 가지고,
 상승 검출부의 상승 검출 출력에 의해, 상기 카운트 이네이블 회로부로부터 출력되는 카운트 허가 신호를 받아서 상기 카운터가 카운트 실행을 개시하고,

상기 규정값을 카운트후, 상기 수평 화소수 검출부로부터 카운트 정지 신호가 출력되고, 그 신호를 받아서 상기 카운트 허가 신호가 비허가 상태가 되며, 동시에 상기 초기화 회로로부터 상기 초기화 신호가 출력되고, 상기 카운터가 초기화되어, 상기 초기상태신호를 데이터 이네이블 출력 신호로 한 것을 특징으로 하는 노이즈 제거 회로.

청구항 4.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

노이즈를 제거하는 신호의 상승 검출 회로부에서, 서로 다른 지연시간을 가진 복수단의 지연회로출력의 논리곱 출력에 의하여 상기 노이즈를 제거하는 신호의 상승을 검출하는 것을 특징으로 하는 노이즈 제거 회로.

청구항 5.

제 4항에 있어서,

상기 지연회로는 2부터 30개의 D플립플롭회로인 것을 특징으로 하는 노이즈 제거 회로.

청구항 6.

제 1항 또는 제 2항에 있어서,

상기 카운터의 출력값이 소정의 규정값이 되었을 경우에 카운트 정지 신호를 출력하는 수평 화소수 검출부와,

상기 수평 화소수 검출부의 카운트 정지 신호 및 상기 상승 검출 출력을 입력하는 제어회로부를 더 구비하고,

상기 제어회로부의 출력을 사용하여 수평 화소수 검출부에 임의의 수평 화소수를 규정값으로서 설정할 수 있고,

상기 제어회로부는, 상기 카운트 정지 신호가 입력되면, 상기 상승 검출 출력이 비활성상태인 경우에는, 상기 수평 화소수를 증가시키는 것을 특징으로 하는 노이즈 제거 회로.

청구항 7.

제 3항에 있어서,

상기 수평 화소수 검출부의 카운트 정지 신호 및 상기 상승 검출 출력을 입력하는 제어회로부를 더 구비하고,

상기 제어회로부의 출력을 사용하여 수평 화소수 검출부에 임의의 수평 화소수를 규정값으로서 설정할 수 있고,

상기 제어회로부는, 상기 카운트 정지 신호가 입력되면, 상기 상승 검출 출력이 비활성상태인 경우에는, 상기 수평 화소수를 증가시키는 것을 특징으로 하는 노이즈 제거 회로.

청구항 8.

제 4항에 있어서,

상기 수평 화소수 검출부의 카운트 정지 신호 및 상기 상승 검출 출력을 입력하는 제어회로부를 더 구비하고,

상기 제어회로부의 출력을 사용하여 수평 화소수 검출부에 임의의 수평 화소수를 규정값으로서 설정할 수 있고,

상기 제어회로부는, 상기 카운트 정지 신호가 입력되면, 상기 상승 검출 출력이 비활성상태인 경우에는, 상기 수평 화소수를 증가시키는 것을 특징으로 하는 노이즈 제거 회로.

청구항 9.

제 4항에 있어서,

표시 데이터 신호는, 상기 상승 검출부에 있어서의 노이즈를 제거하는 신호의 지연량과 동등한 지연회로를 통과하는 것을 특징으로 하는 노이즈 제거 회로.

청구항 10.

제 5항에 있어서,

표시 데이터 신호는, 상기 상승 검출부에 있어서의 노이즈를 제거하는 신호의 지연량과 동등한 지연회로를 통과하는 것을 특징으로 하는 노이즈 제거 회로.

청구항 11.

제 1항 내지 제 3항 중 어느 한 항에 기재한 노이즈 제거회로에 접속된 해상도 변별회로로서,

데이터 이네이블 입력 파형의 엣지로부터 다음 엣지 사이를 카운트하는 제1 카운터 회로와,

제1 카운터의 제1 카운트 값을 유지하는 카운트 유지 회로와,

상기 노이즈 제거 회로의 출력에 동기하여 상기 카운트 유지 회로에 유지된 상기 제1 카운트 값과 소정의 임계값과의 대소를 판별하여, 상기 임계값보다 크면 제2 카운트 값을 증가시키고, 임계값보다 작으면 상기 제2 카운트 값을 감소시키는 제2 카운터 회로를 구비하는 것을 특징으로 하는 해상도 변별 회로.

청구항 12.

제 1항 내지 제 3항 중 어느 한 항에 기재된 노이즈 제거 회로를 사용한 것을 특징으로 하는 매트릭스 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[기술분야]

본 발명은, 매트릭스 표시장치의 노이즈 제거 회로 및 이것을 사용한 매트릭스 표시장치에 관하며, 특히, 액정표시장치에 있어서의 타이밍 컨트롤러에 채용하는 노이즈 제거 회로에 관한 것이다.

[배경기술]

종래, 정전 노이즈 인가시험시등 액정표시장치로 대표되는 매트릭스 표시장치의 케이싱에 고전압이 인가되었을 경우, 순간의 표시 이상이 시인되고 있었다. 이 표시 이상은, 액정표시장치의 입력 단자에 노이즈가 혼입하여, 액정표시장치에 탑재되어 있는 타이밍 컨트롤러를 구성하는 디지털 회로내의 신호에 노이즈 성분이 중첩되고, 상기 타이밍 컨트롤러가 오동작을 일으켜, 정상상태와는 다른 타이밍에서 각종 제어신호를 출력하는 것이 주된 원인으로 생각할 수 있다.

액정표시장치에 내장되어 있는 타이밍 컨트롤러의 출력 신호로서는, 상기 입력 단자의 정전 노이즈 중첩에 의해, 영향을 받는 신호로서, 수평방향 스타트 펄스, 수직방향 스타트 펄스 등이 있고, 수평방향 스타트 펄스의 타이밍 어긋남 발생에서는 라인 노이즈, 출력 누락 발생에서는 라인 누락 등의 표시 이상이 발생한다. 또한 수직방향 스타트 펄스의 타이밍 어긋남에서는 수직방향의 표시 흔들림이 발생하고, 출력 누락에서는 프레임 누락 등 표시 이상이 발생한다. 프레임 누락은 정지 화상 표시에서는 큰 문제가 되지 않지만, 동영상 표시의 경우에는 화면 점프를 일으켜 부자연스러운 움직임이 된다.

또한 액정표시장치와 이것을 제어하는 표시 컨트롤러 사이의 표시제어신호에, 수평, 수직동기신호를 갖지 않는 인터페이스 형식인 경우, 표시 데이터의 유효 타이밍을 나타내는 데이터 이네이블 신호(이후 DENA라 칭한다)에 노이즈가 중첩되면, 화상의 호트러짐이 커서 특히 문제였다.

또한 상기 표시제어신호의 인터페이스 규격으로서 널리 이용되는 LVDS(Low Voltage Differential Signaling) 인터페이스에 있어서는, 동작 전압이 일정 레벨이하가 되면 LVDS리시버의 수신 동작이 불안정하게 되고, 오동작을 일으켜서 노이즈 신호를 발생한다.

상기 노이즈 혼입시에 있어서의 디지털 회로의 오동작 방지를 위한 노이즈 제거 회로로서, 입력 신호에 노이즈가 있을 경우를 상정하여, 복수개의 입력 계통을 설치해서 각 입력 신호를 비교하여 신호의 신뢰성을 판단하는 것으로 입력 신호의 노이즈 성분을 제거하는 것을 생각할 수 있다.(특허문헌 1참조)

또한 신호 입력단에 지연회로를 갖게 하여 입력 신호와 지연시킨 입력 신호를 조합 회로로 노이즈를 제거하는 방법도 주지하였다.(특허문헌 2 및 3참조)

또한 고주파 노이즈(짧은 펄스폭)용의 제1필터 회로와 저주파 노이즈(긴 펄스폭)용의 제2필터를 연결함으로써 노이즈 필터 회로를 구성하는 예도 주지하였다.(특허문헌 4참조)

또한 연속해서 발생하는 노이즈나 긴 펄스폭의 노이즈 등의 노이즈도 검출하는 회로도 주지하였다.(특허문헌 5참조)

[특허문헌 1] 일본국 공개특허공보 특개평 11-282401호 공보

[특허문헌 2] 일본국 공개특허공보 특개평 11-214964호 공보

[특허문헌 3] 일본국 공개특허공보 특개평 11-251884호 공보

[특허문헌 4] 일본국 공개특허공보 특개 2000-341098호 공보

[특허문헌 5] 일본국 공개특허공보 특개 2000-209076호 공보

[특허문헌 6] 일본국 공개특허공보 특개2002-271427호 공보

[발명의 개시]

발명이 이루고자 하는 기술적 과제

상기 특허문헌 1에 있어서의 노이즈 제거 회로에 있어서는, 모든 계통에 노이즈가 있을 경우에 필터링 할 수 없는 등 충분한 성능을 가질 수는 없다. 또한 상기 특허문헌 2 및 3에 있어서의 노이즈 제거 회로에 있어서는, 설정한 펄스폭 이상의 노

이즈나 연속하여 발생한 노이즈 등의 경우, 입력 신호의 노이즈와 지연된 입력 신호의 노이즈가 겹쳐, 완전하게 노이즈를 제거할 수 없다. 또한 상기 특허문헌 4에 있어서의 노이즈 제거 회로에 있어서는, 제거할 수 있는 노이즈 펄스폭에는 한계가 있고, 긴 펄스폭의 노이즈에 대응시키려고 하면 역으로 본래의 신호까지 제거할 가능성이 있다.

더욱 상기 특허문헌 5에 있어서의 노이즈 제거 회로에 있어서는, 입력 신호의 상승(또는 하강) 엣지를 검출하여 소정기간의 레벨 모니터 신호를 발생하는 레벨 모니터 회로를 가지고, 레벨 모니터 회로 동작 기간 동안의 노이즈를 검출하는 것이다. 그러나 활성(High)기간 동안의 노이즈(Low)신호는 검출할 수 있지만, 비활성(Low)기간 동안에 발생하는 노이즈(High) 신호는 검출할 수 없으며 또한 노이즈를 제거하는 회로가 배치되지 않기 때문에, 본래의 입력 신호를 얻기 위해서는 다른 노이즈 제거 회로가 필요하였다.

또한 상기 특허문헌 6에 있어서의 노이즈 제거 회로에 있어서는, 엣지검출수단을 사용하여 입력 신호의 엣지를 검출하고, 이 엣지를 받아서 일정 기간을 카운트하는 타이머 수단을 갖고, 타이머 수단이 카운트중은 입력 신호를 마스크 하는 마스크 수단을 설치하여, 입력 신호를 마스크 하고, 노이즈를 제거하는 것이다. 그러나 활성(High)기간 동안의 노이즈(Low)신호는 검출할 수 있지만, 비활성(Low)기간 동안에 발생하는 노이즈(High) 신호는 검출할 수 없다.

또한, 상기 활성기간(High)은, 그 신호가 다른 입력 신호 (예를 들면 데이터 신호 등)가 유효인지 무효인지를 결정하는 신호로서, 상기 입력 신호가 유효할 경우를 말한다. 비활성 기간(Low)은, 상기 입력 신호가 무효인 상태를 말한다. 이후도 활성·비활성 기간의 정의는 이에 따른다.

발명의 구성

[과제를 해결하기 위한 수단]

본 발명에 따른 매트릭스 표시장치의 노이즈 제거 회로는, 노이즈를 제거하는 신호의 상승 검출 회로부와 규정 기간을 카운트하는 카운터와, 상기 카운터의 초기화 신호를 작성하는 초기화 회로부와, 상기 카운터의 카운트 허가 신호를 작성하는 카운트 이네이블 회로부와, 상기 카운터가 초기 상태인지를 검지하는 초기상태 검출회로를 내장하고 있으며, 노이즈 제거 회로에 있어서, 상승 검출 회로부의 상승 검출에 의해, 상기 카운터가 초기값부터 카운트를 개시하여, 상기 규정 기간분의 카운트를 종료후, 상기 카운터를 다시 초기화하도록 구성하고, 상기 초기상태 검출회로부의 초기상태 검출신호를 노이즈가 제거된 신호로 하는 것을 특징으로 한다.

[발명을 실시하기 위한 최선의 형태]

실시예 1

도 1에 본 실시예 1의 있어서의 노이즈 제거 회로(6)를 채용한 타이밍 콘트롤러(5)를 채용한 액정표시장치(1)의 시스템 구성도를 나타낸다. 도 1에 있어서, 액정 패널(10)은, XGA(Extra Graphic Array)의 해상도를 가지고 있고, 대표로 도시한 화소(12) 및 그것을 구동하는 TFT(11)가, 각각 세로 768개, 가로 1024×3개(R, G, B분) 매트릭스 모양으로 배치되고 있으며 (도시 생략), 그것들의 화소를 구동하기 위해서 복수의 주사선 및 신호선에 각각 접속되는 주사선 구동회로(2) 및 신호선 구동회로(3)가 액정 패널(10)의 매트릭스 표시부 주변에 배치되어 있다.

본 실시예 1에 있어서는, 상기 표시 콘트롤러로부터 액정표시장치(1)의 타이밍 콘트롤러(5)에 입력되는 표시제어신호 및 그 타이밍은, 도 2에 나타나 있는 바와 같이 호환성이 높은 일반적인 타이밍을 채용하고 있으며, 이하에 자세하게 설명한다.

도 2에 있어서, 데이터 이네이블(이후 DENA라 칭한다) 신호 및 표시 데이터(이후 DATA라 칭한다) 신호는 타이밍 콘트롤러(5)내의 디지털 회로에서 도트 클럭 (이후 DCLK라 칭한다)의 하강(또는 상승)에 동기하는 타이밍에서 판독되고 있으며, 액정 패널(10)에 표시되는 DATA신호는 DENA신호의 활성기간(High기간)동안 상기 디지털 회로에서 유효하다고 판단된다. 또 도 2의 상반부에서는, 약 2프레임에 걸치는 DCLK와 DENA 및 DATA신호의 타이밍 관계를 나타내고 있다. 1프레임간에 있어서, DENA신호가 비교적 장기간에 걸쳐 (통상 수 10수평 기간) 비활성 기간이 계속되는 기간 즉 수직 블랭킹이 종료하고, 최초로 DENA신호는 활성화(High기간) 하는 1024DCLK기간이 제1라인의 DATA신호 유효기간을 나타내며, 다음에 설명하는 수평 블랭킹 기간(통상 수 10DCLK 기간)을 두어, 다음의 DENA신호가 활성화하는 1024DCLK기간이 제2라인의 DATA 유효기간을 나타낸다. 또 다음 프레임과의 사이의 수직 블랭킹 기간이 개시하기 직전의 최종 DENA신호 활성화 기간(1024DCLK기간)이 최종 768라인째의 DATA신호 유효기간이다.

다음에 도 2 하반부를 사용하여, 2수평기간에 걸치는 DLCK, DENA 및 DATA신호간의 타이밍을 설명한다. 전술한 바와 같이 액정 패널(10)에 표시하는 표시 데이터는 DCLK의 하강에 동기하여 판독되고, DENA 신호가 비활성상태에서 활성상태로 상승한 최초의 DCLK기간은, 제1표시 데이터 즉 표시 화면상에서는 각 수평 라인상의 좌단의 화소에 기록되는 DATA신호를 나타내고, 다음의 DCLK기간이 제2표시 데이터를 나타낸다. 이후, 1024DCLK분까지 순차 DATA가 타이밍 컨트롤러(5)내의 디지털 회로로 읽혀 들어간다. DENA 신호가 상승 1025DCLK기간 경과하면 DENA신호가 비활성(Low)이 되고, 수평 블랭킹 기간이 된다. 이후, 이 반복을 768회 실시하면 1프레임 분 즉 1화면 분의 데이터가 타이밍 컨트롤러(5)에 입력된다.

또한 타이밍 컨트롤러(5)와 주사선 구동회로(2) 및 신호선 구동회로(3)의 관계에 관하여 설명한다. 도 1에 나타난 타이밍 컨트롤러(5)내의 타이밍 제어회로(4)는, 입력된 DCLK, DENA신호 및 DATA신호로부터 수직방향 스타트 펄스 및 수평주사 클록 등 주사선 구동 제어신호(13)를 생성하여, 주사선 구동회로(2)에 출력한다. 또한 수평방향 스타트 펄스, 래치 펄스, 표시 데이터 등 신호선 구동 제어신호(14)를 생성하여 신호선 구동회로(3)에 출력한다.

상기 제어신호(13, 14)는 주사선 구동회로(2)에 채용하는 게이트 드라이버 IC나 신호선 구동회로(3)에 채용하는 소스 드라이버 IC의 입력 신호의 타이밍 사양에 근거하여 소정의 타이밍에서 타이밍 컨트롤러내의 타이밍 제어회로(4)에서 생성된다.

다음에 도 1에 있어서의 노이즈 제거 회로(6) 및 지연회로(7)에 관하여 설명한다. 도 1에 나타난 바와 같이 타이밍 컨트롤러(5)는, 타이밍 제어회로(4), 노이즈 제거 회로(6) 및 지연회로(7)를 구비하고, 노이즈 제거 회로(6)는 상기 표시 컨트롤러로부터 입력하는 DENA신호(8)가 입력되고, 노이즈 제거후의 DENA2신호(16)를 출력한다. 지연회로(7)에는 DATA신호(9)가 입력되고, 소정의 DCLK주기분 지연한 지연 DATA신호(15)가 출력된다.

상기와 같이 타이밍 컨트롤러(5)내의 타이밍 제어회로(4)에는, DCLK나 노이즈 제거후의 DENA2신호(16) 및 지연 DATA신호(15)가 입력되고, 이들의 신호에 의거하여 상기 제어신호(13, 14)가 만들어져, 주사선 구동회로(2) 및 신호선 구동회로(3)에 출력된다. DCLK에 동기하여 입력되는 상기 지연 DATA신호(15)는, 마찬가지로 DCLK에 동기하는 DENA2신호(16)에 의해 그 유효무효가 확정된다.

또한 전술한 바와 같이, 타이밍 컨트롤러(5)로부터 주사선 구동회로(2)에는, 주사선 구동제어신호(13)로서 수직방향 CLK과 수직방향 스타트 펄스가 출력되고, 신호선 구동회로(3)에는 신호선 제어신호(14)으로서 출력 DATA, 수평방향 스타트 펄스 및 래치 펄스 등이 출력된다.

다음에 도 3을 사용하여 노이즈 제거 회로(6)와 지연회로(7)의 동작 타이밍에 대해서 개요를 설명한다.

도 3에 DENA신호에 대하여 노이즈 제거 회로(6)를 채용한 타이밍 컨트롤러(5)의 주요한 표시제어신호의 타이밍을 나타낸다. 동 도면에서 신호선 제어신호(14)에 포함되는 수평방향 스타트 펄스는, 동 신호(14)에 포함되는 소스 드라이버 IC로의 출력 DATA의 수평 블랭킹 후의 최초 데이터의 1DCLK기간 앞의 타이밍에서 출력되고, 주사선 제어신호(13)에 포함되는 수직방향 스타트 펄스는 수직 블랭킹후의 최초의 수평주사 타이밍에서 출력된다.

상기한 바와 같이, DENA신호는, 표시용 데이터의 유효무효를 확정하기 위해 이용되는, 상기 수평 블랭킹후의 최초의 DATA신호 타이밍 및 수직 블랭킹후의 수평주사 타이밍의 정확한 위치를 얻기 위해서, 그 신호 타이밍이 중요하며, DENA신호의 배선에 노이즈 제거 회로(6)가 필요하게 된다.

여기에서 노이즈 제거 회로(6)는 입력되는 DENA신호는, 후술하는 바와 같이, 소정의 지연을 포함하므로, DATA신호에도 동등한 지연을 가할 필요가 있다. 즉 DENA신호와 DATA신호의 타이밍의 동기를 취하면, 후속의 타이밍 제어회로(4)를 변경하지 않고 타이밍 컨트롤러(5)를 구성할 수 있다.

또한 타이밍 컨트롤러(5)에 내장되어, 예를 들면 데이터 변환회로 등 DATA신호에 지연이 발생하는 부가 회로가 필요한 경우, 노이즈 제거 회로의 지연시간을 그것에 맞추는 등으로 쓸데없는 지연회로를 늘리지 않도록 연구할 수도 있다.

다음에 도 4에 본 실시예 1에서 채용한 노이즈 제거 회로(6)의 구성도를 나타낸다. 노이즈 제거 회로(6)는, 동일 DCLK신호에서 동기하여 동작하는 6단계의 D플립플롭회로(이후 D-FF라고 칭한다)로 이루어지는 지연회로 블록(31)과, 입력 신호 DENA와 상기 D-FF회로에서 1DCLK 마다 순차로 지연한 신호를 입력하는 7입력 AND회로부(22)로 구성되는 DENA 상승 검출부(21), DCLK를 입력하고, DCLK의 입력 펄스수를 카운트하는 카운터(27)와, 상기 AND회로부(22)의 상승 검

출 출력 PEG을 입력하고, 상기 카운터(27)의 카운트 기능의 동작 또는 정지를 제어하는 카운트 허가 신호 ENV를 카운터(27)에 출력하는 카운트 이네이블 회로부(26)와, 상기 상승 검출 회로부(21)의 상승 검출 출력 PEG을 입력하고, 카운터(27)의 초기화 신호 INT를 생성하여, 카운터(27)에 입력하는 초기화 회로부(25)와, 상기 카운터(27)의 카운트 출력 CNT이 표시 패널(10)의 해상도에 의거하여 미리 정해진 규정값 1024와 일치하는 지 여부를 검출하고, 일치한 경우에는 카운트 정지 신호 EOC를 상기 초기화 회로부(25) 및 카운트 이네이블 회로부(26)에 출력하는 수평 화소수 검출부(23)와, 카운터(27)의 출력 CNT을 입력하여 카운터(27)가 초기 상태인지를 검출하고, 카운터 초기상태신호 ITS를 출력하는 초기상태 검출부(24)와, 상기 카운터 초기상태신호 ITS를 입력하여 데이터 이네이블 출력 DENA2을 생성하는 반전 버퍼(28)로 구성되고, 이 반전 버퍼(28)의 출력 DENA2이 노이즈 제거후의 신호(16)가 된다. 여기에서는, 카운터(27)가 업 카운터식을 채용하고 있고, 초기화되면 그 출력 CNT는 0이 되므로, 초기상태 검출부(24)에는 상기 출력 CNT가 0인지를 검출하는 0값 검출 회로를 채용하고 있으며, 한편, 수평 화소수 검출부(23)는 카운터(27)의 출력 CNT가 규정값에 이르렀는 지를 판별하는 규정값 검출 회로를 채용하고 있다.

또한 상기 DENA2은 상기 카운트 이네이블 회로부(26)에 입력된다. 여기에서, 상기 수평 화소수 검출부(23)에 설정되고 있는 규정값은, 액정 패널(10)의 해상도가 XGA이므로, 1024로 하고 있다.

다음에 도 4에서 나타낸 노이즈 제거 회로(6)의 동작에 대해서 도 5의 타이밍도를 사용하여 상세하게 설명한다. 도 4 및 도 5에 나타낸 실시예 1에 있어서, 지연회로 블록(31)과 상기 지연회로 블록(31)의 6개의 지연 출력 및 DENA신호(8)를 입력하는 상기 AND회로부(22)에 의해, DENA신호(8)가 7DCLK기간에 걸쳐 연속하여 활성화(High)상태를 유지하고 있는지를 검출하여, 연속하여 활성화상태인 경우에는 상승 검출 출력 PEG에 High를 출력한다. 즉 상기 신호 PEG는 DENA신호(8)의 상승 엣지를 검출하게 되고, 검출까지의 지연시간은 6DCLK분에 상당한다. 상기 지연시간은 지연회로 블록(31)의 D-FF의 수에 의존하며, 본 실시예 1에서는 6개의 경우를 예시하고 있다.

여기에서, DENA신호의 상승 엣지가 입력하고, 도 5에 나타내는 상승 검출 출력 PEG이 High가 되면, 상기 카운트 허가 신호 ENV가 High가 되고, 카운터(27)가 DCLK의 카운트 업 동작을 시작한다. 카운터(27)의 카운트 값 CNT이 규정값 1024에 도달하면, 수평 화소수 검출부(23)로부터 카운트 정지 신호 EOC(High펄스)가 출력되고, 상기 신호 EOC가 초기화 회로부(25)에 입력한다. 이 시점에서 카운터(27)는 수평 화소수 검출부(23)에 설정된 규정 기간 즉 0부터 규정값 1024DCLK 상당 기간분을 카운트하게 된다.

여기에서, 입력 DENA신호(8)는 이미 1024DCLK분 이상 경과하고 있으므로 비활성(Low)이 되고 있고, 상기 AND회로부(22)를 거친 신호 PEG도 Low가 되며, 그 결과 초기화 회로부의 AND회로(30)의 출력 신호 즉 초기화 신호 INT도 High가 되고, 다음의 1DCLK입력후, 카운터(27)는 초기화되어, 그 결과 카운트 출력 CNT이 초기값 0이 된다. 그 카운트 출력 0을 받아, 초기상태 검출부(24)에서 초기 상태가 검출되고, 그 출력 신호 ITS는 High가 된다. 상기 신호 ITS의 반전 신호인 데이터 이네이블 출력 DENA2신호(16)는 카운트 값 CNT이 0이외일 때 High가 된다.

또한 도 5에서, 상정하는 펄스폭의 노이즈가 DENA신호(8)에 중첩되었을 경우의 동작에 관하여 설명한다. 전술한 LVDS 리시버 오동작시를 상정했을 경우, 수DCLK~수십DCLK 상당 기간의 펄스폭을 가지는 노이즈를 상정한 것만으로는 노이즈가 그 범위내인지를 결정하는 것이 충분하지 않기 때문에, 그 이상의 긴 펄스폭을 가지는 노이즈가 발생할 경우도 상정해야만 한다.

본 실시예 1에서는, DENA신호(8)가 활성화(High)기간에 발생하는 지연회로 블록(31)의 D-FF분 이상의 긴 Low성분의 노이즈 신호가 발생했다고 해도 카운터(27)가 카운트 업 동작을 하고 있는 기간이면 카운터(27)의 카운트 동작에 영향을 주는 경우는 없기 때문에, 이 노이즈를 제거할 수 있다.

다음에 도 6을 사용하여, DENA신호(8)의 비활성(Low)기간에 노이즈가 발생하고, 지연회로 블록(31)의 총 지연시간(DLCK기간 × D-FF총수)이상의 긴 노이즈(High)신호가 DENA신호에 중첩했을 경우의 노이즈 제거 회로(6)의 동작을 설명한다.

상기 비활성(Low)기간에 발생한 긴 펄스 노이즈에 의해, 지연회로 블록(31)과 7입력 AND회로부(22)에서 노이즈(High)신호를 입력 신호로 오검출하여, 카운터(27)가 카운트 업을 시작한다. 카운터(27)가 상기 규정값 1024까지 카운트 업 한 곳에서 카운트 허가 신호 ENV를 작성하는 카운트 이네이블 회로부(26)내의 AND회로(29)가 작용하여, 카운트 허가 신호 ENV를 Low로 하고 카운트 값 CNT을 유지하여 DENA신호(8)가 비활성(Low)이 될 때까지 계속해서 유지한다. 한편, 초기화 신호 INT를 작성하는 초기화 회로부(25)도 상승 검출 출력 PEG이 High이기 때문에, 카운터(27)의 초기화도 발생하지 않는다.

그 후에 다음 수평주사 기간에 대응하는 정규의 수평 블랭킹 기간이 개시하여, DENA 신호가 비활성(Low)이 되고, 상기 상승 검출 출력이 Low가 되어, 초기화출력 INT이 일어나 카운터(27)는 초기화된다. 이들의 작용에 의해, 오동작을 최소한(1라인 분)으로 억제할 수 있다.

바꿔 말하면, 카운트 이네이블 회로부(26)는, 내장된 AND회로(29)의 입력 신호로서, 수평 화소수 검출부(23)의 카운트 정지 신호 EOC의 반전 신호와, DENA상승 검출부(21)의 상승 검출 출력 PEG 및 반전 회로(28)의 출력 DENA2신호와 OR 출력을 입력하고, 그것들의 논리곱을 AND회로(29)에서 취하고, 카운트 허가 신호 ENV를 생성하므로, 도 6에서 나타나 있는 바와 같이, 가령 입력 DENA신호의 비활성 기간에 긴 펄스 노이즈가 중첩되고, 데이터 이네이블 출력 DENA2신호(16)가 1라인 분 오동작을 일으켜서 통상보다 적은 수의 DCLK로 카운터(27)의 카운트 값이 1024에 달하며, 수평 화소수 검출부(23)의 출력 EOC이 High가 되었다고 해도, 다음의 수평주사 라인에 대응하는 DENA신호(8)로서 정규의 비활성 신호 Low가 입력될 때까지 카운터(27)의 카운트 값 1024가 유지되고, 카운터(27)의 초기화가 정규의 비활성 신호 Low후의 다음의 DCLK에서 실행된다. 그 결과, DENA신호(8)의 어긋남에 의한 표시 오동작은 1수평 라인에만 한정된다.

또한 카운터(27)의 카운트 값 CNT이 1024에 달하고, 수평 화소수 검출부(23)의 출력 카운트 정지 신호 EOC가 High가 되면, AND회로(29)의 출력이 Low가 되고, 카운터(27)의 카운트가 정지되어 이 때의 카운트 값 1024가 유지된 상태가 된다. 노이즈에 의한 오동작이 발생했을 경우, 규정값 1024를 유지함으로써, 다음의 정규DENA신호(8)의 비활성 타이밍에서 카운터(27)의 초기화를 확실하게 일으켜, 오동작의 연속을 피하는 것이 가능하다.

여기에서, 노이즈 제거 회로(6)의 동작은 본 실시예 1에서 예시한 규정값은 1024가 아니면 안되는 것은 아니고, 액정 패널의 해상도를 고려하여 설계의 사정상 자유로이 설정해도 좋다. 예를 들면 수평 화소수 검출 회로(23)의 규정값은 액정 패널의 해상도의 사양으로 규정되는 입력 DENA신호의 펄스폭 기대값의 사양에 의해 결정한다. 다시 말해, 상기 규정값은 액정표시장치에 있어서의 입력 신호의 DENA신호의 펄스폭에 상당하고, 해상도에 의해 XGA이면 1024, SVGA(Super VGA)이면 800, VGA이면 640등의 숫자가 된다. 또한 데이터 신호를 분할하고 있을 경우 등은 XGA에서 512, SVGA에서 400등이 되어도 상관없다.

또한 본 실시예 1에 있어서의 도 4에서, 노이즈 제거 회로(6)의 구성예에 관하여 설명하고, 카운터(27)에 대해서는, 초기값 0부터 카운트를 개시하여 카운트 값을 가산시켜 가는 업 카운터를 채용하여 설명했지만, 카운터에 대해서는, 특히 업 카운터일 필요는 없고, 도 7에서 나타난 다운 카운터를 채용한 노이즈 제거 회로(40)와 같이 상기 규정값을 초기화시에 카운터(32)에 프리셋하여 DCLK입력 펄스를 다운 카운트하는 다운 카운터를 채용해도 좋다. 이 경우, 수평 화소수 검출부(33)에 0값 검출 회로를, 또한 초기상태 검출부(34)에 규정값 검출회로를 채용한다. 따라서, 카운터(32)의 출력 CNT가 초기값인 규정값으로부터 다운 카운트가 진행하여 0이 되고, 상기 0값 검출 회로의 출력인 카운트 정지 신호 EOC가 High가 되어 초기화 회로부(25)에 입력하면, 초기화 신호 INT가 High가 되어, 상기 초기값 1024가 카운터(32)에 프리셋 된다. 그 밖의 회로부의 구성 및 동작은 도 4에서의 설명과 같으며, 동등의 노이즈 제거 기능을 얻는 것이 가능하다.

전술한 노이즈 제거 회로(6)의 지연회로 블록(31)의 예에서는, D-FF의 수를 6단으로 하여 설명했지만, 노이즈 제거의 기능을 가지는 D-FF의 단수에 의해, 필터 계수가 결정될 뿐으로, 특별히 제한은 없고 몇개로 설정해도 좋지만, 상기 D-FF의 단수가 적으면 입력 신호의 비활성 기간(Low기간)에 발생한 노이즈(High)신호에 민감하게 반응하여 입력 신호로 잘못 생각하게 되어 상승 포인트가 본래의 입력 신호 위치 앞이 될 가능성이 있다. 역으로 D-FF의 수가 많으면 입력 신호의 비활성 기간(Low)에 발생한 노이즈 신호(High)에는 반응하지 않고 원하는 활동을 기대할 수 있지만, 본래의 입력 신호의 상승부에 발생하는 노이즈에 민감해지므로 상승 포인트가 뒤로 될 가능성이 높아진다. 정전기 노이즈의 방전에 따른 상기 LVDS리시버의 오동작시의 노이즈 펄스폭은 수 DCLK ~ 수십 DCLK분에 상당하므로, D-FF의 수는 2~30개 정도로 설정하는 것이 바람직하다.

실시예 2

본 실시예 2에서는, 상기 실시예 1에서 채용한 규정값 검출회로에 있어서, 도 8에서 나타나 있는 바와 같이, 미리 노이즈 제거 회로(41)의 외부에 설치된 제어회로(34)로부터 규정값 출력 LOD를 입력가능한 사양으로 두고, 액정 패널의 여러가지 해상도에도 대응할 수 있도록 한 예이다.

여기에서, 본 실시예 2에 있어서의 액정표시장치의 시스템 구성도 등 노이즈 제거 회로(40) 이외의 구성 부분에 있어서는, 상기 실시예 1에서 채용한 구성과 동일하고, 동일한 번호를 붙여 상세한 설명은 생략한다.

노이즈 제거 회로(41)에 있어서, 전술과 마찬가지로, 수평 화소수 검출부(43)는, 신호 CNT가 규정값과 일치하는 지를 검출하는 기능을 가지고, 상기 규정값 출력 LOD를 외부제어로부터 설정할 수 있는 구성으로 하고 있다. 이 구성에 의해, 제어회로(34)로 각종의 액정 패널 해상도 사양에 대응하여 노이즈 제거 회로(41)의 규정값을 변경하는 것이 가능하게 되고, 게다가 노이즈 제거 회로(41)를 채용한 하나의 종류의 타이밍 컨트롤러로, 많은 해상도의 액정표시장치에 대응할 수 있다.

여기에서, 외부의 제어회로(34)로부터 타이밍 컨트롤러 내장의 노이즈 제거 회로(41)에 상기 규정값을 설정하는 구체적인 방법에 대해서 예시한다. 일반적인 방법의 하나로서, 제어회로(34)에 (도시하지 않음) 1핀 이상의 설정 단자를 설치하고, 상기 단자의 High/Low에 의거하여 타이밍 컨트롤러내 또는 노이즈 제거 회로(41)내의 논리회로에 미리 준비된 복수의 설정값으로부터 하나를 선택하여, 수평 화소수 검출부(43)의 규정값으로 하는 방법이 있다.

또한, 타이밍 컨트롤러내 또는 그 외부에 규정값 데이터가 기록된 ROM(도시하지 않음)을 설치하고, 상기 제어회로(34)를 통해, 상기 ROM으로부터 판독한 규정값 출력 LOD를 노이즈 제거 회로(41)의 수평 화소수 검출부(43)에 설정하도록 구성해도 좋다. 이 경우, 상기 ROM의 내용을 바꾸어 쓰면, 타이밍 컨트롤러의 논리회로를 변경하지 않고, 규정값을 변경하는 것이 가능하게 되며, 사전에 준비된 해상도 이외의 특수한 해상도를 가진 액정 패널에 대해서도, 비교적 빠른 시기에 상기 노이즈 제거 회로(41)의 적용이 가능하게 된다.

또한 이상의 설명에서는, 제어회로(34)를 타이밍 컨트롤러(6)의 내부에 설치한다고 하여 설명했지만, 특별히 내부일 필요는 없으며, 설치 장소는 상관없다.

실시예 3

본 실시예 3에서는, 도 8에 나타나 있는 바와 같이 상기 실시예 2에서 채용한 상기 노이즈 제거 회로(41)에 내장된 수평 화소수 검출부(43)의 검출 출력 EOC를 제어회로(34)에 입력하도록 구성하고, 제어회로(34)에서 액정 패널을 표시하기 위한 신호 DENA입력의 길이로부터 표시해야 할 액정 패널의 해상도에 대해서, 미리 정해진 해상도와 합치하는 지 여부를 단계적으로 판별하여, 상기 규정값을 설정하도록 구성한다.

여기에서, 본 실시예 3에 있어서의 액정표시장치의 시스템 구성도 등 노이즈 제거 회로(41)이외의 구성 부분에 있어서는, 상기 실시예 1 및 2에서 채용한 구성과 동일하며, 동일한 번호를 붙여 상세한 설명은 생략한다.

다음에, 제어회로(34)의 규정값 설정 동작에 대해서, 상세하게 설명한다. 제어장치(34)는, 우선 수평 블랭킹 기간에 있어서, 상기 미리 정해진 해상도 안에서, 다소 적은 수치(즉 상기 규정값 : 예를 들면 VGA대응하여 640)를 가정하여, 규정값 LOD로서 상기 수평 화소수 검출부(43)에 설정한다. 다음에 DENA상승 검출부(21)에서 DENA신호(8)의 상승 검출 출력 PEG이 High가 되고, 카운터(27)가 카운트 허가가 되고, 출력 CNT이 0부터 증가해 간다. 여기에서 입력 DENA신호(8)의 활성기간 길이를 DCLK주기로 나눈 값이 640이고, 상기 규정값 LOD과 동일한 경우, 상기 CNT출력이 640이 된 시점에서, 수평 화소수 검출부(43)의 검출 출력 EOC에 High펄스가 출력되고, 이 High펄스를 상기 제어회로(34)에서 읽어 들임과 동시에 PEG신호의 High/Low도 입력한다. 출력 EOC에 High펄스가 출현한 것은, 상기 규정값 LOD과 카운터(27)의 CNT출력값은 동일 즉 640인 것을 의미하므로, DENA의 활성기간 길이는 640DCLK분 이상이다. 여기에서, 제어회로(34)가 입력한 상기 PEG신호가 Low인 경우, 이미 입력 DENA신호(8)도 Low인 것을 의미하기 때문에, 표시 컨트롤러로부터 출력되고 있는 수평 해상도는 640이며, 제어회로(34)의 규정값 설정 동작을 종료한다.

상기 출력 EOC에 High펄스가 출현한 시점의 PEG신호가 High였던 경우에는, 수평 해상도가 640을 초과하고 있음을 의미하므로, 제어회로(34)는 상기 규정값 LOD에 800(SVGA대응)을 출력하고, 수평 화소수 검출부(43)의 설정값으로 한다. 그 후에 DENA신호가 활성이 되고, PEG 신호가 상승 카운터(27)가 카운트 허가가 되고, 상기 CNT출력이 800이 된 시점에서, 수평 화소수 검출부(43)의 검출 출력 EOC에 High펄스가 출력되고, 이 High펄스를 상기 제어회로(34)에서 읽어 들이며, 동시에 PEG신호의 High/Low도 입력한다. 여기에서, 제어회로(34)가 입력한 상기 PEG신호가 Low인 경우, 이미 입력 DENA신호(8)도 Low인 것을 의미하기 때문에, 표시 컨트롤러로부터 출력되어 있는 수평 해상도는 800이며, 제어회로(34)의 규정값 설정 동작을 종료한다.

상기 EOC에 High펄스가 출현한 시점의 PEG신호가 High였던 경우에는, 수평 해상도가 800을 초과하고 있음을 의미하므로, 제어회로(34)는 상기 규정값 LOD에 1024(XGA대응)를 출력하고, 수평 화소수 검출부(43)의 설정값으로 한다.

이후, 제어회로(34)에 의해 상정된 최대 해상도까지 상기 규정값 설정 동작과 PEG신호의 검출 동작을 반복하여, 상기 규정값 출력 LOD를 단계적으로 증가시키고, 상기 검출 출력 EOC에 High펄스가 출력된 시점에서의 PEG신호의 High/Low를 읽어 들여, 제어회로(34)에서 가령 설정한 LOD값이 적절한 지 여부를 판단하는 것이 가능하고, 제어회로(34)에서 표시 패널(10)의 해상도에 대응한 적절한 설정값을 선택할 수 있다.

또한 이상의 설명에 있어서는, 적절한 설정값의 선택이 완료할 때까지의 시간을 단축하기 위해, 상기 미리 결정된 해상도를 단계적으로 증가시켜, 설정값을 선택했지만, 액정 패널의 해상도가 특수한 경우 등의 예에서는, 설정값을 소정의 최소값부터 하나씩 증가시켜서 PEG신호의 High/Low를 읽어 들여 적절한지 여부를 판단하는 방법을 채택해도 좋다. 이 경우, 입력 DENA신호로부터 생성되는 상승 검출 출력의 상승은 6DCLK분 지연하고 있고, 그만큼 카운터의 카운트 개시가 지연된다. 따라서, 상기 설정값을 하나씩 증가시켜 최초에 PEG신호가 Low가 된 설정값에 대하여 상기 지연 상당분 6을 가산해서 최종적인 설정값 LOD로 하면 된다.

실시에 4

도 9에 DENA신호 및 상기 노이즈가 제거된 상기 DENA2신호로부터 액정 패널의 해상도를 변별하는 해상도 변별회로(50)의 실시예에 대해서, 그 구성을 나타낸다. 우선, DENA신호의 하강 엣지를 검출하는 엣지검출 회로부(100)의 하강 엣지검출출력 EDG1출력, DENA 및 DCLK가 제1의 카운터(101)에 입력된다. 카운터(101)는 DENA가 활성화(High)되면 DCLK의 카운트를 개시하고, 하강 엣지 EDG1이 입력하면 정지하고, 제1의 카운트 값 CNT1을 카운터값 유지 회로부(102)에 출력한다. 또한 카운터(101)에 입력하는 DENA가 비활성(Low)이 되면, 리셋되어 제1의 카운트 값 출력 CNT1은 0이 된다. 카운터값 유지 회로부(102)는 DENA신호의 하강 엣지 EDG1이 입력되면, 그 때의 CNT1을 유지함과 동시에, 유지하고 있는 카운트 유지값 MTN을 DENA펄스폭 판별회로(104)에 출력한다. 엣지검출 회로부(103)는, 상기 엣지검출 회로부(100)와 같은 회로로 구성되고 있고, DENA2의 하강 엣지를 검출하여, 상기 엣지 EDG2를 DENA펄스폭 판별회로부(104)에 출력한다. DENA 펄스폭 판별회로부(104)에는, 상기 EDG2신호와 MTN신호가 입력하고, 상기 EDG2펄스가 입력된 시점에 있어서의 MTN값이 미리 정해진 소정의 임계값보다 크거나 혹은 작은지를 PDT신호로서 EDG2신호의 상승에 동기하여 제2 카운터 즉 엷다운 카운터(105)에 출력한다. 엷다운 카운터(105)는, 상기 PDT신호와 EDG2신호를 입력하여, EDG2신호의 상승 엣지가 입력될 때마다 그 카운트를 증감시키는 4비트의 카운터이며, 상기 PDT신호가 High일 때는 카운트 값을 증가하고, Low일 때는 카운트 값을 감소시킨다. 또한 엷다운 카운터(105)의 카운트 값 CNT2 즉 제2 카운트 값은, 최소값 0부터 최대값 15까지이며, 0부터 15 및 15부터 0으로의 순환(캐리 오버)은 실행되지 않는 회로 구성이 되고 있다. 상기 제2 카운트 값 CNT2은, 해상도 판별회로(106)에 입력되고, 해상도 판별회로(106)에서 해상도가 판별되어 판별 결과 DST로서 출력된다. 상기 판별 결과 DST는, 도 1에서 나타낸 타이밍 콘트롤러를 구성하는 디지털 회로내, 예를 들면 상기 타이밍 제어회로(4)등에서 액정 패널(10)의 수평 해상도를 규정하는 신호로서 사용된다.

다음에 도 10을 사용하여, 상기 해상도 변별회로(50)의 타이밍 관계를 상세하게 설명한다. 도 10에 있어서, DENA신호에는, 그 활성화 기간(High)에 노이즈가 중첩되어 가는 Low레벨의 펄스가 타고 있다고 하자. 그 결과, 엣지검출 회로부(100)에서 상기 노이즈 유래의 하강 엣지가 검출되고, 본래의 블랭킹 개시시보다 빨리 EDG1출력이 검출된다(본 실시예에서는 2개의 하강 엣지가 검출되었다고 했다). 그 결과, MTN출력은 정규값 1024에 계속되어 500과 200이 순차 유지되고, 원래 1024가 되는 블랭킹 기간에 있어서도 300이 유지 출력되게 된다.

다음에 상기 블랭킹 기간에 노이즈가 제거된 DENA2이 하강하므로, EDG2신호가 발생하고, 그 때의 MTN값 300이 소정의 임계값, 예를 들면 SVGA와 XGA의 수평 해상도의 중간의 값 912보다 작기 때문에 DENA펄스폭 판별회로부(104)의 펄스폭 판별출력 PDT의 값은 EDG2의 하강에 동기하여 Low가 된다. 전술과 같이 엷다운 카운터(105)는, EDG2의 상승 엣지에 동기하여 입력되는 카운터이며, 도 10의 하부의 확대도로 나타낸 바와 같이, EDG2의 상승 엣지시는, 아직 High이므로 카운트 값은 최대값 15상태이다.

다음에 상기에서 설명한 수평주기의 다음의 수평주기에 있어서도 DENA신호에 노이즈가 중첩되었다고 하면, 이미 설명한 타이밍과 같은 결과를 얻으므로, 여기에서는 자세한 설명은 생략하지만, 앞 주기와 마찬가지로 상기 PDT출력은 레벨 Low가 되므로, 여기에서 엷다운 카운터(105)는, EDG2의 상승 엣지에 동기하여, 상기 PDT출력 Low를 읽어 들여 카운트 값을 15에서 14로 감산시킨다. 항상 즉, 1수평주기 지연되어 엷다운 카운터(105)로 증감 처리가 행해진다.

상기 엷다운 카운터(105)의 카운트 값 CNT2은, 해상도 판별회로(106)에 입력되어, 소정의 값(예를 들면 7)보다 큰지 작은지에 따라 해상도가 판별되어서 판별 결과 DST로서 출력된다.

여기에서, 본 실시예 5에서는 업다운 카운터로서 4비트의 카운터(0부터 15까지 카운트)를 예로 들어 설명했지만, 회로를 간략화해서 예를 들면 3비트(0~7)나, 보다 높은 노이즈 제거 효과를 얻기 위해서 8비트(0부터 255까지 카운트)카운터등 자유로이 선택할 수 있다.

또한 본 실시예 5에서는, 업다운 카운터 회로(105)는, EDG2의 상승에 동기하여 카운트하도록 했지만, PDT 신호의 변화 타이밍과의 경합을 피할 수 있으면 하강으로 카운트해도 좋다.

이상에서 설명한 바와 같이, 노이즈 제거된 DENA2신호를 사용하여, DENA의 하강 엣지를 카운트하고, 미리 정해진 소정의 임계값(912)과의 대소를 판별하여, 그것을 카운트함으로써 노이즈가 중첩되어도 오판별을 일으킬 우려가 없는 해상도 변별회로(50)를 얻을 수 있다.

또한, 복수의 수평 해상도 중에서, 입력하는 표시제어신호가 어느 해상도에 해당할지를 변별할 경우, 변별해야 할 해상도 리스트의 각각 중간의 값을 상기 소정의 임계값으로 하면 좋다.

또한 지금까지 설명한 실시예 1부터 4에 있어서는, 지연회로 블록(31)에 채용한 지연 소자로서 D-FF회로를 채용한 예를 도시했지만, 지연 소자로서 D-FF가 아니면 안될 이유는 없고, 상기 [특허문헌 3]이나 [특허문헌 3]에서도 예시되어 있는 복수단계의 인버터 회로를 사용한 지연회로를 채용해도 좋으며, 또한 인버터 회로와 D-FF회로의 조합이라도 좋은 것은 물론이다.

또한, 데이터 이네이블 신호(DENA)에 대해서는, 활성화시에 있어서 High레벨이라고 하여 상기 설명을 행했지만, 활성화시의 레벨은 특별히 High일 필요는 없고, Low액티브 신호라도 된다. 이 경우, DENA상승 검출부의 논리회로구성을 약간 수정하면, 상기 실시예 1부터 5에서 적용가능한 것은 명백하다.

발명의 효과

액정 디스플레이 등의 플랫 패널 디스플레이에 있어서는, 탑재하는 타이밍 콘트롤러내에 본 노이즈 제거 회로를 사용함으로써, 액정구동회로로의 제어신호를 항상 정상동작으로 유지할 수 있는 것으로 표시 이상의 발생을 억제할 수 있게 된다.

도면의 간단한 설명

도 1은 본 발명을 실시하기 위한 실시예 1 내지 4에 있어서의 액정표시장치의 시스템 구성을 나타내는 도면.

도 2는 본 발명을 실시하기 위한 실시예 1 내지 3에 있어서의 액정표시장치에 입력되는 표시제어신호 및 그 타이밍도.

도 3은 본 발명을 실시하기 위한 실시예 1 내지 3에 있어서의 타이밍 콘트롤러의 표시제어신호 타이밍도.

도 4는 본 발명을 실시하기 위한 실시예 1에 있어서의 노이즈 제거 회로의 구성도.

도 5는 본 발명을 실시하기 위한 실시예 1에 있어서의 노이즈 제거 회로의 타이밍도.

도 6은 본 발명을 실시하기 위한 실시예 1에 있어서의 노이즈 제거 회로의 타이밍도.

도 7은 본 발명을 실시하기 위한 실시예 1에 있어서의 다운 카운터를 채용한 노이즈 제거 회로의 타이밍도.

도 8은 본 발명을 실시하기 위한 실시예 2 및 3에 있어서의 노이즈 제거 회로의 구성도.

도 9는 본 발명을 실시하기 위한 실시예 4에 있어서의 해상도 변별 회로의 구성도.

도 10은 본 발명을 실시하기 위한 실시예 4에 있어서의 해상도 변별 회로의 타이밍도이다.

[도면의 주요부분에 대한 부호의 설명]

4 : 타이밍 제어회로 5 : 타이밍 콘트롤러

6, 40, 41 : 노이즈 제거 회로 7 : 지연회로

8 : 데이터 이네이블 신호(DENA) 9 : 표시 데이터(DATA)

16 : 데이터 이네이블 출력(DENA2) 17 : 도트 클럭(DCLK)

21 : DENA상승 검출부 22 : 7입력 AND회로부

23, 43 : 수평 화소수 검출부 24, 33 : 초기상태 검출부

25 : 초기화 회로부 26 : 카운트 이네이블 회로부

27, 32, 101 : 카운터 28 : 반전 버퍼

29 : AND회로 30 : AND회로

31 : 지연회로 블록 34 : 제어회로

50 : 해상도 변별 회로 100, 103 : 엡지검출 회로부

102 : 카운터값 유지 회로부 104 : DENA펄스폭 판별회로

105 : 엡다운 카운터 106 : 해상도 판별회로

DENA : 데이터 이네이블 입력 DCLK : 도트 클럭

DATA : 표시 데이터 DENA2 : 데이터 이네이블 출력

PEG : 상승 검출 출력 INT : 초기화 신호

ENV : 카운트 허가 신호 CNT,CNT1,CNT2 : 카운트 출력

EOC : 카운트 정지 신호 ITS : 카운터 초기상태신호

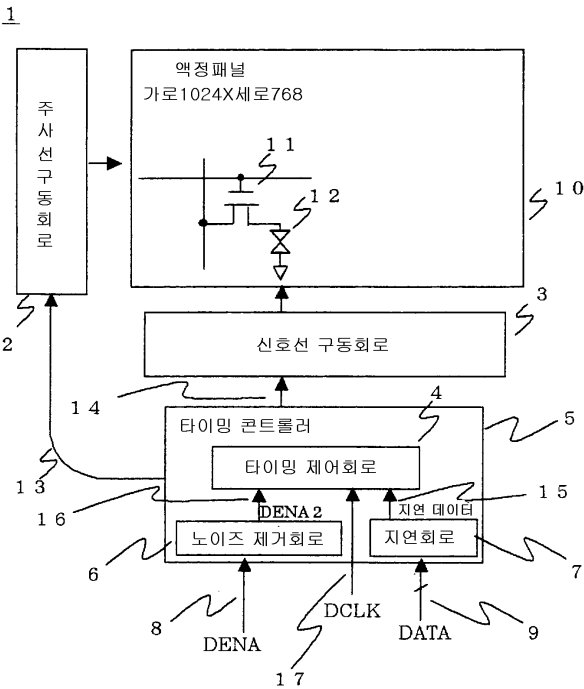
LOD : 규정값 출력 EDG1 : DENA의 하강 엡지

EDG2 : DENA2의 하강 엡지 MTN : 카운터값 유지값

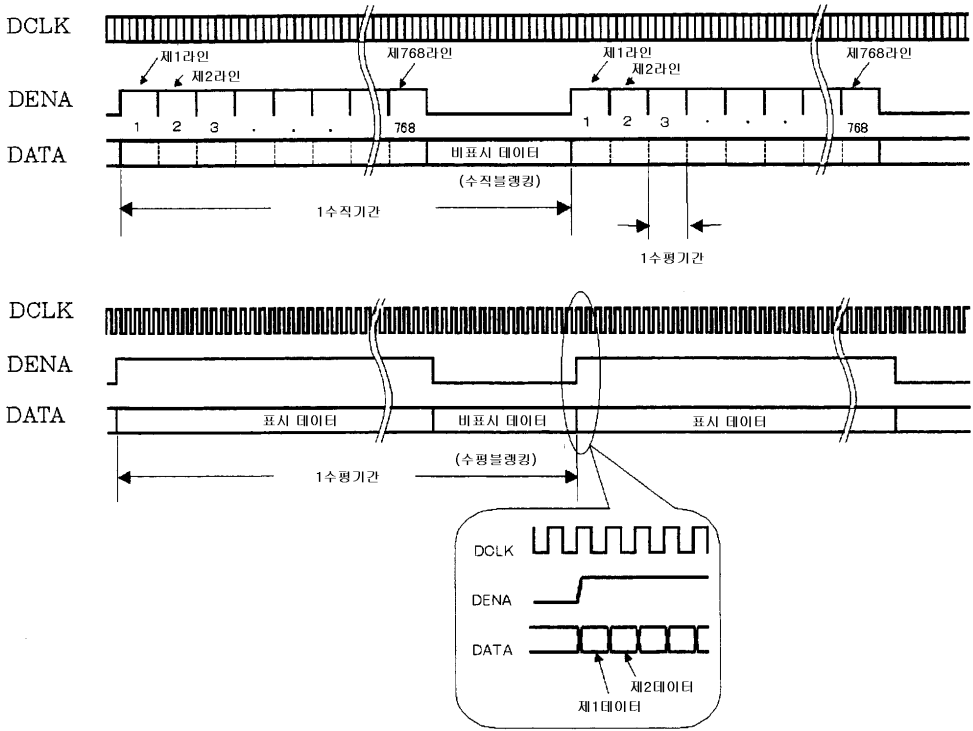
PDT : 펄스폭 판별출력 DST : 해상도 판별결과

도면

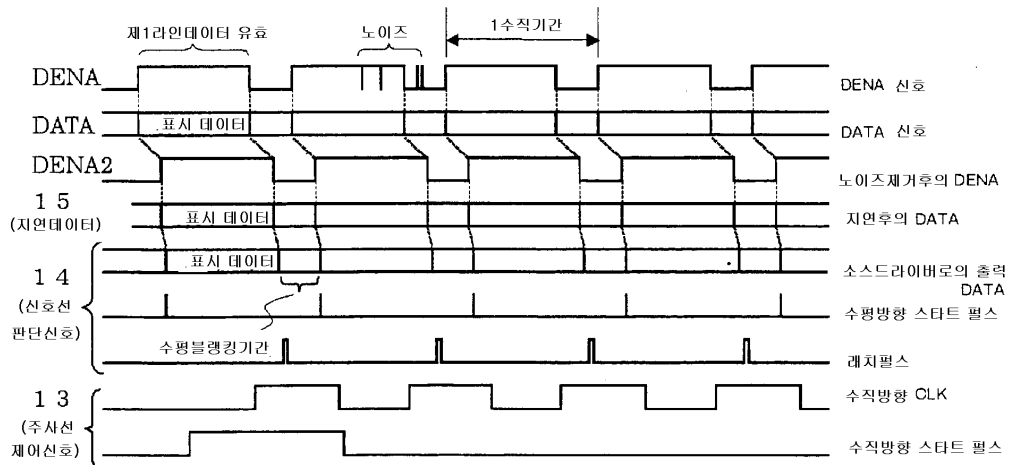
도면1



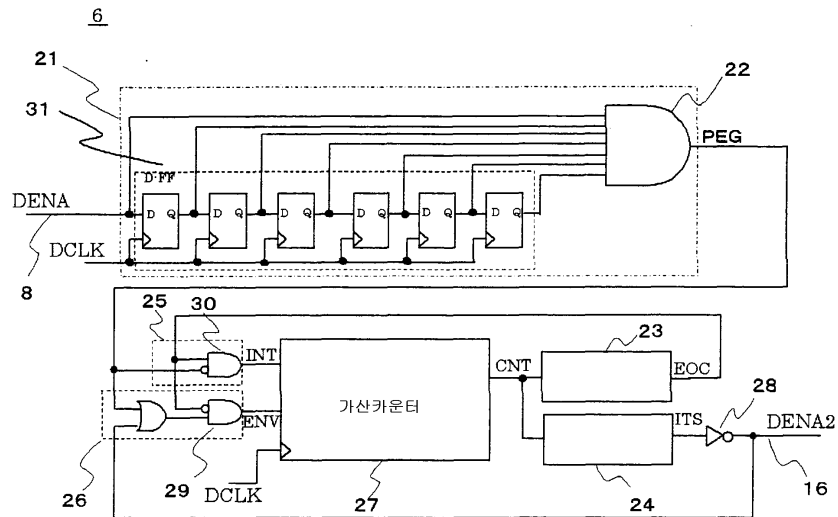
도면2



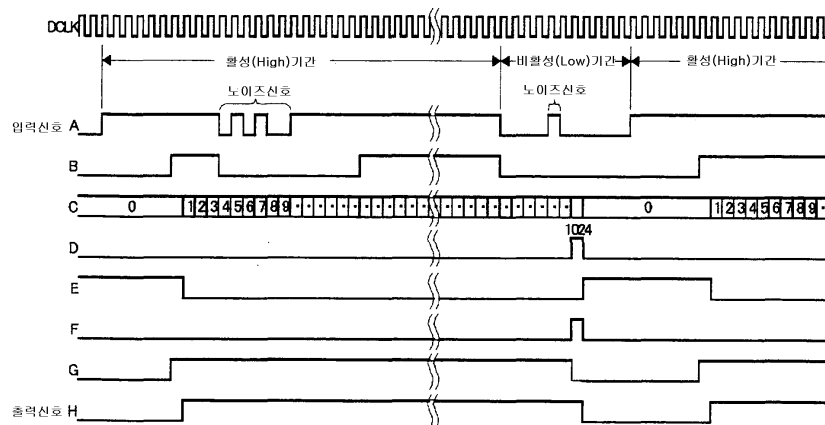
도면3



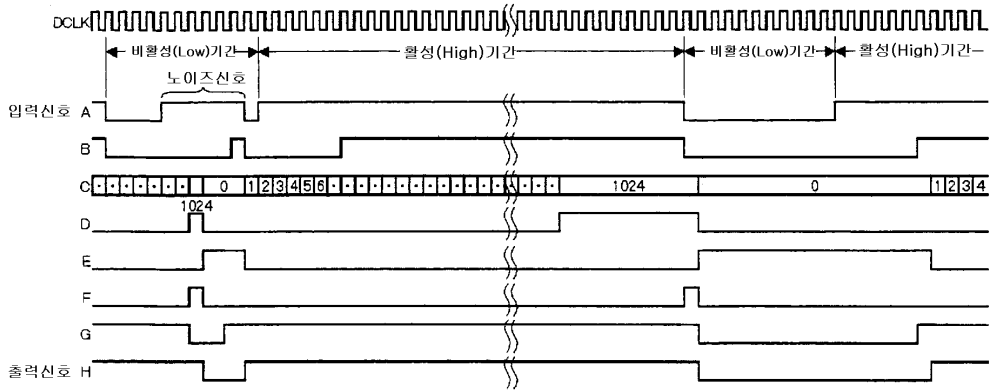
도면4



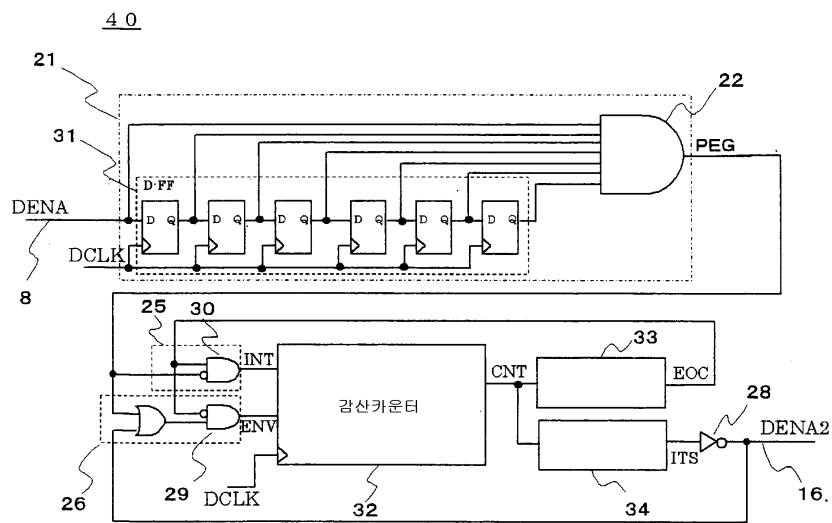
도면5



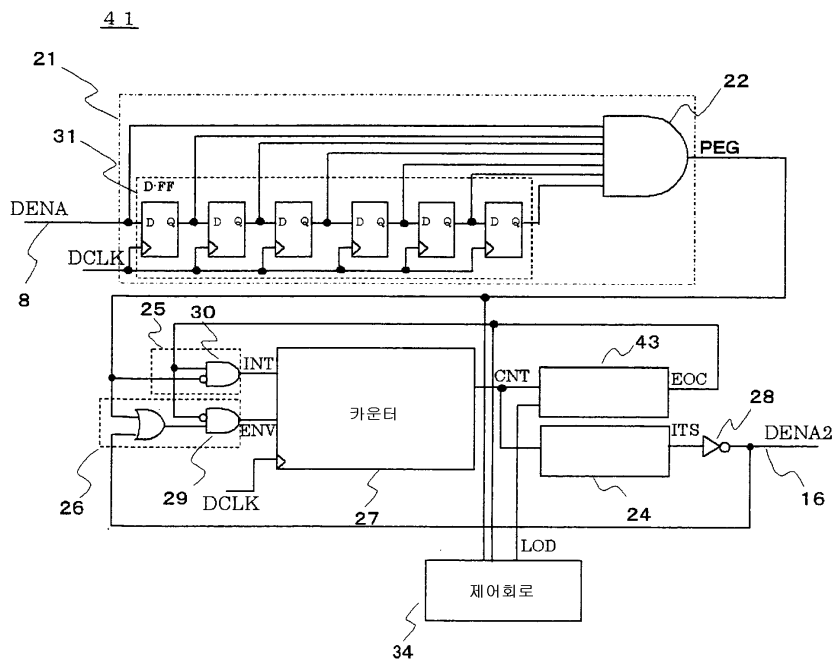
도면6



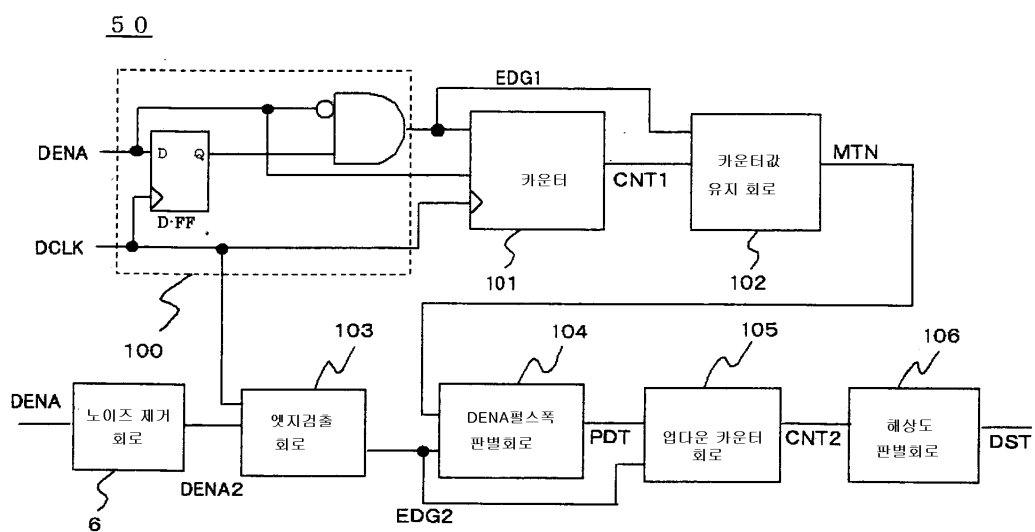
도면7



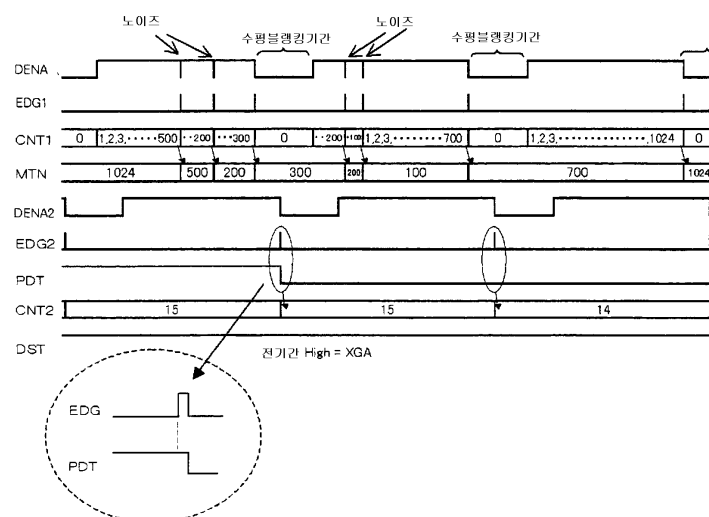
도면8



도면9



도면10



专利名称(译)	矩阵显示装置的噪声消除电路和使用该电路的矩阵显示装置		
公开(公告)号	KR1020070013203A	公开(公告)日	2007-01-30
申请号	KR1020060048011	申请日	2006-05-29
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
当前申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	TAKAKI JIRO 타카키지로 ISHIGUCHI KAZUHIRO 이시구치카즈히로 MINAMI AKIHIRO 미나미아키히로		
发明人	타카키지로 이시구치카즈히로 미나미아키히로		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3688 G09G2330/06 G09G3/2011		
代理人(译)	权泰BOK LEE HWA我		
优先权	2005214580 2005-07-25 JP		
其他公开文献	KR100802459B1		
外部链接	Espacenet		

摘要(译)

本发明涉及用于消除液晶显示器的噪声的电路，提供去除在输入到的液晶显示器的显示控制信号中重叠的噪声的电路。用正检测电路部分(21)计数的计数器(27)的初始化信号和信号的调节周期去除噪声并计数设定初始化电路(25)的计数许可信号，并且计数器(27)完成关于设定计数使能电路(26)和初始状态检测电路(24)的初始状态检测信号的噪声信号，它具有初始状态检测电路(24)，该电路检测计数器(27)是否为初始状态或不是内置的，并且计数器(27)公开了从正值检测电路部分(21)的上升检测中的计数被去除的计数。计数器，噪声和初始状态检测电路。

