



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0002417

(43) 공개일자 2007년01월05일

(21) 출원번호 10-2005-0057952

(22) 출원일자 2005년06월30일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 유준석
서울 서초구 서초동 1494-6번지 로얄카운티빌라 302
이경언
경기 수원시 장안구 조원동 881 한일타운 113-1703

(74) 대리인 김영호

전체 청구항 수 : 총 8 항

(54) 쉬프트 레지스터와 이를 이용한 액정표시장치

(57) 요약

본 발명은 정전용량 부하가 작고 중첩이 가능하도록 한 쉬프트 레지스터와 이를 이용한 액정표시장치에 관한 것이다.

이 쉬프트 레지스터의 스테이지는 입력신호가 공급되는 입력회로부와; 상기 입력회로부의 비반전 출력과 반전출력의 배타적 논리합으로 토글신호를 발생하는 배타적 논리합회로와; 클럭신호와 출력단자로부터의 피드백 신호 중 어느 하나를 상기 토글신호에 따라 출력단자와 다음 단 스테이지의 입력단자로 공급하는 출력회로부를 구비한다.

대표도

도 8

특허청구의 범위

청구항 1.

다수의 스테이지를 포함하는 쉬프트 레지스터에 있어서,

상기 스테이지는,

입력신호가 공급되는 입력회로부와;

상기 입력회로부의 비반전 출력과 반전출력의 배타적 논리합으로 토글신호를 발생하는 배타적 논리합회로와;

클럭신호와 출력단자로부터의 피드백 신호 중 어느 하나를 상기 토글신호에 따라 출력단자와 다음 단 스테이지의 입력단자로 공급하는 출력회로부를 구비하여;

적어도 일부분이 중첩되고 위상이 순차적으로 쉬프트되는 출력신호들을 발생하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2.

제 1 항에 있어서,

상기 입력회로부는,

상기 입력신호가 공급되는 제1 멀티플렉서와;

상기 제1 멀티플렉서의 출력을 반전시키는 제1 인버터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3.

제 2 항에 있어서,

상기 배타적 논리합 회로는,

상기 제1 멀티플렉서의 출력신호와 상기 피드백신호를 부정 논리곱하여 출력을 발생하는 제1 NAND 게이트와;

상기 제1 인버터의 출력신호와 상기 피드백신호를 부정 논리곱하여 출력을 발생하는 제2 NAND 게이트와;

상기 제1 및 제2 NAND 게이트의 출력신호를 부정 논리곱하여 출력을 발생하는 제3 NAND 게이트를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4.

제 3 항에 있어서,

상기 출력회로부는,

상기 제3 NAND 게이트의 출력을 반전시키는 제2 인버터와;

상기 제3 NAND 게이트의 출력과 상기 제2 인버터의 출력신호에 따라 상기 클럭신호와 상기 피드백신호 중 어느 하나를 출력하는 제2 멀티플렉서와;

상기 제2 멀티플렉서의 출력을 반전시켜 상기 피드백신호를 발생하는 제3 인버터와;

상기 피드백신호를 반전시켜 반전 출력과 비전전 출력을 발생시키는 출력단 인버터회로를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5.

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 다수의 액정셀들이 배치되는 액정표시패널과;

디지털 데이터를 아날로그 데이터로 변환하는 데이터 구동부와;

상기 데이터 구동부의 아날로그 출력들을 순차적으로 선택하는 채널 선택부와;

상기 채널 선택부의 아날로그 출력들을 샘플링하여 상기 데이터라인들에 공급하는 샘플&홀드부와;

상기 게이트라인들에 게이트펄스들을 순차적으로 공급하는 게이트 구동부를 구비하고;

상기 데이터 구동부, 상기 채널 선택부 및 상기 게이트 구동부 중 적어도 어느 하나는 입력신호가 공급되는 입력회로부, 상기 입력회로부의 비반전 출력과 반전출력의 배타적 논리합으로 토글신호를 발생하는 배타적 논리합회로, 및 클럭신호와 출력단자로부터의 피드백 신호 중 어느 하나를 상기 토글신호에 따라 출력단자와 다음 단 스테이지의 입력단자로 공급하는 출력회로부를 포함하여 적어도 일부분이 중첩되고 위상이 순차적으로 쉬프트되는 출력신호들을 발생하는 다수의 스테이지들을 포함하는 쉬프트 레지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 입력회로부는,

상기 입력신호가 공급되는 제1 멀티플렉서와;

상기 제1 멀티플렉서의 출력을 반전시키는 제1 인버터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 6 항에 있어서,

상기 배타적 논리합 회로는,

상기 제1 멀티플렉서의 출력신호와 상기 피드백신호를 부정 논리곱하여 출력을 발생하는 제1 NAND 게이트와;

상기 제1 인버터의 출력신호와 상기 피드백신호를 부정 논리곱하여 출력을 발생하는 제2 NAND 게이트와;

상기 제1 및 제2 NAND 게이트의 출력신호를 부정 논리곱하여 출력을 발생하는 제3 NAND 게이트를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 7 항에 있어서,

상기 출력회로부는,

상기 제3 NAND 게이트의 출력을 반전시키는 제2 인버터와;

상기 제3 NAND 게이트의 출력과 상기 제2 인버터의 출력신호에 따라 상기 클럭신호와 상기 피드백신호 중 어느 하나를 출력하는 제2 멀티플렉서와;

상기 제2 멀티플렉서의 출력을 반전시켜 상기 피드백신호를 발생하는 제3 인버터와;

상기 피드백신호를 반전시켜 반전 출력과 비전전 출력을 발생시키는 출력단 인버터회로를 구비하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 정전용량 부하가 작고 중첩이 가능하도록 한 쉬프트 레지스터와 이를 이용한 액정표시장치에 관한 것이다.

액정표시장치(Liquid Crystal Display)는 비디오 신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다.

액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.

이러한 액정표시장치는 도 1과 같이 다수의 데이터라인들(5)과 다수의 게이트라인들(6)이 교차되며 그 교차부에 액정셀들을 구동하기 위한 TFT들이 형성된 액정표시패널(2)과, 데이터라인들(5)에 데이터를 공급하기 위한 데이터 구동부(3)와, 게이트라인들(6)에 스캔펄스를 공급하기 위한 게이트 구동부(4)와, 데이터 구동부(3)와 게이트 구동부(4)를 제어하기 위한 타이밍 콘트롤러(1)를 구비한다.

액정표시패널(2)은 두 장의 유리기관 사이에 액정이 주입되며, 그 하부 유리기관 상에 데이터라인들(5)과 게이트라인들(6)이 직교된다. 데이터라인들(5)과 게이트라인들(6)의 교차부에 형성된 TFT는 게이트라인(6)으로부터의 스캔펄스에 응답하여 데이터라인들(5)로부터의 데이터를 액정셀에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(6)에 접속되며, 소스전극은 데이터라인(5)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 또한, 액정표시패널(2)의 하부유리기판 상에는 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor, Cst)가 형성된다.

데이터 구동부(3)는 다수의 데이터 집적회로들(IC)을 포함하며, 각각의 데이터 집적회로들은 쉬프트레지스터, 타이밍 콘트롤러(1)로부터의 스트레칭된 디지털 비디오 데이터들(R'G'B')을 일시저장하기 위한 레지스터, 쉬프트레지스터로부터의 클럭신호에 응답하여 데이터를 1 라인분씩 저장하고 저장된 1 라인분의 데이터를 동시에 출력하기 위한 래치, 래치로부터의 디지털 데이터값에 대응하여 아날로그 정극성/부극성의 감마보상전압을 선택하기 위한 디지털/아날로그 변환기, 정극성/부극성 감마보상전압이 공급되는 데이터라인(5)을 선택하기 위한 멀티플렉서 및 멀티플렉서와 데이터라인 사이에 접속된 출력버퍼 등으로 구성된다. 이 데이터 구동부(3)는 타이밍 콘트롤러(1)로부터의 데이터(RGB)를 액정표시패널(7)의 데이터라인들(5)에 공급한다.

게이트 구동부(4)는 타이밍 콘트롤러(1)로부터의 게이트 제어신호(GDC)에 응답하여 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터, 스캔펄스의 스위칭폭을 액정셀(Clc)의 구동에 적합한 레벨로 쉬프트시키기 위한 레벨 쉬프터, 출력버퍼 등으로 구성된다. 이 게이트 구동부(4)는 스캔펄스를 게이트라인(6)에 공급함으로써 그 게이트라인(6)에 접속된 TFT들을 턴-온(Turn-on)시켜 데이터의 화소전압 즉, 아날로그 감마보상전압이 공급될 1 수평라인의 액정셀들(Clc)을 선택한다. 데이터 구동부(3)로부터 발생하는 데이터들은 스캔펄스에 의해 선택된 수평라인의 액정셀(Clc)에 공급된다.

타이밍 콘트롤러(1)는 디지털 비디오 데이터(RGB), 수평 동기신호(H), 수직 동기신호(H, V) 및 클럭신호(CLK)를 입력받고 게이트 구동부(4)를 제어하기 위한 게이트 제어신호(GDC)를 발생함과 아울러 데이터 구동부(3)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다. 또한, 타이밍 콘트롤러(1)는 시스템으로부터의 데이터(RGB)를 데이터 구동부(3)에 공급한다.

한편, 최근에는 데이터 구동부의 집적회로 수를 줄이기 위하여 도 2와 같이 데이터 집적회로(21)의 출력단에 1 : 1로 접속되는 공통 버스라인들(201 내지 240)을 형성하고, 공통 버스라인들(201 내지 240)과 데이터라인들(DL1 내지 DL42) 사이에 채널 선택부(24)와 샘플&홀드부(23)를 배치한 액정표시장치가 제안되고 있다. 공통버스라인들(201 내지 240) 각각에는 다수의 데이터 출력 버스라인들이 형성된다. 예컨대 제1 공통버스라인(201)에는 제1 및 제41 데이터 출력 버스라인(301, 341)이 접속된다. 채널 선택부(24)는 데이터 출력 버스라인들(301)에 1 : 1로 접속된 다수의 스위치소자들(24a)을 포함한다. 채널 선택부(24)의 스위치소자들(24a)은 CMOS로 구현되고 쉬프트 레지스터(22)로부터의 제어신호에 응답하여 순차적으로 턴-온되어 데이터 출력 버스라인들(301)로부터의 데이터들을 샘플&홀드부(23)에 공급하는 역할을 한다. 샘플&홀드부(23)는 채널 선택부(24)로부터의 데이터를 순차적으로 샘플링하여 홀드한 다음, 동시에 홀드하고 있는 데이터들을 데이터라인들(DL1 내지 DL42)에 동시에 공급한다.

한편, 채널 선택부(24)의 스위치소자들(24a)을 순차적으로 동작시키기 위한 쉬프트 레지스터(22)는 도 3 또는 도 4와 같이 구현된다.

도 3은 출력펄스의 중첩이 가능한 쉬프트 레지스터(22)의 한 스테이지 구성을 나타낸다. 도 4는 도 3에 도시된 쉬프트 레지스터(22)의 입/출력 파형을 나타낸다.

도 3 및 도 4를 참조하면, 쉬프트 레지스터(22)의 임의의 스테이지는 입력단과 출력단 사이에 종속적으로 배치되는 제1 인버터형 3 상태 버퍼(3 state buffer)(31), 제1 래치(32), 제2 인버터형 3 상태 버퍼(34) 및 제2 래치(38)를 구비한다. 이 쉬프트 레지스터(22)의 각 스테이지는 서로 역위상의 제1 및 제2 클럭신호(cka, ckb)에 응답하여 스타트펄스 또는 이전 단 스테이지의 출력펄스(in)를 한 클럭주기만큼 지연시켜 출력하되, 이전 단 스테이지의 출력펄스(in)와 한 클럭주기만큼 중첩되는 출력펄스(in)를 발생한다.

제1 인버터형 3 상태 버퍼(31)의 비반전 제어단자에는 제1 클럭신호(cka)가 입력되고 반전 제어단자에는 제2 클럭신호(ckb)가 입력되며, 입력단자에는 스타트펄스 또는 이전 단 스테이지의 출력펄스(in)가 입력된다. 이 제1 인버터형 3 상태 버퍼(31)는 비반전 제어단자에 하이논리의 제1 클럭신호(cka)가 공급됨과 동시에 반전 제어단자에 로우논리의 제2 클럭신호(ckb)가 공급될 때 스타트펄스 또는 이전 단 스테이지의 출력펄스(in)를 반전시켜 제1 래치(32)에 공급한다. 반면에, 제1 인버터형 3 상태 버퍼(31)는 비반전 제어단자에 로우논리의 제1 클럭신호(cka)가 공급되거나 반전 제어단자에 하이논리의 제2 클럭신호(ckb)가 공급될 때 하이 임피던스 상태로 전환되어 스타트펄스 또는 이전 단 스테이지의 출력펄스(in)를 제1 래치(32) 쪽으로 전송하지 않는다.

제1 래치(37)는 제1 인버터형 3 상태 버퍼(31)와 제2 인버터형 3 상태 버퍼(34) 사이의 페루프 내에 접속된 제1 인버터(32) 및 제3 인버터형 3 상태 버퍼(33)를 포함한다. 이 제1 래치(37)는 제1 인버터형 3 상태 버퍼(31)의 출력이 하이논리일 때 그 하이논리의 출력을 래치하고 그 출력을 반전시켜 제2 인버터형 3 상태 버퍼(34)에 공급한다.

제2 인버터형 3 상태 버퍼(34)는 비반전 제어단자에 하이논리의 제2 클럭신호(ckb)가 공급됨과 동시에 반전 제어단자에 로우논리의 제1 클럭신호(cka)가 공급될 때 제1 래치(37)로부터의 출력을 반전시켜 제2 래치(38)에 공급한다.

제2 래치(38)는 제2 인버터형 3 상태 버퍼(34)와 출력단자 사이의 페루프 내에 접속된 제2 인버터(35) 및 제4 인버터형 3 상태 버퍼(36)를 포함한다. 이 제2 래치(38)는 제2 인버터형 3 상태 버퍼(34)의 출력이 하이논리일 때 그 하이논리의 출력을 래치하고 그 출력을 반전시켜 출력단자에 공급함과 동시에 다음 단 스테이지의 스타트펄스(In + 1)를 발생한다.

이러한 스테이지들의 출력(S1 내지 S42)은 도 4와 같이 한 클럭주기만큼 중첩되면서 쉬프트되어 도 3의 채널 선택부(24)에 포함된 스위치소자들(24a)을 순차적으로 턴-온시킨다.

도 3과 같은 스테이지들로 구성된 쉬프트 레지스터는 쉬프트되는 출력들 사이의 중첩기간만큼 채널 선택부(24)를 고속 구동할 수 있는 장점이 있는 반면에, 클럭신호라인이 각 인버터형 3 상태 버퍼들을 구성하는 MOS TFT의 게이트단자에 게

이트단자에 연결되어 있어 게이트단자와 소스/드레인 사이의 정전용량이 매우 크고, 그 결과 신호지연으로 인하여 클럭신호의 주파수를 높이는데 제한이 있으며, 고속으로 동작시키기 위해서 구동전압을 높이면 소비전력이 커지는 문제점이 있다.

도 5는 출력펄스의 중첩이 불가능한 쉬프트 레지스터(22)의 한 스테이지 구성을 나타낸다.

도 5를 참조하면, 쉬프트 레지스터(22)의 임의의 스테이지는 입력단과 출력단 사이에 종속적으로 배치되는 제1 멀티플렉서(51), 논리합회로(52), 제2 멀티플렉서(52), 제2 멀티플렉서(53), 제1 내지 5 인버터(54 내지 58)를 구비한다.

멀티플렉서들(51, 53) 각각은 두 개의 트랜지션 게이트(transition gate)가 대칭적으로 접속된 회로 구성을 가지며, 비반전 제어단자에 하이논리신호가 공급될 때 제1 입력단자(in1)의 입력신호를 출력하는 반면에, 반전 제어단자에 하이논리신호가 공급될 때 제2 입력단자(in2)의 입력신호를 출력한다.

논리합회로(52)는 제1 인버터(54)의 출력이 제2 입력단자(in2)에 피드백으로 공급되고 제1 멀티플렉서(51)의 출력이 제1 입력단자(in1)에 공급되는 NOR 게이트와, NOR 게이트의 출력을 반전시키는 인버터를 포함하여 두 입력단(in1, in2)의 논리합으로 출력을 발생한다.

도 5와 같은 쉬프트 레지스터(22)는 클럭신호라인이 트랜지션 게이트를 구성하는 MOS TFT의 소스/드레인단자에 연결되어 있고 동작시 대부분의 MOS TFT들이 오프 상태이므로 정전용량 부하가 작은 장점이 있는데 비하여 출력 중첩이 불가능한 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 정전용량 부하가 작고 중첩이 가능하도록 한 쉬프트 레지스터와 이를 이용한 액정표시장치를 제공하는 데 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 쉬프트 레지스터의 스테이지는 입력신호가 공급되는 입력회로부와; 상기 입력회로부의 비반전 출력과 반전출력의 배타적 논리합으로 토글신호를 발생하는 배타적 논리합회로와; 클럭신호와 출력단자로부터의 피드백 신호 중 어느 하나를 상기 토글신호에 따라 출력단자와 다음 단 스테이지의 입력단자로 공급하는 출력회로부를 구비한다.

상기 쉬프트 레지스터는 적어도 일부분이 중첩되고 위상이 순차적으로 쉬프트되는 출력신호들을 발생한다.

상기 입력회로부는 상기 입력신호가 공급되는 제1 멀티플렉서와; 상기 제1 멀티플렉서의 출력을 반전시키는 제1 인버터를 구비한다.

상기 배타적 논리합 회로는 상기 제1 멀티플렉서의 출력신호와 상기 피드백신호를 부정 논리곱하여 출력을 발생하는 제1 NAND 게이트와; 상기 제1 인버터의 출력신호와 상기 피드백신호를 부정 논리곱하여 출력을 발생하는 제2 NAND 게이트와; 상기 제1 및 제2 NAND 게이트의 출력신호를 부정 논리곱하여 출력을 발생하는 제3 NAND 게이트를 구비한다.

상기 출력회로부는 상기 제3 NAND 게이트의 출력을 반전시키는 제2 인버터와; 상기 제3 NAND 게이트의 출력과 상기 제2 인버터의 출력신호에 따라 상기 클럭신호와 상기 피드백신호 중 어느 하나를 출력하는 제2 멀티플렉서와; 상기 제2 멀티플렉서의 출력을 반전시켜 상기 피드백신호를 발생하는 제3 인버터와; 상기 피드백신호를 반전시켜 반전 출력과 비반전 출력을 발생시키는 출력단 인버터회로를 구비한다.

본 발명에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 다수의 액정셀들이 배치되는 액정표시패널과; 디지털 데이터를 아날로그 데이터로 변환하는 데이터 구동부와; 상기 데이터 구동부의 아날로그 출력들을 순차적으로 선택하는 채널 선택부와; 상기 채널 선택부의 아날로그 출력들을 샘플링하여 상기 데이터라인들에 공급하는 샘플&홀드부와; 상기 게이트라인들에 게이트펄스들을 순차적으로 공급하는 게이트 구동부를 구비하고; 상기 데이터 구동부, 상기 채널 선택부 및 상기 게이트 구동부 중 적어도 어느 하나는 상기 쉬프트 레지스터를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 6 내지 도 9를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 6을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 데이터라인(DL1 내지 DLm)과 게이트라인(GL1 내지 GLn)이 교차되며 그 교차부에 액정셀(Clc)을 구동하기 위한 TFT가 형성된 액정표시패널(62)과, 디지털 데이터(RGB)를 아날로그 데이터 전압을 변환하기 위한 데이터 구동부(63)와, 데이터 구동부(63)와 액정표시패널(62)의 데이터라인들(DL1 내지 DLm) 사이에 배치된 채널 선택부(64) 및 샘플&홀더부(65)와, 액정표시패널(62)의 게이트라인(GL1 내지 GLn)에 게이트 펄스를 공급하기 위한 게이트 구동부(64)와, 데이터 구동부(63)에 감마기준전압을 공급하기 위한 감마기준전압 발생부(66)와, 데이터 구동부(63) 및 게이트 구동부(64)를 제어하기 위한 타이밍 콘트롤러(61)와, 채널 선택부(64)의 순차적인 동작을 제어하는 쉬프트 레지스터(67)를 구비한다.

액정표시패널(62)은 두 장의 유리기관 사이에 액정이 주입된다. 액정표시패널(62)의 하부 유리기관 상에는 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)이 직교된다. 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)의 교차부에는 TFT가 형성된다. TFT는 게이트펄스에 응답하여 데이터라인들(DL1 내지 DLm) 상의 데이터를 액정 셀(Clc)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(GL1 내지 GLm)에 접속되며, TFT의 소스전극은 데이터라인(DL1 내지 DLm)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 또한, 액정 표시패널(62)의 하부유리기판 상에는 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터가 형성된다.

타이밍 콘트롤러(61)는 도시하지 않은 시스템의 디지털 비디오 카드로부터 공급되는 디지털 비디오 데이터를 샘플링하여 데이터 구동부(63)에 공급한다. 또한, 타이밍 콘트롤러(61)는 자신에게 입력되는 수평/수직 동기신호(H,V)를 이용하여 데이터 제어신호(DDC)와 게이트 제어신호(GDC)를 발생한다. 데이터 제어신호(DDC)는 소스쉬프트클럭(SSC), 소스스타트 펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등을 포함하여 데이터 구동부(63)에 공급된다. 게이트 제어신호(GDC)는 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE) 등을 포함하여 게이트 구동부(64)에 공급된다.

게이트 구동부(64)는 타이밍 콘트롤러(61)로부터 공급되는 게이트구동 제어신호(GDC)에 응답하여 스캔펄스 즉, 게이트 하이펄스를 순차적으로 발생하게 된다. 이 게이트 구동부(64)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(Clc)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다. TFT는 게이트 구동부(64)로부터의 스캔펄스에 응답하여 턴-온된다. TFT의 턴-온시 데이터라인(DL1 내지 DLm) 상의 비디오 데이터는 액정셀(Clc)의 화소전극에 공급된다.

감마기준전압 발생부(66)는 각각 소정 개수의 정극성 감마기준전압(GH)과 부극성 감마기준전압(GL)을 데이터 구동부(63)에 공급한다. 정극성 감마기준전압(GH)과 부극성 감마기준전압(GL)은 분압저항을 이용하여 생성된다.

데이터 구동부(63)는 타이밍 콘트롤러(61)로부터 공급되는 데이터 제어신호(DDC)에 응답하여 데이터를 데이터라인들(DL1 내지 DLm)에 공급하게 된다. 이 데이터 구동부(63)는 타이밍 콘트롤러(61)로부터의 디지털 데이터(RGB)를 샘플링한 후에, 그 데이터를 래치한 다음, 아날로그 감마전압으로 변환하게 된다. 이 데이터 구동부(63)는 도 7과 같은 구성을 가지는 다수의 데이터 집적회로를 포함한다.

쉬프트 레지스터(67)는 클럭신호들(HCK1 내지 HCK4) 중 어느 하나와 소스스타트펄스(SSP)에 응답하여 서로 중첩되고 쉬프트되는 출력신호들을 채널 선택부(64)의 스위치 제어신호로써 발생한다.

채널 선택부(64)는 데이터 구동부(63)의 출력단자에 1 : 1로 접속되는 CMOS TFT들로 구현되며 쉬프트 레지스터(67)의 중첩되는 쉬프트 출력신호들에 각각 응답하여 데이터 구동부(63)의 출력을 샘플&홀더부(65)에 공급하는 다수의 스위치소자들을 포함한다.

샘플&홀더부(65)는 채널 선택부(64)로부터의 아날로그 데이터 전압들을 샘플링하고 홀딩한 후에 각 그 아날로그 전압들을 데이터라인들(DL1 내지 DLm)에 동시에 공급한다.

도 7은 데이터 구동부의 데이터 집적회로 구성을 나타낸다.

도 7을 참조하면, 데이터 집적회로는 타이밍 콘트롤러(61)로부터 데이터(RGB)가 입력되는 데이터 레지스터(71), 샘플링 클럭을 발생하기 위한 쉬프트 레지스터(72)와, 쉬프트 레지스터(72)와 k (단, k 는 m 보다 작은 정수) 개의 데이터라인들(DL1 내지 DL k) 사이에 접속된 래치(73), 디지털/아날로그 컨버터(Digital to Analog Converter : 이하, "DAC"라 함)(74) 및 출력버퍼(75), 및 감마기준전압 발생부(66)와 DAC(74) 사이에 접속된 감마전압 공급부(76)를 구비한다.

쉬프트 레지스터(72)는 타이밍 콘트롤러(61)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호를 발생하게 된다. 또한, 쉬프트 레지스터(72)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단의 쉬프트 레지스터(72)에 캐리신호(CAR)를 전달하게 된다.

래치(73)는 쉬프트 레지스터(72)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(71)로부터의 데이터(RGB)를 순차적으로 샘플링하여 1 라인분씩 래치한 다음, 소스출력인에이블신호(SOE)에 응답하여 샘플링한 데이터들을 동시에 출력한다.

DAC(74)는 래치(73)로부터의 데이터들을 감마전압 공급부(76)로부터의 아날로그 감마전압(DGH, DGL)으로 변환하게 된다. 감마전압(DGH, DGL)은 디지털 입력 데이터의 계조값 각각에 대응하는 아날로그 전압이다.

감마전압 공급부(76)는 감마기준전압 발생부(66)로부터 입력되는 감마 기준전압을 세분화하여 각 계조에 대응하는 감마전압을 DAC(74)에 공급하게 된다. 이 감마전압 공급부(76)는 정극성의 감마전압을 발생하기 위한 회로와 부극성의 감마전압을 발생하기 위한 회로로 구성되어 있다.

한편, 종래의 데이터 구동부는 래치가 순차적으로 데이터라인을 샘플링하기 위한 제1 래치와, DAC에 의해 전압 변환이 이루어지는 동안 제1 래치로부터의 데이터를 래치하는 제2 래치를 필수적으로 포함하고 있었다. 이에 비하여, 본 발명은 일정 개수의 디지털 데이터를 순차적으로 샘플링하고, 이 시간 동안 래치(24)에 이미 래치된 데이터들을 DAC(25)에 전달하여 아날로그 신호를 발생하므로 기존의 제2 래치가 필요없다. 예를 들면, 데이터라인수가 240개(QVGA)이고 래치(24)와 DAC(25)를 40개로 설계하면, DAC(74)의 변환시간 및 데이터라인 충전시간은 1H 시간의 약 1/6 정도이다(=40/240). DAC(74)의 출력은 약 H/6 동안 순차적으로 열리는 채널 선택부(64) 및 샘플&홀드부(65)에 의해 각각 40번째의 데이터라인에 전달된다. 예를 들어, 첫번째 DAC(74)는 $40n+1$ ($n=0,1,2,3,4,5$) 개의 데이터라인들을 H/6 시간간격으로 순차적으로 충전 및 유지시킨다. 채널 선택부(64)는 도 2와 같이 기존의 1 뱅크(bank) 아날로그 구동 방식과 유사하게 구성되므로, 다수의 뱅크를 사용할 때 발생하는 뱅크 경계의 휘도불균일 현상이 나타나지 않는다. 래치(73) 및 DAC(74)의 개수는 기존 디지털 구동방식의 데이터 구동부에 비해 1/6로 감소하기 때문에 내장 회로의 면적 감소로 좁게 구현할 수 있다. 또한 본 발명은 외부 디지털 데이터신호(RGB)를 타이밍 콘트롤러(61)를 경유하지 않고 직접 데이터 구동부(63)에 인가할 수 있으므로 기존에 비하여 타이밍 콘트롤러(61)의 회로 구성을 간소화할 수 있다.

도 9는 도 6에 도시된 쉬프트 레지스터의 한 스테이지 구성을 나타낸다. 그리고 도 10은 도 9에 도시된 스테이지의 입출력 파형을 나타낸다. 이 스테이지를 첫 번째 스테이지로 가정하여 그 상세한 구성 및 동작을 설명하기로 한다.

도 9 및 도 10을 참조하면, 쉬프트 레지스터(67)의 첫 번째 스테이지는 입력단과 출력단 사이에 종속적으로 배치되는 제1 멀티플렉서(51), 제1 인버터(82), 배타적 논리합회로(83), 제2 인버터(83), 제2 멀티플렉서(85), 제3 내지 제6 인버터(86 내지 89)를 구비한다.

멀티플렉서들(81, 83) 각각은 두 개의 트랜지션 게이트(transition gate)가 대칭적으로 접속된 회로 구성을 가지며, 비반전 제어단자에 하이논리신호가 공급될 때 제1 입력단자(in1)의 입력신호를 출력하는 반면에, 반전 제어단자에 하이논리신호가 공급될 때 제2 입력단자(in2)의 입력신호를 출력한다.

제1 멀티플렉서(81)의 제1 및 제2 입력단자(in1, in2)에는 소스스타트펄스(SSP)가 입력되고, 제1 멀티플렉서(81)의 비반전 제어단자와 반전 제어단자에는 제어신호가 입력된다.

제1 인버터(82)는 제1 멀티플렉서(81)의 출력노드와 배타적 논리합회로(83)의 일측 입력단자 사이에 접속되어 제1 멀티플렉서(81)의 출력을 반전시켜 배타적 논리합회로(83)의 일측 입력단자에 공급한다.

배타적 논리합회로(83)는 제1 멀티플렉서(81)의 출력과 제1 인버터(82)의 출력의 배타적 논리합(XOR)으로 토글신호(q1)를 출력한다. 이를 위하여, 배타적 논리합회로(83)는 3 개의 NAND 게이트(90 내지 92)를 구비한다. 제1 NAND 게이트(90)는 제3 인버터(86)로부터의 피드백 입력과 제1 멀티플렉서(81)의 출력을 부정 논리곱 연산하여 제3 NAND 게이트

(92)의 제2 입력단자(in2)에 공급하고, 제2 NAND 게이트(91)는 제1 인버터(82)의 출력과 제4 인버터(87)의 피드백 입력을 부정 논리곱 연산하여 제3 NAND 게이트(92)의 제1 입력단자(in1)에 공급한다. 제3 NAND 게이트(92)는 인버터(86)로부터의 피드백 입력과 제1 멀티플렉서(81)의 출력을 부정 논리곱 연산한다.

제2 인버터(84)는 배타적 논리합회로(83)와 제2 멀티플렉서(85) 사이에 접속되어 배타적 논리합회로(83)의 출력을 반전시켜 제2 멀티플렉서(85)의 반전제어단자에 공급한다.

제2 멀티플렉서(85)는 비반전 제어단자에 입력되는 토글신호(q1)가 하이논리일 때 클럭신호(HCK1)을 출력하는 반면에, 반전 제어단자에 입력되는 제2 인버터(84)의 출력이 하이논리신호일 때 제3 인버터(86)의 피드백 입력을 출력한다.

제3 인버터(86)는 제2 멀티플렉서(85)의 출력을 반전시키고 배타적 논리합회로(83)의 제1 NAND 게이트(90)의 제2 입력단자(in2)에 입력되어 토글신호(q1)를 토글시킨다. 제4 인버터(87)는 제3 인버터(86)의 출력을 반전시키고 제2 멀티플렉서(85)의 제2 입력단자(in2)와 제2 NAND 게이트(91)의 제2 입력단자(in2)에 입력되어 토글신호(q1)를 토글시킨다.

제4 인버터(87)의 출력은 다음 단 스테이지의 스타트펄스로써 다음 단의 스타트펄스 입력단에 공급된다.

제5 인버터(88)는 제3 인버터(86)의 출력을 반전시켜 그 반전신호를 채널 선택부(64)의 CMOS를 구성하는 pMOS FET의 제어신호로써 출력한다.

제6 인버터(89)는 제4 인버터(87)의 출력을 반전시켜 그 반전신호를 채널 선택부(64)의 CMOS를 구성하는 nMOS FET의 제어신호로써 출력한다.

이러한 스테이지의 출력은 도 9와 같이 이웃한 스테이지들에서 토글신호가 중첩되면서 그 중첩폭만큼 쉬프트되는 출력신호들(S1 내지 S8)을 중첩시킨다. 출력신호들(S1 내지 S8)은 채널 선택부(64)의 스위치소자들을 순차적으로 턴-온시킨다.

이러한 스테이지의 구성에 의해, 첫 번째 토글신호(q1)는 소스스타트펄스(SSP)의 라이징타임에서 발생하여 출력을 하이논리로 발생시키는 반면에, 두 번째 토글신호(q1)는 소스스타트펄스(SSP)의 폴링타임에서 발생하여 출력을 로우논리로 반전시킨다. 그리고 도 8의 스테이지는 클럭신호라인이 제2 멀티플렉서(85)를 구성하는 TFT의 소스/드레인단자에 연결되어 있고 전 스테이지들 중에서 토글신호가 발생되고 있는 한 두 단의 스테이지들을 제외하고는 제2 멀티플렉서(85)가 오프 상태를 유지하므로 정전용량이 매우 작다.

본 발명에 따른 쉬프트 레지스터는 채널 선택부를 제어하는 쉬프트 레지스터는 물론이거니와, 데이터 구동부(63) 및/또는 게이트 구동부(64)의 쉬프트 레지스터에 적용될 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 쉬프트 레지스터와 이를 이용한 액정표시장치는 정전용량 부하가 작고 출력들을 중첩시켜 구동속도를 향상시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 액정표시장치를 개략적으로 나타내는 블록도.

도 2는 아날로그 샘플&홀드 회로를 나타내는 블록도.

도 3은 출력 중첩이 가능한 쉬프트 레지스터의 회로도.

도 4는 도 3에 도시된 스테이지의 입출력 파형도.

도 5는 쉬프트 레지스터의 OR 타입 스테이지를 보여 주는 회로도.

도 6은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도.

도 7은 도 6에 도시된 데이터 구동부를 나타내는 블록도.

도 8은 도 6에 도시된 쉬프트 레지스터의 스테이지를 보여 주는 회로도.

도 9는 도 8에 도시된 스테이지의 입출력 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

1, 61 : 타이밍 컨트롤러 2, 62 : 액정표시패널

3, 63 : 데이터 구동부 4, 64 : 게이트 구동부

5, DL1 내지 DLm : 데이터라인 6, GL1 내지 GLn : 게이트라인

21, 73a : 데이터 집적회로 22, 67, 72 : 쉬프트 레지스터

23, 65 : 샘플&홀드부 24, 64 : 채널 선택부

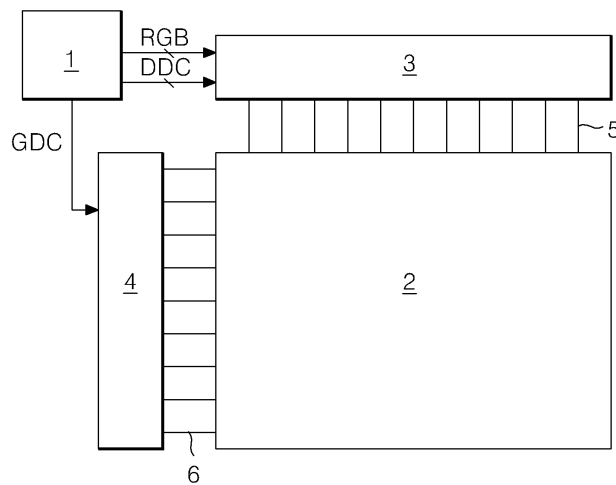
71 : 데이터 레지스터 73 : 래치

74 : DAC 75 : 출력버퍼

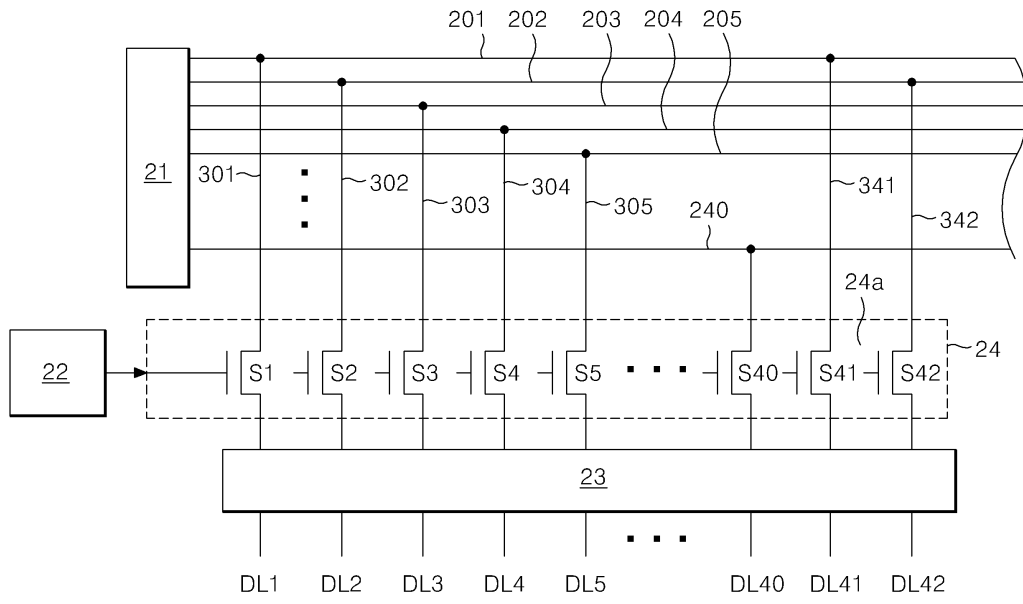
76 : 감마전압 공급부

도면

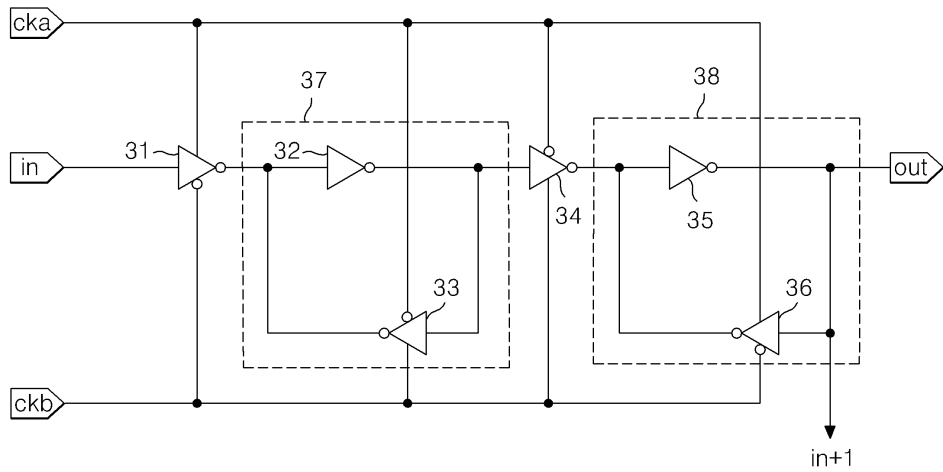
도면1



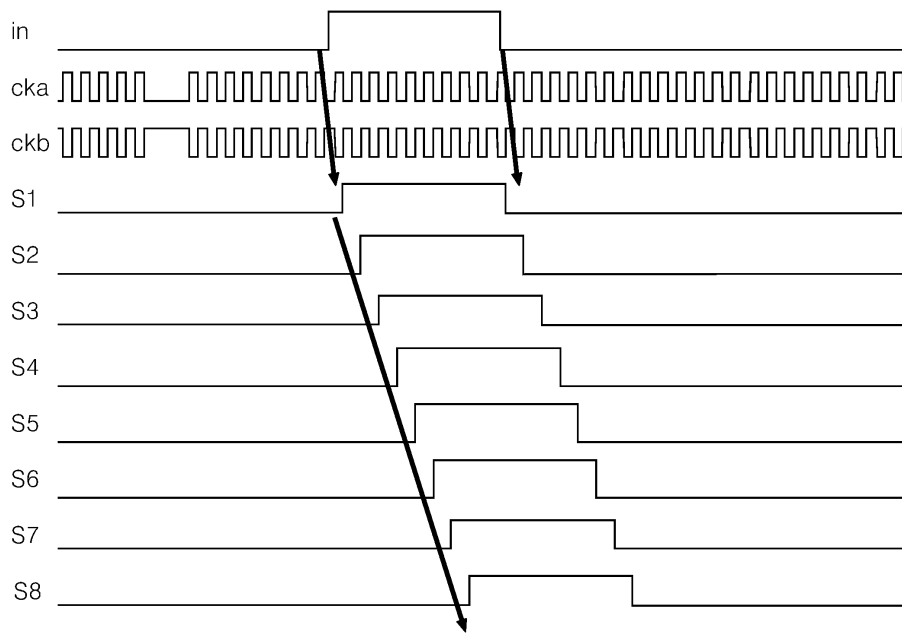
도면2



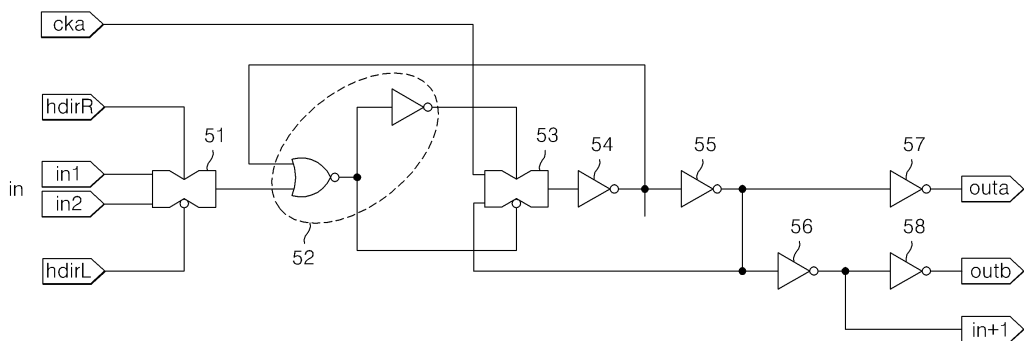
도면3



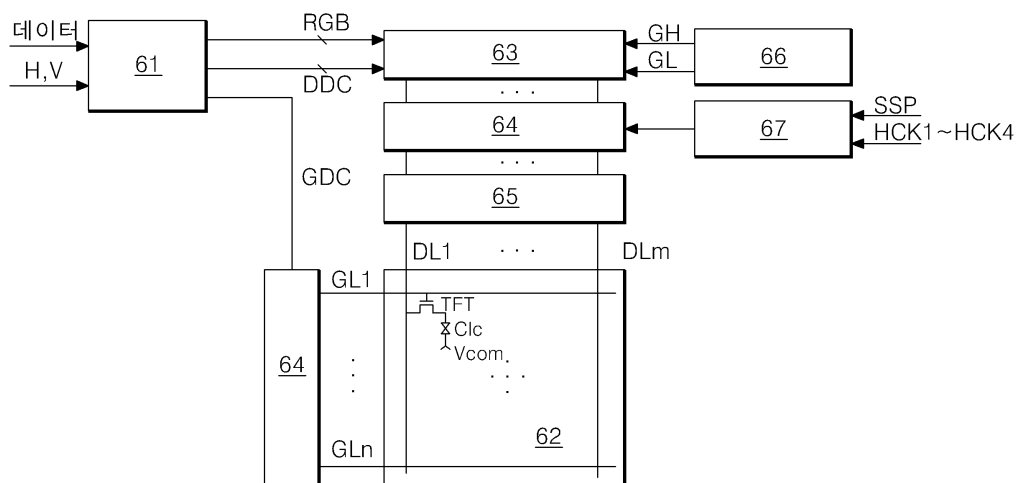
도면4



도면5



도면6



도면9

