

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0087739
G02F 1/136 (2006.01) (43) 공개일자 2006년08월03일

(21) 출원번호 10-2005-0008557

(22) 출원일자 2005년01월31일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 문국철
경기도 용인시 신봉동 현대아파트 404동 301호
주승용
경기도 성남시 분당구 구미동 무지개마을 주공4단지아파트 404동 1303호
김일곤
서울특별시 영등포구 신길7동 삼환아파트 101동 1106호
박태형
경기도 용인시 풍덕천2동 성우현대아파트 신정마을 807동 1802호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터 표시판

요약

본 발명에 따른 박막 트랜지스터 표시판은 기판, 기판 위에 형성되어 있으며 제1 도전성 불순물로 도핑되어 있는 복수의 소스/드레인 영역 및 제2 도전성 불순물로 도핑되어 있는 고농도 도핑 영역, 불순물이 도핑되지 않은 유지 영역 및 채널 영역을 포함하는 반도체, 반도체 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 형성되어 있으며 채널 영역과 중첩하는 게이트선, 게이트 절연막 위에 형성되어 있으며 유지 영역과 중첩하는 유지 전극을 가지는 유지 전극선, 게이트 절연막 위에 형성되어 있으며 소스/드레인 영역과 연결되어 있는 데이터선, 그리고 게이트 절연막 위에 형성되어 있으며 소스/드레인 영역 및 고농도 도핑 영역과 연결되어 있는 드레인 전극, 드레인 전극과 연결되어 있는 화소 전극을 포함한다.

대표도

도 2

색인어

유지용량, 다결정, 액정표시장치

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 표시 장치의 한 예인 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 화소 부분을 도시한 배치도이다.

도 4는 도 3에 도시한 박막 트랜지스터 표시판을 IV-IV'-IV'' 선을 따라 절단한 단면도이다.

도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 게이트 구동부용 박막 트랜지스터를 개략적으로 도시한 배치도이다.

도 6은 도 5에 도시한 박막 트랜지스터를 VI-VI' 선을 따라 자른 단면도이다.

도 7a 및 도 7b는 도 3 내지 도 6에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 첫 번째 단계에서의 배치도이다.

도 7c는 각각 도 7a 및 도 7b의 VIIc-VIIc', VIIc''-VIIc''' 선을 따라 잘라 도시한 단면도이다.

도 8a 및 도 8b는 도 7a 및 도 7b의 다음 단계에서의 배치도이다.

도 8c는 각각 도 8a 및 도 8b의 VIIIc-VIIIc', VIIIc''-VIIIc''' 선을 따라 잘라 도시한 단면도이다.

도 9는 도 8c의 다음 단계에서의 단면도이다.

도 10a 및 도 10b는 도 9의 다음 단계에서의 배치도이다.

도 10c는 각각 도 9a 및 도 9b의 Xc-Xc', Xc''-Xc''' 선을 따라 잘라 도시한 단면도이다.

도 11a 및 도 11b는 도 10a 및 도 10b의 다음 단계에서의 배치도이다.

도 11c는 각각 도 10a 및 도 10b의 XIc-XIc', XIc''-XIc''' 선을 따라 잘라 도시한 단면도이다.

도 12a 및 도 12b는 도 11a 및 도 11b의 다음 단계에서의 배치도이다.

도 12c는 각각 도 12a 및 도 12b의 XIIc-XIIc', XIIc''-XIIc''' 선을 따라 잘라 도시한 단면도이다.

도면의 주요 부분에 대한 부호 설명

110: 기판

121: 게이트선

133: 유지 전극

151, 151a, 151b: 반도체

171: 데이터선

190: 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판에 관한 것으로 특히, 다결정 규소로 이루어지는 반도체를 가지는 박막 트랜지스터 표시판에 관한 것이다.

박막 트랜지스터 표시판은 박막 트랜지스터에 의하여 구동되는 복수의 화소를 가지는 액정 표시 장치 또는 유기 발광 표시 장치(organic light display, OLED) 등 평판 표시 장치의 한 기관으로 사용된다.

액정 표시 장치는 전기장을 생성하는 전계 생성 전극과 그 사이의 액정층을 포함한다. 이러한 액정 표시 장치에서는 두 전계 생성 전극에 전압을 인가하여 액정층에 전계를 형성함으로써 액정 분자들의 배향을 결정하고 입사광의 편광을 조절하여 영상을 표시한다. 이 경우 박막 트랜지스터는 전극에 인가되는 신호를 제어하는 데 사용된다.

유기 발광 표시 장치는 발광성 유기 물질을 여기 발광시켜 영상을 표시하는 자기 발광형 표시 장치이다. 유기 발광 표시 장치는 정공 주입 전극(애노드)과 전자 주입 전극(캐소드)과 이들 사이에 들어 있는 유기 발광층을 포함하고, 유기 발광층에 정공과 전자를 주입하면, 이들이 쌍을 이룬 후 소멸하면서 빛을 낸다.

유기 발광 표시 장치의 각각의 화소에는 두 개의 박막 트랜지스터 즉, 구동 박막 트랜지스터와 스위칭 트랜지스터가 구비되어 있다. 발광을 위한 전류를 공급하는 구동 박막 트랜지스터의 전류량은 스위칭 트랜지스터를 통해 인가되는 데이터 신호에 의해 제어된다.

이러한 박막 트랜지스터 표시판에서 각 화소는 일정 기간 동안 일정한 전압을 유지해야 한다. 그래서 각 화소에는 전하를 축적할 수 있는 축전기(capacitor)를 형성하여 비선택 기간에도 일정 기간 동안 표시할 수 있도록 하고 있다.

다결정 규소로 이루어진 반도체를 포함하는 박막 트랜지스터 표시판의 축전기는 반도체/절연막/유지전극 또는 게이트 전극/절연막/데이터선의 적층으로 형성할 수 있다.

전자의 경우에는 절연막의 두께를 얇게 하여 충분한 용량을 얻을 수는 있지만, 반도체를 도전체로 하기 위해서는 추가적인 도핑 공정을 필요로 하여 공정이 복잡해진다. 그리고 후자의 경우에는 절연막이 두꺼워 충분한 용량을 얻기 위해서는 게이트 전극과 데이터선의 중첩 면적을 크게 하여야 하므로 화소의 개구율이 감소한다.

발명이 이루고자 하는 기술적 과제

본 발명의 기술적 과제는 액정 표시 장치의 개구율이 감소하지 않으면서도 충분한 유지 용량을 얻을 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

발명의 구성 및 작용

위와 같은 과제를 이루기 위하여 본 발명에 따른 박막 트랜지스터 표시판은 기관, 기관 위에 형성되어 있으며 제1 도전성 불순물로 도핑되어 있는 복수의 소스/드레인 영역 및 제2 도전성 불순물로 도핑되어 있는 고농도 도핑 영역, 불순물이 도핑되지 않은 유지 영역 및 채널 영역을 포함하는 반도체, 반도체 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 형성되어 있으며 채널 영역과 중첩하는 게이트선, 게이트 절연막 위에 형성되어 있으며 유지 영역과 중첩하는 유지 전극을 가지는 유지 전극선, 게이트 절연막 위에 형성되어 있으며 소스/드레인 영역과 연결되어 있는 데이터선, 그리고 게이트 절연막 위에 형성되어 있으며 소스/드레인 영역 및 고농도 도핑 영역과 연결되어 있는 드레인 전극, 드레인 전극과 연결되어 있는 화소 전극을 포함한다.

여기서 제1 도전성 불순물은 N형 또는 P형 도전성 불순물 중 하나이고, 제2 도전성 불순물은 N형 또는 P형 도전성 불순물 중 제1 도전성 불순물을 제외한 나머지인 것이 바람직하다.

그리고 드레인 전극은 유지 전극과 중첩하는 것이 바람직하다.

또한, 절연 기관과 반도체 사이에 형성되어 있는 차단막을 더 포함할 수 있다.

또한, 채널 영역과 소스/드레인 영역 사이에 형성되어 있는 저농도 도핑 영역을 더 포함할 수 있다.

또한, 유지 영역은 소스/드레인 영역 및 고농도 도핑 영역과 연결되어 있는 것이 바람직하다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제, 첨부한 도면을 참고하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판에 대해서 설명한다.

먼저 도 1 및 도 2를 참고로 하여 본 발명의 한 실시예에 따른 표시 장치에 대하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 표시 장치의 한 예인 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 표시 장치는 표시판부(display panel unit)(300) 및 이에 연결된 게이트 구동부(400), 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 신호 생성부(800) 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

도 2를 참고하면, 표시판부(300)는 등가 회로로 볼 때 복수의 표시 신호선(display panel line)(G_1-G_n , D_1-D_m)과 이에 연결되어 있고 대략 행렬의 형태로 배열되어 있으며 표시 영역(display area)(DA)을 이루는 복수의 화소(pixel)(PX)를 포함한다. 도 1을 참고하면, 액정 표시 장치의 표시판부(300)는 하부 및 상부 표시판(100, 200)과 그 사이의 액정층(3)을 포함한다. 유기 발광 표시 장치(organic light emitting display)의 경우 표시판부(300)가 하나의 표시판만을 포함할 수 있다.

표시 신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(gate line)(G_1-G_n)과 데이터 신호를 전달하는 데이터선(data line)(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_m)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소(PX)는 박막 트랜지스터 등 적어도 하나의 스위칭 소자(Q)와 적어도 하나의 축전기(C_{LC})를 포함한다.

도 1 및 도 2를 참고하면, 액정 표시 장치의 각 화소(PX)는 표시 신호선(G_1-G_n , D_1-D_m)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{LC}) 및 유지 축전기(storage capacitor)(C_{ST})를 포함한다. 표시 신호선(G_1-G_n , D_1-D_m)은 하부 표시판(100)에 배치되어 있다.

다결정 규소 박막 트랜지스터 따위의 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있으며, 각각 게이트선(G_1-G_n)에 연결되어 있는 제어 단자, 데이터선(D_1-D_m)에 연결되어 있는 입력 단자, 그리고 액정 축전기(C_{LC}) 및 유지 축전기(C_{ST})에 연결되어 있는 출력 단자를 가지고 있는 삼단자 소자이다.

액정 축전기(C_{LC})는 하부 표시판(100)의 화소 전극(190)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(190)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(V_{com})을 인가 받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며, 이 때에는 두 전극(190, 270)이 모두 선형 또는 막대형으로 만들어질 수 있다.

유지 축전기(C_{ST})는 액정 축전기(C_{LC})를 보조하는 축전기로서, 하부 표시판(100)에 구비된 반도체의 유지 영역(도시하지 않음)과 유지 전극선 및 데이터선이 절연막을 사이에 두고 상, 하에서 중첩되어 이루어진다. 유지 전극선에는 공통 전압(V_{com}) 따위의 정해진 전압이 인가된다.

색 표시를 구현하기 위해서, 각 화소(PX)가 복수의 원색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 복수의 원색을 번갈아 표시함으로써(시간 분할), 원색의 공간적, 시간적 합으로 원하는 색상을 나타낸다. 원색의 예로는 적색, 녹색 및 청색을 들 수 있다. 도 2는 각 화소(PX)가 상부 표시판(200)에서 화소 전극(190)과 마주보는 대응하는 영역에 원색 중 하나의 색상을 나타내는 색 필터(230)를 구비한 공간 분할의 예를 보여주고 있다. 이와는 달리 색필터(230)는 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 형성할 수도 있다.

표시판부(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 하나 이상의 편광자(도시하지 않음)가 부착되어 있다.

유기 발광 표시 장치의 각 화소(PX)는 표시 신호선(G_1-G_n , D_1-D_m)에 연결된 스위칭 트랜지스터(도시하지 않음), 이에 연결된 구동 트랜지스터(driving transistor)(도시하지 않음) 및 유지 축전기(도시하지 않음), 그리고 발광 다이오드(light emitting diode)(도시하지 않음)를 포함할 수 있다. 발광 다이오드는 화소 전극(도시하지 않음)과 공통 전극(도시하지 않음) 및 그 사이의 발광 부재(light emitting member)(도시하지 않음)를 포함한다.

도 1을 다시 참고하면, 제조 신호 생성부(800)는 화소(PX)의 투과율과 관련된 복수의 제조 신호를 생성한다. 액정 표시 장치용 제조 신호 생성부(800)의 경우 공통 전압(Vcom)에 대하여 양의 값과 음의 값을 각각 가지는 두 별개의 제조 전압을 생성한다.

게이트 구동부(400)는 표시판부(300)의 게이트선(G_1-G_n)에 연결되어 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)과 각각 동일한 두 값을 가지는 게이트 신호를 게이트선(G_1-G_n)에 인가한다. 게이트 구동부(400)는 표시판부(300)에 집적되어 있으며 복수의 구동 회로(도시하지 않음)를 포함한다. 게이트 구동부(400)를 이루는 각각의 구동 회로는 하나의 게이트선(G_1-G_n)에 연결되어 있으며 복수의 N형, P형, 상보형 다결정 규소 박막 트랜지스터를 포함한다. 그러나 게이트 구동부(400)가 집적 회로(integrated circuit, IC) 칩의 형태로 표시판부(300) 위에 장착되거나 가요성 인쇄 회로(flexible printed circuit, FPC) 필름 위에 장착될 수 있다. 후자의 경우에 가요성 인쇄 회로 필름이 표시판부(300) 위에 부착된다.

데이터 구동부(500)는 표시판부(300)의 데이터선(D_1-D_m)에 연결되어 있으며 제조 신호 생성부(800)로부터의 제조 전압을 선택하여 데이터 전압으로서 데이터선(D_1-D_m)에 인가한다. 데이터 구동부(500)는 또한 표시판부(300)에 집적되거나, 하나 이상의 집적 회로 칩의 형태로 표시판부(300) 위에 장착되거나 표시판부(300) 위에 부착된 가요성 인쇄 회로(flexible printed circuit, FPC) 필름 위에 장착될 수 있다.

구동부(400, 500) 또는 이들이 장착되어 있는 가요성 인쇄 회로 필름은 표시판부(300)에서 표시 영역(DA)의 바깥 쪽에 위치한 주변 영역(peripheral area)에 위치한다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어하며 인쇄 회로 기판(printed circuit board, PCB) 등에 장착될 수 있다.

그러면, 도 3 내지 도 6를 참고로 하여 도 1 및 도 2에 도시한 액정 표시 장치의 하부 표시판, 즉 박막 트랜지스터 표시판의 한 예에 대하여 상세하게 설명한다.

여기에서 화소(PX)의 박막 트랜지스터는 N형인 경우를 예로 들고, 게이트 또는 데이터 구동부 구동부(400, 500)의 박막 트랜지스터는 N형과 P형이 모두 형성될 수 있으나, 설명을 간소화하기 위해서 P형 박막 트랜지스터만을 예시한다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 화소 부분을 도시한 배치도이고, 도 4는 도 3에 도시한 박막 트랜지스터 표시판을 IV-IV'-IV" 선을 따라 절단한 단면도이다. 또한 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 게이트 구동부용 박막 트랜지스터를 개략적으로 도시한 배치도이고, 도 6은 도 5에 도시한 박막 트랜지스터를 VI-VI' 선을 따라 자른 단면도이다.

도 3 내지 도 6에 도시한 바와 같이, 투명한 절연 기판(110) 위에 산화 규소(SiO_2) 또는 질화 규소(SiNx) 등으로 이루어진 차단막(blocking film)(111)이 형성되어 있다. 차단막(111)은 복층 구조를 가질 수도 있다.

차단막(111) 위에는 다결정 규소 따위로 이루어진 복수의 화소부 섬형 반도체(151a) 및 구동부 섬형 반도체(151b)가 형성되어 있다.

각각의 반도체(151a, 151b)는 도전성 불순물을 함유하는 불순물 영역(extrinsic region)과 도전성 불순물을 거의 함유하지 않은 진성 영역(intrinsic region)을 포함하며, 불순물 영역에는 불순물 농도가 높은 고농도 영역(heavily doped region)과 불순물 농도가 낮은 저농도 영역(lightly doped region)이 있다.

화소부 반도체(151a)의 진성 영역은 서로 떨어져 있는 두 개의 채널 영역(channel region)(154a) 및 유지 영역(157)을 포함한다. 그리고 고농도 불순물 영역(153a, 155b, 158, 159)은 N형 불순물 도핑 영역(153a, 155a, 159)과 P형 불순물 도핑 영역(158)을 포함하고, N형 불순물 도핑 영역은 채널 영역(154a)을 중심으로 서로 분리되어 있는 복수의 소스/드레인 영역(source/drain region)(153a, 155a, 159)을 포함한다. 소스/드레인 영역은 본 발명의 실시예보다 더 적게 또는 더 많은 수로 형성될 수 있으며, 이에 따라서 채널 영역의 수도 더 적게 또는 더 많은 수로 형성된다.

그리고 소스/드레인 영역(153a, 155a, 159)과 채널 영역(154a) 사이에 위치한 저농도 불순물 영역(152)은 저농도 도핑 드레인 영역(lightly doped drain region, LDD region)이라고 하며 그 폭이 다른 영역보다 좁다.

구동부 반도체(151b)의 진성 영역은 채널 영역(154b)을 포함하며, 고농도 불순물 영역은 P형 도전성 불순물이 도핑되어 있는 소스/드레인 영역(153b, 155b)을 포함한다.

여기에서 P형 도전성 불순물로는 붕소(B), 갈륨(Ga) 등이 도핑되고, N형 도전성 불순물로는 인(P), 비소(As) 등이 도핑되어 있다. 저농도 도핑 영역(152a, 152b)은 박막 트랜지스터의 누설 전류(leakage current)나 펀치스루(punch through) 현상이 발생하는 것을 방지하며, 저농도 도핑 영역(152a, 152b)은 불순물이 들어있지 않은 오프셋(offset) 영역으로 대체할 수 있다.

반도체(151a, 151b) 위에는 질화 규소 또는 산화 규소로 이루어진 수백 두께의 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

차단막(111) 및 반도체(151) 위에는 주로 가로 방향으로 뻗은 복수의 게이트선(gate line)(121)과 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.

게이트선(121)은 게이트 신호를 전달하며, 반도체(151a)의 일부분은 위로 돌출하여 반도체(151)의 채널 영역(154a)과 중첩하는 복수의 돌출부를 포함한다. 이처럼 채널 영역(154a)과 중첩하는 게이트선(121)의 일부분은 박막 트랜지스터의 게이트 전극(124a)으로 사용된다. 게이트 전극(124a)은 저농도 도핑 영역(152)과도 중첩될 수 있다.

게이트선(121)의 한 쪽 끝 부분은 게이트 구동 회로에 바로 연결될 수 있다.

제어 전극(124b)은 구동부 반도체(151b)의 채널 영역(154b)과 중첩하며 제어 신호를 인가하는 다른 신호선(도시하지 않음)과 연결되어 있다.

유지 전극선(131)은 공통 전극(도시하지 않음)에 인가되는 공통 전압(common voltage) 등 소정의 전압을 인가 받으며, 반도체(151a)의 유지 영역(157)과 중첩하는 유지 전극(137)을 포함한다.

게이트선(121), 제어 전극(124b) 및 유지 전극선(131)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 이루어질 수 있다. 그러나 게이트선(121)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이중 한 도전막은 게이트선(121), 유지 전극선(131) 및 제어 전극(124b)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열의 금속, 은 계열의 금속, 구리 계열의 금속으로 이루어진다. 다른 하나의 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 또는 티타늄 등으로 이루어질 수 있다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다.

게이트선(121), 제어 전극(124b) 및 유지 전극선(131)의 측면은 그 위에 형성되어 있는 박막이 단자로 인하여 끊어지는 것을 방지하고 접착성을 향상하기 위하여 기판(110)의 표면에 대하여 경사져 있다.

게이트선(121), 제어 전극(124b), 유지 전극선(131) 및 게이트 절연막(140) 위에는 층간 절연막(interlayer insulating film)(160)이 형성되어 있다. 층간 절연막(160)은 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상 증착으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화 규소 따위로 형성할 수 있다. 층간 절연막(160) 및 게이트 절연막(140)에는 소스/드레인 영역(153a, 153b, 155a, 155b)을 각각 노출하는 복수의 접촉 구멍(163, 165, 166, 167)이 형성되어 있다.

층간 절연막(160) 위에는 복수의 데이터선(data line)(171), 복수의 드레인 전극(drain electrode)(175a), 복수의 입력 전극(173b) 및 복수의 출력 전극(175b)이 형성되어 있다.

데이터 신호를 전달하는 데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며, 접촉 구멍(163)을 통해 소스 영역(153a)과 연결되어 있는 소스 전극(173a)을 포함한다. 데이터선(171)의 한쪽 끝 부분은 다른 층 또는 외부의 구동 회로와 접속하기 위하여 면적이 넓을 수 있으며, 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되는 경우 데이터선(171)이 데이터 구동 회로에 바로 연결될 수 있다.

소스 전극(175a)은 드레인 전극(173a)과 떨어져 있으며 접촉 구멍(165)을 통해 소스/드레인 영역(155a)과 연결되어 있다. 그리고 드레인 전극(175a)은 접촉 구멍(168)을 통해 P형 불순물 도핑 영역(158)과 연결되어 있으며, 유지 전극(137)과도 중첩하여 유지 축전기를 형성한다.

입력 전극(173b)과 출력 전극(175b)은 제어 전극(124b)을 중심으로 서로 떨어져 있으며 다른 신호선(도시하지 않음)과 연결될 수 있다.

데이터선(171), 드레인 전극(175a), 입력 전극(173b) 및 출력 전극(175b)은 몰리브덴, 크롬, 탄탈륨, 티타늄 따위의 내화성 금속(refractory metal) 또는 이들의 합금으로 이루어지는 것이 바람직하다. 그러나 이들 또한 게이트선(121)과 같이 저항이 낮은 도전막과 접촉 특성이 좋은 도전막을 포함하는 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.

데이터선(171), 드레인 전극(175a), 입력 전극(173b) 및 출력 전극(175b)의 측면 또한 기판(110) 면에 대하여 경사진 것이 바람직하다.

데이터선(171), 드레인 전극(175a), 입력 전극(173b), 출력 전극(175b) 및 층간 절연막(160) 위에는 평탄화 특성이 우수한 유기물 따위로 만들어진 보호막(passivation)(180)이 형성되어 있다. 보호막(180)은 감광성(photosensitivity)을 가지는 물질로 사진 공정만으로 만들어질 수도 있다. 보호막(180)은 또한 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등 유전 상수 4.0 이하의 저유전율 절연 물질 또는 질화 규소 따위의 무기물로 이루어질 수도 있으며, 무기물로 이루어진 하부막과 유기물로 이루어진 상부막을 포함할 수도 있다. 그리고 보호막(180)은 드레인 전극(175a)을 노출하는 복수의 접촉 구멍(185) 및 데이터선(171)의 한쪽 끝부분을 노출하는 복수의 접촉 구멍(182)을 가진다.

보호막(180) 위에는 IZO(indium zinc oxide) 또는 ITO(indium tin oxide) 등과 같이 투명한 도전 물질 또는 알루미늄이나 은 등 불투명한 반사성 도전 물질로 이루어지는 화소 전극(pixel electrode)(190) 및 접촉 보조 부재(82)가 형성되어 있다.

화소 전극(190)은 접촉 구멍(185)을 통해 소스/드레인 영역(155a)에 연결되어 있는 드레인 전극(175a)과 연결되어 드레인 전극(175a)로부터 데이터 전압을 인가 받는다.

접촉 보조 부재(82)는 데이터선(171)의 끝 부분과 외부 장치와의 접착성을 보완하고 이들을 보호하는 역할을 한다. 데이터 전압이 인가된 화소 전극(190)은 공통 전압을 인가 받는 공통 전극과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자들의 방향을 결정한다.

데이터 전압이 인가된 화소 전극(190)은 공통 전압을 인가 받는 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(190, 270) 사이의 액정층(3)의 액정 분자들의 배열을 변경한다.

도 2를 참고하면 화소 전극(190)과 공통 전극(270)은 액정 축전기(C_{LC})를 이루어 박막 트랜지스터(Q)가 턴 오프된 후에도 인가된 전압을 유지하며, 화소 전극(190) 및 드레인 전극(175a)의 일부 및 유지 영역(157)과 유지 전극(137)을 비롯한 유지 전극선(131)이 중첩하여 유지 축전기(C_{st})를 형성하여 액정 축전기(CLC)의 전압 유지 능력을 향상한다.

본 발명의 실시예에서 유지 축전기는 화소 전극(190)과 유지 전극선(131), 화소 전극(190)과 드레인 전극(175a), 드레인 전극(175a)과 유지 전극(137), 유지 전극(137)과 유지 영역(157)의 중첩으로 만들어진다. 이때, 드레인 전극(175a)은 N형 및 P형 고농도 불순물 영역과 접촉하고 있다.

이처럼 드레인 전극(175a)이 N형 및 P형 고농도 불순물 영역에 동시에 접촉하도록 형성하면, 액정 표시 장치가 반전 구동을 하더라도 항상 일정한 유지 축전기를 형성할 수 있다.

즉, 반전 구동을 하게 되면 드레인 전극(175a)에 전달되는 전압이 유지 전극(137)에 인가되는 전압보다 높거나 낮을 수 있다.

이때, 소스 전극(173a)을 통해 드레인 전극(175a)에 전달되는 전압이 유지 전극(137)에 인가되는 전압보다 높은 경우에는 p형 고농도 불순물 영역과 유지 전극(137) 사이에 순방향 전계가 형성되고, 이 전계가 유지 영역(157)의 문턱 전압(V_{th})을 넘게 되면 유지 영역(157)과 유지 전극(137) 사이에 축전기가 형성된다. 그리고 드레인 전극(175a)에 전달되는 전압이 유지 전극(137)에 인가되는 전압보다 낮은 경우에는 n형 고농도 불순물 영역과 유지 전극(137) 사이에 순방향 전계가 형성되고, 이 전계가 유지 영역(157)의 문턱 전압(V_{th})을 넘게 되면 유지 영역(157)과 유지 전극(137) 사이에 축전기가 형성된다.

이처럼 드레인 전극(175a)에 전달되는 전압에 상관없이 항상 일정한 전압을 유지할 수 있으며 유지 전극(137)/게이트 절연막(140)/유지 영역(157)의 중첩으로 유전층의 두께가 얇기 때문에 적은 면적으로도 충분한 유지 축전기를 형성할 수 있다. 그리고 유지 영역(157)에 별도의 도핑 공정이 없이도 유지 축전기를 형성하므로 공정이 간소화된다.

보호막(180)을 저유전율의 유기 물질로 형성하는 경우에는 화소 전극(190)을 데이터선(171) 및 게이트선(121)과 중첩시켜 형성할 수 있어서 개구율을 향상시킬 수 있다.

그러면 도 3 내지 도 6에 도시한 박막 트랜지스터 표시판을 제조하는 방법에 대하여 도 7a 내지 도 12c와 함께 앞서의 도 3 내지 도 6을 참조하여 상세히 설명한다.

도 7a 및 도 7b는 도 3 내지 도 6에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 첫 번째 단계에서의 배치도이고, 도 7c는 각각 도 7a 및 도 7b의 VIIc-VIIc', VIIc"-VIIc"' 선을 따라 잘라 도시한 단면도이고, 도 8a 및 도 8b는 도 7a 및 도 7b의 다음 단계에서의 배치도이고, 도 8c는 각각 도 8a 및 도 8b의 VIIIc-VIIIc', VIIIc"-VIIIc"'선을 따라 잘라 도시한 단면도이고, 도 9는 도 8c의 다음 단계에서의 단면도이고, 도 10a 및 도 10b는 도 9a 및 도 9의 다음 단계에서의 배치도이고, 도 10c는 각각 도 9a 및 도 9b의 Xc-Xc', Xc"-Xc"'선을 따라 잘라 도시한 단면도이고, 도 11a 및 도 11b는 도 10a 및 도 10b의 다음 단계에서의 배치도이고, 도 11c는 각각 도 10a 및 도 10b의 XIc-XIc', XIc"-XIc"'선을 따라 잘라 도시한 단면도이고, 도 12a 및 도 12b는 도 11a 및 도 11b의 다음 단계에서의 배치도이고, 도 12c는 각각 도 12a 및 도 12b의 XIIc-XIIc', XIIc"-XIIc"'선을 따라 잘라 도시한 단면도이다.

먼저 도 7a 내지 도 7c에 도시한 바와 같이, 투명한 절연 기관(110) 위에 차단막(111)을 형성한 다음, 화학 기상 증착(chemical vapor deposition, CVD), 스퍼터링(sputtering) 등의 방법으로 비정질 규소로 이루어진 반도체막을 형성한다.

그런 다음 레이저 열처리(laser annealing), 노 열처리(furnace annealing) 또는 순차적 측면 고상화(sequential lateral solidification, SLS) 방식으로 반도체막을 결정화한다. 그리고 반도체막을 패터닝하여 섬형 반도체(151a, 151b)를 형성한다.

다음 도 8a 내지 도 8c에 도시한 바와 같이, 반도체(151a, 151b) 위에 화학 기상 증착 방법으로 게이트 절연막(140)을 형성한다.

게이트 절연막(140) 위에 스퍼터링 파워로 게이트 금속막(120) 및 마스크용 금속막을 연속하여 적층한다. 마스크용 금속막은 게이트 금속막(120)과 식각 선택비가 큰 금속으로 형성하며 고내열성, 고화학적 물질로 형성한다. 예를 들어 게이트 금속막(120)을 알루미늄으로 형성할 경우에 마스크용 금속막은 크롬으로 형성할 수 있다.

다음 마스크용 금속막 위에 제1 감광막(도시하지 않음)을 형성한다. 제1 감광막은 구동부 반도체(151b)를 덮어 보호하고 있으며, 화소부 반도체(151a)의 소정 영역(151) 위에도 형성된다.

제1 감광막을 식각 마스크로 마스크용 금속막 및 게이트 금속막(120)을 식각하여 마스크용 금속 부재(MP) 및 그 아래에 위치하며 게이트 전극(124a)을 포함하는 복수의 게이트선(121)과 유지 전극용 패턴(130)을 형성한다.

이때 식각 시간을 충분히 길게 하여 게이트용 금속막(120)이 마스크용 금속 부재(MP)보다 과식각되도록 하면, 게이트선(121), 게이트 전극(124a)의 너비가 마스크용 금속 부재(MP)보다 좁아진다.

이어 제1 감광막을 제거한 후 마스크용 금속 부재(MP)를 이온 주입 마스크로 삼아 N형 불순물 이온을 고농도로 주입하면 화소부의 반도체층(151a)에 N형 소스/드레인 영역(153a, 155a, 159)을 포함하는 복수의 고농도 불순물 영역이 형성된다. 이온 주입은 감광막(PR1)을 제거한 후 실시할 수 있다.

다음 도 9에 도시한 바와 같이, 제1 감광막(PR) 및 마스크용 금속 부재(MP)를 제거한 후 화소부의 게이트 전극(124a)을 이온 주입 마스크로 삼아 반도체(151a)에 N형 불순물 이온을 저농도로 도핑하여 복수의 저농도 불순물 영역(152)을 형성한다. 이와 같이 하면, 게이트 전극(124a) 아래 영역은 채널 영역(154a)이 된다.

저농도 불순물 영역(152)은 이상에서 설명한 마스크용 금속 부재(MP) 이외에 게이트 전극(124)의 측벽에 스페이스(spacer) 등을 만들어 형성할 수 있다.

이후 도 10a 내지 도 10c에 도시한 바와 같이, 기판(110) 위에 제2 감광막(PR2)을 형성한다. 제2 감광막(PR2)은 유지 전극용 패턴(130)의 소정 영역을 제외하고 화소부를 덮어 보호하고 있으며, 구동부의 소정 영역 위에 위치한다. 이후 제2 감광막(PR2)을 마스크로 구동부 및 화소부의 소정 영역에 남은 게이트 금속막(120) 및 유지 전극용 패턴(130)을 식각하여 구동부의 제어 전극(124b) 및 화소부의 유지 전극(137)을 가지는 유지 전극선(131)을 완성한다.

그런 다음 제어 전극(124b)을 마스크로 P형 불순물 이온을 고농도로 주입하여 반도체(151b)에 P형 소스 영역(153b) 및 드레인 영역(155b)과 화소부의 P형 고농도 불순물 영역(158)을 형성한다. 유지 전극(137) 아래의 도핑 되지 않은 영역은 유지 영역(157)이 된다.

다음 도 11a 내지 도 11c에 도시한 바와 같이, 기판(110) 전면에서 층간 절연막(160)을 적층하고 사진 식각하여 소스/드레인 영역(153a, 155a, 153b, 155b, 158)을 각각 노출하는 복수의 접촉 구멍(163, 165, 166, 167, 168)을 형성한다.

다음 층간 절연막(160) 위에 접촉 구멍(163)을 통해 소스/드레인 영역(153a)과 연결되는 소스 전극(173a)을 가지는 복수의 데이터선(171)과 접촉 구멍(165, 168)을 통해 소스/드레인 영역(155a) 및 P형 고농도 불순물 영역(158)과 연결되는 드레인 전극(175a)을 형성한다. 그리고 접촉 구멍(166, 167)을 통해 각각 소스 영역(153b) 및 드레인 영역(155b)과 연결되는 입력 전극(173b) 및 출력 전극(175b)을 형성한다.

도 12a 내지 도 12c에 도시된 바와 같이, 보호막(180)을 적층하고 사진 식각하여 화소부의 드레인 전극(175a)을 노출하는 복수의 접촉 구멍(185)을 형성한다.

마지막으로 도 3 및 도 4에 도시한 바와 같이, 보호막(180) 위에 IZO(indium zinc oxide), ITO(indium tin oxide) 등과 같은 투명한 도전 물질로 접촉 구멍(185)을 통해 드레인 전극(175a)과 연결되는 복수의 화소 전극(190)을 형성한다.

발명의 효과

이상 설명한 바와 같이, N형 및 P형 고농도 도핑 영역을 함께 형성함으로써 드레인 전극에 인가되는 전압에 상관없이 항상 일정한 유지 용량을 얻을 수 있다.

그리고 유지 영역에 별도의 도핑 공정 없이도 유지 영역/게이트 절연막/유지 전극으로 이루어지는 유지 축전기를 형성할 수 있어 액정 표시 장치의 개구율이 증가한다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

(57) 청구의 범위

청구항 1.

기관,

상기 기관 위에 형성되어 있으며 제1 도전성 불순물로 도핑되어 있는 복수의 소스/드레인 영역 및 제2 도전성 불순물로 도핑되어 있는 고농도 도핑 영역, 불순물이 도핑되지 않은 유지 영역 및 채널 영역을 포함하는 반도체,

상기 반도체 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있으며 상기 채널 영역과 중첩하는 게이트선,

상기 게이트 절연막 위에 형성되어 있으며 상기 유지 영역과 중첩하는 유지 전극을 가지는 유지 전극선,

상기 게이트 절연막 위에 형성되어 있으며 상기 소스/드레인 영역과 연결되어 있는 데이터선, 그리고

상기 게이트 절연막 위에 형성되어 있으며 상기 소스/드레인 영역 및 상기 고농도 도핑 영역과 연결되어 있는 드레인 전극,

상기 드레인 전극과 연결되어 있는 화소 전극을 포함하는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 제1 도전성 불순물은 N형 또는 P형 도전성 불순물 중 하나이고,

상기 제2 도전성 불순물은 상기 N형 또는 P형 도전성 불순물 중 상기 제1 도전성 불순물을 제외한 나머지인 박막 트랜지스터 표시판.

청구항 3.

제1항에서,

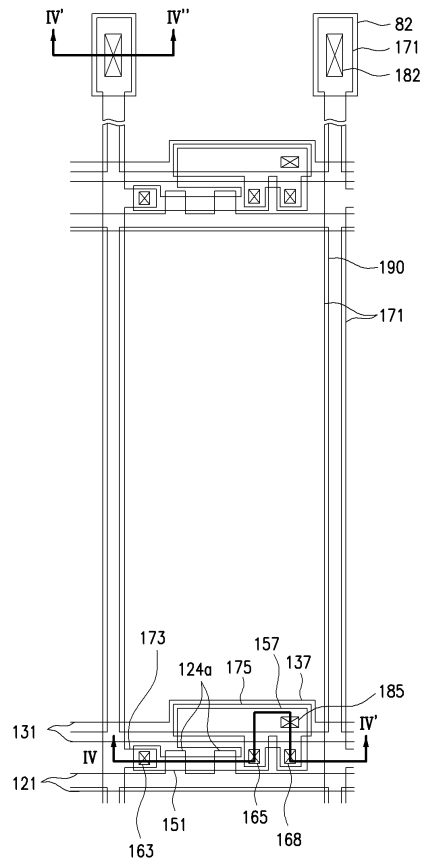
상기 드레인 전극은 상기 유지 전극과 중첩하는 박막 트랜지스터 표시판.

청구항 4.

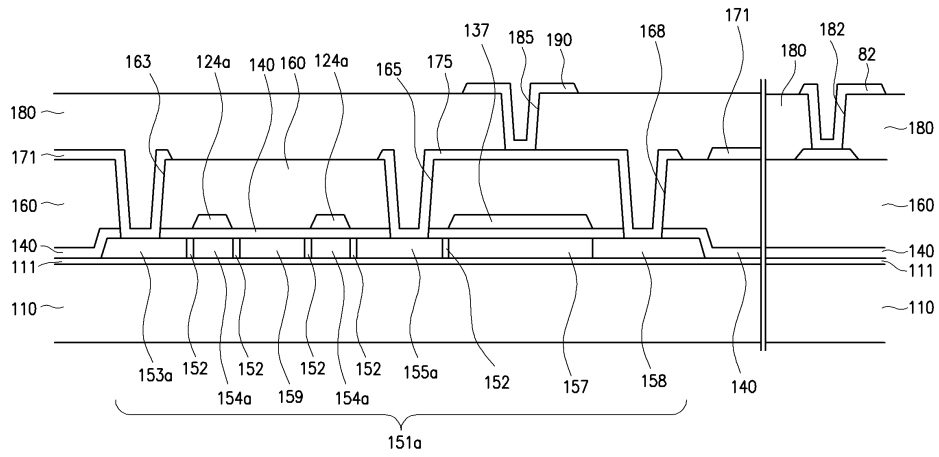
제1항에서,

상기 절연 기관과 상기 반도체 사이에 형성되어 있는 차단막을 더 포함하는 박막 트랜지스터 표시판.

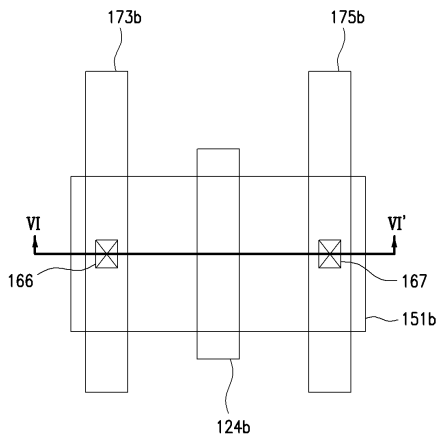
도면3



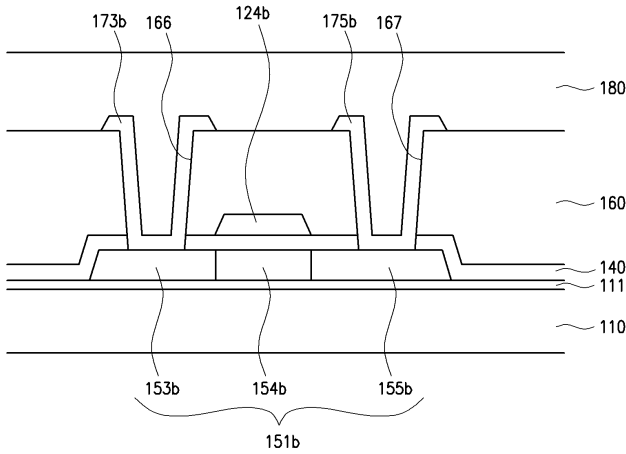
도면4



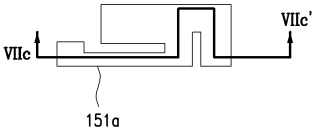
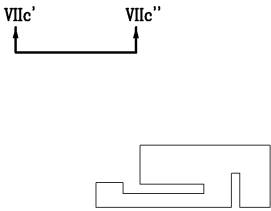
도면5



도면6



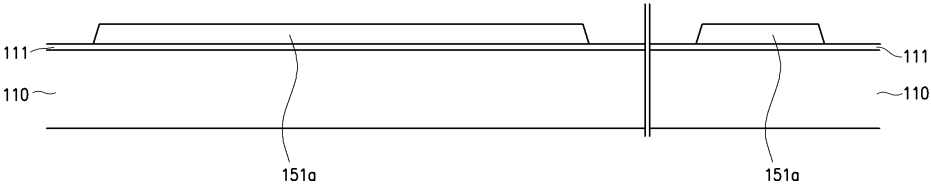
도면7a



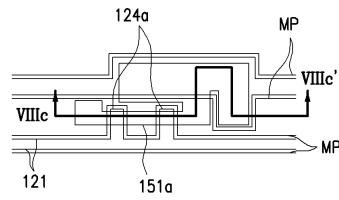
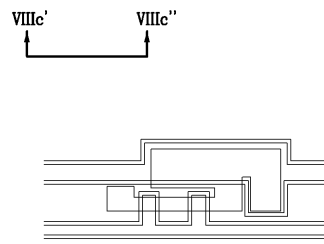
도면7b



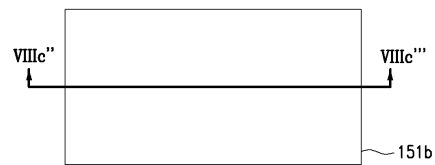
도면7c



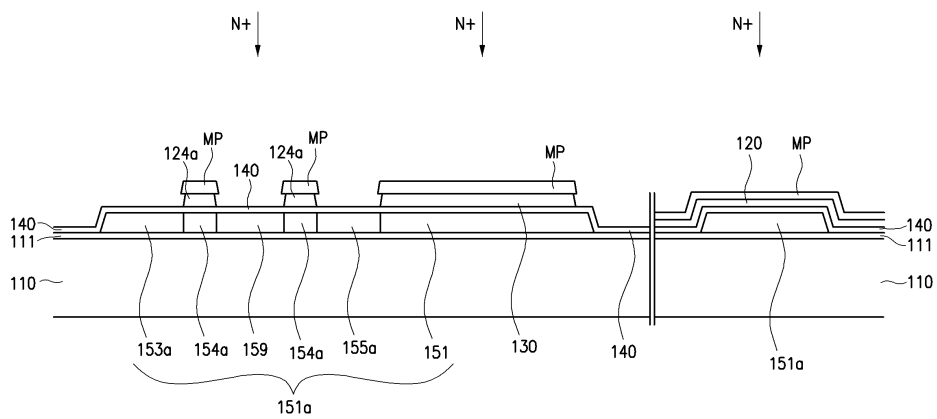
도면8a



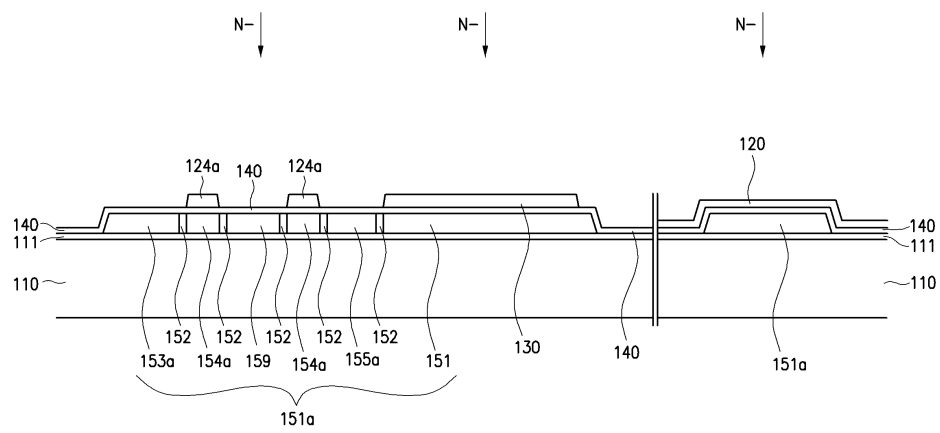
도면8b



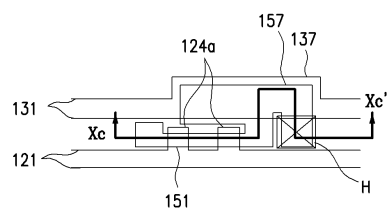
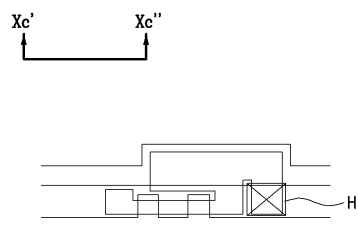
도면8c



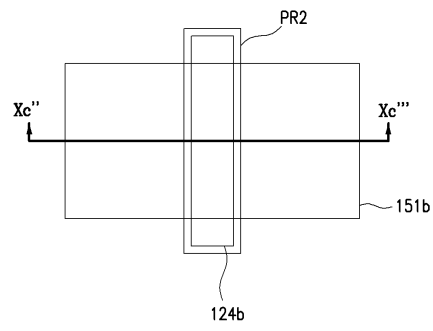
도면9



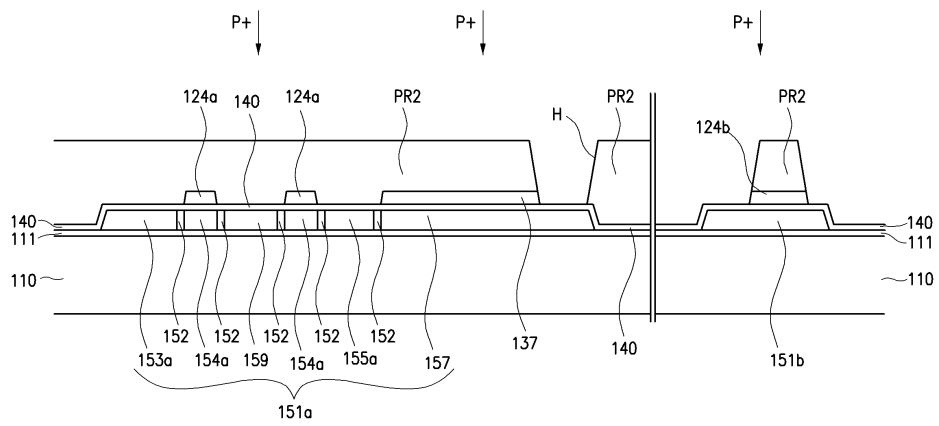
도면 10a



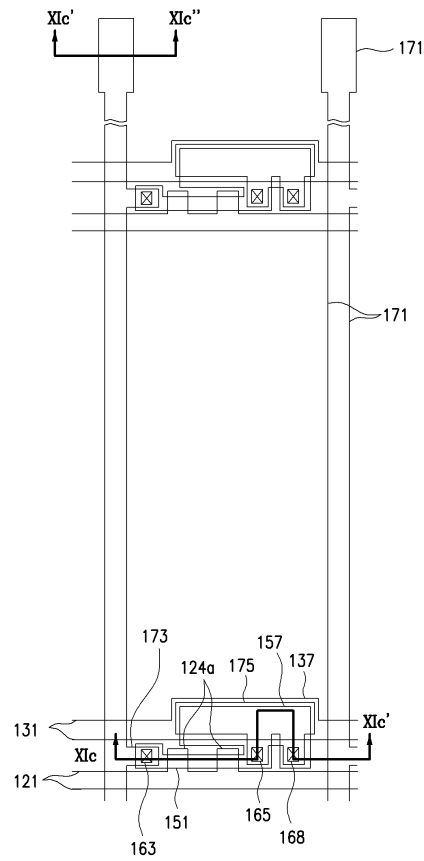
도면10b



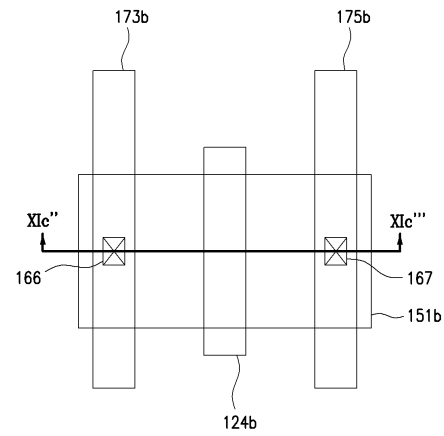
도면10c



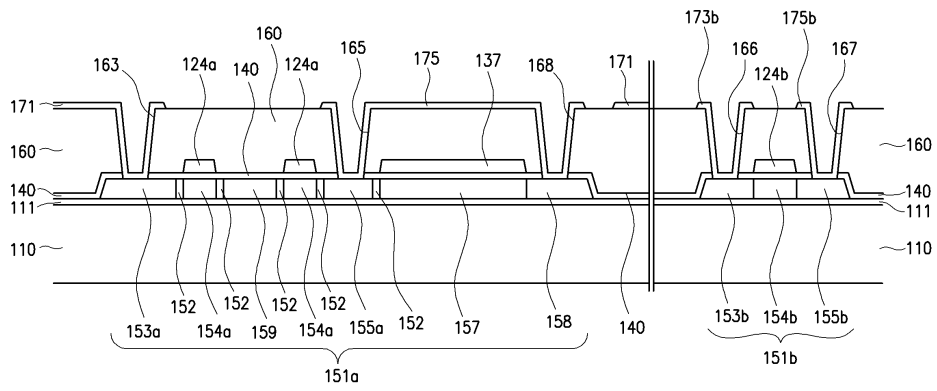
도면11a



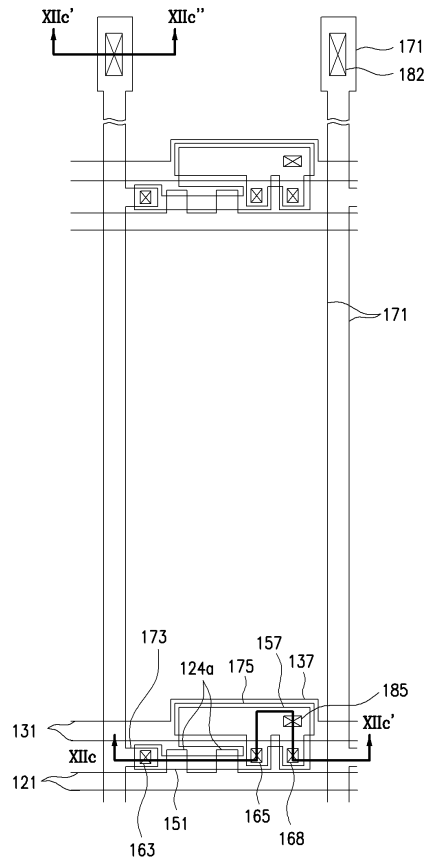
도면11b



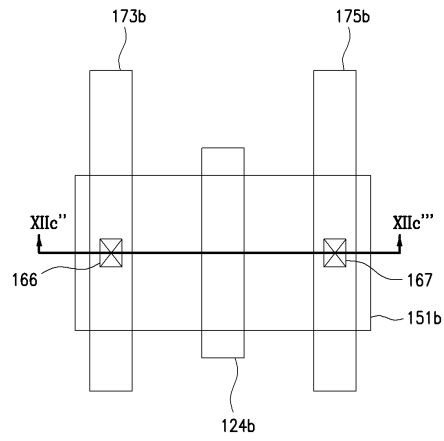
도면11c



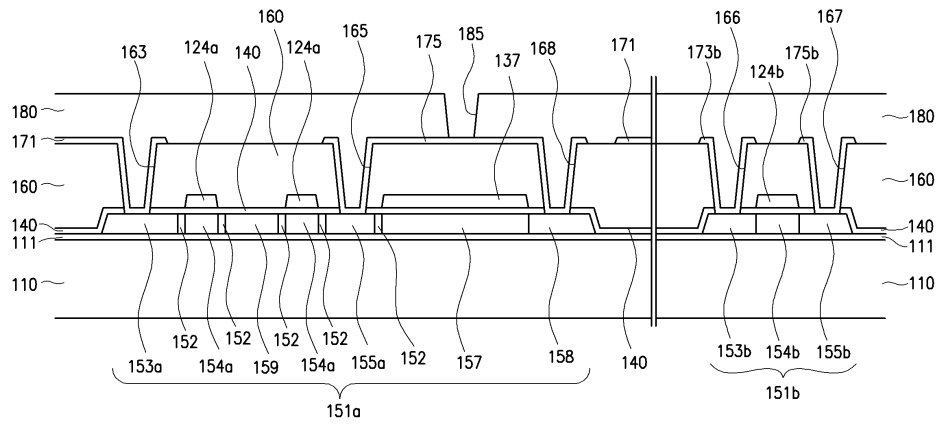
도면12a



도면12b



도면12c



根据本发明的薄膜晶体管面板包括基板，形成在基板上并掺杂有第一导电杂质的多个源/漏区，掺杂有第二导电杂质的重掺杂区，非形成在半导体上的栅极绝缘膜，形成在栅极绝缘膜上并与沟道区重叠的栅极线，形成在栅极绝缘膜上并具有与维持区重叠的维持电极的维持电极线，数据线连接到源/漏区，像素电极形成在栅极绝缘层上，漏电极连接到源/漏区和重掺杂区，像素电极连接到漏电极。2 指数方面 保留容量，多晶，液晶显示器

