

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/1345

(11) 공개번호 특2003-0080324
(43) 공개일자 2003년10월17일

(21) 출원번호 10-2002-0018894
(22) 출원일자 2002년04월08일

(71) 출원인 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 박광순
 대구광역시동구신암5동54-35

 우철민
 경상북도상주시내서면능암리289-1

 송상무
 대구광역시남구대명7동2151-19

 최승규
 대구광역시북구팔달동청구2001아파트112-103

 임철우
 경상북도구미시구평동부영아파트103동504호

(74) 대리인 김영호

심사청구 : 없음

(54) 라인 온 글래스형 액정표시장치

요약

본 발명은 액정패널 상에 형성된 라인 온 글래스형 게이트 로우전압 라인의 라인저항에 의한 화질불량을 방지할 수 있는 라인 온 글래스형 액정표시장치에 관한 것이다.

본 발명의 액정표시장치는 게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들과, 액정셀들 각각에 형성되어 액정셀에 충전된 화소전압을 유지되게 하는 게이트 온 스토리지 타입의 스토리지 캐패시터와, 첫번째 주사라인에 포함되는 액정셀들의 스토리지 캐패시터 형성을 위한 더미 게이트라인을 구비하는 화상표시부와; 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 게이트라인들을 구동하는 게이트 드라이브 집적회로들에서 필요로 하는 구동신호들을 전송하는 라인 온 글래스형 게이트 신호라인군을 구비하고; 라인 온 글래스형 게이트 신호라인군 중 더미 게이트라인에 게이트 로우전압을 공급하는 게이트 로우전압 라인은 게이트 드라이브 집적회로가 실장된 게이트 테이프 캐리어 패키지들과 상기 화상표시부의 외곽영역을 경유하여 형성되는 제1 게이트 로우전압 라인과; 화상표시부의 외곽영역에서 게이트라인들과 절연되면서 교차하도록 형성되어 제1 게이트 로우전압 라인과 더미 게이트라인 사이에 접속된 제2 게이트 로우전압 라인과; 제1 게이트 로우전압 라인과 더미 게이트라인 사이에 접속되어 제1 및 제2 게이트 로우전압 라인이 병렬 접속되게 하는 제3 게이트 로우전압 라인을 구비한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래의 라인 온 글래스형 액정표시장치의 구성을 개략적으로 도시한 평면도.

도 2는 도 1에 도시된 액정패널 상에서 게이트 로우전압 전송라인을 도시한 도면.

도 3은 본 발명의 실시 예에 따른 라인 온 글래스형 액정표시장치에서 게이트 로우전압 전송라인을 도시한 도면.

도 4는 도 3에 도시된 게이트 로우전압 전송라인의 등가회로 구성을 도시한 도면.

도 5는 본 발명의 다른 실시 예에 따른 라인 온 글래스형 액정표시장치에서 게이트 로우전압 전송라인을 도시한 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 액정패널 2, 32, 42, 52 : 하부기판

4, 34, 44, 54 : 상부기판 8, 38, 48, 58 : 데이터 TCP

10 : 데이터 드라이브 IC 12 : 데이터 PCB

14 : 게이트 TCP 16 : 게이트 드라이브 IC

18 : 데이터라인 20, GLn : 게이트라인

21, 36, 46, 56 : 화상표시부 22 : 게이트 구동신호 전송군

24 : 데이터 TCP 입력패드 25 : 데이터 TCP 출력패드

26 : LOG형 신호라인군 30 : 게이트 TCP 출력패드

60 : 정전기 보호회로 GL0 : 더미 게이트라인

VGLL : 제1 게이트 로우전압 라인 SDL : 제2 게이트 로우전압 라인

DGL : 제3 게이트 로우전압 라인 VCOML : 공통전압 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 액정패널 상에 형성된 라인 온 글래스형 게이트 로우전압 라인의 라인 저항에 의한 화질불량을 방지할 수 있는 라인 온 글래스형 액정표시장치에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을

경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다.

구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 타이밍 제어부와, 액정표시장치에서 사용되는 여러가지의 구동전압들을 공급하는 전원공급부를 구비한다. 타이밍 제어부는 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어함과 아울러 데이터 드라이버에 화소데이터 신호를 공급한다. 전원공급부는 입력 전원을 이용하여 액정표시장치에서 필요하는 공통전압(Vcom), 게이트 하이전압(Vgh), 게이트 로우전압(Vgl) 등과 같은 구동전압들을 생성한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 스캐닝신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.

이들 중 액정패널과 직접 접속되는 데이터 드라이버와 게이트 드라이버는 다수개의 IC(Integrated Circuit)들로 집적화된다. 집적화된 데이터 드라이브 IC와 게이트 드라이브 IC 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정패널에 접속되거나 COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.

여기서 TCP를 통해 TAB 방식으로 액정패널에 접속되는 드라이브 IC들은 TCP에 접속되어진 PCB(Printed Circuit Board)에 실장되어진 신호라인들을 통해 외부로부터 입력되는 제어신호들 및 직류전압들을 공급받음과 아울러 상호 접속된다. 상세히 하면, 데이터 드라이브 IC들은 데이터 PCB에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부로부터의 제어신호들 및 화소 데이터 신호와 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다. 게이트 드라이브 IC들은 게이트 PCB에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부로부터의 제어신호들과 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다.

COG 방식으로 액정패널에 실장되는 드라이브 IC들은 신호라인들이 액정패널, 즉 하부 글래스 상에 실장되는 라인 온 글래스(Line On Glass; 이하 LOG라 함) 방식으로 상호 접속됨과 아울러 타이밍 제어부 및 전원공급부로부터의 제어신호들 및 구동전압들을 공급받게 된다.

최근에는 드라이브 IC들이 TAB 방식으로 액정패널에 접속되는 경우에도 LOG방식을 채택하여 PCB를 제거함으로써 액정표시장치가 더욱 박형화될 수 있게 한다. 특히 상대적으로 적은 신호라인들을 필요로 하는 게이트 드라이브 IC들에 접속되는 신호라인들을 LOG 방식으로 액정패널 상에 형성함으로써 게이트 PCB를 제거하고 있다. 다시 말하여 TAB 방식의 게이트 드라이브 IC들은 액정패널의 하부 글래스 상에 실장되는 신호라인들을 통해 직렬로 접속됨과 아울러 제어신호들 및 구동전압신호들(이하, 게이트 구동신호들이라 함)을 공통적으로 공급받게 된다.

실제로, LOG형 신호배선들을 이용하여 게이트 PCB를 제거한 액정표시장치는 도 1에 도시된 바와 같이 액정패널(1)과, 액정패널(1)과 데이터 PCB(12) 사이에 접속되어진 다수개의 데이터 TCP들(8)과, 액정패널(1)의 다른 측에 접속되어진 다수개의 게이트 TCP들(14)과, 데이터 TCP들(8) 각각에 실장되어진 데이터 드라이브 IC(10)들과, 게이트 TCP들(14) 각각에 실장되어진 게이트 드라이브 IC들(16)을 구비한다.

액정패널(1)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(2)과, 칼라필터 어레이가 형성된 상부기판(4)과, 하부기판(2)과 상부기판(4) 사이에 주입된 액정을 포함한다. 이러한 액정패널(1)에는 게이트라인들(20)과 데이터라인들(18)의 교차영역마다 마련되는 액정셀들로 구성되어 화상을 표시하는 화상표시영역(21)이 마련된다. 화상표시영역(21)의 외곽부에 위치하는 하부기판(2) 외곽영역에는 데이터라인(18)으로부터 신장되어진 데이터패드들과, 게이트라인(20)로부터 신장되어진 게이트패드들이 위치하게 된다. 또한 하부기판(2)의 외곽영역에는 게이트 드라이브 IC(16)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군(26)이 위치하게 된다.

데이터 TCP(8)에는 데이터 드라이브 IC(10)가 실장되고, 그 데이터 드라이브 IC(10)와 전기적으로 접속된 입력패드들(24) 및 출력패드들(25)이 형성된다. 데이터 TCP(8)의 입력패드들(24)은 데이터 PCB(12)의 출력패드들과 전기적으로 접속되고, 출력패드들(25)은 하부기판(2) 상의 데이터패드들과 전기적으로 접속된다. 특히 첫번째 데이터 TCP(8)은 하부기판(2) 상의 LOG형 신호라인군(26)에 전기적으로 접속되는 게이트 구동신호 전송군(22)이 추가적으로 형성된다. 이 게이트 구동신호 전송군(22)은 데이터 PCB(12)를 경유하여 타이밍 컨트롤러 및 전원공급부로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군(26)에 공급하게 된다.

데이터 드라이브 IC들(10)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널 상의 데이터라인들(18)에 공급한다.

게이트 TCP(14)에는 게이트 드라이브 IC(16)가 실장되고, 그 게이트 드라이브 IC(16)와 전기적으로 접속된 게이트

구동신호 전송라인군(28) 및 출력패드들(30)이 형성된다. 게이트 구동신호 전송라인군(28)은 하부기판(2) 상의 LOG 신호라인군(26)과 전기적으로 접속되고, 출력패드들(30)은 하부기판(2) 상의 게이트패드들과 전기적으로 접속된다.

게이트 드라이브 IC들(16)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트라인들(20)에 순차적으로 공급한다. 또한 게이트 드라이브 IC(16)들은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들에 공급한다.

LOG형 신호라인군(26)은 통상 게이트 로우전압 신호(VGL), 게이트 하이전압 신호(VGH), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같은 전원공급부로부터 공급되는 직류전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어신호들 각각을 공급하는 신호라인들로 구성된다.

이러한 LOG형 신호라인군(26)은 화상표시부(21)의 외곽영역에 위치하는 패드부와 같이 매우 한정된 좁은 공간에서 미세패턴으로 나란하게 형성된다. 그리고 LOG형 신호라인군(26)은 게이트라인들(20)과 동일하게 게이트 금속층으로 구성된다. 게이트 금속층으로는 통상 AINd 등과 같이 비교적 큰 비저항값(0.046)을 갖는 금속이 이용된다. 이렇게 LOG형 신호라인군(26)이 제한된 영역내에서 미세패턴으로 형성됨과 아울러 비교적 큰 비저항값을 갖는 게이트금속으로 구성됨에 따라 기존의 게이트 PCB에 동박으로 형성된 신호라인들과 대비하여 상대적으로 높은 저항성분을 포함하게 된다. 또한 LOG형 신호라인군(26)의 저항값이 라인길이에 비례함에 따라 데이터 PCB(12)로부터 멀어질수록 라인저항값이 증가하여 게이트 구동신호가 감쇄하게 된다. 이 결과 LOG형 신호라인군(26)을 통해 전송되는 게이트 구동신호들이 그의 라인저항값에 의해 왜곡됨으로써 화상표시부(21)에 표시되는 화상의 품질이 저하된다.

특히, LOG형 신호라인군(26)을 통해 공급되는 게이트 구동신호들 중 게이트 로우전압(VGL)의 왜곡이 화상표시부(21)의 화질에 큰 영향을 미치게 된다. 이는 게이트 로우전압(VGL)이 게이트 하이전압(VGH) 구간에서 액정셀에 충전된 화소전압을 다음 화소전압이 충전되기 전까지 유지되게 하는 것으로 그 게이트 로우전압(VGL)이 왜곡되는 경우 충전된 화소전압이 가변되기 때문이다.

상세히 하면, 게이트 로우전압(VGL)을 공급하는 LOG형 게이트 로우전압 라인 은 데이터 TCP(8)와 게이트 TCP(14) 사이, 그리고 게이트 TCP들(14) 사이마다 위치하는 다수개의 LOG형 게이트 로우전압 라인들로 구성된다. 이 다수개의 LOG형 게이트 로우전압 라인들은 게이트 TCP들(14)을 경유하여 직렬로 연결되고 그 라인길이에 비례하는 라인저항값을 갖게 된다. 이러한 LOG형 게이트 로우전압 라인의 라인저항값에 의해 게이트 드라이브 IC(16)마다 공급되는 게이트 로우전압(VGL)이 달라지게 된다. 이에 따라 서로 다른 게이트 드라이브 IC(16)에 접속되는 수평라인 블록들 간에 휘도차 발생하게 된다. 이 수평라인 블록들 간의 휘도차는 가로선 현상으로 나타나게 되어 화면이 분할되어 보이게 하므로 화질저하를 초래한다.

또한, 게이트 로우전압(VGL)은 도 2에 도시된 바와 같이 상대적으로 긴 전송경로를 통해 액정패널 전체에 공급됨에 따라 데이터 TCP(8)의 게이트 로우전압(VGL) 출력단에 걸리는 로드량이 증가하게 된다.

도 2를 참조하면, 하부기판(2) 상에서의 게이트 로우전압(VGL) 전송경로는 등가적으로 A-B 전송경로와 A-C 전송경로로 구성된다.

A-B 전송경로는 더미 게이트라인(GL0)에 게이트 로우전압(VGL)을 공급하는 전송경로로서 제1 게이트 로우전압 라인(VGLL)과, 더미 게이트라인(GL0)과, 제1 게이트 로우전압 라인(VGLL)과 더미 게이트라인(GL0) 사이에 접속된 제2 게이트 로우전압 라인(SDL)으로 구성된다.

제1 게이트 로우전압 라인(VGLL)은 데이터 TCP(8)로부터 게이트 TCP들(도시하지 않음)을 경유하여 하부기판(2)의 하단부까지 신장된다. 제2 게이트 로우전압 라인(SDL)은 하부기판(2)의 하단까지 신장된 제1 게이트 로우전압 라인(VGLL)으로부터 상단에 위치하는 더미 게이트라인(GL0)까지 신장되어 접속된다. 특히, 제2 게이트 로우전압 라인(SDL)은 화상표시부(21)를 제외한 비표시영역에서 게이트라인들(도시하지 않음)을 가로질러 형성된다. 이 경우 제2 게이트 로우전압 라인(SDL)은 게이트라인들과 절연되도록 그 게이트라인들과 게이트절연막을 사이에 두고 형성되는 소스/드레인 금속층으로 형성된다.

여기서, 제1 게이트 로우전압 라인(VGLL)은 데이터 TCP(8)와 첫번째 게이트 TCP 사이의 라인저항 R_a 와 게이트 TCP들 사이의 라인저항 R_b 가 가산된 라인저항 $R_a + R_b$ 를, 더미 게이트라인(GL0)이 R_c 의 라인저항을, 제2 게이트 로우전압 전송라인(SDL)은 R_d 의 라인저항을 갖게 된다. 이에 따라, A-B 전송경로의 라인저항은 $R_a + R_b + R_d + R_c$ 가 된다.

A-C 전송경로는 n번째 게이트라인(GLn)에 게이트 드라이브 IC(도시하지 않음)를 통해 게이트 로우전압(VGH)을 공급하는 전송경로로서, 제1 게이트 로우전압 전송라인(VGLL)과, n번째 게이트라인(GLn)으로 구성된다. 여기서, n번

째 게이트라인(GLn)의 라인저항은 더미 게이트라인(GL0)과 동일한 Rc가 되고, A-C 전송경로의 라인저항은 Ra+Rb+Rc가 된다.

이에 따라, 데이터 TCP(8)의 출력단에서 게이트 로우전압 라인의 총 로드량은 $Ra+Rb+\{(Rc+Rd)/Rc\}$ 가 된다.

예를 들어, Ra=15Ω, Rb=45Ω, Rc=3kΩ, Rd=5kΩ라고 가정하는 경우 A-B 전송경로의 라인저항, 즉 로드량은 15Ω+45Ω+3kΩ+5kΩ=8.06kΩ이 되고, A-C 전송경로의 로드량은 3kΩ=3.06kΩ이 된다. 그리고, 게이트 로우전압 전송라인의 총 로드량은 15Ω+45Ω+{(3kΩ+5kΩ)/3kΩ} 3.24kΩ이 된다.

이와 같이 하부기판(2) 상에서 게이트 로우전압 라인의 길이가 상대적으로 길고 그 전송경로에 비례하여 데이터 TCP(8)의 게이트 로우전압 출력단에는 상대적으로 큰 로드량이 걸리게 된다. 이러한 큰 로드량으로 인하여 게이트 로우전압 출력단에서 공급되는 게이트 로우전압이 왜곡되고, 그 결과 화상표시부(21)의 게이트라인들로 불안정한 게이트 로우전압(VGL)이 공급되어 화질불량이 초래된다. 또한 게이트 로우전압 라인의 상대적으로 큰 로드량으로 인하여 게이트 드라이브 IC 별로 발생하는 게이트 로우전압 차도 커지게 되므로 전술한 수평라인 블록 간의 휘도차가 선명해지게 된다.

그리고, 제1 게이트 로우전압 라인(VGLL)은 통상 하부기판(2)의 최외곽쪽에 위치하여 다른 LOG형 신호라인들 보다 상대적으로 짧은 거리로 형성됨과 아울러 한정된 공간내에서도 최대의 라인폭을 갖게끔 패턴화되어 형성된다. 이렇게 제1 게이트 로우전압 라인(VGLL)이 최외곽에 위치함에 따라 더미 게이트라인(GL0)에 공급되는 게이트 로우전압(VGL)은 도 2에 도시된 바와 같이 제1 게이트 로우전압 라인(VGLL) 및 제2 게이트 로우전압 라인(SDL)을 경유하게 된다. 이에 따라, 더미 게이트라인(GL0)에 공급되는 게이트 로우전압 경로(VGLL+SDL)가 다른 게이트라인(GLn)에 공급되는 게이트 로우전압 전송경로(VGLL) 보다 길어지게 됨으로써 라인저항이 증가하게 된다. 이렇게 증가된 라인저항으로 더미 게이트라인(GL0)에 공급되는 게이트 로우전압(VGL)은 게이트 드라이브 IC들로부터 다른 게이트라인(GLn)에 공급되는 게이트 로우전압 보다 작아지게 된다. 이 결과 더미 게이트라인(GL0)을 포함하는 첫번째 주사라인의 스토리지 캐패시터(Cst)의 용량이 감소하게 되므로 노멀 화이트모드인 경우 첫번째 주사라인이 상대적으로 밝게 보이는 휘선불량이 발생하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 게이트 로우전압 라인의 로드량을 줄여 게이트 로우전압의 왜곡을 최소화할 수 있는 LOG형 액정표시장치를 제공하는 것이다.

본 발명의 다른 목적은 더미 게이트라인을 다른 게이트라인들과 등전위화하여 휘선불량을 방지할 수 있는 LOG형 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 LOG형 액정표시장치는 게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들과, 액정셀들 각각에 형성되어 액정셀에 충전된 화소전압을 유지되게 하는 게이트 온 스토리지 타입의 스토리지 캐패시터와, 첫번째 주사라인에 포함되는 액정셀들의 스토리지 캐패시터 형성을 위한 더미 게이트라인을 구비하는 화상표시부와; 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 게이트라인들을 구동하는 게이트 드라이브 집적회로들에서 필요로 하는 구동신호들을 전송하는 라인 온 글래스형 게이트 신호라인군을 구비하고; 라인 온 글래스형 게이트 신호라인군 중 더미 게이트라인에 게이트 로우전압을 공급하는 게이트 로우전압 라인은 게이트 드라이브 집적회로가 실장된 게이트 테이프 캐리어 패키지들과 상기 화상표시부의 외곽영역을 경유하여 형성되는 제1 게이트 로우전압 라인과; 화상표시부의 외곽영역에서 게이트라인들과 절연되면서 교차하도록 형성되어 제1 게이트 로우전압 라인과 더미 게이트라인 사이에 접속된 제2 게이트 로우전압 라인과; 제1 게이트 로우전압 라인과 더미 게이트라인 사이에 접속되어 제1 및 제2 게이트 로우전압 라인이 병렬 접속되게 하는 제3 게이트 로우전압 라인을 구비한다.

여기서, 제2 게이트 로우전압 라인은 게이트라인들과 게이트절연막을 사이에 둔 소스/드레인 금속층으로 형성된 것을 특징으로 한다.

본 발명의 다른 특징에 따른 LOG형 액정표시장치는 게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들과, 액정셀들 각각에 형성되어 액정셀에 충전된 화소전압을 유지되게 하는 게이트 온 스토리지 타입의 스토리지 캐패시터와, 첫번째 주사라인에 포함되는 액정셀들의 스토리지 캐패시터 형성을 위한 더미 게이트라인을 구비하는 화상표시부와; 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 게이트라인들을 구동하는 게이트

드라이브 집적회로들에서 필요로 하는 구동신호들을 전송하는 라인 온 글래스형 게이트 신호라인군과; 화상표시부의 외곽영역에서 더미 게이트라인 및 게이트라인들과 공통전압을 공급하는 공통전압 공급라인 사이에 각각 형성된 정전기 보호회로를 구비하여; 더미 게이트라인들이 게이트라인들과 등전위가 되게 하는 것을 특징으로 한다.

여기서, 라인 온 글래스형 게이트 신호라인군 중 더미 게이트라인에 게이트 로우전압을 공급하는 게이트 로우전압 라인은 게이트 드라이브 집적회로가 실장된 게이트 테이프 캐리어 패키지들과 화상표시부의 외곽영역을 경유하여 형성되는 제1 게이트 로우전압 라인과; 화상표시부의 외곽영역에서 게이트라인들과 절연되면서 교차하도록 형성되어 제1 게이트 로우전압 라인과 더미 게이트라인 사이에 접속된 제2 게이트 로우전압 라인을 구비하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 3을 참조하여 상세히 설명하기로 한다.

도 3은 본 발명의 실시 예에 따른 LOG형 액정표시장치에서 게이트 로우전압 전송라인 구조를 도시한 것이다.

도 3에 도시된 액정표시장치에서 액정패널은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(32)과, 칼라필터 어레이가 형성된 상부기판(34)과, 하부기판(32)과 상부기판(34) 사이에 주입된 액정을 포함한다. 이러한 액정패널은 게이트라인들(GL0 내지 GLn)과 데이터라인들의 교차영역마다 형성된 액정셀에 의해 화상표시영역(36)에 화상을 표시한다. 화상표시영역(36)의 외곽부에 위치하는 하부기판(32) 외곽영역에는 데이터라인으로부터 신장되어진 데이터 패드들과, 게이트라인들(GL0 내지 GLn)으로부터 신장되어진 게이트 패드들이 위치하게 된다. 또한, 하부기판(32)의 외곽영역에는 게이트 드라이브 IC에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군이 위치하게 된다.

LOG형 신호라인군은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같이 전원공급부로부터 공급되는 직류전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어신호들 각각을 공급하는 신호라인들로 구성된다. 이러한 LOG형 신호라인군은 화상표시부(36)의 게이트라인들(GL0 내지 GLn)과 동일한 게이트 금속으로 형성된다.

데이터 드라이브 IC가 실장된 데이터 TCP(38)는 하부기판(32)의 데이터패드들과 접속된다. 특히 첫번째 데이터 TCP(38)는 하부기판(32) 상의 LOG형 신호라인군에 접속되는 게이트 구동신호 전송라인군을 더 구비한다. 이 게이트 구동신호 전송라인군은 데이터 PCB를 경유하여 타이밍 컨트롤러 및 전원공급부로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군에 공급하게 된다. 데이터 드라이브 IC들은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널 상의 데이터라인들에 공급한다.

게이트 드라이브 IC가 실장된 게이트 TCP는 하부기판(32)의 게이트패드들과 접속된다. 또한 게이트 TCP는 하부기판(32)의 LOG형 신호라인군과 게이트 드라이브 IC 사이에 접속되는 게이트 구동신호 전송라인군을 더 구비한다. 게이트 드라이브 IC들은 입력 제어신호들에 응답하여 게이트 하이전압(VGH)을 게이트라인들에 순차적으로 공급한다. 또한 게이트 드라이브 IC들은 게이트 하이전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압(VGL)을 게이트라인들에 공급한다.

이러한 구성을 가지는 액정표시장치의 하부기판(32) 상에서 게이트 로우전압(VGL) 전송경로는 등가적으로 더미 게이트라인(GL0)에 게이트 로우전압(VGL)을 공급하는 A-B 전송경로와, n번째 게이트라인(GLn)에 게이트 드라이브 IC(도시하지 않음)를 통해 게이트 로우전압(VGL)을 공급하는 A-C 전송경로로 구성된다.

A-B 전송경로는 제1 게이트 로우전압 라인(VGLL)과, 더미 게이트라인(GL0)과, 제1 게이트 로우전압 라인(VGLL)과 더미 게이트라인(GL0) 사이에 접속된 제2 게이트 로우전압 라인(SDL)과, 제1 게이트 로우전압 라인(VGLL)과 더미 게이트라인(GL0) 사이에 접속된 제2 게이트 로우전압 라인(DGL)으로 구성된다. A-C 전송경로는 제1 게이트 로우전압 라인(VGLL)과, n번째 게이트라인(GLn)으로 구성된다.

여기서, 제1 게이트 로우전압 라인(VGLL)은 데이터 TCP(38)로부터 게이트 TCP들을 경유하여 하부기판(32)의 하단부까지 신장된다. 제2 게이트 로우전압 라인(SDL)은 하부기판(32)의 하단까지 신장된 제1 게이트 로우전압 라인(VGLL)으로부터 상단에 위치하는 더미 게이트라인(GL0)까지 신장되어 접속된다. 제2 게이트 로우전압 라인(SDL)은 화상표시부(21)를 제외한 비표시영역에서 게이트라인들(도시하지 않음)을 가로질러 형성된다. 이 경우 제2 게이트 로우전압 라인(SDL)은 게이트라인들과 절연되도록 그 게이트라인들과 게이트절연막을 사이에 두고 형성되는 소스/드레인 금속층으로 형성된다. 특히, 제3 게이트 로우전압 라인(DGL)은 더미 게이트라인(GL0)이 제1 게이트 로우전압 라인(VGLL)과도 직접 접속되게 한다. 이에 따라, 제1 및 제2 게이트 로우전압 라인(VGLL, SDL)이 병렬 접속되어 A

-B 경로의 라인저항이 감소하게 된다.

여기서, 제1 게이트 로우전압 라인(VGLL)은 데이터 TCP(8)와 첫번째 게이트 TCP 사이의 라인저항 R_a 에 게이트 TCP들 사이의 라인저항 R_b 이 가산된 라인저항 $R_a + R_b$ 을, 더미 게이트라인(GL0) 및 n번째 게이트라인(GLn)은 라인저항 R_c 를, 제2 게이트 로우전압 라인(SDL)이 라인저항 R_d 를 갖게 된다.

이에 따라, 게이트 로우전압 라인은 도 4에 도시된 바와 같이 등가적으로 도시되어 A-B 전송경로의 라인저항, 즉 로드량은 $R_a + R_c$ 가 되고, A-C 전송경로의 로드량은 $R_a + (R_b // R_d) + R_c$ 가 된다. 예를 들어, $R_a = 15\Omega$, $R_b = 45\Omega$, $R_c = 3k\Omega$, $R_d = 5k\Omega$ 라고 가정하는 경우 A-B 전송경로의 로드량은 $15\Omega + 3k\Omega = 3.01k\Omega$ 이 되고, A-C 전송경로의 로드량은 $15\Omega + (45\Omega // 5k\Omega) + 3k\Omega = 3.06k\Omega$ 이 된다. 이렇게, A-B 전송경로의 로드량과 A-C 전송경로의 로드량 간의 차이가 거의 없음에 따라 더미 게이트라인(GL0)과 다른 게이트라인(GLn)에 공급되는 게이트 로우전압(VGL) 역시 거의 같아지게 된다. 이 결과, 더미 게이트라인(GL0)과 다른 게이트라인(GLn)과의 게이트 로우전압(VGL) 차에 따른 휘선불량을 방지할 수 있게 된다.

또한, 제1 및 제2 게이트 로우전압 라인(VGLL, SDL)이 병렬로 접속됨에 따라 게이트 로우전압 라인의 총 로드량 또한 감소하게 된다. 이에 따라 데이터 TCP(38)의 게이트 로우전압 출력단에서 게이트 로우전압을 안정적으로 공급할 수 있게 되므로 화상표시부(36)의 게이트라인들로 정상적인 게이트 로우전압(VGL)을 공급할 수 있게 된다.

나아가, 게이트 로우전압 라인의 총 로드량이 감소함에 따라 게이트 드라이브 IC들 간의 로드량 차가 감소하게 되므로 게이트 로우전압 차를 줄일 수 있게 된다. 이에 따라, 수평라인 블록간의 휘도차를 최소화하여 가로선 현상 등과 같은 화질불량을 방지할 수 있게 된다.

도 5는 본 발명의 다른 실시 예에 따른 LOG형 액정표시장치에서 게이트 로우전압 전송라인 구조를 도시한 것이다.

도 5에 도시된 액정표시장치에서 액정패널은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(52)과, 칼라필터 어레이가 형성된 상부기판(54)과, 하부기판(52)과 상부기판(54) 사이에 주입된 액정을 포함한다. 이러한 액정패널은 게이트라인들(GL0 내지 GLn)과 데이터라인들의 교차영역마다 형성된 액정셀에 의해 화상표시영역(56)에 화상을 표시한다. 화상표시영역(56)의 외곽부에 위치하는 하부기판(32) 외곽영역에는 게이트 드라이브 IC에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군이 위치한다.

LOG형 신호라인군은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같이 전원공급부로부터 공급되는 직류전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어신호들 각각을 공급하는 신호라인들로 구성된다. 이러한 LOG형 신호라인군은 화상표시부(36)의 게이트라인들(GL0 내지 GLn)과 동일한 게이트 금속으로 형성된다.

데이터 드라이브 IC가 실장된 데이터 TCP(58)는 하부기판(52)의 데이터패드들과 접속된다. 특히 첫번째 데이터 TCP(58)는 하부기판(52) 상의 LOG형 신호라인군에 접속되는 게이트 구동신호 전송라인군을 더 구비한다. 이 게이트 구동신호 전송라인군은 데이터 PCB를 경유하여 타이밍 컨트롤러 및 전원공급부로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군에 공급하게 된다. 데이터 드라이브 IC들은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널 상의 데이터라인들에 공급한다.

게이트 드라이브 IC가 실장된 게이트 TCP는 하부기판(52)의 게이트패드들과 접속된다. 또한 게이트 TCP는 하부기판(52)의 LOG형 신호라인군과 게이트 드라이브 IC 사이에 접속되는 게이트 구동신호 전송라인군을 더 구비한다. 게이트 드라이브 IC들은 입력 제어신호들에 응답하여 게이트 하이전압(VGH)을 게이트라인들에 순차적으로 공급한다. 또한 게이트 드라이브 IC들은 게이트 하이전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압(VGL)을 게이트라인들에 공급한다.

이러한 구성을 가지는 액정표시장치의 하부기판(52) 상에서 첫번째 주사라인의 스토리지 캐패시터 형성을 위한 더미 게이트라인(GL0)은 제1 및 제2 게이트 로우전압 라인(VGLL, SDL)을 통해 첫번째 데이터 TCP(58)로부터 게이트 로우전압(VGL)을 공급받는다. n번째 게이트라인(GLn)은 제1 게이트 로우전압 라인(VGLL)과 게이트 드라이브 IC(도시하지 않음)를 경유하여 첫번째 데이터 TCP(58)로부터의 게이트 로우전압(VGL)을 공급받는다. n번째 게이트라인(GLn)을 포함하는 게이트라인들(GL)은 통상 게이트 드라이브 IC의 맞은 편에 위치하는 정전기 보호회로(60)를 통해 공통전압 라인(VCOML)과 접속된다. 공통전압 라인(VCOML)은 마지막 데이터 TCP(58)를 통해 공통전압(VCOM)을 공급받는다. 정전기 보호회로(60)는 복수개의 박막트랜지스터들로 구성되어 외부 정전기가 액정패널 내부로 유입되는 것을 방지하게 된다.

여기에 부가하여, 본 발명에서는 더미 게이트라인(GL0)이 다른 게이트라인들(GL)과 동일하게 정전기 보호회로(60)

를 통해 공통전압 라인(VCOML)과 접속되게 한다. 이에 따라, 더미 게이트라인(GL0)은 다른 게이트라인들(GL)과 병렬저항으로 구성되어 전체적인 게이트 로우전압(VGL)의 부하가 줄어들게 되므로 더미 게이트라인(GL0)과 다른 게이트라인들(GL)과의 전압차가 줄어들게 된다. 이 결과, 더미 게이트라인(GL0)과 다른 게이트라인(GLn)과의 게이트 로우전압(VGL) 차에 따른 휘선불량을 방지할 수 있게 된다. 또한, 데이터 TCP(38)의 게이트 로우전압 출력단에서 게이트 로우전압을 안정적으로 공급할 수 있게 되므로 화상표시부(36)의 게이트라인들로 정상적인 게이트 로우전압(VGL)을 공급할 수 있게 된다.

나아가, 게이트 로우전압 라인의 총 로드량이 감소함에 따라 게이트 드라이브 IC들 간의 로드량 차가 감소하게 되므로 게이트 로우전압 차를 줄일 수 있게 된다. 이에 따라, 수평라인 블록간의 휘도차를 최소화하여 가로선 현상 등과 같은 화질불량을 방지할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 LOG형 액정표시장치에서는 더미 게이트라인에 게이트 로우전압을 공급하는 경로를 길이를 줄이거나 정전기 보호회로를 통해 다른 게이트라인들과 등전위가 되게 함으로써 게이트 로우전압 라인의 라인저항이 감소되게 한다. 이에 따라, 더미 게이트라인과 다른 게이트라인들 간의 게이트 로우전압 차가 거의 없게 되므로 휘선불량을 방지할 수 있게 된다. 또한, 액정패널 상에서 게이트 로우전압 전송라인의 총 로드량이 줄어들게 됨에 따라 안정적인 게이트 로우전압이 게이트라인들로 공급되어 불안정한 게이트 로우전압에 의한 화질불량을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들과, 상기 액정셀들 각각에 형성되어 액정셀에 충전된 화소전압을 유지되게 하는 게이트 온 스토리지 타입의 스토리지 캐패시터와, 첫번째 주사라인에 포함되는 액정셀들의 스토리지 캐패시터 형성을 위한 더미 게이트라인을 구비하는 화상표시부와;

상기 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 상기 게이트라인들을 구동하는 게이트 드라이브 집적회로들에서 필요로 하는 구동신호들을 전송하는 라인 온 글래스형 게이트 신호라인군을 구비하고;

상기 라인 온 글래스형 게이트 신호라인군 중 상기 더미 게이트라인에 게이트 로우전압을 공급하는 게이트 로우전압 라인

상기 게이트 드라이브 집적회로가 실장된 게이트 테이프 캐리어 패키지들과 상기 화상표시부의 외곽영역을 경유하여 형성되는 제1 게이트 로우전압 라인과;

상기 화상표시부의 외곽영역에서 상기 게이트라인들과 절연되면서 교차하도록 형성되어 상기 제1 게이트 로우전압 라인과 상기 더미 게이트라인 사이에 접속된 제2 게이트 로우전압 라인과;

상기 제1 게이트 로우전압 라인과 상기 더미 게이트라인 사이에 접속되어 상기 제1 및 제2 게이트 로우전압 라인이 병렬 접속되게 하는 제3 게이트 로우전압 라인을 구비하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 제2 게이트 로우전압 라인

상기 게이트라인들과 게이트절연막을 사이에 둔 소스/드레인 금속층으로 형성된 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 3.

게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들과, 상기 액정셀들 각각에 형성되어 액정셀에 충전된 화소전압을 유지되게 하는 게이트 온 스토리지 타입의 스토리지 캐패시터와, 첫번째 주사라인에 포함되는 액정셀들의 스토리지 캐패시터 형성을 위한 더미 게이트라인을 구비하는 화상표시부와;

상기 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 상기 게이트라인들을 구동하는 게이트 드라이브 집적회로들에서 필요로 하는 구동신호들을 전송하는 라인 온 글래스형 게이트 신호라인군과;

상기 화상표시부의 외곽영역에서 상기 더미 게이트라인 및 상기 게이트라인들과 공통전압을 공급하는 공통전압 공급라인 사이에 각각 형성된 정전기 보호회로를 구비하여;

상기 더미 게이트라인들이 상기 게이트라인들과 등전위가 되게 하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 4.

제 3 항에 있어서,

상기 라인 온 글래스형 게이트 신호라인군 중 상기 더미 게이트라인에 게이트 로우전압을 공급하는 게이트 로우전압라인은

상기 게이트 드라이브 집적회로가 실장된 게이트 테이프 캐리어 패키지들과 상기 화상표시부의 외곽영역을 경유하여 형성되는 제1 게이트 로우전압 라인과;

상기 화상표시부의 외곽영역에서 상기 게이트라인들과 절연되면서 교차하도록 형성되어 상기 제1 게이트 로우전압라인과 상기 더미 게이트라인 사이에 접속된 제2 게이트 로우전압 라인을 구비하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

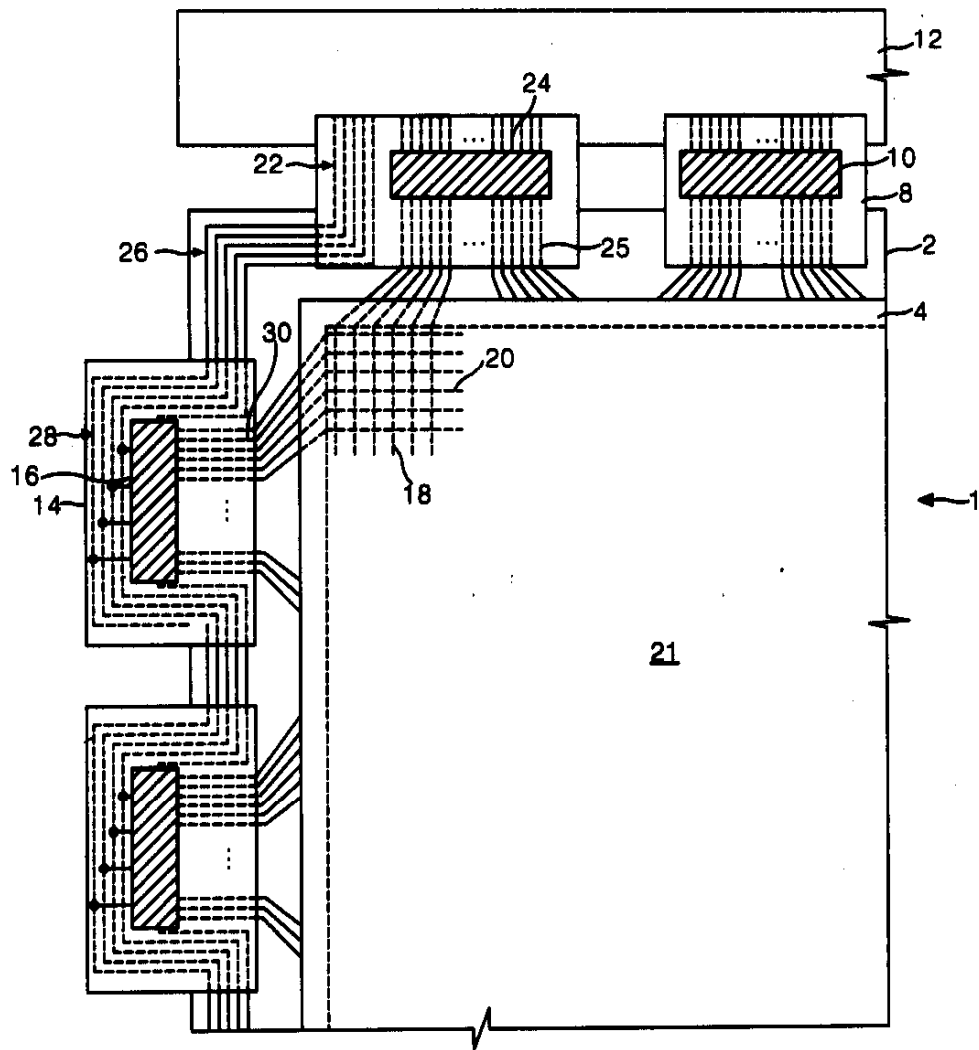
청구항 5.

제 4 항에 있어서,

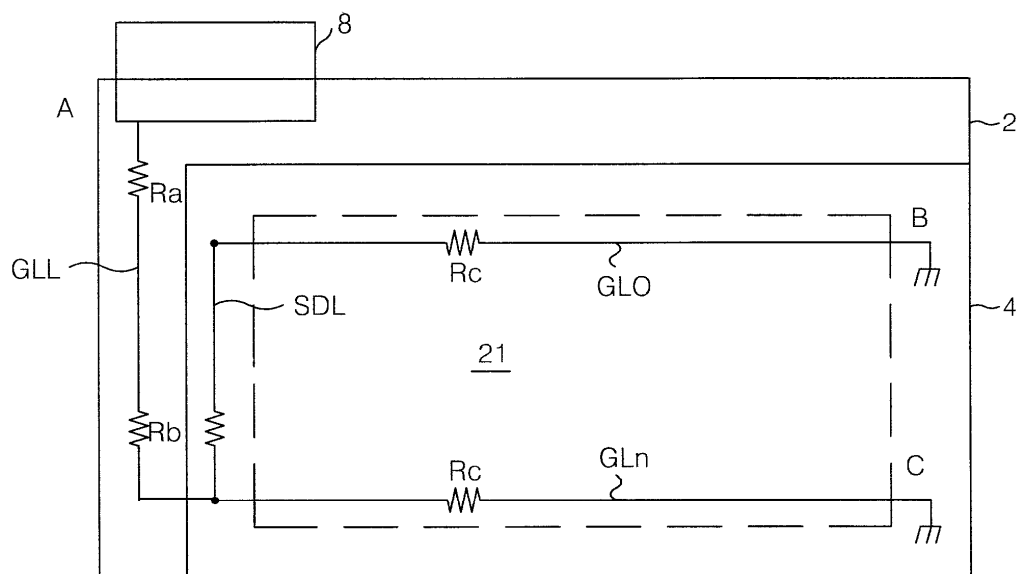
상기 제2 게이트 로우전압 전송라인은 상기 게이트라인들과 제1 절연막을 사이에 둔 소스/드레인 금속층으로 형성된 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

도면

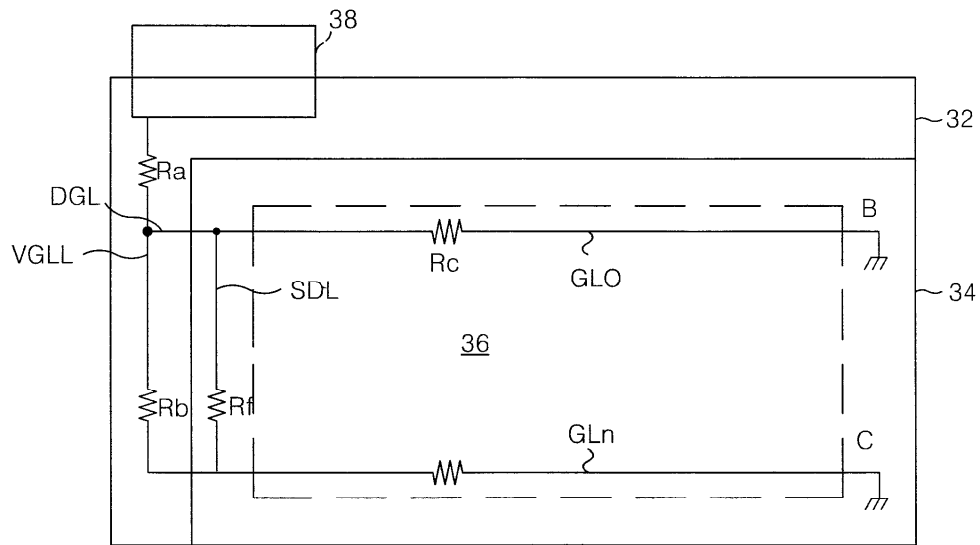
도면1



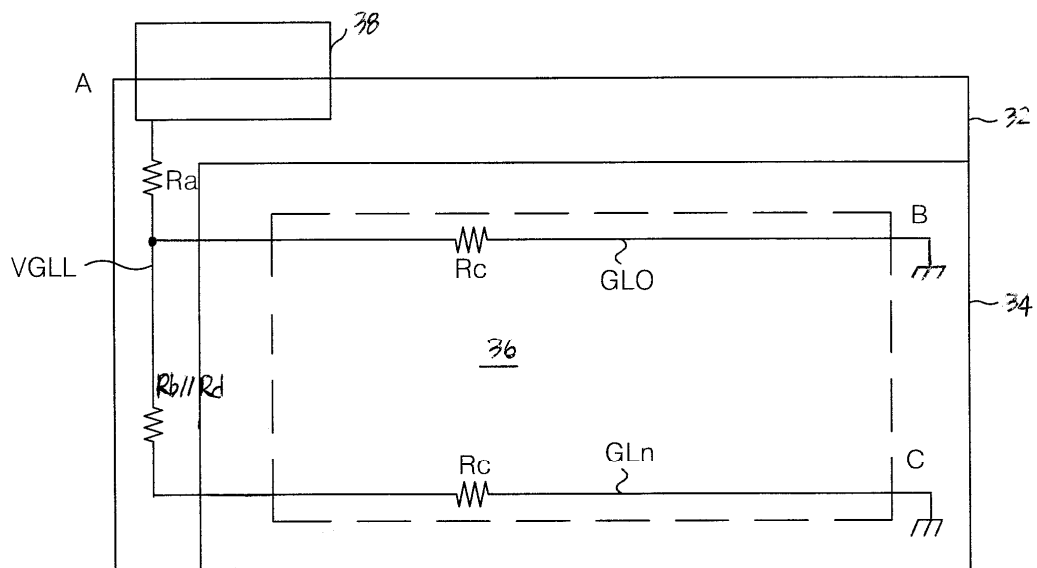
도면2



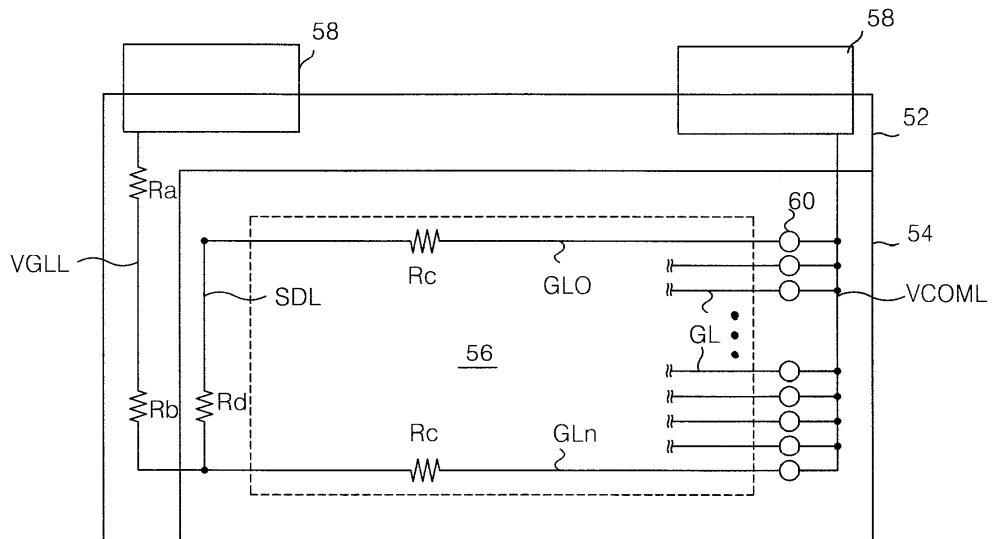
도면3



도면4



도면5



专利名称(译)	线上玻璃型液晶显示器		
公开(公告)号	KR1020030080324A	公开(公告)日	2003-10-17
申请号	KR1020020018894	申请日	2002-04-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK KWANGSOON 박광순 WOO CHOELMIN 우철민 SONG SANGMOO 송상무 CHOI SEUNGKYU 최승규 IM CHULWOO 임철우		
发明人	박광순 우철민 송상무 최승규 임철우		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/1345		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR100847817B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种玻璃上线型液晶显示器，它能够防止由于玻璃型栅极低压线上的线路的线电阻而在液晶面板上形成的定义误差。第一栅极低压线：其中用于向栅极低压线提供栅极低压线的栅极低压线在玻璃型栅极信号线上的线组中，玻璃型栅极信号线组上的线传输所需的驱动信号是包括在栅极驱动集成电路中形成的用于驱动栅极线的栅极驱动集成电路在显示面板和显示面板的边缘区域中形成经由显示面板的边缘区域和栅极驱动器的栅极带载封装的玻璃模式线首先安装集成电路栅极低压线和连接在伪栅极线之间的第二栅极低压线与其形成交叉，在显示面板的边缘区域中与栅极线绝缘，其中本发明的液晶显示器包括伪栅极线用于存储电容器的存储电容器形成，其是液晶单元被充电保持存储电容器的像素电压，分别由多个液晶单元形成，在数据线的交叉域处形成有栅极线。存储型栅极和包括在第一扫描线中的液晶单元连接在第一栅极低压线和虚拟栅极线之间，并且第三栅极低压线并联连接包括在内。

