

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G02F 1/13

(11) 공개번호 특2002 - 0039471
(43) 공개일자 2002년05월27일

(21) 출원번호 10 - 2000 - 0069297
(22) 출원일자 2000년11월21일

(71) 출원인 주식회사 현대 디스플레이 테크놀로지
경기도 이천시 부발읍 아미리 산 136 - 1

(72) 발명자 한종근
경기도이천시부발읍아미리산136 - 1현대전자
유봉렬
경기도이천시부발읍아미리현대7차아파트707동2001호

(74) 대리인 강성배

심사청구 : 있음

(54) 액정표시장치의 정전기 방지구조

요약

본 발명은 2 - 그래픽 신호 라인에 1 정전기 방지구조(ESD: Electrostatic Discharge) 회로 모드를 구현하여 기존의 정전기 방지 목적에 부합하도록 된 액정표시장치의 정전기 방지구조에 관한 것으로, 정전기에 의한 영향을 줄이기 위한 ESD회로를 적용하되, 상기 ESD 회로를 두 개의 그래픽 신호 라인사이에 대해 한 개만 형성한 것을 특징으로 하고, 또한, 상기 ESD 회로를 쇼트 링 라인위에 형성한 것을 특징으로 하여 이렇게 형성된 두 개의 그래픽 신호 라인에 1개의 ESD회로를 공유함으로써 효율적으로 정전기에 대처가능한 효과가 있고, ESD회로를 형성함에 있어서 주 회로부를 쇼트 링 라인상에 형성함으로써 ESD회로가 차지하는 영역을 줄일 수 있는 효과를 가진다.

대표도
도 2

명세서

도면의 간단한 설명

도 1 은 종래 액정표시장치의 정전기 방지 구조를 설명하는 도면.

도 2 는 본 발명에 따른 액정표시장치의 정전기 방지 구조를 설명하는 도면.

도 3 은 본 발명에 따른 액정표시장치의 정전기 방지 구조를 설명하는 도 2와 유사한 도면이다.

< 도면의 주요부분에 대한 부호의 설명 >

2 : 신호 라인 10 : 쇼트 링(short ring)

20 : 정전기 방지구조

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 정전기 방지구조에 관한 것으로, 보다 상세하게는 2 - 그래픽 신호 라인에 1 정전기 방지구조 (ESD: Electrostatic Discharge) 회로 모드를 구현하여 기존의 정전기 방지 목적에 부합하도록 된 액정표시장치의 정전기 방지구조에 관한 것이다.

통상적으로 LCD(Liquid Crystal Display)의 제조를 위한 생산라인은 예컨대 도전성 척이라든지 정전기방지 카세트를 포함하는 정전기 방지가 가능한 설계를 갖게 되고, 설령 LCD에 정전기가 충전되는 경우를 대비하여 정전기가 발생되어 도 TFT(Thin Film Transistor)소자나 배선의 특성이 변하지 않고 방전이 이루어지도록 화소를 설계한다.

LCD에서 정전기 불량을 방지하기 위해서는 배선 전체를 저항으로 연결하여 전하를 분산시켜 방전이 서서히 일어나도록 유도하는 방법과, 절단선(scribe line)의 외측 배선에서 방전이 이루어지도록 하는 방법이 적용되는 바, 후자의 방법은 주로 수동 매트릭스(Passive matrix)LCD에 적용되고, 전자는 주로 TFT - LCD에 적용된다.

즉, TFT - LCD패널에서는 기판에 쇼팅 바(Shorting bar; 또는 Shorting ring)을 형성하여 정전기에 의한 불량을 방지하게 된다.

도 1은 종래의 일예에 따른 액정표시장치의 정전기 방지구조를 설명하는 도면으로, 기판에 형성되는 다수의 그래픽신호 라인(2)에 대해 패널 전체를 가로질러 연결된 쇼트 링(10)의 외측(즉, 패드부)에서 각 그래픽 신호라인(2)마다 개별적으로 정전기방지소자(4)가 설치된다.

따라서, 도 1에 도시된 액정 표시소자의 정전기 방지구조에서는 패널 외부에서 발생해서 내부로 유입되는 정전기는 그래픽 신호라인(2)을 통해 상기 정전기방지소자(4)로 흘러서 그 정전기방지소자(4)의 종단에 형성된 상기 쇼트 링(10)에 유입되어 그 쇼트 링(10)에 의해 배분되어 패널 전체에 균일하게 퍼지게 되며, 그러한 작용에 의해 패널의 내부와 외부의 전압차가 최소화되어 갑작스럽게 정전기가 발생되어도 그 정전기에 의한 불량을 방지할 수 있게 되며, 또한 패널 내부에서 공정의 진행중에 발생하는 정전기도 상기한 경로를 통해 패널 외부로 배출되어 정전기에 의한 악영향을 최소화시킬 수 있다.

발명이 이루고자 하는 기술적 과제

그러나, 기존의 정전기 방지모드는 정전기 발생이 불규칙적으로 발생함에도 불구하고 패널내에 일정한 영역을 차지하며 또한 1개의 신호라인에 개별적으로 형성하여 향후 개발될 고정세 패널의 목적에 부합하지 못하는 문제점이 있었다.

본 발명의 목적은 상기한 바와 같은 종래 액정표시장치에서의 하기 위해 안출한 것으로, 기존의 TFT - LCD 소자의 그래픽 신호 라인은 각각의 라인에 개별적으로 ESD회로를 형성시켜 각각의 라인을 따로 정전기로부터 보호하였지만, 본 발명에서는 두 개의 그래픽 신호 라인사이에 한 개의 ESD회로를 공유시킴으로써 고정세 제품에 대응하고자 하는 것이다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위한 본 발명의 바람직한 일실시예에 따르면, 정전기에 의한 영향을 줄이기 위한 ESD회로를 적용하되, 상기 ESD 회로를 두 개의 그래픽 신호 라인사이에 대해 한 개만 형성한 것을 특징으로 하는 액정표시소자의 정전기 방지구조가 제공된다.

또한 본 발명에 있어서, 상기 ESD 회로를 쇼트 링 라인위에 형성한 것을 특징으로 한다.

또한 본 발명에 있어서, 상기 쇼트 링 라인은 게이트 금속으로 형성된 것을 특징으로 한다.

또한 본 발명에 있어서, 상기 ESD 회로를 구현하기 위하여 두 화소의 그래픽 신호 라인을 첫 번째 화소의 좌측에 두 번째 화소의 우측에 서로 개별적으로 형성한 것을 특징으로 한다.

또한 본 발명에 있어서, 상기 ESD회로를 두 개의 화소가 공유하고 있는 특징으로 한다.

또한 본 발명에 있어서, 쇼트 링 라인(Short Ring Line)을 활용하여 면적의 효율적 이용이 가능하게 하였다.

이하, 본 발명에 따른 액정표시장치의 정전기 방지구조에 관하여 첨부도면을 참조하여 상세하게 설명한다.

본 발명은 기존의 1 그래픽 신호 라인 및 1 ESD 회로 모드를 2 그래픽 신호 라인 및 1 ESD 회로로 구현방식을 바꿈으로써 향후 개발될 고정세 패널에 효율적으로 대응할 수 있도록 하였다.

본 발명은 2개의 신호라인 당 1개의 ESD회로를 적용함으로써 작은 도트 피치에도 적용할 수 있도록 하였다.

ESD회로를 구성함에 있어서 패널 전체에 형성되어있는 쇼트 링 라인을 적극 활용한다는 것이 본 발명의 특징이다.

본 발명의 TFT - LCD 소자의 고정세 패널 대응가능한 새로운 ESD회로 구현 방식에 대한 설명이다.

구현 개념도를 보면 패널 외부에서 발생하여 패널내부로 들어오는 정전기로 형성되어 있는 데이터 라인을 통해 ESD 회로를 통과하여 흐른 후 EDS 회로 끝단에 형성되어 있는 패널 전체에 가로질러 연결되어있는 쇼트링으로 인해 배분되어 패널 전체에 균일하게 퍼지며 이렇게 퍼진 정전기는 패널 내외부의 전압차가 최소화되어 갑작스럽게 발생하더라도 정전기에 의한 불량을 막을 수 있으며 또한 패널 내부에서 공전진행중에 발생하는 정전기에도 똑 같은 경로를 통해서 패널외부로 빠져나가 정전기 영향을 최소화시킬 수 있다.

그리고 주 ESD회로를 쇼트링으로 형성된 배선위에 형성하여 면적의 효율적 이용을 구현하려 하였다.

도 2 는 본 발명에 따른 액정표시장치의 정전기 방지 구조를 설명하는 도면이고, 구현예에서는 두 개의 화소의 그래픽 신호 라인을 양쪽을 배분하여 형성함으로써 ESD 회로가 형성될 수 있는 공간을 충분히 확보하였으며 이는 고정세 패널로 갈 수록 유리할 것으로 판단된다.

도 2 에 도시한 바와 같이 두 개의 그래픽 신호 라인에 1개의 ESD회로를 공유함으로써 효율적으로 정전기에 대처가능하다고 판단되며, 상기 ESD회로(20)에서 한쪽 신호라인(2)에는 패드부에서 연결되고, 다른 쪽 신호라인(2)에는 픽셀부에 연결된 상태를 나타낸다.

도 3 은 본 발명에 따른 액정표시장치의 정전기 방지 구조를 설명하는 도 2와 유사한 도면으로서, 이에 도시한 바와 같이, 역시 두 개의 그래픽 신호 라인에 1개의 ESD회로(20)를 공유함으로써 효율적으로 정전기에 대처가능하다고 판단되며, 상기 ESD회로(20)는 패드부에서 양 신호라인에 연결된 상태이다.

발명의 효과

따라서, 상기한 본 발명에 따른 액정표시장치의 정전기 방지구조에 의하면, 두 개의 그래픽 신호 라인에 한 개의 ESD 회로를 공유함으로써 정전기 발생시 정전기가 두 개의 라인으로 나뉘어져 감으로써 좀 더 효과적으로 대응가능 한 효과가 있다.

실제 구현에서는 화소의 그래픽 신호 라인을 양쪽으로 배분하여 형성함으로써 ESD회로가 형성될 수 있는 공간을 충분히 확보하였으며 고정세 패널로 갈수록 유리할 것으로 판단되며 이렇게 형성된 두 개의 그래픽 신호 라인에 1개의 ESD 회로를 공유함으로써 효율적으로 정전기에 대처가능한 효과가 있다.

ESD회로를 형성함에 있어서 주 회로부를 쇼트 링 라인상에 형성함으로써 ESD회로가 차지하는 영역을 줄일 수 있는 효과를 가진다.

(57) 청구의 범위

청구항 1.

정전기에 의한 영향을 줄이기 위한 ESD회로를 적용하되, 상기 ESD 회로를 두 개의 그래픽 신호 라인사이에 대해 한 개만 형성한 것을 특징으로 하는 액정표시소자의 정전기 방지구조.

청구항 2.

제 1 항에 있어서, 상기 ESD 회로를 쇼트 링 라인위에 형성한 것을 특징으로 하는 액정표시소자의 정전기 방지구조.

청구항 3.

제 2 항에 있어서, 상기 쇼트 링 라인은 게이트 금속으로 형성된 것을 특징으로 하는 액정표시소자의 정전기 방지구조.

청구항 4.

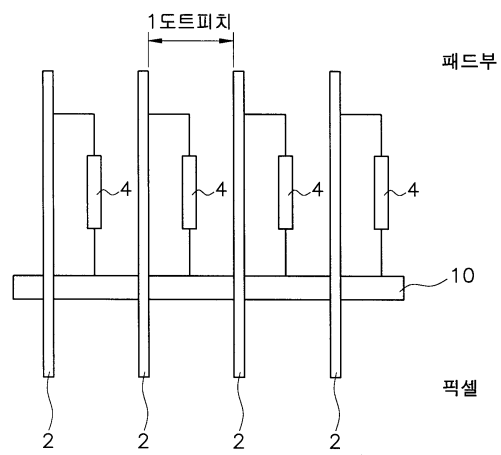
제 1 항에 있어서, 상기 ESD 회로를 구현하기 위하여 두 화소의 그래픽 신호 라인을 첫 번째 화소의 좌측에 두 번째 화소의 우측에 서로 개별적으로 형성한 것을 특징으로 하는 액정표시소자의 정전기 방지구조.

청구항 5.

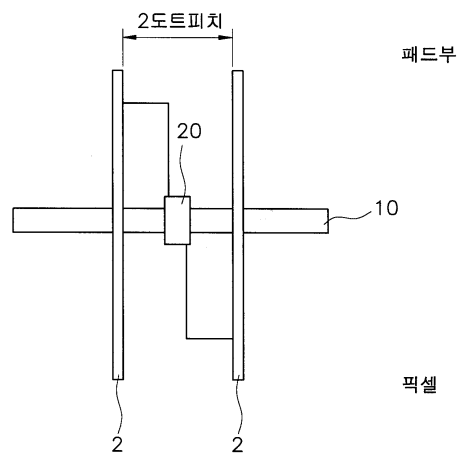
제 4 항에 있어서, 상기 ESD회로를 두 개의 화소가 공유하고 있는 특징으로 하는 액정표시소자의 정전기 방지구조.

도면

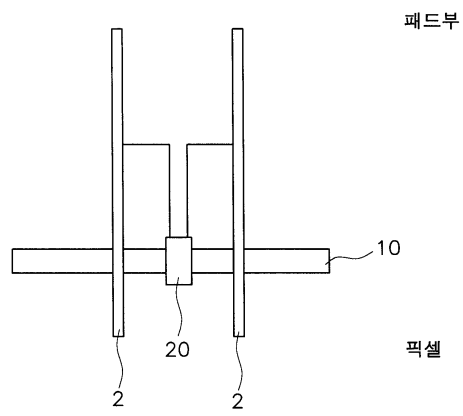
도면 1



도면 2



도면 3



专利名称(译)	液晶显示装置的抗静电结构		
公开(公告)号	KR1020020039471A	公开(公告)日	2002-05-27
申请号	KR1020000069297	申请日	2000-11-21
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	HAN JONGKEUN 한종근 RYU BONGYEOL 유봉렬		
发明人	한종근 유봉렬		
IPC分类号	G02F1/13		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器的静电防护结构，在2字形信号线上实现1静电防静电结构（ESD：静电放电）电路模式，符合现有的静电防护目的。并且施加用于减小静电影响的ESD电路。一个形成关于两个图形信号线间隔的ESD电路。此外，ESD电路形成在短环线上并且是这样形成的两个图形信号线中共用一个ESD电路，可以有效地管理静电中的效果。它具有减小ESD线路上的短环形状的区域的效果，ESD电路在形成ESD电路时占据主电路。

