

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/136

(11) 공개번호 특2000-0062639
(43) 공개일자 2000년10월25일

(21) 출원번호	10-2000-0009311
(22) 출원일자	2000년02월25일
(30) 우선권 주장	11-049619 1999년02월26일 일본(JP)
(71) 출원인	가부시끼가이샤 히다치 세이사꾸쇼 가나이 쓰도무
(72) 발명자	일본국 도쿄도 지요다구 간다 스루가다이 4-6 미카미요시로 일본국 이바라키켄 히타치오타시 하타초 1966-1 사토 히데오 일본국 이바라키켄 히타치시 다이하라초 3-5-5 가게야마 히로시 일본국 이바라키켄 히타치시 스에히로초 3-10-12 도자와 료 마스다가즈 히토 일본국 이바라키켄 히타치시 이시나자카 초 1-19-3-202
(74) 대리인	송재련, 한규환

심사청구 : 없음

(54) 액정표시장치

요약

본 발명은 주변회로내장 액정모니터에 있어서, 대형고선명패널을 표시하고자 하면 주변회로에 표시데이터를 긴 버스배선을 사용하여 고속으로 전송하는 것이다.

이를 위해서 본 발명에서는 패널상에 부하용량이 작은 고속 데이터버스(203)와 병렬화한 저속 제어버스(107)를 설치하고, 저속 제어버스(107)를 블록화(103) 함으로써, 고속 데이터버스(203)에서의 배선전달 지연이 발생하더라도 전체로는 고속의 전송을 가능하게 한다.

대형고선명패널이더라도 고속 데이터전송이 가능해져, 인터페이스회로도 간략한 콤팩트하고 사용하기 편한 표시장치를 얻는다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 개략구성도,
도 2는 종래 기술의 개략구성도,
도 3은 본 발명의 액정표시장치회로 블록구성도,
도 4는 고속 데이터제어회로의 상세구성도,
도 5는 고속 데이터정렬회로의 상세구성도,
도 6은 고속 데이터정렬회로 각부 동작파형 설명도,
도 7은 라인메모리동작 설명도,
도 8은 주사회로 상세구성도,
도 9는 본 발명 제 2 실시예의 구성도이다.

※도면의 주요부분에 대한 부호의 설명

101 : 데이터정렬회로

102 : 저속 데이터버스

103 : 블록	104 : 고속 데이터제어회로
105 : 액정표시모듈	106 : 디지털데이터 드라이버부
107 : 저속 제어버스	203 : 고속 데이터버스
209 : 화소부	210 : 주사측 구동회로
211 : 시프트레지스터	212 : 레벨시프터
214 : 입력단자	215 : 액정표시모듈
216 : 고속 제어버스	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 구동부를 표시부와 동일기판상에 형성한 주변회로내장 액정표시장치에 관한 것이다.

소형, 고선명의 액정표시패널의 구동방식으로서, 박막트랜지스터를 사용하여 유리기판상에 매트릭스주변회로를 형성하는 방법이 종래 사용되고 있다. 예를 들어, 1998 에스아이디 인터내셔널 심포지움 다이제스트 오브 테크니컬 페이퍼스의 879페이지 내지 881페이지에 보고되어 있다. 또 액티브매트릭스구동방식 및 액정 표시모듈의 상세에 관해서는 마츠모토 마사카즈 편저의 액정디스플레이기술(산업도서)에 자세하게 설명되어 있다.

이하, 본 발명과 관련된 차이를 명확하게 하기 위하여 도 2에 나타내는 종래의 표시장치구성 및 도 1에 나타내는 본 발명에 의한 액정표시장치의 개략구성에 관하여 설명한다.

도 1에 있어서는 표시데이터 및 동기신호는 액정표시모듈(105)의 입력단자 (214)로부터 고속 데이터버스(203) 및 고속 제어버스(216)를 거쳐 디지털데이터 드라이버부(106)에 공급된다. 디지털데이터 드라이버부에는 복수의 블록(103)마다 분리된 저속 데이터버스(102), 저속 제어버스(107)가 배치되고, 고속 데이터버스상의 데이터를 병렬로 전개되어 있고, 고속 데이터버스보다도 낮은 레이트로 데이터 래치에 전송된다. 병렬전개는 블록마다 배치한 고속 데이터정렬회로(101)에 의하여 행하여진다. 또 시프트레지스터 및 데이터전송에 필요한 동기신호는 블록마다 배치한 고속 데이터제어회로(104)에 의하여 블록마다 개별로 생성되고, 표시데이터의 데이터래치에 대한 배분동작은 블록마다 독립된 타이밍으로 행하여진다.

도 2에 나타내는 종래 방식의 TFT 액정표시모듈의 구성은, 표시데이터를 저속으로 전송하는 저속 데이터버스는 포함되어 있지 않고, 입력단자(214)로부터 액정표시모듈(215)에 입력한 1세트의 고속 데이터버스(203)와 고속제어버스(216)에 의하여 시프트레지스터(202)를 구동하고 표시데이터를 각 데이터래치(204)에 전송하고 있다. 그 후 데이터래치상의 1 라인분의 데이터는 라인메모리(205)에 래치되어 레벨시프터(206)에 의하여 전압을 증폭한 후, 신호배선마다 설치한 D/A 변환회로(207)에 의하여 디지털의 표시데이터는 액정구동전압으로 변환되고, 신호배선 (208)에 의하여 화소부(209)를 구동한다. 주사측 구동회로(213)는 직렬접속된 시프트레지스터(211) 및 레벨시프터(212)에 의하여 구성되고, 주사배선(210)에 화소부의 선택펄스를 출력함으로써 액티브매트릭스표시를 행한다. 이 시스템에서는 패널이 대형화, 고선명화하면 데이터버스에서의 신호지연을 억제하기 위하여 배선폭을 증가시키지 않으면 안되고 배선부의 면적을 증대시키는 원인으로 되어 있었다.

또 데이터드라이버회로의 모든 데이터래치, 라인메모리를 동기하여 구동시켜 지 않으면 안되기 때문에, 회로 각부에 대한 동기신호간의 시간차가 증대하면, 회로각부의 동기가 취해지지 않아 비교적 동작주파수가 낮은 TFT 에 의한 대형패널의 주변회로의 실현을 곤란하게 하고 있었다.

또 1세트의 데이터버스에 다수의 데이터래치가 접속되어 있기 때문에, 데이터버스배선의 용량치가 커지기 때문에, 배선저항 및 배선용량으로 결정되는 시정수가 증대하여, 배선지연시간이 길어지기 때문에도 대형패널의 주변회로의 실현을 곤란하게 하고 있었다.

발명이 이루고자하는 기술적 과제

본 구성의 특징은 블록마다 독립된 저속 데이터버스를 설치하여 동기제어를 블록마다 독립시킨 점에 있다.

먼저, 고속 데이터버스상의 표시데이터는 고속 데이터제어회로에 의하여 블록에 대응하는 표시데이터를 데이터정렬회로에 의하여 고속 데이터버스보다도 많은 개수의 저속 데이터버스에 병렬로 배열하여 바꾼다. 고속 데이터버스에 접속하는 래치회로는 용량성 부하가 되기 때문에 이것이 증가하면 배선지연이 증대하기 때문에 데이터전송의 고속화를 곤란하게 한다. 종래에는 이 버스에 신호배선 개수분의 다수의 데이터래치회로가 접속되어 있었으나, 본 발명의 구성에서는 고속 데이터버스에 접속하는 회로는 각 블록마다 1 회로이며, 또한 블록에 대응하지 않는 데이터가 전송되어 있을 때는, 저속 데이터버스를 고속 데이터버스와 분리할 수 있기 때문에, 대폭으로 데이터배선의 용량성 부하를 저감할 수 있다. 제어버스에 관해서도 마찬가지로 종래에는 다수의 시프트레지스터를 접속하였으나, 본 발명에 있어서는 블록마다 1 회로만의 고속 데이터제어회로만을 접속하기 때문에, 용량성 부하를 저감할 수 있다. 이와 같이 고속버스를 저용량부하로 구동할 수 있기 때문에, 고속 데이터버스 배선을 가는 배선으로 전송할 수 있

어 회로면적을 작게 하는 이점이 있다.

다음에 본 발명에서는 블록마다 개별의 동기신호에 의하여 저속 데이터버스로부터 데이터래치에 대한 데이터의 래치동작을 행하는 특징이 있다. 종래 기술에서는 모든 시프트레지스터, 데이터래치가 공통된 배선상의 도트클록 등이 고속의 동기신호에 의하여 구동되고 있었다. 이 때문에 배선지연 등에 의하여 파형이 왜곡 또는 데이터와 동기신호의 위상이 대폭으로 어긋남이 있으면 데이터드라이버회로 전체에서의 데이터래치동작을 할 수 없다. 따라서 패널이 대형화, 고선명화의 보틀넥으로 되어 있었다. 본 발명에 의하면 각 블록마다 독립으로 데이터래치동작에 필요한 동기신호를 발생시키기 때문에 고속 데이터버스에 지연이 발생하더라도, 각 블록내에서는 동기가 취해져 있어 고선명화, 대형화하더라도 확실한 데이터래치가 가능하다. 또 블록내의 데이터버스는 저속으로 되어 있고, 데이터래치동작을 위한 시간이 종래와 비교하여 길게 할 수 있기 때문에, 더욱 확실하게 데이터래치가 가능한 이점이 있다. 이 때문에 고속 제어버스, 고속 데이터버스로 다소 전달지연이 발생하더라도 데이터래치동작이 가능하기 때문에, 고속 데이터버스배선의 도중에 파형정형회로를 설치하여 배선전송중인 파형왜곡을 보정할 수 있기 때문에 배선길이가 길더라도 전송이 가능해지기 때문에 이것에 의해서도 대형패널이 용이하게 실현되는 이점이 있다.

또 데이터드라이버회로가 블록으로 분할되어 개별로 데이터래치동작, D/A 변환동작을 행하도록 할 수 있기 때문에 이들 회로의 소비전력이 평균화되므로, 전원배선폭을 적게 할 수 있고, 데이터드라이버회로면적을 적게 할 수 있음과 동시에 본 회로를 구동하는 전원용량의 피크출력을 적게 할 수 있어 전원회로의 부하를 저감할 수 있고, 용이하게 대형패널을 구동할 수 있는 이점이 있다.

상기 종래 기술에서는 액정표시모듈에 대하여 1 수평주사기간마다 주사선 1 라인분의 화소표시데이터를 패널내부의 데이터버스를 거쳐 화소부의 신호배선에 대응하는 각 데이터래치에 전송해야만 한다. 이 때 전송레이트는 화소수가 많아질 수록 증대하고, 예를 들어 1024 × 768화소의 구성에서는 각 화소 18 비트의 데이터를 약 50 MHz 정도의 고속전송이 필요하다.

이와 같은 고속 데이터의 전송을 행하기 위해서는 데이터를 화소마다 순차 직렬로 배열하여 모든 데이터래치와 접속한 데이터버스를 거쳐 공급하고, 스타트펄스, 전송클럭신호와 시프트레지스터회로를 사용하여 순차 시프트하는 데이터래치신호에 의하여 특정한 데이터래치를 동작시켜 데이터를 전송하고 있었다. 그러나, 데이터버스는 표시영역의 가로방향의 길이가 필요하여 배선길이가 길고, 또한 배선 1개에는 용량성 부하를 가지는 다수의 데이터래치가 접속되어 있으며, 배선의 부하용량은 패널의 화소수와 함께 증대하여 배선지연은 증대한다. 화소수를 증가시키고자 하면, 보다 고속의 데이터전송이 필요하게 됨에도 불구하고 배선지향은 증대하고 배선부하용량도 증대하며 신호지연도 증대하기 때문에, 상기 구조에서는 고선명패널의 대형화가 곤란하였다.

본 발명은 표시패널상에 부하용량이 적고, 대형고선명패널에 있어서도 고속 데이터버스에 입력된 표시데이터를 버스의 말단까지 파형왜곡을 적게 전송할 수 있는 액정표시장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 있어서는, 액정표시장치의 액정표시 패널의 기판상에 TFT 액티브 매트릭스방식의 표시영역과 박막 TFT를 사용한 TFT 주변회로를 형성하고, 고속 데이터버스 및 고속 제어버스로 이루어지는 고속버스와, 블록화된 저속 데이터버스 및 신호배선구동회로를 설치한다. 고속버스는 고속의 표시데이터를 외부로부터 공급하고, 버스배선중에서의 신호지연에 의한 파형왜곡을 배선중에 설치한 파형정형회로에서 보정하여 종단까지 고속 표시데이터 및 도트클록, 동기신호 등의 고속제어신호를 전송한다.

블록마다 표시데이터를 다수의 저속버스상에 병렬전개하여 순차 데이터래치에 표시데이터를 전송하고, 라인메모리, D/A 변환회로에 의하여 디지털표시데이터를 액정구동전압으로 변환하여 액티브 매트릭스 표시부를 구동하도록 한다.

또 저속 데이터버스를 블록화하여, 개별 타이밍신호에 의하여 동작시킴으로써, 다수의 버스상에 병렬전개된 표시데이터를 다수의 데이터래치에 순차 저속으로 받아들이는 것이 가능해진다. 또한 고속 데이터 전송버스상에 있어서 블록간에서 대폭적 신호지연이 발생하더라도 래치에 대한 샘플링동작은 블록마다 독립되어 있기 때문에, 정확하게 표시데이터를 래치에 전송할 수 있다. 이상의 효과에 의하여 고선명화한 대형패널에 있어서, 표시데이터의 전송레이트가 증대하더라도 표시데이터를 각 데이터래치에 전송하는 것이 가능해져 전체로서 대형패널에 있어서도 데이터전송속도를 고속화할 수 있다.

이상, 도면을 참조하여 본 발명의 액정표시장치에 관하여 상세하게 설명한다.

도 3에 제 1 실시예인 액정표시장치의 회로구성을 나타낸다. 본 회로는 표시장치의 유리기판(305)상에 고속 데이터버스(203), 분할된 저속 데이터버스(102)를 포함하는 데이터드라이버회로(307), 주사측 구동회로(210) 및 박막트랜지스터에 의하여 구성된 액티브 매트릭스방식의 화소에 의한 화소부(209)에 의하여 구성된다. 이들 회로는 CMOSTFT 형성 프로세스에 의하여 형성되어 있다.

TFT 기판 형성방법에서는 Si막으로서 TFT 기판에 무알칼리유리를 사용하고, Si결정막 형성방법으로서 레이저어닐링성장법에 의한 저온폴리실리콘, 또 석영유리기판을 사용하여 고상성장법에 의한 고온폴리실리콘 등의 다결정 Si막을 사용할 수 있다. 이것에 도핑법을 조합시켜, pch, nch의 TFT를 동일기판상에 동시에 형성하는 프로세스에 의하여 TFT 기판은 형성가능하다.

다음에 도 3 구성의 상세에 관하여 설명한다.

입력단자(214)로부터 필요한 표시데이터 및 동기신호는 고속버스구동회로(306)에 접속된다. 고속버스구동회로는 고속 데이터버스(203) 및 고속 제어버스(216)에 접속되어 있다. 고속 데이터버스(203) 및 고속 제어버스(216)는 도중에 파형정형회로(303)를 거쳐 각 블록(103)마다 배치한 고속

데이터제어회로(104) 및 데이터정렬회로(101)에 순차 접속되어 있다. 표시데이터는 고속 데이터제어회로(104)로부터의 동기신호에 의하여 데이터정렬회로(101)에 의하여 다수의 블록마다 분할한 저속 데이터버스(102)상에 병렬로 전개되어 각 블록의 래치회로(302)에 접속된다. 또 블록내의 동기신호는 고속 데이터제어회로(104)에 의하여 고속 제어버스(216)상의 동기신호로부터 생성되고, 블록마다 분할한 저속 제어버스(107)에 의하여 블록에 공급한다. 블록내에는 화소부(209)의 신호배선(208)에 대응하는 복수의 시프트레지스터(301), 데이터래치(302), 라인메모리(205), 레벨시프터(206), D/A 변환회로(207)가 설치되어 있다. 또 주사측 구동회로(210)에서는 종래예와 같이 패널주사 제어버스(304)에 의하여 공급하는 동기신호에 의하여 화소부(209)의 선 순차 주사에 필요한 주사펄스를 발생하여 화소부의 주사배선(213)에 공급한다.

이상의 구성에 의하여 회로는 다음과 같이 표시동작을 행한다.

도트클럭 및 수평동기 및 수직동기신호 및 표시데이터는 입력단자(214) 고속 버스구동회로(306)에 의하여 저임피던스변환 및 CMOSTFT로 구성되는 논리회로에 적합하도록 논리신호의 진폭을 조정하는 레벨시프터처리된 후, 고속 데이터버스(203) 및 고속 제어버스(216)에 접속되고, 각 블록에 공급된다. 또 도중에 개재하는 파형정형회로(303)에 의하여 버스전송중에 생기는 파형왜곡 및 데이터와 동기신호의 타이밍어긋남을 보정한다.

각 블록에서는 고속 데이터제어회로(104)에 의하여 고속제어버스상의 도트클럭 및 수평동기신호로부터 해당하는 블록에서의 처리에 필요한 데이터가 도달하고 있는 기간을 검출하여 데이터정렬회로(101)를 고속 데이터버스로 접속한다. 데이터정렬회로(101)에서는 고속 데이터버스상의 데이터를 적어도 고속 데이터버스보다도 많은 개수의 배선개수로 구성된 저속 데이터버스(102)에 대한 병렬교체동작을 고속 데이터제어회로(104)로부터의 제어신호에 의하여 실행하고, 이와 동기하여 동작하는 시프트레지스터(301)는 래치회로(302)에 순차 데이터래치신호를 발생시켜 래치회로(302)는 저속 데이터버스(102)상의 표시데이터를 래치함으로써 블록(103)에 해당하는 표시데이터를 래치회로(302)에 전송한다. 각 블록이 순차 상기 동작을 행하여 1 라인분의 표시데이터가 모든 래치회로에 전송되면, 래치회로는 데이터를 라인메모리(205)에 전송하여 D/A 회로에 의하여 액정구동전압으로 변환된 후에 신호배선(208)을 구동하여 화소부(209)를 구동한다.

또 입력단자(214)로부터 입력된 프레임스타트신호는 패널주사 제어버스(304)에 의하여 주사측 구동회로(210)에 의하여 종래기술과 같은 동작에 의하여 화소부(209)의 주사배선(213)을 구동하고 표시동작을 행할 수 있다.

이 구성에 있어서는 저속 데이터버스의 개수는 많을 수록 블록의 개수를 적게 할 수 있어 고속 데이터버스의 부하를 줄일 수 있고, 배선을 길게 취할 수 있는 반면, 데이터버스 개수가 증가하면 배선의 점유면적이 증대하여 회로면적은 증가하기 때문에 배선개수의 최적화가 필요하다.

실제의 패널의 경우에 관하여 설명한다. 640 × 480화소의 패널로서는 1 라인분의 640화소, RGB 각 색 6 비트의 계조신호를 전송하는 경우는, 640 × 3 × 6 = 11520 비트를 전송할 필요가 있고, 종래예에서는 시프트레지스터회로는 12.5 MHz 로 구동하고, 데이터배선에는 4.7 인치 대각패널 내부에 설치한 고속 데이터배선 1개당 320개의 래치회로가 접속되어 있었다.

이에 대하여 본 발명에서는 고속 데이터버스에는 블록수의 고속 데이터정렬회로가 접속될 뿐이며, 예를 들어 블록수가 8블록이면 고속 데이터버스에 접속하는 부하의 회로수는 1/40로 줄일 수 있다. 따라서 배선시정수를 동일한 조건으로 비교하면, 배선폭은 1/40으로 되고, 배선부분의 면적을 줄일 수 있다.

이하에, 각 블록회로부분의 상세구성에 관하여 화소수 1024 × 768화소의 경우에 8블록으로 구성하는 경우를 사용하여 설명한다. 본 방식이 다른 화소구성이라도 실현되는 것은 물론이다.

본 발명의 주요부분인 고속 데이터정렬회로 및 고속 데이터제어회로의 내용구성을 각각 도 4 및 도 5에 나타낸다. 고속제어버스(216)는 도트클럭버스(401) 및 수평스타트신호버스(402)에 의하여 구성된다. 도트클럭을 클럭으로 하여 수평스타트신호의 상승을 카운트스타트신호, 하강을 리세트신호로서 동작하는 9 비트의 바이너리카운터로 구성되는 도트카운터(403)와 디코더회로(404)에 의하여 구성된다. 도트카운터의 각 비트출력(410)의 b8~b0의 조합은 도시 생략한 고속 데이터버스상에 나타나 있는 표시데이터의 라인상의 화소위치를 나타내고 있다. 도트카운터의 출력을 논리회로를 사용하여 구성한 디코더회로에 의하여 이하의 필요한 제어신호를 출력한다.

블록선택신호(405)는 표시데이터버스에 각 블록에 포함되는 화소데이터가 출력되어 있는 기간에는 논리"1"의 출력을 낸다. 이 경우에는 카운터출력의 상위 3 비트 b8~b6를 디코드하면 좋다. 제 1 블록은 상위 3비트의 상태가(000), 제 2블록은 (001), 제 3 블록은 (011), 제 8 블록은 (111)로 하면 된다. 이 신호는 1블록이 담당하는 화소는 화면좌측 끝의 제 1 블록에서는 n = 1~127화소, 제 2 블록에서는 128~255화소, 제 8 블록에서는 896~1024화소가 대응하는 기간은 1 이 출력된다. 도 4에서는 제 2 블록이기 때문에 b7 만이 논리"1"의 경우를 디코드하였다. b5~b0의 출력에는 스위치(409)를 설치하여 블록선택신호가 "1"인 경우에만 이하의 신호가 출력되도록 스위치를 제어하여 불필요한 논리회로의 동작을 중지하고, 디코더회로(404)의 소비전력을 줄인다.

저속 스타트신호(406)는 블록내의 좌측 끝의 화소가 출력되는 기간으로부터 4클럭기간 출력한다. 이것은 b5~b2 전부가 0인 경우의 NAND를 취함으로써 얻는다.

1 내지 # 4의 4상의 저속 시프트클럭(407)은 b1 및 b0를 사용하여 생성한다. #1은 b1, #3은 b1의 반전신호, #2는 b1 과 b0의 EX-OR 연산에 의하여 얻는다. #4는 #2의 반전신호를 사용한다.

4개의 저속 버스변환신호(408)는 b0, b1의 디코드에 의하여 생성할 수 있다. 또한 이 도트카운터(403)는 수평주기마다 수평스타트펄스의 하강에 의하여 리세트되어 상기 동작이 1 라인마다 반복된다.

이와 같이 하여 생성한 블록마다의 동기제어신호를 사용하여 구동하는 도 5에 나타내는

데이터정렬회로(101)의 상세구성을 설명한다. 고속 데이터정렬회로의 기능은 고속 데이터버스상의 신호를 고속 데이터버스의 n 배 개수분 설치한 저속 데이터버스상에 n 병렬로 전개하는 것으로, 데이터래치로부터 D/A 변환처리까지의 1화소당의 표시데이터처리시간을 확장하여 배선응답이 느리더라도 고속의 레이트로 입력한 표시데이터를 취급하는 것을 가능하게 하는 이점이 있다. 여기서는 $n = 4$ 로서 설명한다.

고속 데이터버스(203)를 구성하는 각 배선은 블록선택신호(405)에 의하여 블록단위로 공통하여 도통을 제어하는 블록선택스위치(501)를 거쳐 버스구동회로(502)에 접속한다. 이렇게 함으로써 블록선택신호에 의하여 블록선택스위치가 도통상태에 있는 경우에만 버스구동회로가 부하로서 고속 데이터버스배선에 접속되기때문에 고속 데이터버스배선의 용량부하를 줄일 수 있고, 버스를 가늘게 할 수 있다. 버스구동회로의 출력은 고속 데이터버스 1개의 신호 내지 4개의 신호에 대한 접속을 변환하는 기능을 가지며, 4개의 CMOS 아날로그스위치에 의한 선택회로로 구성되고, 저속 버스변환신호에 의하여 제어되는 저속 버스변환스위치(503)에 접속된다. 이 경우 저속 데이터버스의 개수는 고속 데이터버스 1개에 대하여 4개 있기 때문에, 각 화소 6비트의 계조표시에 대응하기 위해서는 $6 \times 4 = 24$ 개의 저속버스를 사용한다. 저속버스에는 다수의 데이터래치회로나 배선의 교차부 등에 의하여 형성되는 기생용량(504)이 형성되어 있고, 저속 데이터버스배선의 전압은 버스변환스위치가 오프되더라도 전압은 유지된다. 또한 블록선택스위치(501), 저속버스변환스위치(503)는 다른 동등한 기능을 가지는 적당한 논리회로의 조합에 의하여 실현할 수 있다.

다음에 회로동작에 관하여 이하, 파형을 사용하여 설명한다. 도 6은 고속 데이터버스로부터 저속 데이터버스에 대한 신호변환처리를 행하는 고속 데이터제어회로(104) 및 데이터정렬회로(101)의 각부 동작파형이다. 여기서는 1 블록당 m 화소로 이루어지는 n 개의 블록, 블록 내부의 저속 버스개수를 1비트당 4개의 경우를 나타내고 있다. 고속 데이터버스상에는 양극성의 수평동기신호와 동기하여 1 라인분의 화소인 1 화소 내지 $m \times n$ 화소까지의 표시데이터가 순차 나타나 있다. 각 블록의 블록선택신호는 각각의 블록에 해당하는 데이터가 나타나 있는 기간만 양논리가 되어 블록선택스위치(405)를 도통상태로 하고, 고속 데이터버스(203)를 버스구동회로(502)에 접속한다. 이하는 $m + 1$ 화소내지 $2m$ 화소가 포함되는 제 2 블록에 관하여 고속 데이터정렬회로의 동작을 설명한다. 제 2 블록내의 화소에 대응하는 데이터가 공급되고 있는 기간 동안은, 고속 데이터제어회로(104)에 의하여 고속도트클럭에 동기하여 주기 4클럭으로 서로 1 클럭마다 위상을 지연시킨 4개의 저속 버스변환신호(#1~#4)가 생성된다. 저속 버스변환스위치(503)는 저속 버스변환신호에 의하여 각 비트를 4개의 저속 버스상에 접속하고, #1의 저속 데이터버스상에는 $m + 1$ 화소, $m + 5$ 화소, #2화소에는 $m + 2$ 화소, $m + 6$ 화소와, 4화소 간격진 데이터가 도입된다. 따라서 이하의 순서로 저속 데이터버스의 데이터는 갱신된다. $m + 1$ 화소째의 데이터는 #1, $m + 2$ 화소째의 데이터는 #2, $m + 3$ 화소째의 데이터는 #3, $m + 4$ 화소째의 데이터는 #4, $m + 5$ 화소째의 데이터는 #1, $m + 6$ 화소째의 데이터는 #2이라는 순서로 4화소 간격지게 저속 데이터버스의 데이터는 갱신된다. 이와 같이 1개의 고속 데이터버스에 의하여 전송되고 있는 1화소 순차의 시리얼데이터는 저속 데이터버스상에서는 4화소마다의 병렬형식으로 전개되고 있다.

저속 데이터버스상에서 서로 위상이 1/4주기씩 어긋남을 수반하여 4화소마다 병렬화된 데이터를 도 3에 나타내는 데이터래치(302)에 도입하기 위하여 고속데이터 제어회로에서는 블록 내부의 시프트레지스터(301)로서 4상 시프트레지스터를 사용한다. 4상 시프트레지스터를 구동하기 위한 4상의 클럭이 저속시프트클럭으로서 생성된다. 주기는 저속 버스변환신호와 마찬가지로 고속 도트클럭 4주기이며, 각 상은 1/4주기씩 위상이 지연되고 있다. 시프트레지스터의 각 단의 출력은 도 3의 데이터래치(302)를 구동하는 래치신호가 되고 고속도트클럭 4주기의 펄스폭으로 서로 1 클럭씩 위상이 지연된 펄스로 되어 있다.

도 7을 사용하여 라인메모리의 동작을 설명한다. 라인메모리의 입력에는 데이터래치가 접속되어 있고, 1수평 기간마다 주사선 1개분의 데이터가 갱신되고 있다. 갱신된 후에 입력되는 이 데이터를 라인메모리 제어신호에 의하여 라인메모리는 입력을 혼합데이터를 갱신한다. 갱신된 데이터는 도 3의 D/A 변환회로(207)에 접속되어 있고, 순간에 액정구동전압으로 변환되어 화소부(209)를 구동하는 신호배선(208)에 공급된다. 화소부의 동작파형은 종래예와 마찬가지로 하기 때문에 개략 설명한다. 주사배선(213)에는 1 라인마다 도 8 구성의 회로가 접속되어 있고, 시프트레지스터(701)에 의하여 1 수평기간 주기의 시프트클럭과 1 프레임시간마다 프레임스타트신호의 펄스에 의하여 구동되어 수평기간주기가 순차 시프트한 주사펄스를 레벨시프터 및 드라이버회로(702)를 거쳐 도 3의 주사배선(213)에 인가한다. 또 데이터 드라이버회로(307)에서는 주사펄스에 동기하여 D/A 변환회로에 의하여 1라인분의 각 신호배선에 각 도트의 액정구동전압을 인가함으로써 화소에서의 표시가 행하여진다.

다음에 제 2 실시예에 관하여 도 9를 사용하여 설명한다. 본 도면은 각 블록의 회로구성을 나타낸 것이다. 본 방식의 특징은 데이터래치로부터 메모리에 대한 래치를 블록마다 다른 타이밍으로 전송하는 점에 있다. 또 하나의 특징은 라인메모리로부터 D/A 변환회로에 대한 데이터의 전송을 블록마다 다른 타이밍으로 전송하는 점에 있다. 이 때문에 구성으로서는 래치회로와 메모리회로 사이에 메모리선택스위치(901) 및 라인메모리와 D/A 변환회로 사이에 D/A 변환회로 선택스위치(902)를 설치하여 각각 메모리 전송신호(903) 및 D/A 변환전송신호(904)에 의하여 제어하는 점에 있다. 메모리선택스위치 및 D/A 선택스위치는 CMOS 아날로그스위치(905)를 회선분 사용하여 아날로그스위치를 구동하기 위한 양극성의 제어 신호를 얻기 위하여 인버터(906)를 사용한다. 각 아날로그스위치의 제어신호는 공통으로 접속하고, 각 전송신호(903 및 904)에 의하여 1 블록분을 정리하여 제어한다. 이렇게 함으로써 라인메모리회로의 동작을 블록마다 분산할 수 있고, 소비전력을 분산하여 전원회로의 용량을 줄일 수 있는 이점이 있다. 또 D/A 변환회로를 블록마다 분할하여 구동함으로써 D/A 회로의 전원전류를 시간적 분산할 수 있기 때문에 소비전류를 줄일 수 있음과 동시에, 전원배선에서의 전압강하를 저감할 수 있기 때문에 배선저항이 높더라도 안정되어 오차가 적은 액정구동전압을 얻을 수 있는 이점이 있다.

본 발명에 의하면 표시 TFT 기관상에 형성된 고속 데이터버스 및 고속 제어버스는 각각 외부로부터 공급된 고속의 표시데이터나 도트클럭 등의 동기신호를 파형성형회로를 거쳐 데이터드라이버회로의 말단까지 공급한다.

표시데이터는 블록마다 분리된 다수의 저속 데이터버스상에 병렬전개되고, 저속으로 블록내의 데이터래치에 도입된다. 그 후 라인메모리에 전송하여 1 라인분의 데이터를 유지한다. 이 데이터를 사용하여 각 도트의 디지털계조 데이터를 화소의 액정에 인가하는 계조전압으로 변환한다.

이와 같이 하여 표시데이터를 다수의 데이터래치에 전송함으로써 전체로서 대형패널 주변회로에 고속으로 표시데이터를 전송하는 것이 가능해져 대형의 고선명패널도 용이하게 구성할 수 있다.

발명의 효과

본 발명의 액정표시장치에 의하여 표시패널상에 부하용량이 적고, 대형고선명패널에 있어서도 고속 데이터버스에 입력된 표시데이터를 버스의 말단까지 파형왜곡을 적게 전송할 수 있다.

(57) 청구의 범위

청구항 1

적어도 한쪽이 투명한 한쌍의 기체와, 상기 한쌍의 기판사이에 끼워유지된 액정층을 가지며, 상기 한쌍의 기판의 한쪽에는 복수의 주사배선과; 복수의 신호배선과; 이들 배선의 교점에 대응하여 형성된 복수의 박막반도체소자와; 상기 복수의 반도체소자에 접속된 표시전극을 가지고, 상기 한쌍의 기판의 다른쪽에는 대향전극을 가지는 액정표시장치에 있어서,

상기 한쌍의 기판의 한쪽의 기판상의 상기 신호배선에 표시데이터를 전송하기 위한 중계버스로서, 신호배선의 폭에 걸치는 연속된 제 1 중계버스배선과; 상기신호배선의 폭을 복수개의 블록으로 구분한 제 2 중계버스를 가지고, 상기 제 1 중계버스와 상기 제 2 중계버스 사이에 데이터를 중계하는 중계회로를 블록마다 형성하고,

상기 제 2 중계버스를 거쳐 상기 표시데이터를 순차 판독하여 1 블록분의 표시데이터를 유지하는 데이터래치와, 1 블록분의 표시데이터를 동시에 판독할 수 있는 기억회로와, 상기 기억회로의 내용을 판독하여 논리전압을 변화시키는 레벨시프터회로와, 상기 레벨시프터회로의 출력에 의하여 상기 신호배선을 구동하는 아날로그전압으로 변환하는 D/A 회로를 가지는 액정표시장치.

청구항 2

제 1항에 있어서,

상기 제 1 중계버스 배선의 도중에 디지털파형을 정형하는 파형정형회로를 가지는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2항에 있어서,

파형정형회로로서 인버터회로를 짝수개 직렬접속하여 구성하는 것을 특징으로 하는 액정표시장치.

청구항 4

적어도 한쪽이 투명한 한쌍의 기판과, 상기 한쌍의 기판사이에 끼워유지된 액정층을 가지고, 상기 한쌍의 기판의 한쪽에는 복수의 주사배선과, 복수의 신호배선과, 이들 배선의 교점에 대응하여 형성된 복수의 박막반도체소자와, 상기 복수의 반도체소자에 접속된 표시전극을 가지고, 상기 한쌍의 기판의 다른쪽에는 대향전극을 가지는 액정표시장치에 있어서,

상기 한쌍의 기판의 한쪽의 기판상의 상기 신호배선에 표시데이터를 전송하기 위한 중계버스로서, 신호배선의 폭에 걸치는 연속된 제 1 중계버스배선과, 상기신호배선의 폭을 복수개의 블록으로 구분하여, 제 1 중계버스의 정수배의 개수로 구성되는 제 2 중계버스를 가지고,

상기 제 1 중계버스로부터 상기 제 2 중계버스 사이에 데이터를 중계하는 중계회로를 블록마다 형성하고,

중계회로에 있어서 상기 제 1 중계버스의 표시데이터를 시분할법에 의하여 상기 제 2 중계버스상에 병렬로 전개하고,

상기 제 2 중계버스를 거쳐 상기 표시데이터를 순차 입력 판독하여 1 블록분의 표시데이터를 유지하는 데이터래치와, 1 블록분의 표시데이터를 동시에 판독할 수 있는 기억회로와, 상기 기억회로의 내용을 판독하여 논리전압을 변화시키는 레벨시프터회로와, 상기 레벨시프터회로출력에 의하여 상기 신호배선을 구동하는 아날로그전압으로 변환하는 D/A 회로를 가지는 것을 특징으로 하는 액정 표시장치.

청구항 5

적어도 한쪽이 투명한 한쌍의 기판과, 상기 한쌍의 기판사이에 끼워유지된 액정층을 가지고, 상기 한쌍의 기판의 한쪽에는 복수의 주사배선과, 복수의 신호배선과, 이들 배선의 교점에 대응하여 형성된 복수의 박막반도체소자와, 상기 복수의 반도체소자에 접속된 표시전극을 가지고, 상기 한쌍의 기판의 다른쪽에는 대향전극을 가지는 액정표시장치에 있어서,

상기 한쌍의 기판의 한쪽의 기판상의 상기 신호배선에 표시데이터를 전송하기 위한 중계버스로서 신호배선의 폭에 걸치는 연속된 제 1 중계버스배선과, 상기신호배선의 폭을 복수개의 블록으로 구분하여 상기 제 1 중계버스의 정수배의 개수로 구성되는 제 2 중계버스를 가지고,

상기 제 1 중계버스로부터 상기 제 2 중계버스 사이에 데이터를 중계하는 중계회로를 블록마다 형성하고,

중계회로에 있어서 상기 제 1 중계버스와 상기 제 1 중계버스의 표시데이터를 시분할법에 의하여 상기 제 2 중계버스상에 병렬로 전개하는 제어장치 사이에 중계스위치를 설치하고, 블록에 포함되는 신호배선의 데이터가 중계되는 경우만 상기 중계스위치를 접속하도록 접속하고, 상기 제 2 중계버스를 거쳐 상기 표시데이터를 순차 판독하여 1 블록분의 표시데이터를 유지하는 데이터래치와, 1 블록분의 표시데이터를 동시에 판독할 수 있는 기억회로와, 상기 기억회로의 내용을 판독하여 논리전압을 변화시키는 레벨시프터회로와, 상기 레벨시프터회로출력에 의하여 상기 신호배선을 구동하는 아날로그전압으로 변환하는 D/A 회로를 가지는 것을 특징으로 하는 액정표시장치.

청구항 6

적어도 한쪽이 투명한 한쌍의 기판과, 상기 한쌍의 기판사이에 끼워유지된 액정층을 가지고, 상기 한쌍의 기판의 한쪽에는 복수의 주사배선과, 복수의 신호배선과, 이들 배선의 교점에 대응하여 형성된 복수의 박막반도체소자와, 상기 복수의 반도체소자에 접속된 표시전극을 가지고, 상기 한쌍의 기판의 다른쪽에는 대향전극을 가지는 액정표시장치에 있어서,

상기 한쌍의 기판의 한쪽의 기판상에 상기 신호배선에 표시데이터를 전송하기 위한 중계버스로서, 신호배선의 폭에 걸치는 연속된 제 1 중계버스배선과, 신호배선의 폭을 복수개의 블록으로 구분하여 상기 제 1 중계버스의 정수배의 개수로 구성되는 제 2 중계버스를 가지며,

상기 제 1 중계버스로부터 상기 제 2 중계버스 사이에 데이터를 중계하는 중계회로를 블록마다 형성하고,

상기 중계회로는 상기 제 1 중계버스의 표시데이터를 시분할법에 의하여 제 2 중계버스상에 병렬로 전개하는 제어장치와, 상기 제 1 중계버스의 사이에 중계스위치를 설치하고, 블록에 포함되는 신호배선의 데이터가 중계되는 경우에만 상기 중계스위치를 접속하도록 제어하고, 상기 제어장치를 상기 제 2 중계버스를 구동하는 구동회로와 시분할을 제어하기 위하여 아날로그스위치를 설치하고,

상기 제 2 중계버스를 거쳐 상기 표시데이터를 순차 판독하여 1 블록분의 표시데이터를 유지하는 데이터래치와, 1 블록분의 표시데이터를 동시에 판독할 수 있는 기억회로와, 상기 기억회로의 내용을 판독하여 논리전압을 변화시키는 레벨시프터회로와, 상기 레벨시프터회로출력에 의하여 상기 신호배선을 구동하는 아날로그전압으로 변환하는 D/A 회로를 가지는 것을 특징으로 하는 액정표시장치.

청구항 7

적어도 한쪽이 투명한 한쌍의 기판과, 상기 한쌍의 기판사이에 끼워유지된 액정층을 가지며, 상기 한쌍의 기판의 한쪽에는 복수의 주사배선과, 복수의 신호배선과, 이들 배선의 교점에 대응하여 형성된 복수의 박막반도체소자와, 상기 복수의 반도체소자에 접속된 표시전극을 가지고, 상기 한쌍의 기판의 다른쪽에는 대향전극을 가지는 액정표시장치에 있어서,

상기 한쌍의 기판의 한쪽의 기판상에 상기 신호배선에 표시데이터를 전송하기 위한 중계버스로서 신호배선의 폭에 걸치는 연속된 제 1 중계버스배선과, 신호배선의 폭을 복수개의 블록으로 구분하여 상기 제 1 중계버스의 정수배의 개수로 구성되는 제 2 중계버스를 가지며,

상기 제 1 중계버스로부터 상기 제 2 중계버스 사이에 데이터를 중계하는 중계회로를 블록마다 형성하고,

상기 제 1 중계버스에는 표시데이터와, 상기 표시데이터에 동기한 도트클럭과 수평라인의 데이터전송개시에 동기한 수평동기신호를 공급하고,

상기 중계회로는 상기 제 1 중계버스의 표시데이터를 시분할법에 의하여 상기 제 2 중계버스상에 병렬로 전개하는 제어장치와 상기 제 1 중계버스 사이에 중계스위치를 설치하고, 블록에 포함되는 신호배선의 데이터가 중계되는 경우에만 상기 중계스위치를 접속하도록 접속하고, 상기 제어장치를 상기 제 2 중계버스를 구동하는 구동회로와, 시분할을 제어하기 위하여 아날로그스위치를 설치하고,

상기 중계회로에 상기 수평동기신호에 동기하여 상기 도트클럭을 카운트하는 도트카운터를 설치하고,

상기 제 2 중계버스를 거쳐 상기 표시데이터를 순차 판독하여 1 블록분의 표시데이터를 유지하는 데이터래치와, 1 블록분의 표시데이터를 동시에 판독할 수 있는 기억회로와, 상기 기억회로의 내용을 판독하여 논리전압을 변화시키는 레벨시프터회로와, 상기 레벨시프터회로출력에 의하여 상기 신호배선을 구동하는 아날로그전압으로 변환하는 D/A 회로를 가지는 것을 특징으로 하는 액정표시장치.

청구항 8

적어도 한쪽이 투명한 한쌍의 기판과, 상기 한쌍의 기판사이에 끼워유지된 액정층을 가지며, 상기 한쌍의 기판의 한쪽에는 복수의 주사배선과, 복수의 신호배선과, 이들 배선의 교점에 대응하여 형성된 복수의 박막반도체소자와, 상기 복수의 반도체소자에 접속된 표시전극을 가지며, 상기 한쌍의 기판의 다른쪽에는 대향전극을 가지는 액정표시장치에 있어서,

상기 한쌍의 기판의 한쪽의 기판상에, 상기 신호배선에 표시데이터를 전송하기 위한 중계버스로서, 신호배선의 폭에 걸치는 연속된 제 1 중계버스배선과, 신호배선의 폭을 복수개의 블록으로 구분한 제 2 중계버스를 가지고, 상기 제 1 중계버스로부터 상기 제 2 중계버스 사이에 데이터를 중계하는 중계회로를 블록마다 형성하고,

상기 제 2 중계버스를 거쳐 상기 표시데이터를 순차 판독하여 1 블록분의 표시데이터를 유지하는 데이터

래치와, 1 블록분의 표시데이터를 동시에 판독할 수 있는 기억회로와, 상기 기억회로의 내용을 판독하여 논리전압을 변화시키는 레벨시프터회로와, 상기 레벨시프터회로출력에 의하여 상기 신호배선을 구동하는 아날로그전압으로 변환하는 D/A 회로를 가지며,

상기 데이터래치와 상기 라인메모리 사이의 데이터전송을 단속하는 메모리선택스위치를 설치하고, 블록마다 다른 시기에 데이터전송을 행하는 것을 특징으로 하는 액정표시장치

청구항 9

적어도 한쪽이 투명한 한쌍의 기판과, 상기 한쌍의 기판사이에 끼워유지된 액정층을 가지며, 상기 기판의 한쪽에는 복수의 주사배선과, 복수의 신호배선과, 이들 배선의 교점에 대응하여 형성된 복수의 박막반도체소자와, 상기 복수의 반도체소자에 접속된 표시전극을 가지고, 상기 한쌍의 기판의 다른쪽에는 대향전극을 가지는 액정표시장치에 있어서,

상기 한쌍의 한쪽의 기판상에 상기 신호배선에 표시데이터를 전송하기 위한 중계버스로서 신호배선의 폭에 걸치는 연속된 제 1 중계버스배선과, 신호배선의 폭을 복수개의 블록으로 구분한 제 2 중계버스를 가지고, 상기 제 1 중계버스로부터 상기 제 2 중계버스 사이에 데이터를 중계하는 중계회로를 블록마다 형성하고,

상기 제 2 중계버스를 거쳐 상기 표시데이터를 순차 판독하여 1 블록분의 표시데이터를 유지하는 데이터래치와, 1 블록분의 표시데이터를 동시에 판독할 수 있는 기억회로와, 상기 기억회로의 내용을 판독하여 논리전압을 변화시키는 레벨시프터회로와, 상기 레벨시프터회로출력에 의하여 상기 신호배선을 구동하는 아날로그전압으로 변환하는 D/A 회로를 가지고,

상기 레벨시프터와 상기 D/A 회로 사이의 데이터전송을 단속하는 D/A 선택 스위치를 설치하여 블록마다 다른 시기에 데이터전송을 행하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 8항 또는 제 9항에 있어서,

상기 D/A 선택스위치 또는 메모리선택스위치로서 CMOS 구성의 아날로그스위치를 사용하는 것을 특징으로 하는 액정표시장치

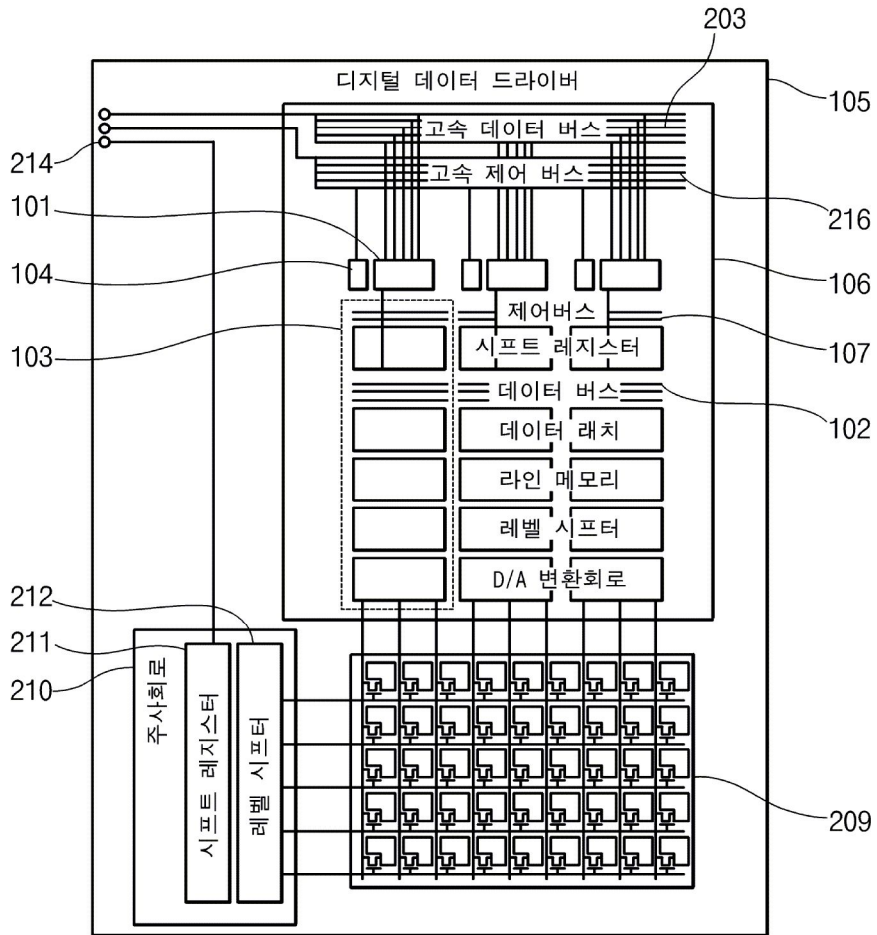
청구항 11

제 5항에 있어서,

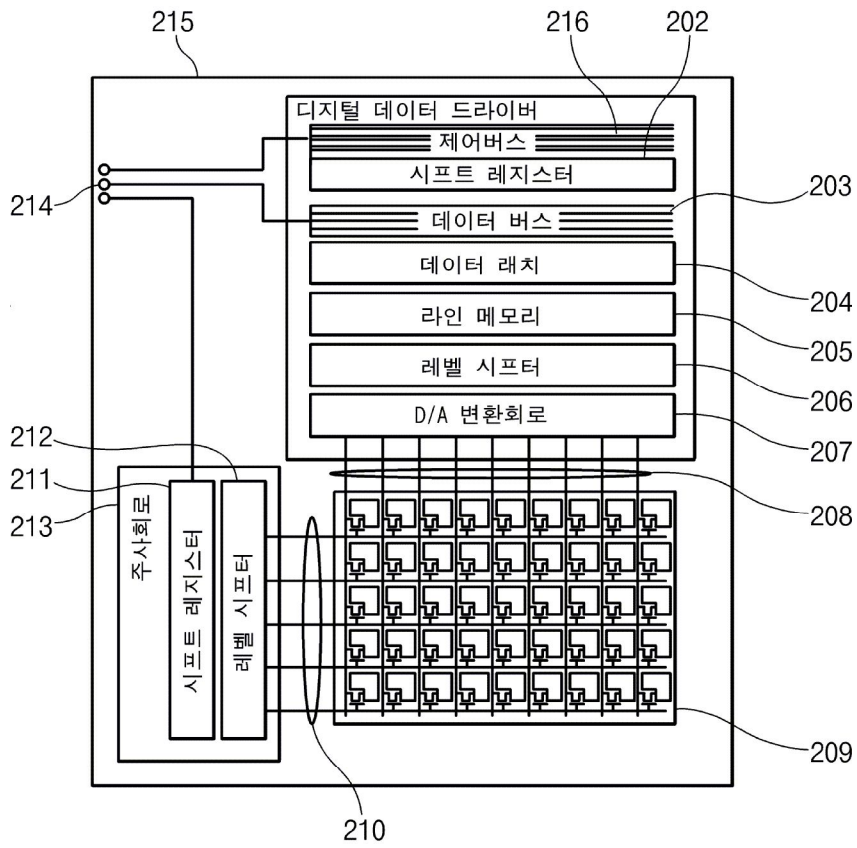
중계스위치로서 CMOS 구성의 아날로그스위치를 사용하는 것을 특징으로 하는 액정표시장치.

도면

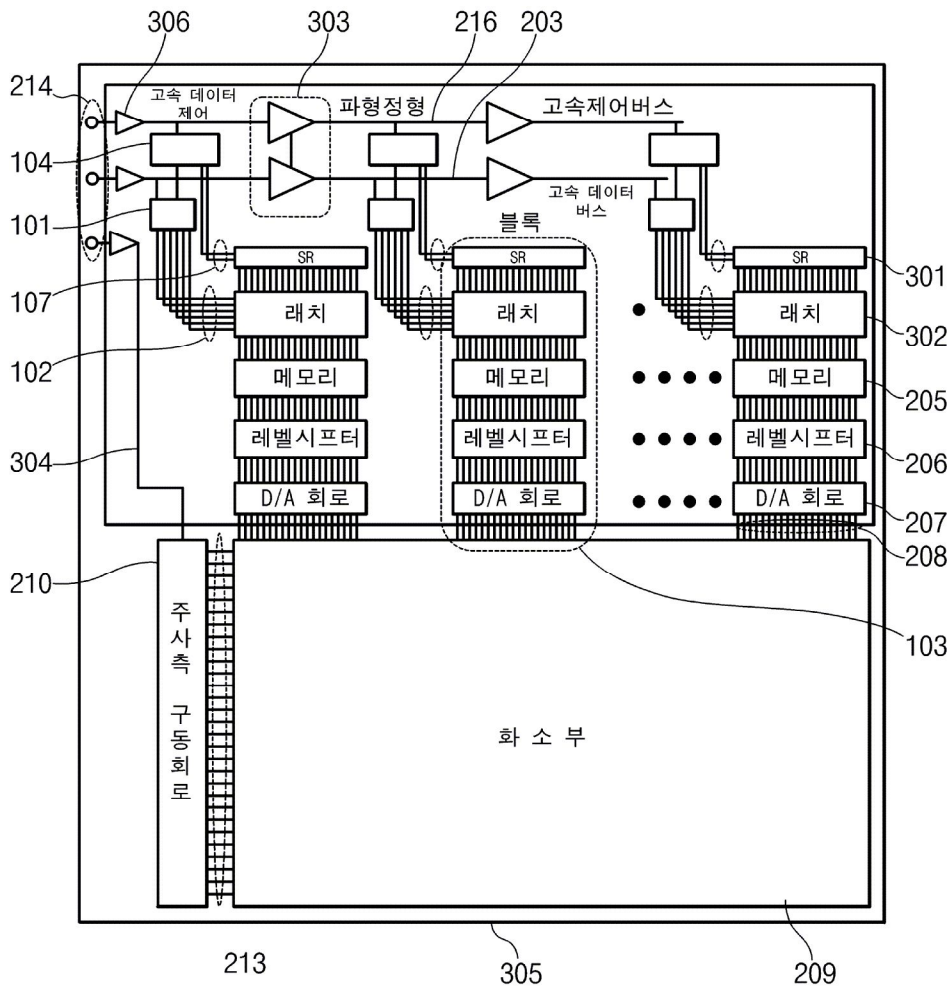
도면1



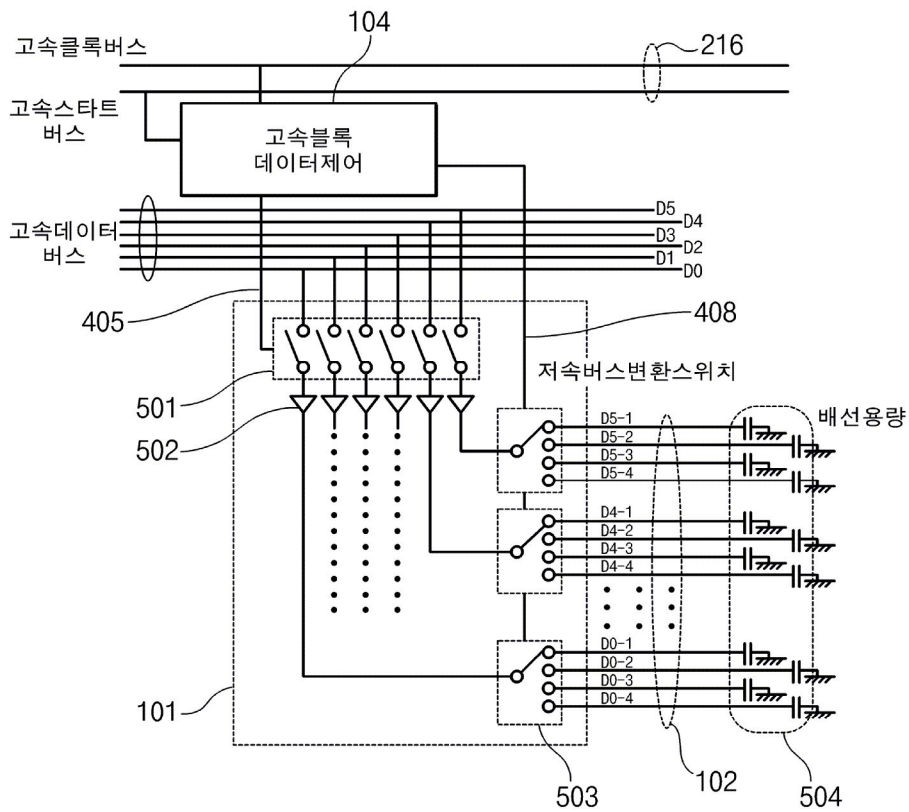
도면2



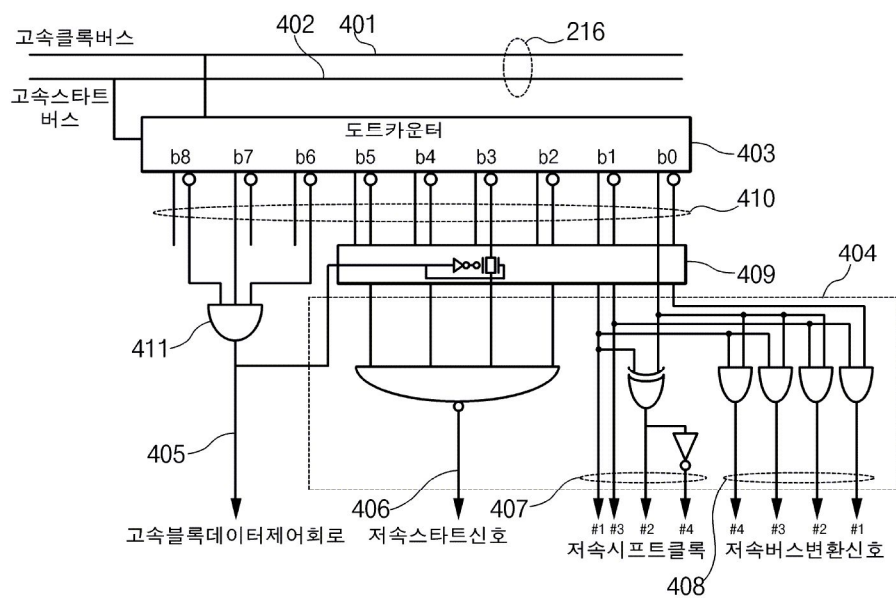
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020000062639A	公开(公告)日	2000-10-25
申请号	KR1020000009311	申请日	2000-02-25
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	Sikki日立制作所株式会社		
当前申请(专利权)人(译)	Sikki日立制作所株式会社		
[标]发明人	MIKAMI YOSHIRO 미카미요시로 SATOH HIDEO 사토히데오 KAGEYAMA HIROSHI 가게야마히로시 MASUDA KAZUHITO 마스다가즈히토		
发明人	미카미요시로 사토히데오 가게야마히로시 마스다가즈히토		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/00 G02F1/136		
CPC分类号	G09G3/3611 G09G3/3688 G09G2310/0218 G09G2310/027 G09G2370/08 H04L12/1836 H04L12/185 H04L45/16		
代理人(译)	韩, KYU HWAN		
优先权	1999049619 1999-02-26 JP		
其他公开文献	KR100713185B1		
外部链接	Espacenet		

摘要(译)

对于内置在本发明的液晶显示器中的外围电路，如果试图指示大尺寸高分辨率面板，则使用长总线以高速在外围电路中传输显示数据。为此，在本发明中，负载容量设置在面板上并联的小型高速总线（203）和低速控制总线（107）。尽管在高速总线（203）处产生了布线传输延迟，但是使高速电传输作为低速控制总线（107）可以作为整个阻塞（103）盒。紧凑的显示装置和使用其中接口电路简单的高速数据传输变得可能，可以获得大尺寸高分辨率面板。

