



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월11일
 (11) 등록번호 10-1384283
 (24) 등록일자 2014년04월04일

(51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) G02F 1/133 (2006.01)
 G09G 3/20 (2006.01)
 (21) 출원번호 10-2006-0114696
 (22) 출원일자 2006년11월20일
 심사청구일자 2011년11월15일
 (65) 공개번호 10-2008-0045498
 (43) 공개일자 2008년05월23일
 (56) 선행기술조사문헌
 KR100624116 B1
 KR1020040020421 A

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
 황인재
 충청남도 천안시 서북구 부성1길 28-6, 304호 (두정동)
 모상문
 충청남도 천안시 서북구 봉정로 365, 대우1차아파트 105동 2203호 (두정동)
 (74) 대리인
 특허법인가산

전체 청구항 수 : 총 10 항

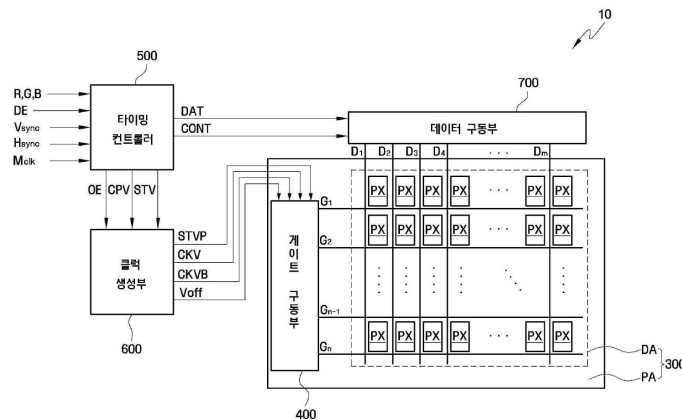
심사관 : 김태연

(54) 발명의 명칭 액정 표시 장치 및 그 구동 방법

(57) 요약

표시 품질을 향상시킬 수 있는 액정 표시 장치가 제공된다. 액정 표시 장치는 메인 클럭 신호를 입력받아 제1 클럭생성 제어신호와, 듀티비가 가변되는 제2 클럭생성 제어신호를 출력하는 타이밍 컨트롤러와, 제1 클럭생성 제어신호 신호 및 제2 클럭생성 제어신호를 제공받아 듀티비가 가변되고 서로 반대 위상을 갖는 제1 클럭 신호와 제2 클럭 신호를 출력하는 클럭 생성부와, 제1 클럭 신호 및 제2 클럭 신호를 제공받아 듀티비가 가변되는 게이트 신호를 출력하는 게이트 구동부 및 게이트 신호를 제공받아 온/오프되어 영상을 표시하는 다수의 화소를 포함하는 액정 패널을 포함한다.

대표도



특허청구의 범위

청구항 1

메인 클럭 신호를 입력받아 제1 클럭생성 제어신호와, 상기 메인 클럭 신호의 주파수에 대응하여 듀티비가 가변되는 제2 클럭생성 제어신호를 출력하는 타이밍 컨트롤러;

상기 제1 클럭생성 제어신호 및 상기 제2 클럭생성 제어신호를 제공받아 듀티비가 가변되고 서로 반대 위상을 갖는 제1 클럭 신호와 제2 클럭 신호를 출력하는 클럭 생성부;

상기 제1 클럭 신호 및 상기 제2 클럭 신호를 제공받아 듀티비가 가변되는 게이트 신호를 출력하는 게이트 구동부; 및

상기 게이트 신호를 제공받아 온/오프되어 영상을 표시하는 다수의 화소를 포함하는 액정 패널을 포함하는 액정 표시 장치.

청구항 2

제 1항에 있어서,

상기 타이밍 컨트롤러는 상기 메인 클럭의 주파수가 기준 주파수보다 작으면 상기 듀티비가 감소하고, 상기 메인 클럭의 주파수가 상기 기준 주파수보다 크면 상기 듀티비가 증가하는 상기 제2 클럭생성 제어신호를 출력하는 액정 표시 장치.

청구항 3

제 2항에 있어서,

상기 타이밍 컨트롤러는 상기 메인 클럭 신호의 주파수와 상기 기준 주파수를 비교하고 그 비교 결과에 따라 카운팅 횟수를 제어하는 카운팅 제어 신호를 제공하는 비교부와,

상기 카운팅 제어 신호에 해당하는 상기 카운팅 횟수만큼 상기 메인 클럭 신호의 라이징 에지 또는 폴링 에지를 카운팅하는 동안 하이 레벨인 상기 제2 클럭생성 제어신호를 출력하는 카운팅부를 포함하는 액정 표시 장치.

청구항 4

삭제

청구항 5

메인 클럭 신호를 입력받아 제1 클럭생성 제어신호와, 듀티비가 가변되는 제2 클럭생성 제어신호를 출력하는 타이밍 컨트롤러;

상기 제1 클럭생성 제어신호 및 상기 제2 클럭생성 제어신호를 제공받아 듀티비가 가변되고 서로 반대 위상을 갖는 제1 클럭 신호와 제2 클럭 신호를 출력하는 클럭 생성부;

상기 제1 클럭 신호 및 상기 제2 클럭 신호를 제공받아 듀티비가 가변되는 게이트 신호를 출력하는 게이트 구동부; 및

상기 게이트 신호를 제공받아 온/오프되어 영상을 표시하는 다수의 화소를 포함하는 액정 패널을 포함하되,

상기 타이밍 컨트롤러는 상기 제2 클럭생성 제어신호의 주파수가 기준 주파수보다 작으면 상기 듀티비가 감소하고, 상기 제2 클럭생성 제어신호의 주파수가 상기 기준 주파수보다 크면 상기 듀티비가 증가하는 상기 제2 클럭생성 제어신호를 출력하는 액정 표시 장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

제 1항에 있어서,

상기 제1 및 제2 클럭 신호는 각각 서로 다른 레벨을 갖는 제1 내지 제3 구간을 포함하고,

상기 제1 클럭 신호는 상기 제1 구간에서 제1 레벨이고, 상기 제2 구간에서 상기 제1 레벨과 다른 제2 레벨이고, 상기 제3 구간에서는 상기 제1 레벨에서 상기 제2 레벨로 천이하거나 상기 제2 레벨에서 상기 제1 레벨로 천이하고,

상기 제2 클럭 신호는 상기 제1 구간에서 상기 제2 레벨이고, 상기 제2 구간에서 상기 제1 레벨이고, 상기 제3 구간에서는 상기 제1 레벨에서 상기 제2 레벨로 천이하거나 상기 제2 레벨에서 상기 제1 레벨로 천이하고,

상기 메인 클럭 신호의 주파수가 기준 주파수보다 작으면 상기 제1 구간 및 제2 구간은 감소하고 상기 제3 구간은 증가하고,

상기 메인 클럭의 주파수가 상기 기준 주파수보다 크면 상기 제1 구간 및 제2 구간은 증가하고 상기 제3 구간은 감소하는 액정 표시 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

제 1항에 있어서,

상기 제2 클럭생성 제어신호의 한 주기당 하이 레벨인 시간은 상기 액정 표시 장치의 프레임 주파수에 관계없이 일정한 액정 표시 장치.

청구항 14

메인 클럭 신호를 입력받아 제1 클럭생성 제어신호 신호와, 상기 메인 클럭 신호의 주파수에 대응하여 듀티비가 가변되는 제2 클럭생성 제어신호를 출력하는 단계;

상기 제1 클럭생성 제어신호 및 상기 제2 클럭생성 제어신호를 제공받아 듀티비가 가변되고 서로 반대 위상을 갖는 제1 클럭 신호와 제2 클럭 신호를 출력하는 단계;

상기 제1 클럭 신호와 제2 클럭 신호를 제공받아 듀티비가 가변되는 게이트 신호를 출력하는 단계; 및

상기 게이트 신호를 제공받아 온/오프되어 영상을 표시하는 단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 15

제 14항에 있어서,

상기 제2 클럭생성 제어신호의 듀티비는,

상기 메인 클럭의 주파수가 기준 주파수보다 작으면 감소하고, 상기 메인 클럭의 주파수가 상기 기준 주파수보다 크면 증가하는 액정 표시 장치의 구동 방법.

청구항 16

제 15항에 있어서,
 상기 제2 클럭생성 신호를 출력하는 단계는,
 상기 메인 클럭 신호의 주파수와 상기 기준 주파수를 비교하는 단계와,
 그 비교 결과에 따라 카운팅 횟수를 제어하는 카운팅 제어 신호를 제공하는 단계와,
 상기 카운팅 제어 신호에 해당하는 상기 카운팅 횟수만큼 상기 메인 클럭 신호의 라이징 에지 또는 폴링 에지를 카운팅하는 동안 하이 레벨인 상기 제2 클럭생성 제어신호를 출력하는 단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 17

메인 클럭 신호를 입력받아 제1 클럭생성 제어신호와, 듀티비가 가변되는 제2 클럭생성 제어신호를 출력하는 단계;
 상기 제1 클럭생성 제어신호 및 상기 제2 클럭생성 제어신호를 제공받아 듀티비가 가변되고 서로 반대 위상을 갖는 제1 클럭 신호와 제2 클럭 신호를 출력하는 단계;
 상기 제1 클럭 신호와 제2 클럭 신호를 제공받아 듀티비가 가변되는 게이트 신호를 출력하는 단계; 및
 상기 게이트 신호를 제공받아 온/오프되어 영상을 표시하는 단계를 포함하되,
 상기 제2 클럭생성 제어신호의 듀티비는,
 상기 제2 클럭생성 제어신호의 주파수가 기준 주파수보다 작으면 감소하고, 상기 제2 클럭생성 제어신호의 주파수가 상기 기준 주파수보다 크면 증가하는 액정 표시 장치의 구동 방법.

청구항 18

삭제

청구항 19

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0024] 본 발명은 액정 표시 장치 및 그 구동 방법에 관한 것으로, 좀더 구체적으로는 표시 품질을 향상시킬 수 있는 액정 표시 장치 및 그 구동 방법에 관한 것이다.
- [0025] 액정 표시 장치는 게이트 구동 IC를 TCP(tape carrier package) 또는 COG(chip on the glass) 등의 방법으로 실장하였으나, 제조 원가 또는 제품의 크기, 설계적인 측면에서 다른 방법이 모색되고 있다. 즉, 게이트 구동 IC를 채택하지 않고, 비정질-실리콘 박막 트랜지스터(amorphous silicon Thin Film Transistor, 이하 'a-Si TFT'라 함)를 이용하여 게이트 신호를 발생시키는 게이트 구동부를 유리 기판에 실장하고 있다.
- [0026] 이러한 게이트 구동부는 다수의 a-Si TFT를 포함하는데, 게이트 신호를 출력하는 a-Si TFT는 제1 클럭 신호와 제2 클럭 신호를 제공받아 동작한다. 여기서 제1 클럭 신호와 제2 클럭 신호는 프레임(frame) 주파수에 따라 주파수 및 듀티비가 가변된다. 예컨대, 프레임 주파수가 저주파수인 경우에는 고주파수인 경우에 비해 제1 클럭 신호와 제2 클럭 신호의 하이 레벨인 시간이 증가하게 된다.
- [0027] 그런데, a-Si TFT는 높은 전하 이동도(mobility) 특성을 갖는데, 프레임 주파수가 저주파수인 경우, 고주파수인 경우에 비해 제1 클럭 신호 및 제2 클럭 신호의 듀티비가 증가하게 된다. 즉 한 주기당 하이 레벨인 시간이 긴

제1 클럭 신호와 제2 클럭 신호를 제공받은 a-Si TFT는 게이트 온 전압을 한 프레임동안 여러 번 출력할 수 있다. 즉, a-Si TFT의 오동작으로 인해 액정 표시 장치의 표시 품질이 저하된다.

[0028] 따라서 프레임 주파수에 관계없이 제1 클럭 신호 및 제2 클럭 신호의 하이 레벨인 시간을 일정하게 하여 게이트 신호를 출력하는 게이트 구동부의 오동작을 방지할 필요가 있다.

발명이 이루고자 하는 기술적 과제

[0029] 본 발명이 이루고자 하는 기술적 과제는 표시 품질을 향상시킬 수 있는 액정 표시 장치를 제공하는 것이다.

[0030] 본 발명이 이루고자 하는 다른 기술적 과제는 표시 품질을 향상시킬 수 있는 액정 표시 장치의 구동 방법을 제공하는 것이다.

[0031] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

[0032] 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 액정 표시 장치는, 메인 클럭 신호를 입력받아 제1 클럭생성 제어신호와, 듀티비가 가변되는 제2 클럭생성 제어신호를 출력하는 타이밍 컨트롤러와, 상기 제1 클럭생성 제어신호 신호 및 상기 제2 클럭생성 제어신호를 제공받아 듀티비가 가변되고 서로 반대 위상을 갖는 제1 클럭 신호와 제2 클럭 신호를 출력하는 클럭 생성부와, 상기 제1 클럭 신호 및 상기 제2 클럭 신호를 제공받아 듀티비가 가변되는 게이트 신호를 출력하는 게이트 구동부 및 상기 게이트 신호를 제공받아 온/오프되어 영상을 표시하는 다수의 화소를 포함하는 액정 패널을 포함한다.

[0033] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 액정 표시 장치의 구동 방법은, 메인 클럭 신호를 입력받아 제1 클럭생성 제어신호 신호와, 듀티비가 가변되는 제2 클럭생성 제어신호를 출력하는 단계와, 상기 제1 클럭생성 제어신호 및 상기 제2 클럭생성 제어신호를 제공받아 듀티비가 가변되고 서로 반대 위상을 갖는 제1 클럭 신호와 제2 클럭 신호를 출력하는 단계와, 상기 제1 클럭 신호와 제2 클럭 신호를 제공받아 듀티비가 가변되는 게이트 신호를 출력하는 단계 및 상기 게이트 신호를 제공받아 온/오프되어 영상을 표시하는 단계를 포함한다.

[0034] 기타 본 발명의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

[0035] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0036] 이하에서 듀티비(duty ratio)는 한 주기에 대한 하이 레벨인 시간의 비율을 의미한다.

[0037] 도 1 및 도 2를 참조하여 본 발명의 실시예들에 따른 액정 표시 장치를 설명한다. 도 1은 본 발명의 실시예들에 따른 액정 표시 장치를 설명하기 위한 블록도이고, 도 2는 도 1의 한 화소의 등가 회로도이다.

[0038] 도 1을 참조하면, 본 발명의 실시예들에 따른 액정 표시 장치(10)는 액정 패널(300), 타이밍 컨트롤러(500), 클럭 생성부(600), 게이트 구동부(400) 및 데이터 구동부(700)를 포함한다.

[0039] 액정 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분된다.

[0040] 표시부(DA)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm), 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기판(미도시)과, 컬러 필터(미도시)와 공통 전극(미도시)이 형성된 제2 기판(미도시), 제1 기판(미도시)과 제2 기판(미도시) 사이에 개재된 액정층(미도시)을 포함하여 영상을 표시한다. 게이트 라인(G1~Gn)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하다.

[0041] 도 2를 참조하여 도 1의 한 화소에 대해 설명하면, 제1 기판(100)의 화소 전극(PE)과 대향하도록 제2 기판(200)의 공통 전극(CE)의 일부 영역에 색필터(CF)가 형성될 수 있다. 예를 들어, i번째(i=1~n) 게이트 라인(Gi)과 j번째(j=1~m) 데이터 라인(Dj)에 연결된 화소(PX)는 신호선(Gi, Dj)에 연결된 스위칭 소자(Q)와 이에 연결된 액

정 커패시터(liquid crystal capacitor, Clc) 및 유지 커패시터(storage capacitor, Cst)를 포함한다. 유지 커패시터(Cst)는 필요에 따라 생략될 수 있다. 스위칭 소자(Q)는 a-Si(amorphous - silicon)으로 이루어진 TFT이다.

- [0042] 비표시부(PA)는 제1 기관(도 2의 100 참조)이 제2 기관(도 2의 200 참조)보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.
- [0043] 데이터 구동부(700)는, 예컨대 타이밍 컨트롤러(500)로부터 영상 신호(DAT), 데이터 제어 신호(CONT)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 여기서 데이터 제어 신호(CONT)는 데이터 구동부(700)의 동작을 제어하는 신호로써, 데이터 구동부(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함한다.
- [0044] 게이트 구동부(400)는 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB), 제2 스캔 개시 신호(STVP) 및 게이트 오프 전압(Voff)을 제공받아 다수의 게이트 라인(G1~Gn)에 게이트 신호를 제공한다.
- [0045] 여기서 도 3 및 도 4에 도시된 회로를 일례로, 게이트 구동부(400)에 대하여 구체적으로 설명한다. 다만, 게이트 구동부(400)는, 적어도 하나의 a-Si TFT를 포함하고, 도 3 및 도 4에 도시된 바에 한정되는 것은 아니다.
- [0046] 게이트 구동부(400)는 다수의 스테이지(ST₁, ..., ST_{n+1})를 포함하는데, 각 스테이지(ST₁, ..., ST_{n+1})는 서로 종속적으로 연결되어 있으며, 순차적으로 게이트 신호(Gout₁, ..., Gout_(n+1))를 출력하며, 게이트 오프 전압(Voff), 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB), 초기화 신호(INT)가 입력된다. 마지막 스테이지(ST_{n+1})를 제외한 모든 스테이지는 액정 패널(미도시)의 게이트 라인(미도시)과 일대일로 연결되어 있다. 여기서 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)는, 상술한 바와 같이 프레임 주파수에 관계없이 게이트 구동부(400)의 오동작을 최소화할 수 있는 소정의 듀티비를 갖는 신호이다.
- [0047] 각 스테이지(ST₁, ..., ST_{n+1})는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있다.
- [0048] 각 스테이지(ST₁, ..., ST_{n+1}), 예를 들면, j번째 스테이지(ST_j)의 셋 단자(S)에는 전단 스테이지(ST_{j-1})의 캐리 신호(Cout_(j-1))가, 리셋 단자(R)에는 후단 스테이지(ST_{j+1})의 게이트 신호(Gout_(j+1))가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT)가 입력된다. 게이트 출력 단자(OUT1)는 게이트 신호(Gout₁)를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호(Cout_(j))를 출력한다. 마지막 스테이지(ST_{n+1})의 캐리 신호(Cout_(n+1))는 초기화 신호로서 각 스테이지(ST₁, ..., ST_{n+1})에 제공된다.
- [0049] 단, 첫 번째 스테이지(ST₁)에는 전단 캐리 신호 대신 제2 스캔 개시 신호(STVP)가 입력되며, 마지막 스테이지(ST_{n+1})에는 후단 게이트 신호 대신 제2 스캔 개시 신호(STVP)가 입력된다.
- [0050] 여기서 도 4를 참조하여 도 9의 j번째 스테이지(ST_j)에 대하여 상세히 설명한다.
- [0051] 도 4를 참조하면, j번째 스테이지(ST_j)는 버퍼부(410), 충전부(420), 풀업부(430), 캐리 신호 발생부(470), 풀다운부(440), 방전부(450) 및 홀딩부(460)를 포함한다.
- [0052] 버퍼부(410)는 트랜지스터(T4)의 드레인과 게이트가 공통되어 셋 단자(S)를 통해 입력된 전단 스테이지(ST_{n-1})의 캐리 신호(Cout_(j-1))를, 소스에 연결된 충전부(420), 캐리 신호 발생부(470), 방전부(450) 및 홀딩부(460)에 제공한다.
- [0053] 충전부(420)는 일단이 트랜지스터(T4)의 소스와 방전부(750)에 연결되고, 타단이 게이트 출력 단자(OUT1)에 연결된 커패시터(C1)로 이루어진다. 충전부(420)는 전단 스테이지(ST_{n-1})의 캐리 신호(Cout_(j-1))에 따라 전하가 충전된다.
- [0054] 전단 스테이지(ST_{n-1})의 캐리 신호(Cout_(j-1))의 듀티비는 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 듀티비에 따라 달라진다. 즉, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 듀티비가 증가하면, 스테이지(ST_{n-1})의 캐리 신호(Cout_(j-1))의 듀티비도 증가하고, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 듀티비가 감소하면, 스테이

지(ST_{n-1})의 캐리 신호(Cout_(j-1))의 듀티비도 감소한다.

- [0055] 일반적으로, 액정 표시 장치의 프레임 주파수가 저주파수인 경우, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)는, 한 주기당 하이 레벨인 시간이 길게 된다. 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 한 주기당 하이 레벨인 시간이 긴 경우, 전단 스테이지(ST_{n-1})의 캐리 신호(Cout_(j-1))의 한 주기당 하이 레벨인 시간이 길게 되어 충전부(420)에 많은 전하량이 충전된다. 프레임 주파수가 고주파수인 경우에는 한 주기당 하이 레벨인 시간이 저주파수인 경우에 비해 작으므로, 충전부(420)에 적은 전하량이 충전된다.
- [0056] 여기서 충전부(430)의 전하량은 풀업부(430)의 턴온 및 턴오프를 결정한다. 즉, 프레임 주파수가 저주파수인 경우에는 충전부(430)에 충전된 전하량이 많게되어 풀업부(430)가 쉽게 턴온 되고, 프레임 주파수가 고주파수인 경우에는 충전부(430)에 충전된 전하량이 적어 풀업부(430)가 쉽게 턴온되지 않을 수 있다. 그러나 본 발명에서는 프레임 주파수에 관계없이, 한 주기당 하이 레벨인 시간이 일정한 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)를 게이트 구동부(400)에 제공한다. 따라서, 충전부(420)에 충전되는 전하량은 일정하게 유지된다.
- [0057] 풀업부(430)는 드레인이 제1 클럭 단자(CK1)에 연결되고, 게이트가 캐패시터(C1)의 일단에 연결되며, 소스가 캐패시터(C1)의 타단 및 게이트 출력 단자(OUT1)에 연결된 트랜지스터(T1)를 포함한다. 충전부(420)의 커패시터(C1)가 충전되면, 트랜지스터(T1)는 턴온되고, 제1 클럭 단자(CK1)를 통해 입력되는 제1 클럭 신호(CKV)를 게이트 출력 단자(OUT1)를 통해 게이트 신호(Gout_(j))로 제공한다.
- [0058] 상술한 바와 같이, 프레임 주파수가 저주파수이면, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 한 주기당 하이 레벨인 시간이 길기 때문에, 클럭 신호 풀업부(430)는 쉽게 턴온된다. 특히 고온에서 전하 이동도가 높아지므로, 풀업부(430)는 노이즈에 의해 쉽게 턴온될 수 있고, 이러한 경우, 한 프레임동안 여러 번 게이트 온 전압을 게이트 신호(Gout_(j))로서 게이트 라인에 출력할 수 있다. 그러나 본 발명에서는, 프레임 주파수에 관계없이, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 한 주기당 하이 레벨인 시간이 일정하므로, 충전부(440)에 소정의 전하량이 충전되어, 저주파수에서도 풀업부(430)의 오동작을 방지할 수 있다. 여기서 풀업부(430)의 오동작을 최소화하는 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 한 주기당 하이 레벨인 시간은 실험적으로 도출될 수 있다.
- [0059] 여기서 한 주기당 하이 레벨인 시간이 일정한 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)는, 타이밍 컨트롤러(500) 및 클럭 생성부(600)가 제공하는데, 이에 대한 설명은 후술한다.
- [0060] 한편, 캐리 신호 발생부(470)는 드레인이 제1 클럭 단자(CK1)에 연결되고, 소스가 게이트 출력 단자(OUT1)에 연결되고, 게이트가 버퍼부(710)와 연결되어 있는 트랜지스터(T15)와 게이트와 소스에 연결된 커패시터(C2)를 포함한다. 커패시터(C2)는 충전부(420)와 동일하게 충전되고, 트랜지스터는 커패시터(C2)가 충전되면, 제1 클럭 신호(CKV)를 캐리 출력 단자(OUT2)를 통해 캐리 신호(Cout_(j))로 출력한다.
- [0061] 풀다운부(440)는 드레인이 트랜지스터(T1)의 소스 및 캐패시터(C1)의 타단에 연결되고, 소스가 전원 전압 단자(GV)에 연결되고, 게이트가 리셋 단자(R)에 연결된 트랜지스터(T2)를 포함한다. 풀다운부(440)는 리셋 단자(R)를 통해 입력된 다음 스테이지(ST_{j+1})의 게이트 신호(Gout_(j+1))에 턴온되어 게이트 신호(Gout_(j))를 게이트 오프 전압(Voff)으로 풀다운시킨다.
- [0062] 방전부(450)는, 게이트가 리셋 단자(R)에 연결되고 드레인이 캐패시터(C1)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 다음 스테이지(ST_{j+1})의 게이트 신호(Gout_(j+1))에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)와, 게이트가 프레임 리셋 단자(FR)에 연결되고 드레인이 캐패시터(C1)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 충전부(420)를 방전시키는 트랜지스터(T6)를 포함한다. 즉, 방전부(450)는 다음 스테이지(ST_{j+1})의 게이트 신호(Gout_(j+1)) 또는 초기화 신호(INT)에 응답하여 캐패시터(C1)에 충전된 전하를 소스를 통해 게이트 오프 전압(Voff)으로 방전한다.
- [0063] 홀딩부(460)는 게이트 신호(Gout_(j))가 하이 레벨일 때 트랜지스터(T3)가 오프 상태를 유지하여 홀드 동작을 수행하고, 게이트 신호(Gout_(j))가 하이 레벨에서 로우 레벨로 변환된 후에는 트랜지스터(T3, T5)가 턴온되어 홀드 동작을 수행한다.
- [0064] 좀더 구체적으로 설명하면, 트랜지스터(T3)는 드레인이 게이트 출력 단자(OUT1)에 연결되고, 소스가 게이트 오프 전압(Voff)에 연결된다. 트랜지스터(T7, T8)는 게이트 출력 단자(OUT1)를 통해 출력되는 게이트 신호

(Gout_(j))가 하이 레벨일 때 턴온되어 트랜지스터(T3)의 게이트를 게이트 오프 전압(Voff)으로 풀다운시켜 턴 오프시키고, 따라서 게이트 신호(Gout_(j))의 하이 레벨을 홀딩한다.

- [0065] 트랜지스터(T11)는 드레인이 셋 단자(S)에 연결되고, 게이트가 제2 클럭 단자(CK2)에 연결되며, 소스가 캐패시터(C1)의 일단에 연결된다. 트랜지스터(T10)는 드레인이 트랜지스터(T11)의 소스 및 캐패시터(C1)의 일단에 연결되고, 게이트가 제1 클럭 단자(CK1)에 연결되며, 소스가 게이트 출력 단자(OUT1)에 연결된다. 트랜지스터(T5)는 드레인이 게이트 출력 단자(OUT1)에 연결되고, 게이트가 트랜지스터(T11)의 게이트와 공통하여 제2 클럭 단자(CK2)에 연결되며, 소스가 전원 전압 단자(GV)에 연결된다.
- [0066] 제2 클럭 신호(CKVB)가 하이 레벨일 때 게이트 신호(Gout_(j))는 로우 레벨이고 트랜지스터(T5)는 턴온되어, 게이트 출력 단자(OUT1)를 게이트 오프 전압(Voff)으로 홀딩하는 동작을 수행한다.
- [0067] 한편, 도 1의 타이밍 컨트롤러(500)는 외부의 그래픽 제어기(미도시)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수직 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등이 있다. 여기서 메인 클럭 신호(Mclk)의 주파수는 프레임 주파수에 따라 결정된다.
- [0068] 타이밍 컨트롤러(500)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 데이터 제어 신호(CONT2)를 생성하여, 데이터 제어 신호(CONT2)와 영상 데이터(DAT)를 데이터 구동부(700)로 보낸다.
- [0069] 또한, 타이밍 컨트롤러(500)는 제1 클럭생성 제어신호(OE), 제2 클럭생성 제어신호(CPV) 및 제1 스캔 개시 신호(STV)를 클럭 생성부(600)에 제공한다. 여기서 제1 클럭생성 제어신호(OE)는 게이트 신호를 인에이블시키는 게이트 인에이블 신호이고, 제1 스캔 개시 신호(STV)는 한 프레임의 시작을 알리는 신호이고, 제2 클럭생성 제어신호(CPV)는 게이트 신호의 듀티비를 결정하는 게이트 클럭 신호로서, 듀티비가 가변되는 신호이다.
- [0070] 일반적으로, 프레임 주파수가 결정되면, 제2 클럭생성 제어신호(CPV)의 주파수 및 듀티비가 결정된다. 즉, 프레임 주파수에 따라, 제2 클럭생성 제어신호(CPV)의 한 주기당 하이 레벨인 시간이 결정된다. 그러나, 본 발명에서는, 프레임 주파수에 관계없이, 한 주기당 하이 레벨인 시간을 일정하게 한다. 상술한 바와 같이, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)가 한 주기당 하이 레벨인 시간이 일정해야 게이트 구동부(400)의 오동작을 방지할 수 있는데, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)는, 제1 클럭생성 제어신호(OE) 및 제2 클럭생성 제어신호(CPV)에 의해 생성되므로, 타이밍 컨트롤러(500)는 프레임 주파수에 관계없이, 한 주기당 하이 레벨인 시간이 일정한 제2 클럭생성 제어신호(CPV)를 출력한다. 즉, 타이밍 컨트롤러(500)는 제2 클럭생성 제어신호(CPV)의 주파수는 변화시키지 않고, 듀티비를 조절한다.
- [0071] 클럭 생성부(600)는 제1 클럭생성 제어신호(OE), 제2 클럭생성 제어신호(CPV) 및 제1 스캔 개시 신호(STV)를 제공받아, 제1 클럭 신호(CKV), 제2 클럭 신호(CKVB), 제2 스캔 개시 신호(STVP) 및 게이트 오프 전압(Voff)을 게이트 구동부(400)에 제공한다.
- [0072] 여기서, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 듀티비는 제2 클럭생성 제어신호(CPV)의 듀티비에 따라 가변된다. 예컨대 제2 클럭생성 제어신호(CPV)의 듀티비가 증가하면, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 듀티비도 증가하고, 제2 클럭생성 제어신호(CPV)의 듀티비가 감소하면, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 듀티비도 감소할 수 있다. 즉, 타이밍 컨트롤러(500)가 프레임 주파수에 관계없이, 한 주기당 하이 레벨인 시간이 일정한 제2 클럭생성 제어신호(CPV)를 제공하므로, 클럭 생성부(600)는, 한 주기당 하이 레벨인 시간이 일정한 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)를 생성한다.
- [0073] 다시 말해서, 타이밍 컨트롤러(500)가 현재 액정 표시 장치(10)가 동작하고 있는 프레임 주파수에 관계없이, 게이트 구동부(400)의 오동작이 최소가 되도록 제2 클럭생성 제어신호(CPV)의 듀티비를 조절하고, 클럭 생성부(600)는 제2 클럭생성 제어신호(CPV)에 따라 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)를 제공한다. 따라서, 현재 액정 표시 장치(10)가 구동하고 있는 프레임 주파수에 관계없이, 게이트 구동부(400)의 오동작을 방지할 수 있다.
- [0074] 이하에서 구체적인 실시예들을 통해 타이밍 컨트롤러(500) 및 클럭 생성부(600)에 대해 설명한다.
- [0075] 도 5 내지 도 9를 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치를 설명한다. 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치의 타이밍 컨트롤러를 설명하기 위한 블록도이고, 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 클럭 생성부를 설명하기 위한 블록도이고, 도 7은 도 6의 디플립플롭을 설명하기 위한 블록도

이고, 도 8 및 도 9는 도 5 및 도 6의 타이밍 컨트롤러 및 클럭 생성부를 설명하기 위한 신호도이다. 설명의 편의상 제2 스캔 개시 신호 및 게이트 오프 전압의 출력 과정은 생략한다.

- [0076] 일반적으로 액정 표시 장치의 프레임 주파수가 결정되면, 메인 클럭 신호(Mc1k), 제2 클럭생성 제어신호(CPV)의 주파수 및 듀티비, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 듀티비가 결정된다. 예컨대, 프레임 주파수에 따라, 메인 클럭 신호(Mc1k)의 주파수가 결정되면, 제2 클럭생성 제어신호(CPV)는 메인 클럭 신호(Mc1k)의 라이징 에지의 카운팅하는 횟수에 따라 한 주기당 하이 레벨인 시간과 로우 레벨인 시간이 결정된다. 여기서 도 8 및 도 9를 참조하여 설명하면, 일반적인 타이밍 컨트롤러의 경우, 메인 클럭 신호(Mc1k)의 라이징 에지를 J_1 번 카운팅하는 동안 하이 레벨이고, K_1 번 카운팅 하는 동안 로우 레벨을 출력하도록 카운팅 횟수가 기 설정되어 있다.(이하에서 기 설정된 카운팅 횟수를 '기준 카운팅 횟수'라 함). 따라서 비교용 제2 클럭생성 제어신호(CPV_REF)의 하이 레벨인 시간은, 메인 클럭 신호(Mc1k)의 주파수 및 기준 카운팅 횟수에 따라 결정된다.
- [0077] 제2 클럭생성 제어신호(CPV)의 한 주기당 하이 레벨인 시간을 게이트 구동부(도 1의 400 참조)의 오동작을 최소화하는 소정의 시간으로 조절하기 위해, 메인 클럭 신호(Mc1k)의 주파수를 측정하고, 그에 따라 메인 클럭 신호(Mc1k)의 라이징 에지 또는 폴링 에지의 카운팅 횟수를 조절해야 한다. 즉, 실험을 통해 게이트 구동부(도 1의 400 참조)의 오동작을 최소화하는 메인 클럭 신호의 주파수(이하 '제1 기준 주파수'라 함)를 찾을 수 있으므로, 입력되는 메인 클럭 신호(Mc1k)의 주파수를 측정하고, 메인 클럭 신호(Mc1k)의 주파수가 제1 기준 주파수보다 작은 경우에는 카운팅 횟수를 감소시켜 제2 클럭생성 제어신호(CPV)의 한 주기당 하이 레벨인 시간을 감소시킨다. 또는, 입력되는 메인 클럭 신호(Mc1k)의 주파수가 제1 기준 주파수보다 큰 경우에는 카운팅 횟수를 증가시켜 제2 클럭생성 제어신호(CPV)의 한 주기당 하이 레벨인 시간을 증가시킨다.
- [0078] 먼저, 도 5 및 도 8을 참조하여, 메인 클럭 신호(Mc1k)의 주파수가 제1 기준 주파수보다 작은 경우, 제2 클럭생성 제어신호(CPV)를 출력하는 과정을 설명한다.
- [0079] 타이밍 컨트롤러(500)는 제1 클럭생성 제어신호 발생부(550)와 제2 클럭생성 제어신호 발생부(511)를 포함한다.
- [0080] 메인 클럭 신호(Mc1k)가 제공되면, 제1 클럭생성 제어신호 발생부(550)는 메인 클럭 신호(Mc1k)에 따라 제1 클럭생성 제어신호(OE)를 출력한다. 예컨대, 메인 클럭 신호(Mc1k)의 라이징 에지 또는 폴링 에지를 카운팅하여 하이 레벨 또는 로우 레벨인 구간이 결정될 수 있다.
- [0081] 비교부(531)는 메인 클럭 신호(Mc1k)를 제공받아 제1 기준 주파수와 주파수 크기를 비교하여, 카운팅 제어 신호(CN)를 카운팅부(521)에 제공한다. 메인 클럭 신호(Mc1k)의 주파수가 제1 기준 주파수보다 작은 경우에는, 비교부(531)는 기준 카운팅 횟수(J_1)보다 작은 J_2 번의 카운팅 횟수에 해당하는 카운팅 제어 신호(CN)를 카운팅부(521)에 제공한다.
- [0082] 카운팅(521)부는, 기 설정된 기준 카운팅 횟수(J_1 , K_1)로 메인 클럭 신호(Mc1k)를 카운팅하여 비교용 제2 클럭생성 제어신호(CPV_REF)를 출력하다가, 비교부(531)로부터 카운팅 제어 신호(CN)를 제공받은 후, 메인 클럭 신호(Mc1k)의 라이징 에지를 J_2 번 카운팅하는 동안 하이 레벨이고, K_1 번보다 큰 K_2 번 카운팅하는 동안 로우 레벨인 제2 클럭생성 제어신호(CPV)를 출력한다.
- [0083] 즉, 제2 클럭생성 제어신호 발생부(511)는, 메인 클럭 신호(Mc1k)의 주파수가 제1 기준 주파수보다 작은 경우, 듀티비가 감소된 제2 클럭생성 제어신호(CPV)를 출력한다.
- [0084] 도 5 및 도 8을 참조하여 메인 클럭 신호(Mc1k)의 주파수가 제1 기준 주파수보다 큰 경우, 듀티비가 증가된 제2 클럭생성 제어신호(CPV)를 출력하는 과정을 설명한다.
- [0085] 메인 클럭 신호(Mc1k)의 주파수가 제1 기준 주파수보다 큰 경우, 비교부(531)는 기준 카운팅 횟수(J_1)보다 큰 J_3 번의 카운팅 횟수에 해당하는 카운팅 제어 신호(CN)를 카운팅부(521)에 제공한다.
- [0086] 카운팅(521)부는, 기 설정된 기준 카운팅 횟수(J_1 , K_1)로 메인 클럭 신호(Mc1k)를 카운팅하여 비교용 제2 클럭생성 제어신호(CPV_REF)를 출력하다가, 비교부(531)로부터 카운팅 제어 신호(CN)를 제공받은 후, 메인 클럭 신호(Mc1k)의 라이징 에지를 J_3 번 카운팅하는 동안 하이 레벨이고, K_3 번 카운팅하는 동안 로우 레벨인 제2 클럭생성 제어신호(CPV)를 출력한다.
- [0087] 즉, 제2 클럭생성 제어신호 발생부(511)는, 메인 클럭 신호(Mc1k)의 주파수가 제1 기준 주파수보다 큰 경우, 비

교용 제2 클럭생성 제어신호(CPV_REF)의 듀티비보다 커진 제2 클럭생성 제어신호(CPV)를 출력한다.

- [0088] 여기서, 비교부(531)는, 기 저장된 제1 기준 주파수와 메인 클럭 신호(Mclk)의 주파수를 비교하는데, 입력되는 메인 클럭 신호(Mclk)의 주파수는 단위 시간당 메인 클럭 신호(Mclk)의 라이징 에지 또는 폴링 에지를 카운트하여 메인 클럭 신호(Mclk)의 주파수를 판단할 수 있다.
- [0089] 다시 말하면, 타이밍 컨트롤러(500)는, 프레임 주파수에 관계없이, 한 주기당 하이 레벨인 시간이 일정한 제2 클럭생성 제어신호(CPV)를 출력한다. 따라서, 타이밍 컨트롤러(5601)는 게이트 구동부(도 1의 400)의 오동작을 최소화할 수 있는 제2 클럭생성 제어신호(CPV)를 클럭 생성부(601)에 제공한다.
- [0090] 다음으로 도 6 내지 도 9를 참조하여, 듀티비가 조절된 제2 클럭생성 제어신호(CPV)를 이용하여, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)를 생성하는 클럭 생성부(601)에 대해 설명한다.
- [0091] 먼저, 도 6 내지 도 8을 참조하여, 메인 클럭 신호(Mclk)가 제1 기준 주파수보다 작은 경우, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)를 생성하는 과정에 대해 설명한다.
- [0092] 클럭 생성부(601)는 논리합 연산자(OR), 디플립플롭(610), 제1 클럭 전압 인가부(620), 제2 클럭 전압 인가부(630) 및 전하 공유부(640)을 포함한다. 다만, 클럭 생성부(601)의 내부 회로가 이에 한정되는 것은 아니다.
- [0093] 논리합 연산자(OR)는 제1 클럭생성 제어신호(OE)와 제2 클럭생성 제어신호(CPV)를 입력받아 논리합 연산을 하여 제3 클럭생성 제어신호(CPVX)를 생성하고, 디플립플롭(610)에 제공한다.
- [0094] 디플립플롭(610)은 도 7에 도시된 바와 같이, 제3 클럭생성 제어신호(CPVX)를 클럭 단자(CLK)로 입력받고, 입력 단자(D)와 출력바 단자(/Q)가 연결되어 있으므로, 출력 단자(Q)에서는 제3 클럭생성 제어신호(CPVX)의 라이징 에지마다 토글(toggle)되는 제2 클럭 인에이블 신호(ECS)가 출력되고, 출력바 단자(/Q)에서는 제2 클럭 인에이블 신호(ECS)와 위상이 반대인 제1 클럭 인에이블 신호(OCS)가 출력된다(도 8 참조).
- [0095] 제1 클럭 인에이블 신호(OCS)는 제1 클럭 전압 인가부(620)에 제공되고, 제2 클럭 인에이블 신호(ECS)는 제2 클럭 전압 인가부(630)에 제공된다.
- [0096] 제1 클럭 전압 인가부(620)는 제1 클럭 인에이블 신호(OCS)에 인에이블되어, 제1 클럭 인에이블 신호(OCS)가 하이 레벨인 경우 하이 레벨(Von)이고(도 8의 제1 구간 참조), 제1 클럭 인에이블 신호(OCS)가 로우 레벨인 경우 로우 레벨(Voff)인 제1 클럭 신호(CKV)를 출력한다(도 8의 제2 구간 참조). 또한 제 2 클럭 전압 인가부는 제2 클럭 인에이블 신호(ECS)에 인에이블되어, 제2 클럭 인에이블 신호(ECS)가 하이 레벨인 경우 하이 레벨(Von)이고(도 8의 제1 구간 참조), 제2 클럭 인에이블 신호(ECS)가 로우 레벨인 경우 로우 레벨(Voff)인 제2 클럭 신호(CKVB)를 출력한다(도 8의 제2 구간 참조).
- [0097] 여기서, 전하 공유부(640)는 제3 클럭생성 제어신호(CPVX)를 입력받아, 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)의 충전 및 방전시 전하를 공유시킨다.
- [0098] 좀더 구체적으로 설명하면, 도 8에 도시된 바와 같이, 제1 구간에서, 제1 클럭 신호(CKV)는 하이 레벨(Von)이고, 제2 클럭 신호(CKVB)는 로우 레벨(Voff)이다. 여기서 제3 클럭생성 제어신호(CPVX)가 로우 레벨이 되면, 제1 클럭 신호(CKV)는 방전을 시작하고, 제2 클럭 신호(CKVB)는 충전을 시작한다. 즉, 제3 구간에서, 전하를 공유하면서, 제1 클럭 신호(CKV)는 방전되어 점차 로우 레벨(Voff)로 천이되고, 제2 클럭 신호(CKVB)는 제1 클럭 신호(CKV)로부터 제공된 전하가 충전되어 점차 하이 레벨(Von)로 천이된다.
- [0099] 제2 구간에서 제1 클럭 신호(CKV)는 로우 레벨(Voff)이 되고, 제2 클럭 신호(CKVB)는 하이 레벨(Von)이 된다. 다음으로 제3 구간에서는, 또 다시 전하를 공유하여 제1 클럭 신호(CKV)는 충전을 시작하고, 제2 클럭 신호(CKVB)는 방전을 시작한다. 여기서 전하를 공유하는 구간 즉, 제3 구간은 제3 클럭생성 제어신호(CPVX)의 듀티비에 따라 조절된다. 제3 클럭생성 제어신호(CPVX)의 듀티비가 증가하면, 제3 구간이 줄어들어든다. 또는 제3 클럭생성 제어신호(CPVX)의 듀티비가 감소하면, 제3 구간이 증가하고, 제1 구간 및 제2 구간은 줄어들게 된다. 즉, 제3 클럭생성 제어신호(CPVX)의 듀티비가 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 듀티비를 결정한다.
- [0100] 도 9를 참조하면, 메인 클럭 신호(Mclk)의 주파수가 제1 기준 주파수보다 큰 경우, 상술한 바와 같이, 제2 클럭생성 제어신호(CPV)의 듀티비가 증가하고, 따라서 제3 클럭생성 제어신호(CPVX)의 듀티비도 증가하게 된다. 제3 클럭생성 제어신호(CPVX)의 로우 레벨인 구간이 줄어들게 되므로, 전하를 공유하는 구간인 제3 구간이 줄어들게 되고, 제1 구간 및 제2 구간이 증가하게 된다. 즉, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 듀티비가 증가하게 된다.

- [0101] 따라서, 프레임 주파수에 관계없이, 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)의 듀티비가 가변되어, 한 주기당 하이 레벨인 시간이 일정하게 유지된다. 여기서 한 주기당 하이 레벨인 시간은 게이트 구동부(도 1의 400 참조)의 오동작을 최소화할 수 있는 시간이다.
- [0102] 이하에서 도 10을 참조하여 본 발명의 다른 실시예에 따른 액정 표시 장치를 설명한다. 도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치의 타이밍 제어부를 설명하기 위한 블록도이다. 도 5에 도시된 구성 요소와 동일한 기능을 하는 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 설명의 편의상 해당 구성 요소의 상세한 설명은 생략한다.
- [0103] 이전 실시예에서는 메인 클럭 신호(Mc1k)를 제1 기준 주파수와 비교하여 제2 클럭생성 제어신호(CPV)의 듀티비를 조절한다. 본 실시예에서는, 이와 달리, 제2 클럭생성 제어신호(CPV)를 제2 기준 주파수와 비교하여 제2 클럭생성 제어신호(CPV)의 듀티비를 조절한다. 여기서 제2 기준 주파수는 게이트 구동부(도 1의 400 참조)의 오동작을 최소화하는 제2 클럭생성 제어신호(CPV)의 주파수를 의미한다.
- [0104] 도 10을 참조하여 좀 더 구체적으로 설명하면, 먼저 카운팅부(522)는 기준 카운팅 횟수에 대응하는 카운팅 제어 신호(CN)를 제공받아, 하이 레벨 및 로우 레벨을 출력한다.
- [0105] 다음으로, 비교부(532)가 제2 클럭생성 제어신호(CPV)를 입력받아, 제2 클럭생성 제어신호(CPV)의 주파수가 제2 기준 주파수보다 작으면, 기준 카운팅 횟수보다 더 작은 카운팅 횟수를 나타내는 카운팅 제어 신호(CN)를 제공하고, 제2 클럭생성 제어신호(CPV)의 주파수가 제2 기준 주파수보다 크면, 제2 기준 카운팅 횟수보다 더 큰 카운팅 횟수를 나타내는 카운팅 제어 신호(CN)를 제공한다.
- [0106] 카운팅부(522)는 비교부(531)로부터 제공된 카운팅 제어 신호(CN)에 따라 메인 클럭 신호(Mc1k)의 라이징 에지 또는 폴링 에지를 카운팅하는 동안 하이 레벨인 제2 클럭생성 제어신호(CPV)를 출력한다. 카운팅부(521)는, 제2 클럭생성 제어신호(CPV)의 주파수가 제2 기준 주파수보다 작으면 제2 클럭생성 제어신호(CPV)의 듀티비를 감소시키고, 제2 클럭생성 제어신호(CPV)의 주파수가 제2 기준 주파수보다 크면 제2 클럭생성 제어신호(CPV)의 듀티비를 증가시킨다. 따라서, 게이트 구동부(도 1의 400 참조)의 오동작을 최소화 할 수 있는 듀티비를 갖는 제2 클럭생성 제어신호(CPV)를 출력할 수 있다.
- [0107] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

- [0108] 상술한 바와 같은 본 발명에 실시예에 따른 액정 표시 장치에 의하면, 프레임 주파수에 관계없이 게이트 구동부의 오동작이 줄어들어 표시 품질을 향상시킬 수 있다.

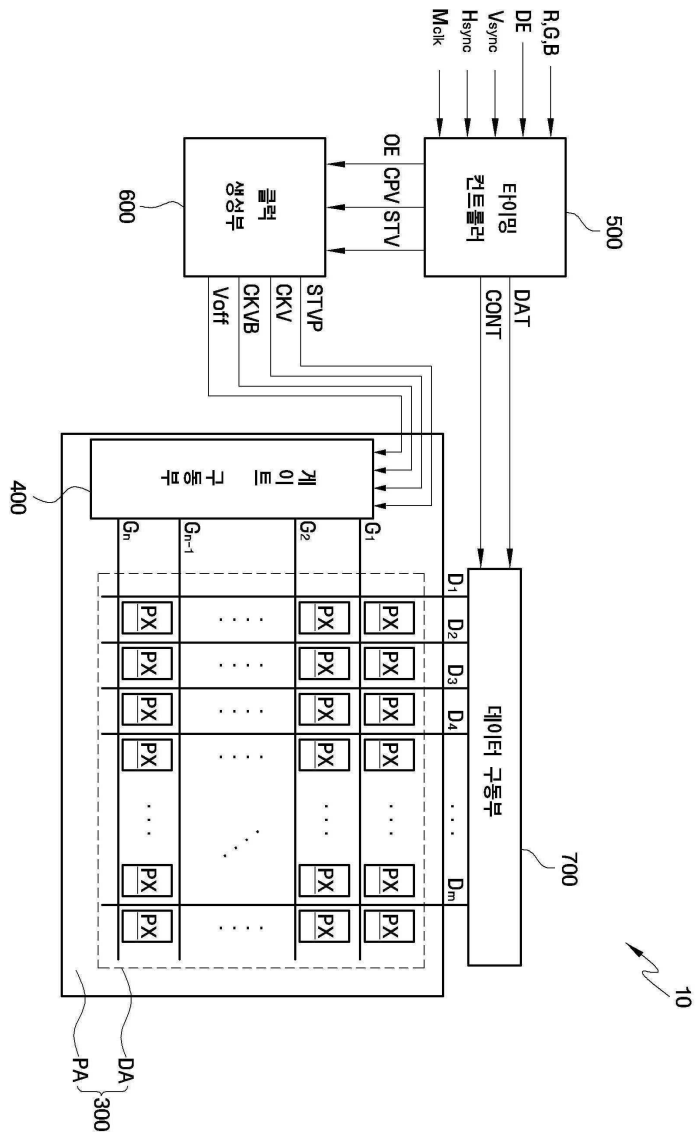
도면의 간단한 설명

- [0001] 도 1은 본 발명의 실시예들에 따른 액정 표시 장치를 설명하기 위한 블록도이다.
- [0002] 도 2는 도 1의 한 화소의 등가 회로도이다.
- [0003] 도 3은 도 1의 게이트 구동부를 설명하기 위한 블록도이다.
- [0004] 도 4는 도 3의 j번째 스테이지를 설명하기 위한 회로도이다.
- [0005] 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치의 타이밍 컨트롤러를 설명하기 위한 블록도이다.
- [0006] 도 6은 본 발명의 본 발명의 일 실시예에 따른 액정 표시 장치의 클럭 생성부를 설명하기 위한 블록도이다.
- [0007] 도 7은 도 6의 디플립플롭을 설명하기 위한 블록도이다.
- [0008] 도 8 및 도 9는 도 5 및 도 6의 타이밍 컨트롤러 및 클럭 생성부를 설명하기 위한 신호도이다.
- [0009] 도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치의 타이밍 컨트롤러를 설명하기 위한 블록도이다.
- [0010] (도면의 주요부분에 대한 부호의 설명)

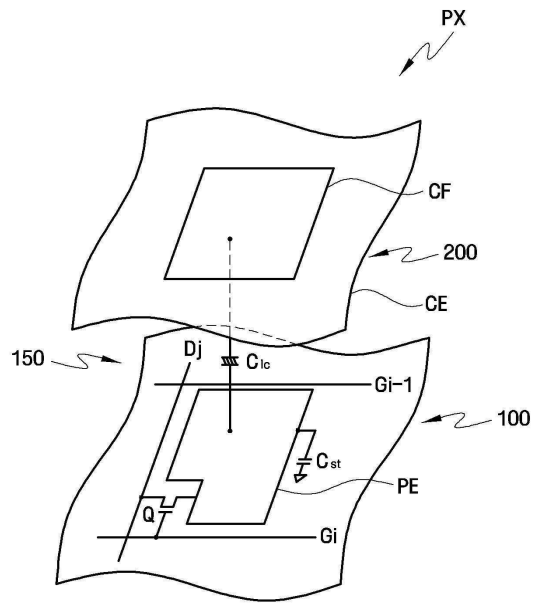
| | | |
|--------|----------------------------|-------------------|
| [0011] | 10: 액정 표시 장치 | 100: 제1 기관 |
| [0012] | 200: 제2 기관 | 300: 액정 패널 |
| [0013] | 400: 게이트 구동부 | 410: 버퍼부 |
| [0014] | 420: 충전부 | 430: 풀업부 |
| [0015] | 440: 풀다운부 | 450: 방전부 |
| [0016] | 460: 홀딩부 | 470: 캐리 신호 발생부 |
| [0017] | 500: 타이밍 컨트롤러 | |
| [0018] | 511, 512: 제1 클럭생성 제어신호 발생부 | |
| [0019] | 550: 제2 클럭생성 제어신호 발생부 | |
| [0020] | 521, 522: 카운팅부 | 531, 532: 비교부 |
| [0021] | 600: 클럭 생성부 | 610: 디플립플롭 |
| [0022] | 620: 제1 클럭 전압 인가부 | 630: 제2 클럭 전압 인가부 |
| [0023] | 640: 전하 공유부 | 700: 데이터 구동부 |

도면

도면1

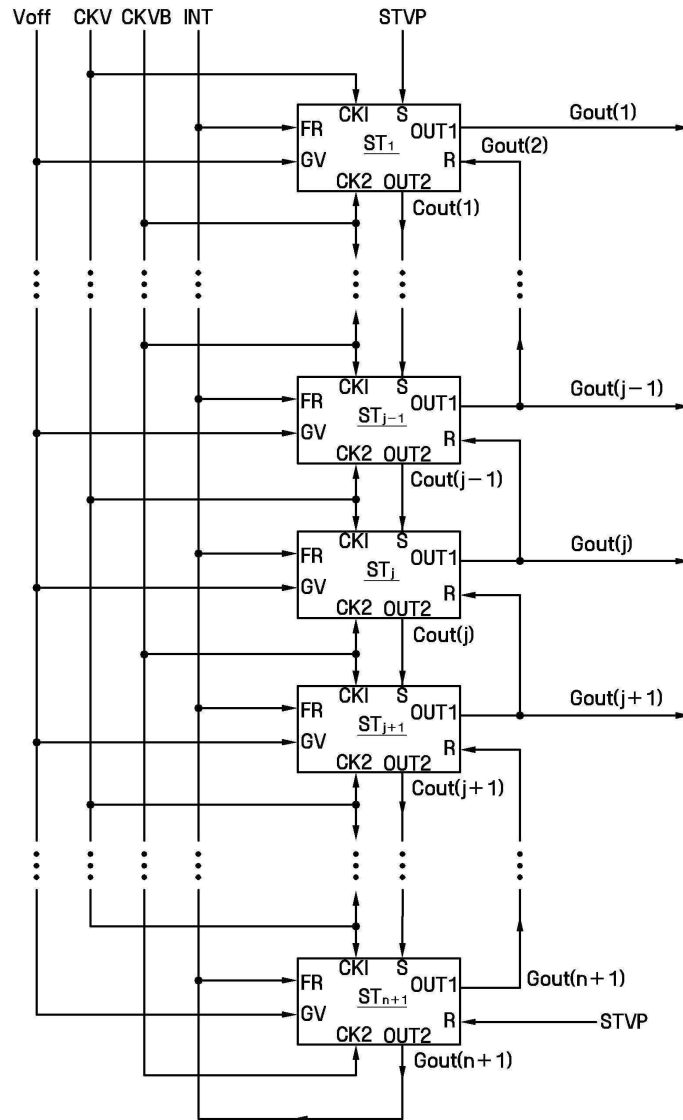


도면2

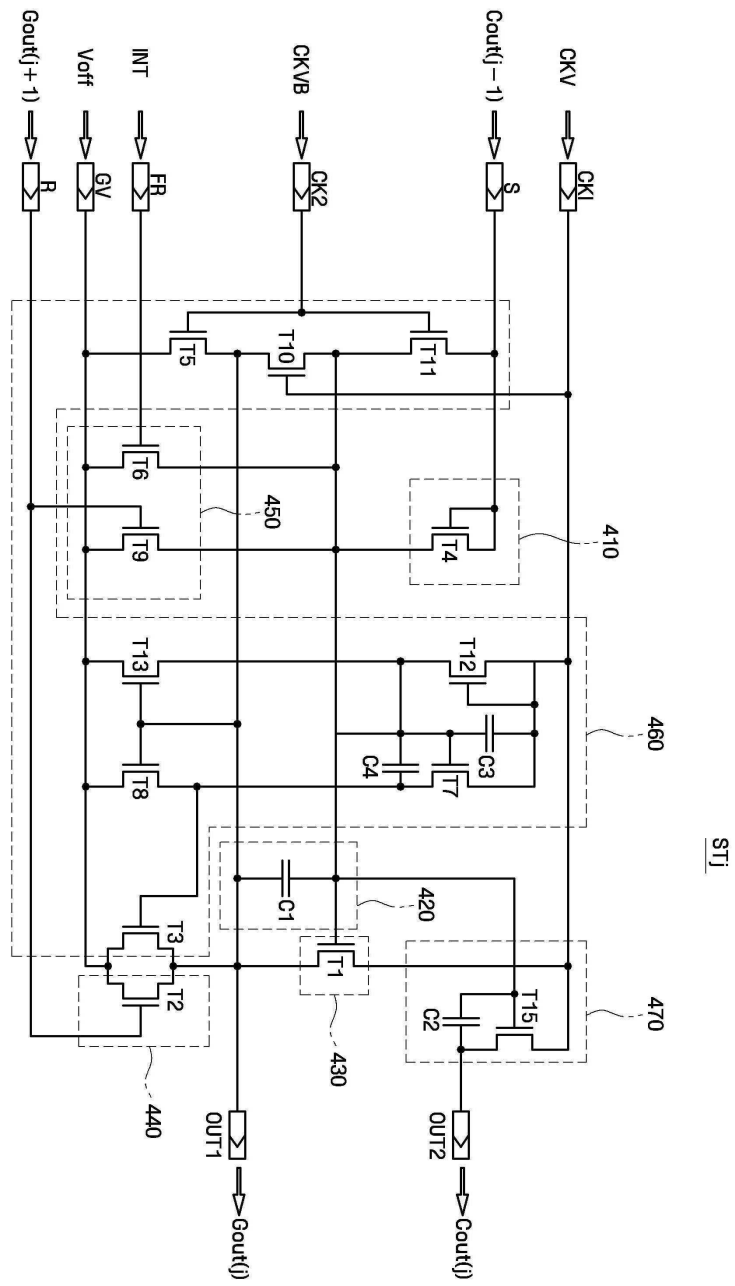


도면3

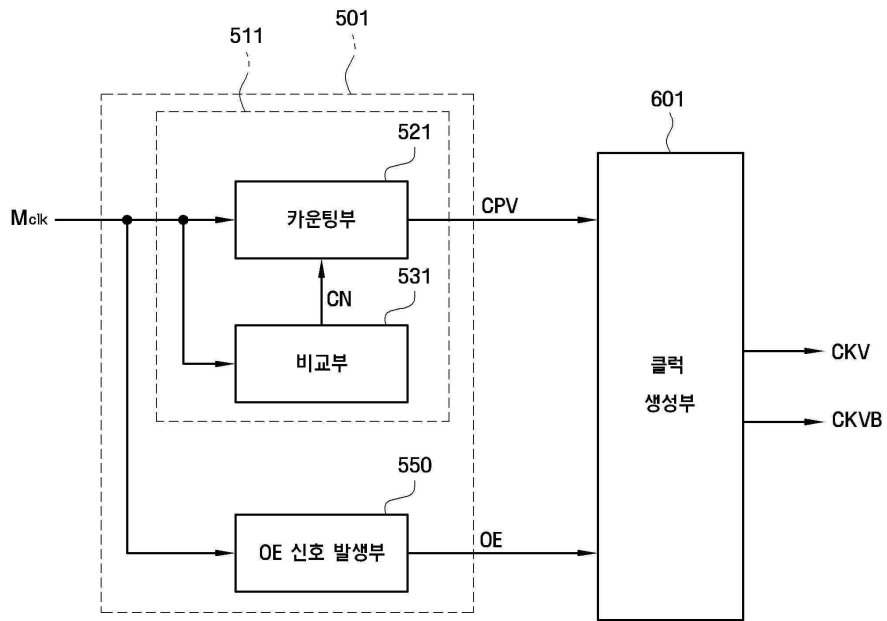
400



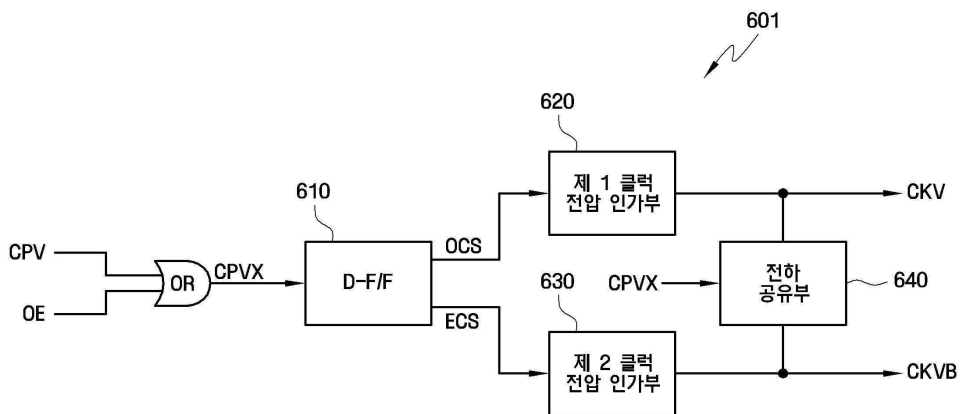
도면4



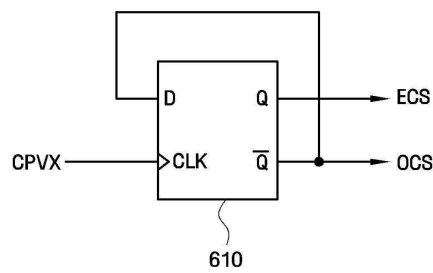
도면5



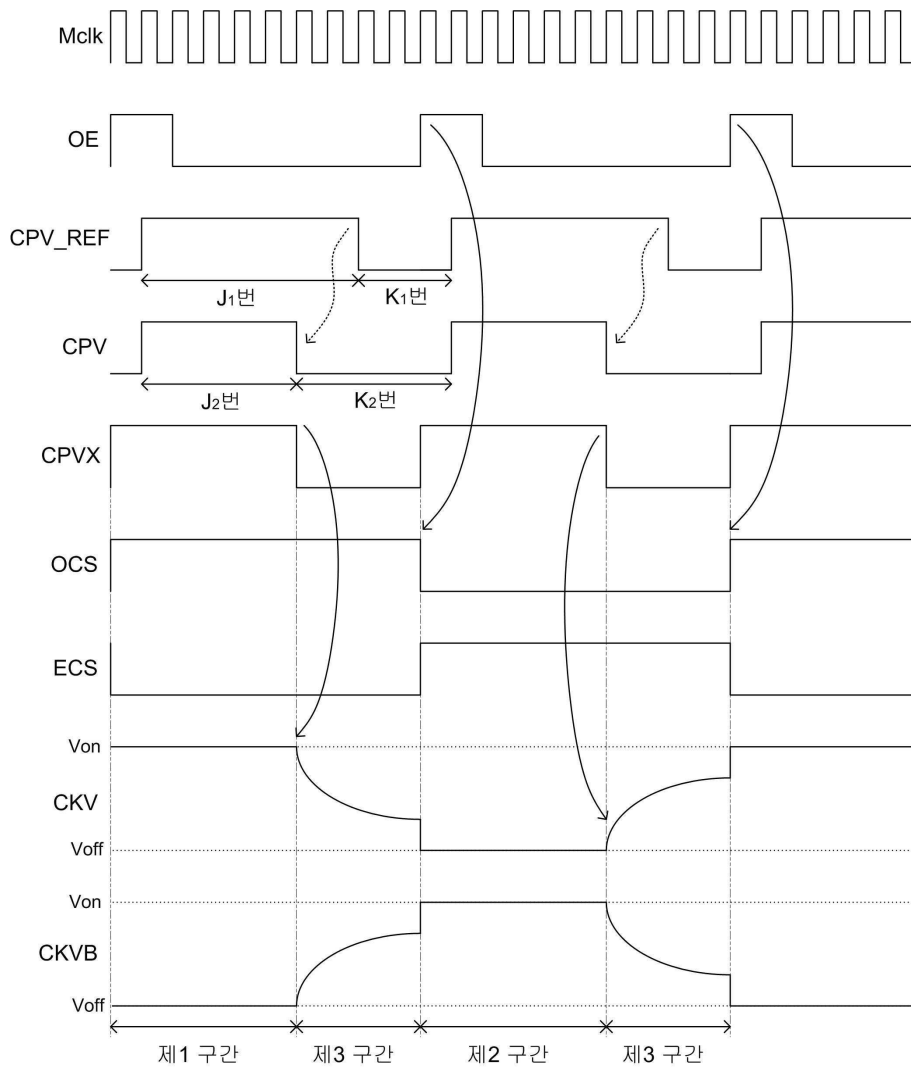
도면6



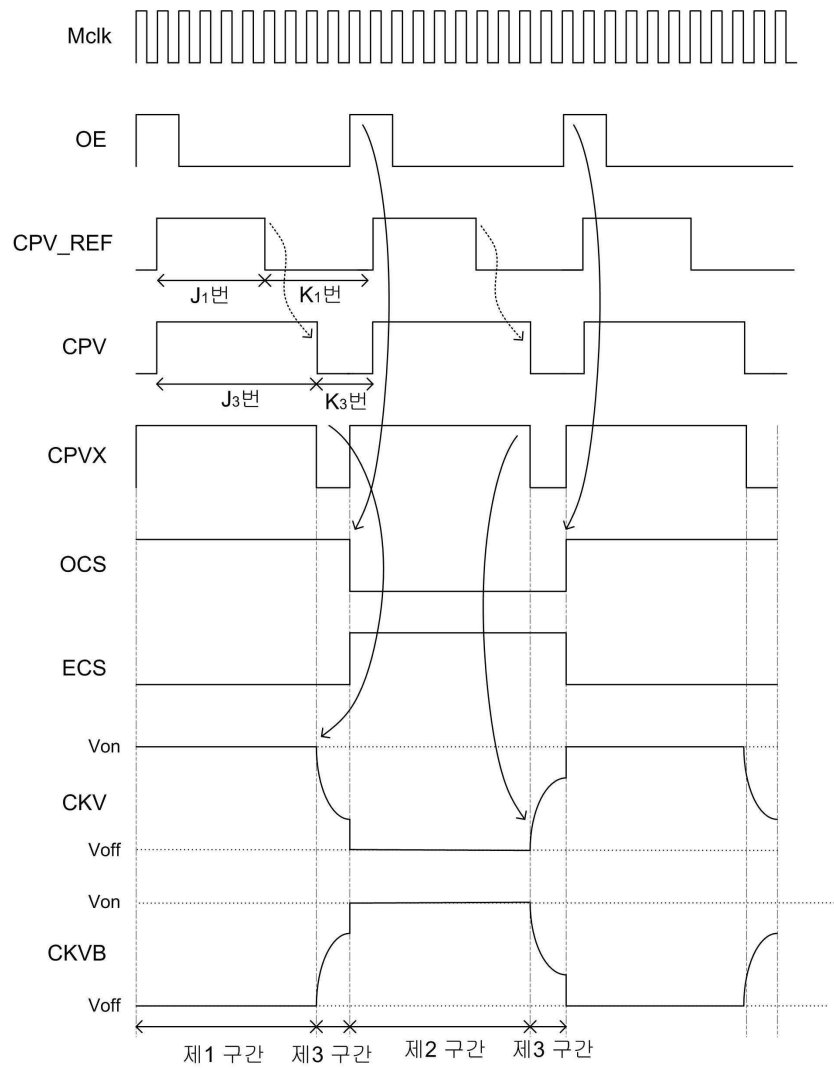
도면7



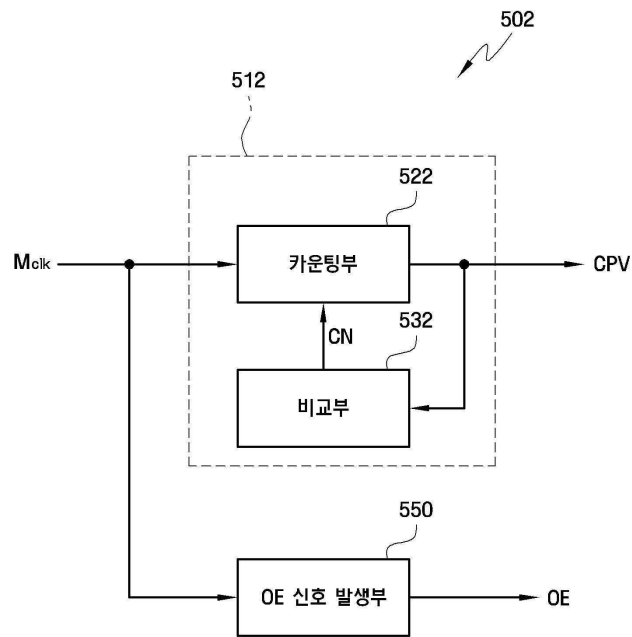
도면8



도면9



도면10



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 标题：液晶显示装置及其驱动方法 | | |
| 公开(公告)号 | KR101384283B1 | 公开(公告)日 | 2014-04-11 |
| 申请号 | KR1020060114696 | 申请日 | 2006-11-20 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| 当前申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | HWANG IN JAE 황인재 MOH SANG MOON 모상문 | | |
| 发明人 | 황인재 모상문 | | |
| IPC分类号 | G09G3/36 G02F1/133 G09G3/20 | | |
| CPC分类号 | G09G2300/0408 G09G2310/0286 G09G2300/0417 G09G3/3611 G09G3/3677 G09G2310/08 G11C19/184 | | |
| 其他公开文献 | KR1020080045498A | | |
| 外部链接 | Espacenet | | |

摘要(译)

提供一种能够改善显示质量的液晶显示装置。液晶显示装置包括：定时控制器，用于接收主时钟信号并输出第一时钟产生控制信号；以及第二时钟产生控制信号，具有改变第一时钟产生控制信号和第二时钟产生控制信号的占空比，第一时钟信号和第二时钟信号，用于输出占空比变化且相位相反的第一时钟信号和第二时钟信号，以及包括驱动器和多个像素的液晶面板，所述多个像素通过接收栅极信号而接通/断开以显示图像。

