



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월18일
(11) 등록번호 10-0852806
(24) 등록일자 2008년08월11일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2002-0045651

(22) 출원일자 2002년08월01일

심사청구일자 2007년05월25일

(65) 공개번호 10-2004-0012208

(43) 공개일자 2004년02월11일

(56) 선행기술조사문헌

KR1020010112586 A

KR1020000057644 A

KR1020010063296 A

전체 청구항 수 : 총 2 항

(73) 특허권자

비오이 하이디스 테크놀로지 주식회사

경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자

이경하

경기도이천시부발읍아미리699-7현대3

차아파트301-1403

김귀현

경기도수원시권선구세류1동216-19

(74) 대리인

나승택, 조영현

심사관 : 윤성주

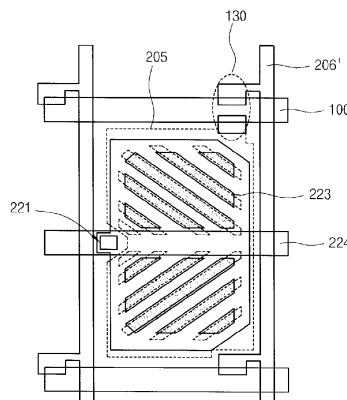
(54) 액정 표시 장치의 제조 방법

(57) 요약

본 발명은 프린지 필드 구동 액정표시장치(Fringe Field Switch Liquid Crystal Display)의 제조에 있어서, 포토 공정 수를 줄이어 전체 공정을 단순화할 수 있는 액정표시장치의 제조 방법에 관해 개시한다.

개시된 본 발명의 액정표시장치의 제조 방법은 UFFS 모드의 액정 표시장치의 제조 방법에 있어서, 기판 전면에 제 1금속막을 형성하는 단계와, 제 1포토리소그래피 공정에 의해 상기 제 1금속막을 식각하여 공통 게이트 전극을 형성하는 단계와, 상기 공통 게이트 전극을 포함한 기판 전면에 절연막 및 비정질 실리콘막을 차례로 형성하는 단계와, 제 2포토리소그래피 공정에 의해 상기 비정질 실리콘막을 식각하여 활성층 및 카운터전극 형성용 실리콘층을 각각 형성하는 단계와, 상기 활성층 및 카운터전극 형성용 실리콘층을 포함한 기판 전면에 제 2금속막을 형성하는 단계와, 제 3포토리소그래피 공정에 의해 상기 제 2금속막을 식각하여 소오스/드레인 전극을 형성하는 단계와, 상기 결과물에 열처리를 진행하여 상기 소오스/드레인 전극과 상기 활성층의 계면 및 상기 카운터전극 형성용 실리콘층과 그 상부에 잔류된 제 2금속막 계면에 각각 금속 실리사이드막을 형성하는 단계와, 상기 금속 실리사이드막을 포함한 기판 전면에 보호막을 형성하는 단계와, 제 4포토리소그래피 공정에 의해 상기 보호막을 식각하여 드레인 전극을 노출시키는 개구부를 형성하는 단계와, 상기 개구부를 포함한 기판 전면에 투명도전막을 형성하는 단계와, 제 5포토리소그래피 공정에 의해 상기 투명도전막을 식각하여 개구부를 덮어 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

UFFS 모드에 액정 표시장치의 제조 방법에 있어서,
 기관 전면에서 제 1금속막을 형성하는 단계와,
 제 1포토리소그래피 공정에 의해 상기 제 1금속막을 식각하여 공통 게이트 전극을 형성하는 단계와,
 상기 공통 게이트 전극을 포함한 기관 전면에서 절연막 및 비정질 실리콘막을 차례로 형성하는 단계와,
 제 2포토리소그래피 공정에 의해 상기 비정질 실리콘막을 식각하여 활성층 및 카운터전극 형성용 실리콘층을 각각 형성하는 단계와,
 상기 활성층 및 카운터전극 형성용 실리콘층을 포함한 기관 전면에서 제 2금속막을 형성하는 단계와,
 제 3포토리소그래피 공정에 의해 상기 제 2금속막을 식각하여 소오스/드레인 전극을 형성하는 단계와,
 상기 결과물에 열처리를 진행하여 상기 소오스/드레인 전극과 상기 활성층의 계면 및 상기 카운터전극 형성용 실리콘층과 그 상부에 잔류된 제 2금속막의 계면에 각각 금속 실리사이드막을 형성하는 단계와,
 상기 금속 실리사이드막을 포함한 기관 전면에서 보호막을 형성하는 단계와,
 제 4포토리소그래피 공정에 의해 상기 보호막을 식각하여 드레인 전극을 노출시키는 개구부를 형성하는 단계와,
 상기 개구부를 포함한 기관 전면에서 투명도전막을 형성하는 단계와,
 제 5포토리소그래피 공정에 의해 상기 투명도전막을 식각하여 개구부를 덮어 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함한 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 2

제 1항에 있어서, 상기 제 2금속막은 Mo, Ni, Pd, Cr 및 Ti 중 어느 하나를 이용하는 것을 특징으로 하는 액정 표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <4> 본 발명은 프린지 필드 구동 액정표시장치의 제조 방법에 관한 것으로, 특히 프린지 필드 구동 액정표시장치(Fringe Field Switch Liquid Crystal Display)의 제조에 있어서, 포토 공정 수를 줄이며 전체 공정을 단순화할 수 있는 액정표시장치의 제조 방법에 관한 것이다.
- <5> 일반적으로 FFS 모드 액정 표시 장치는 일반적인 IPS 모드 액정 표시 장치의 낮은 개구율 및 투과율을 개선시키기 위하여, 대한민국 특허출원 제98-9243호로 출원되었다.
- <6> 이러한 FFS 모드 액정 표시 장치는 카운터 전극과 화소 전극을 투명 전도체로 형성하면서, 카운터 전극과 화소 전극과의 간격을 상하 기관 사이의 간격보다 좁게 형성하여, 카운터 전극과 화소 전극 상부에 프린지 필드(fringe filed)가 형성되도록 함으로써, 전극들 상부에 존재하는 액정 분자들이 모두 동작되도록 한다.
- <7> 도 1은 종래 기술에 따른 UFFS(Ultra-FFS) 모드의 액정 표시 장치의 하부기관을 나타낸 레이아웃도이다.
- <8> 이하, 첨부된 도면을 참조하여 종래의 UFFS 모드의 액정 표시 장치에 대하여 설명하기로 한다.
- <9> 종래기술에 따른 UFFS 모드의 액정표시장치는, 도 1에 도시한 바와 같이, 하부기관(도면에 도시하지 않았음)상에 게이트 버스 라인(10) 및 데이터 버스 라인(20)이 교차 배열되어 단위 화소를 한정하고, 상기 게이트 버스 라인(10)과 데이터 버스 라인(20)의 교차점 부근에는 박막 트랜지스터(30)가 형성된다. 이때, 상기 게이트 버스

라인(10) 사이에 독립적으로 공통전극 라인(40)이 형성된다.

- <10> 그리고 상기 단위 화소 영역에 사각 플레이트 형상으로 투명한 물질로 구성된 카운터 전극(50)이 형성되며, 상기 카운터 전극(50)은 상기 공통 전극 라인(40)과 콘택되어 지속적으로 공통 신호를 인가 받는다.
- <11> 이어, 상기 카운터 전극(50)과 오버랩되도록 상기 단위 화소 영역에 각각 투명한 물질로 화소전극(60)이 형성된다. 이때, 상기 화소전극(60)은 빗살모양으로 형성되며, 상기 화소전극(60)은 상기 박막 트랜지스터(30)의 드레인 전극과 소정부분 콘택된다.
- <12> 한편, 상기 카운터 전극(50)과 상기 화소전극(60)은 게이트 절연막(도면에 도시하지 않았음)을 사이에 두고 절연된다.
- <13> 여기서, 상기와 같이 구성된 종래의 프린지 필드 구동 액정 표시 장치는 다음과 같이 동작한다.
- <14> 상기 카운터 전극(50)과 화소전극(60) 사이에 전계가 형성되면, 상기 카운터 전극(50)과 화소전극(60) 사이의 거리 즉, 게이트 절연막의 두께보다 상하부 기관간의 거리가 크므로 상기 카운터 전극(50)과 화소전극(60) 사이에 수직 성분을 포함하는 프린지 필드가 형성된다. 상기와 같은 프린지 필드는 상기 카운터 전극(50) 및 화소전극(60) 상부 전역에 미치게 되며, 전극 상부에 있는 액정 분자들을 모두 동작시킨다.
- <15> 즉, 액정 분자들의 배향을 0도로 위치시킴으로써 전계에 의한 액정의 비틀림이 상부기관과 하부기관이 반대 방향으로 하게 하여 액정의 유전율 이방성에 의한 블루, 옐로우로 색도가 이동되는 것을 보상한다.

발명이 이루고자 하는 기술적 과제

- <16> 그러나, 종래의 기술에서는 화소 전극과 중첩되는 카운터 전극의 형상이, 도 1에 도시된 바와같이, 빗살 모양으로 형성되어 액정배향을 0 도로 위치시키므로써 전계에 의한 액정의 비틀림이 상측과 하측이 반대방향이 되게 하여 액정의 유전율 이방성에 의한 푸른 빛(bluish), 노란빛(yellowish)으로 색도가 이동되는 것을 보상하게 된다.
- <17> 이러한 방법에 의한 프린지필드 스위칭모드의 액정표시장치는 전극간의 중첩영역이 매우 넓어 장시간 전기적 동작에 의한 열화도 염려가 나쁘다는 단점이 있다.
- <18> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 액티브층을 화소 전극 하부에 위치시켜 상부쪽으로 금속 실리사이드막을 형성하여 시그널 전극으로 사용하고, 5 마스크 공정을 이용하여 마스크 공정수를 줄여 공정시간을 단축시키므로써 생산수율을 개선시킬 수 있는 액정표시 소자의 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <19> 상기 목적을 달성하기 위한 본 발명의 액정표시장치의 제조 방법은 UFFS 모드의 액정 표시장치의 제조 방법에 있어서, 기관 전면에 제 1금속막을 형성하는 단계와, 제 1포토리소그래피 공정에 의해 상기 제 1금속막을 식각하여 공통 게이트 전극을 형성하는 단계와, 상기 공통 게이트 전극을 포함한 기관 전면에 절연막 및 비정질 실리콘막을 차례로 형성하는 단계와, 제 2포토리소그래피 공정에 의해 상기 비정질 실리콘막을 식각하여 활성층 및 카운터전극 형성용 실리콘층을 각각 형성하는 단계와, 상기 활성층 및 카운터전극 형성용 실리콘층을 포함한 기관 전면에 제 2금속막을 형성하는 단계와, 제 3포토리소그래피 공정에 의해 상기 제 2금속막을 식각하여 소오스/드레인 전극을 형성하는 단계와, 상기 결과물에 열처리를 진행하여 상기 소오스/드레인 전극과 상기 활성층의 계면 및 상기 카운터전극 형성용 실리콘층과 그 상부에 잔류된 제 2금속막의 계면에 각각 금속 실리사이드막을 형성하는 단계와, 상기 금속 실리사이드막을 포함한 기관 전면에 보호막을 형성하는 단계와, 제 4포토리소그래피 공정에 의해 상기 보호막을 식각하여 드레인 전극을 노출시키는 개구부를 형성하는 단계와, 상기 개구부를 포함한 기관 전면에 투명도전막을 형성하는 단계와, 제 5포토리소그래피 공정에 의해 상기 투명도전막을 식각하여 개구부를 덮어 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함한 것을 특징으로 한다.

또한, 상기 제 2금속막은 Mo, Ni, Pd, Cr 및 Ti 중 어느 하나를 이용하는 것이 바람직하다.

- <20> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

- <21> 도 2는 본 발명에 따른 5 마스크 공정이 적용되는 UFFS모드의 액정표시장치의 레이아웃도이다.

- <22> 본 발명에 따른 UFFS모드의 액정표시장치는, 도 2 및 도 3e에 도시된 바와 같이, 투명 기판(미도시) 상에 다수의 게이트라인(100)과 공통 전극(224)이 일정간격을 두고 배열 되어 있고, 상기 게이트라인(100)과는 수직으로 교차되도록 데이터 라인(206')이 배열되어 있다.
- <23> 또한, 상기 데이터라인(206')에서 연장된 부분, 즉 소오스 전극(206a)과 상기 소오스 전극(206a)과 일정거리만큼 이격되어 형성된 데이터라인(206')의 타부분, 즉 드레인 전극(206b)은 상기 게이트 라인(100)과 중첩되는 박막트랜지스터(130) 부분을 구성한다.
- <24> 그리고, 상기 게이트라인(100)과 데이터라인(206)이 교차되어 이루는 단위 화소영역에는 빗살 모양의 카운터 전극(205)이 배열되고, 상기 데이터라인(206)의 드레인 전극에는 개구부(221)가 형성되어 있다.
- <25> 또한, 상기 단위 화소영역에는 상기 카운터 전극(205)과 일부 중첩되면서 상기 데이터라인(120)의 드레인 전극(206b)과 연결되는 빗살 모양의 화소 전극(223)이 형성되어 있다.
- <26> 도 3a 내지 도 3e는 본 발명에 따른 5 마스크가 적용되는 UFFS 모드의 액정표시장치의 제조 방법을 설명하기 위한 공정단면도이다.
- <27> 상기 구성을 가진 본 발명에 따른 UFFS 모드의 액정표시장치의 제조 방법은, 도 3a에 도시된 바와같이, 투명 절연기판(200) 상에 제 1금속막(미도시)을 형성한 후, 공통게이트 전극영역을 정의하는 제 1감광막 패턴(미도시)을 이용하여 상기 제 1금속막을 식각하여 공통게이트 전극(100)을 형성한다.
- <28> 이어, 상기 공통게이트 전극(100)이 형성된 기판(200)상에 절연막(202)을 형성한다. 그런 다음, 상기 절연막(202) 전면에 실리콘막(미도시)을 형성하고 나서, 활성층영역을 정의하는 제 2감광막 패턴(미도시)을 이용하여 상기 실리콘막을 식각하여 활성층(204) 및 카운터전극 형성용 실리콘층(205)을 각각 형성한다. 이때, 상기 실리콘막은, 도면에 도시되지 않았지만, 불순물이 도핑되지 않은 비정질 실리콘막 및 불순물이 도핑된 비정질 실리콘막으로 구성된다. 한편, 상기 활성층(204)은 화소부 내부에 슬릿 형상으로 형성된다. 또한, 후술할 상기 카운터전극 형성용 실리콘층(205)의 상부에 형성되는 카운터전극은 빗살 모양으로 패턴닝된다.
- <29> 그 다음, 상기 활성층(204)을 포함한 기판 전면에 소오스/드레인용 제 2금속막(206)을 형성하고 나서, 상기 제 2금속막(206) 상에 감광막을 도포하고 노광 및 현상하여 소오스/드레인 전극영역을 정의하는 제 3감광막패턴(230)을 형성한다. 이때, 상기 제 3감광막패턴(230)은 하프톤 마스크이다. 이때, 제 2금속막(206)으로는 Mo, Ni, Pd, Cr 및 Ti 등을 이용할 수 있다.
- 이후 도 3b에 도시된 바와 같이, 상기 제 3감광막 패턴(230)을 식각 장벽으로 하여 상기 박막트랜지스터부에서 상기 활성층(204)의 일부가 노출되는 시점까지 제2금속막(206)을 식각함으로써 소오스/드레인 전극(206a)(206b)을 형성한 후, 도 3c에 도시된 바와 같이, 상기 제 3감광막패턴(230)을 상기 카운터전극 형성용 실리콘층(205)의 상부에 잔류된 제 2금속막(206)이 노출될 정도로 일정두께만큼 제거한다. 이때, 박막트랜지스터부의 상부에 형성된 제 3감광막패턴(230')도 일정두께만큼 제거될 수 있다.
- 이어, 상기 노출된 활성층(204)에서 상기 불순물이 도핑된 실리콘막(미도시)을 식각한다.
- 그런 다음, 도 3d에 도시된 바와 같이, 상기 결과물에 열처리 공정을 진행하여 상기 소오스/드레인 전극(206a)(206b)과 상기 활성층(204)의 계면 및 상기 카운터전극 형성용 실리콘층(205)과 그 상부에 잔류된 제 2금속막(206)의 계면에 각각 금속 실리사이드막(208)을 형성한다. 이때, 형성되는 금속 실리사이드막(208)은 금속 성분인 카운터전극일 수 있다.
- <30> 삭제
- <31> 삭제
- <32> 삭제
- <33> 이후, 상기 카운터전극 형성용 실리콘층(205) 상부의 제 2금속막(206)을 에칭처리하여 제거하고 나서, 도 3e에 도시된 바와 같이, 상기 결과의 기판 전면에 보호막(220)을 형성한다.

- <34> 이어, 도 3e 및 도 3f에 도시된 바와 같이, 상기 보호막(220) 상에 드레인 전극(206b)을 노출시키는 제 4감광막 패턴(232)을 형성하고 나서, 상기 제 4감광막 패턴(232)을 식각 장벽으로 하고 상기 보호막(220)을 식각하여 개구부((221)를 형성한다.
- <35> 이후, 제 4감광막 패턴(232)을 제거하고 나서, 상기 개구부(221)를 포함한 기판 전면에 투명도전막(222)을 형성한다. 이때, 상기 투명도전막(222)으로는 ITO(Indium Tin Oxide)막을 이용한다.
- <36> 이어, 상기 투명도전막(222) 상에 상기 개구부(221)를 덮는 제 5감광막 패턴(234)을 형성한다.
- <37> 계속해서, 도 3g에 도시된 바와 같이, 상기 제 5감광막 패턴을 식각 장벽으로 하고 상기 ITO막을 식각하여 개구부를 덮어 드레인 전극(206b)과 연결되는 화소 전극(223) 및 공통 전극(224)을 각각 형성한다. 상기 화소 전극(223)은 상기 카운터전극 형성용 실리콘층(205)의 상부에 형성된 금속 실리사이드막(208)인 카운터 전극과 동일한 빗살 모양으로 패터닝되며, 상기 카운터 전극과 일부 중첩된 구조를 가진다.
- <38> 본 발명에 따르면, 박막트랜지스터부에 활성층을 형성함과 아울러 화소부 내에 슬릿 형상으로 카운터전극 형성용 실리콘층을 슬릿 형상으로 형성하고, 상기 카운터전극 형성용 실리콘층의 상부 및 박막트랜지스터부의 활성층의 상부에 금속막을 적층한 후, 상기 소오스/드레인 전극의 하부 및 상기 카운터전극 형성용 실리콘층과 금속막의 계면을 열적 기제에 의해 금속 실리사이드막을 형성함으로써 상기 금속 실리사이드막을 하부 시그널 전극으로 사용할 수 있다.

발명의 효과

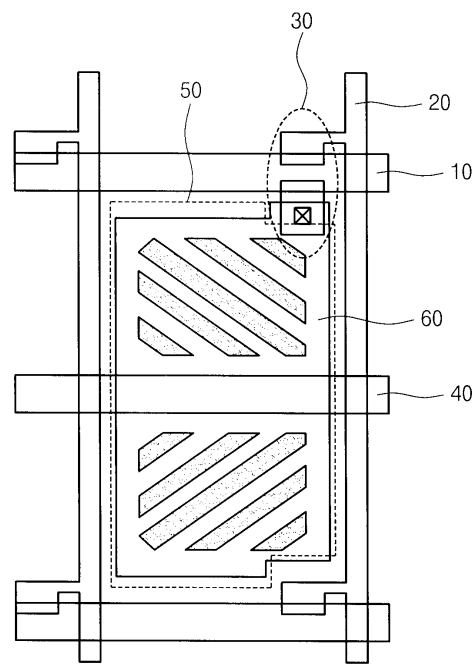
- <39> 이상에서와 같이, 본 발명은 카운터 전극으로 이용되는 금속 실리사이드막을 화소 전극 하부에 위치시키고, 상기 금속 실리사이드막을 시그널 전극으로 사용함으로써, 전극 간의 평행 전계의 왜곡 감소 및 응답 속도가 향상된다.
- <40> 또한, 본 발명은 포토 공정이 5회 적용되므로, 생산 단가를 낮출 수 있다.
- <41> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

도면의 간단한 설명

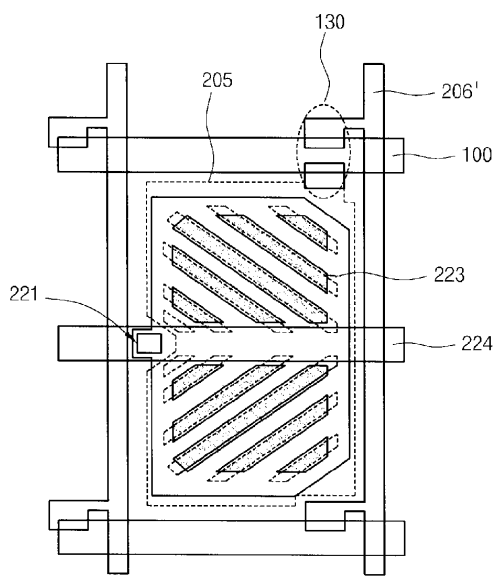
- <1> 도 1은 종래 기술에 따른 UFFS(Ultra-FFS) 모드의 액정 표시 장치의 하부기판을 나타낸 레이아웃도.
- <2> 도 2는 본 발명에 따른 5마스크 공정의 UFFS모드의 액정표시장치의 레이아웃도.
- <3> 도 3a 내지 도 3e는 본 발명에 따른 UFFS 모드의 액정표시장치의 제조 방법을 설명하기 위한 공정단면도.

도면

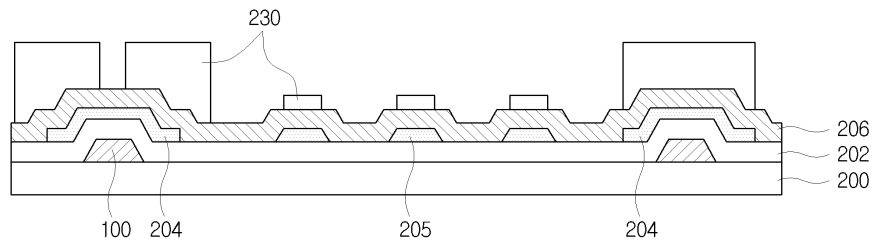
도면1



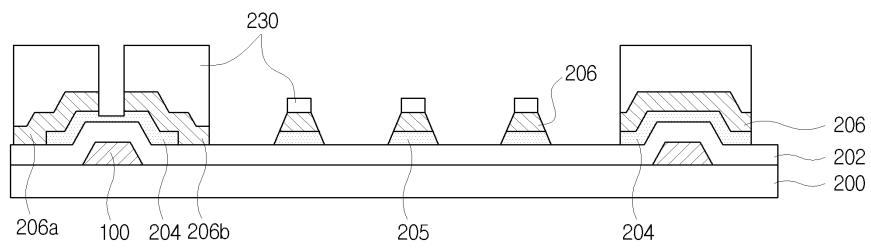
도면2



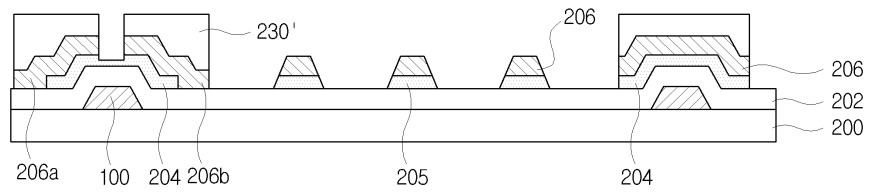
도면3a



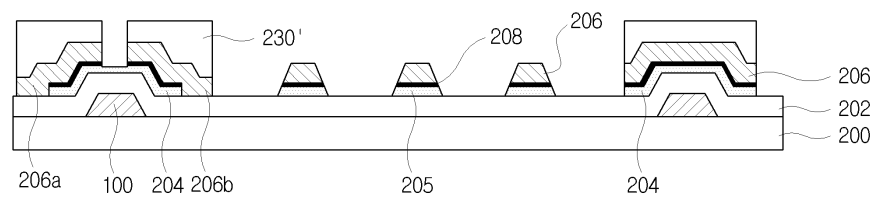
도면3b



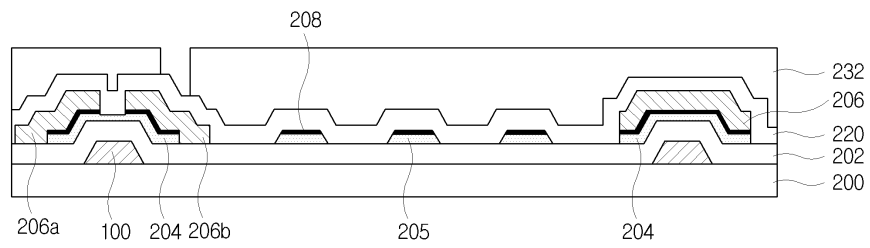
도면3c



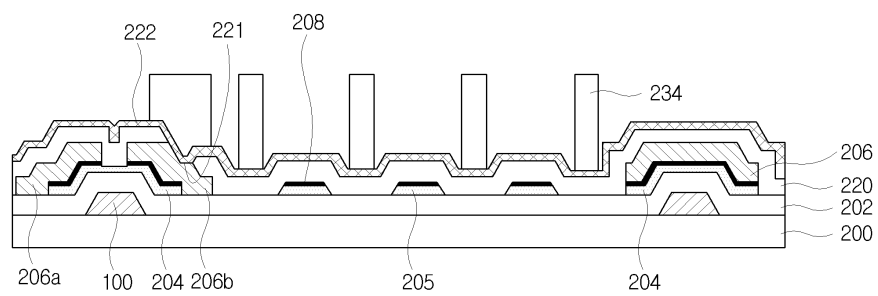
도면3d



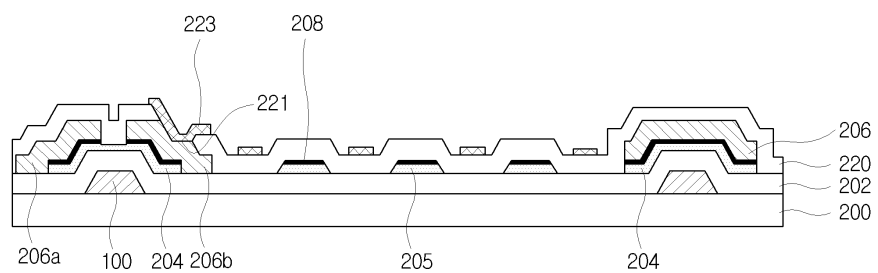
도면3e



도면3f



도면3g



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR100852806B1	公开(公告)日	2008-08-18
申请号	KR1020020045651	申请日	2002-08-01
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	LEE KYUNGHA 이경하 KIM KWIHYUN 김귀현		
发明人	이경하 김귀현		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363 G02F1/136277 G02F1/1368 G02F2001/134372 G02F2001/13625 G02F2201/123 G02F1/13439		
代理人(译)	赵，杨 - 炫		
其他公开文献	KR1020040012208A		
外部链接	Espacenet		

摘要(译)

本发明公开了关于边缘场驱动液晶显示器的制造方法(边缘场切换液晶显示器)杀死液晶显示装置,其能够简化整个过程,随后的行号,图象处理中的用途。在用于生产UFFS模式的液晶显示装置的制造本发明公开的方法的液晶显示器的方法,以及在衬底的整个表面上形成第一金属膜的工序,和通过处理该第一光刻腐蚀第一金属膜共同和形成栅电极,形成在基板表面上,包括所述公共栅电极绝缘膜和非晶硅膜,然后,所述第二通过光刻蚀刻无定形活性层的硅膜和对电极的硅层上形成和成型,分别,该方法包括首先形成在衬底表面上的第二金属膜包括活性层和用于通过蚀刻所述第二金属膜形成通过光刻第三,以形成源/漏电极对置电极的硅层的步骤并对所得材料进行热处理以形成源/界面以及形成计数器级和含有该金属硅化物膜的衬底表面上的保护膜中,每个电极上形成金属硅化物膜,以形成一个硅层并在其上的第二表面2,金属膜在用于和第四光刻工序剩余在包括开口的基板的整个表面上形成透明导电膜,通过第五光刻工艺蚀刻透明导电膜以覆盖开口,并形成连接到漏电极的像素电极。

