



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월01일
(11) 등록번호 10-0799463
(24) 등록일자 2008년01월23일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2001-0014650

(22) 출원일자 2001년03월21일

심사청구일자 2006년03월20일

(65) 공개번호 10-2002-0074701

(43) 공개일자 2002년10월04일

(56) 선행기술조사문헌

JP08062628 A

(뒷면에 계속)

전체 청구항 수 : 총 16 항

심사관 : 김창균

(54) 액정표시장치 및 그 제조방법

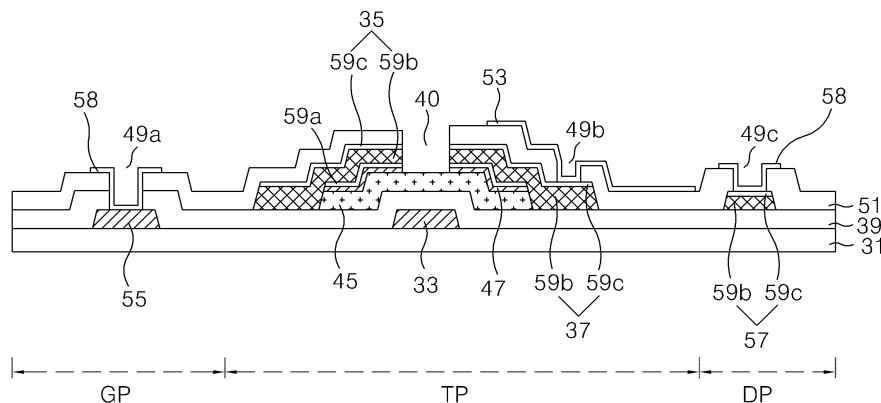
(57) 요약

본 발명은 3층 구조의 버스라인에서 최하층의 과식각을 방지할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치는 기판과; 상기 기판상에 형성된 게이트 전극과; 상기 게이트 전극에 중첩되는 제1 반도체층과; 상기 제1 반도체층 상에 중첩되고, 상기 제1 반도체층을 노출시키는 채널부를 사이에 두고 분리된 패턴으로 형성되는 제2 반도체층과; 상기 제2 반도체층 상에 중첩되고, 상기 제2 반도체층과 동일패턴으로 형성되는 제1 금속층과; 상기 채널부를 사이에 두고 상기 제1 금속층 상에 중첩되는 소스 전극 및 드레인 전극을 구비하고, 상기 소스 전극 및 드레인 전극은 순차적으로 적층된 제2 및 제3 금속층을 포함한다.

본 발명에 의하면, 3층 구조의 버스라인 형성시 제1 금속층을 먼저 패터닝하고 제2 금속층과 제3 금속층을 패터닝하여 최하층의 과식각을 방지할 수 있다.

대표도 - 도5



(56) 선행기술조사문헌

JP10173191 A

JP11352503 A

KR1020000022732 A

US6078365 A

특허청구의 범위

청구항 1

기관과;

상기 기관상에 형성된 게이트 전극과;

상기 게이트 전극에 중첩되는 제1 반도체층과;

상기 제1 반도체층 상에 중첩되고, 상기 제1 반도체층을 노출시키는 채널부를 사이에 두고 분리된 패턴으로 형성되는 제2 반도체층과;

상기 제2 반도체층 상에 중첩되고, 상기 제2 반도체층과 동일패턴을 갖는 제1 금속층과;

상기 채널부를 노출하며 상기 제1 금속층상에 구비되고, 서로 동일한 패턴의 제2 및 제3 금속층으로 이루어진 소스 전극 및 드레인 전극과;

상기 소스전극으로 외부의 데이터 신호를 제공하며, 상기 제2 및 제3 금속층의 적층막으로 이루어진 데이터 패드를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 전극과 상기 제1 반도체층 사이에 형성되는 게이트 절연막과;

상기 채널부를 노출시키면서 상기 소스 전극 및 상기 드레인 전극 상에 중첩되고, 상기 드레인 전극을 노출시키는 접촉홀을 포함하는 보호막과;

상기 접촉홀을 통해 상기 드레인 전극과 접속되는 화소 전극을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 제2 금속층은 알루미늄(Al) 또는 알루미늄 합금으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 제1 및 제3 금속층은 동일물질로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 제1 및 제3 금속층은 서로 다른물질로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 제1 및 제3 금속층은 몰리브덴(MO), 크롬(Cr), 탄탈(Ta), 텅스텐(W), 티타늄(Ti) 중 어느 하나로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 4 항에 있어서,

상기 제1 및 제3 금속층은 몰리브덴(MO), 크롬(Cr), 탄탈(Ta), 텅스텐(W), 티타늄(Ti) 중 어느 하나로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8

기관 상에 게이트전극을 형성하는 단계와;

상기 게이트 전극과 중첩되는 제1 및 제 2 반도체층 및 제 1 금속층을 형성하는 단계와;

상기 제 1 금속층상에 상기 제 1 반도체층의 채널부와 대응된 상기 제 1 금속층을 노출하는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 8 항에 있어서,

상기 소스 전극 및 드레인 전극을 형성하는 단계는

상기 제1 금속층상에 상기 제1 반도체층의 채널부를 노출하고, 동일한 패턴을 갖는 제2 및 제3 금속층으로 이루어진 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 제 1 반도체층의 채널부를 노출하기 위해 상기 제 2 반도체층 및 제 1 금속층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제 8 항에 있어서,

상기 제1 금속층은 몰리브덴(MO), 크롬(Cr), 탄탈(Ta), 텅스텐(W), 티타늄(Ti) 중 어느 하나로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

제 9 항에 있어서,

상기 제1 및 제3 금속층은 동일 물질로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12

제 9 항에 있어서,

상기 제1 및 제3 금속층은 서로 다른 물질로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13

제 9 항에 있어서,

상기 제2 금속층은 알루미늄(Al) 또는 알루미늄 합금으로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14

제 9 항에 있어서,

상기 제1 금속층은 몰리브덴(MO), 크롬(Cr), 탄탈(Ta), 텅스텐(W), 티타늄(Ti) 중 어느 하나로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15

제 8 항에 있어서,

상기 제1 및 제 2 반도체층 및 제 1 금속층을 형성하는 단계는,

상기 게이트 전극과 대응하는 부분의 상기 제1 금속층 및 상기 제2 반도체층의 일부를 제거하여 상기 제1 반도체층의 채널부를 노출하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16

제 9 항에 있어서,

상기 소스 전극 및 드레인 전극을 형성하는 단계에서 상기 소스전극으로 외부의 데이터 신호를 제공하며, 상기 제 2 및 제 3 금속층의 적층막으로 이루어진 데이터 패드가 더 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히, 3층 구조의 버스라인에서 최하층금속의 과식각을 방지하는 액정표시장치 및 그 제조방법에 관한 것이다.
- <16> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 액정패널을 구동하기 위한 구동회로를 구비하게 된다. 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련되게 된다. 통상, 화소전극은 하부기판 상에 액정셀별로 형성되는 반면 공통전극은 상부기판의 전면에 일체화되어 형성되게 된다. 화소전극들 각각은 스위치 소자로 사용되는 박막트랜지스터(Thin Film Transistor ; 이하 “TFT”라 함)에 접속되게 된다. 화소전극은 박막트랜지스터를 통해 공급되는 데이터신호에 따라 공통전극과 함께 액정셀을 구동하게 된다.
- <17> 삭제
- <18> 삭제
- <19> 도 1은 액정표시장치의 하부 기판에 대한 평면도이다.
- <20> 도 2는 도 1에 도시된 액정표시장치를 선 "A-A", B-B', C-C'"를 따라 절취한 단면도이다.
- <21> 도 1 및 도 2를 참조하면, 액정표시장치의 하부기판(1)은 데이터라인(13)과 게이트라인(11)의 교차부에 위치하는 TFT(T)와, TFT의 드레인전극(7)에 접속된 화소전극(23)과, 데이터라인(13)에 접속되는 데이터패드부(DP)와, 게이트라인(11)에 접속되는 게이트패드부(GP)를 구비한다.
- <22> TFT(T)는 게이트라인(11)에 접속된 게이트전극(3), 데이터라인(13)에 접속된 소스전극(5) 및 드레인접촉홀(19b)을 통해 화소전극(23)에 접속된 드레인전극(7)으로 이루어진다. 또한, TFT(T)는 게이트전극(3)에 공급되는 게이트전압에 의해 소스전극(5)과 드레인전극(7)간에 채널(30)을 형성하기 위한 반도체층(15,17)을 더 구비한다.
- 이러한 TFT(T)는 게이트라인(11)으로부터의 게이트신호에 응답하여 데이터라인(13)으로부터의 데이터신호를 선택적으로 화소전극(23)에 공급한다.
- <23> 화소전극(23)은 데이터라인(13)과 게이트라인(11)에 의해 분할된 셀 영역에 위치하며 광투과율이 높은 투명전도성물질로 이루어진다. 이 화소전극(23)은 드레인접촉홀(19b)을 경유하여 드레인전극(7)과 전기적으로 접속된다. 이러한 화소전극(23)은 TFT(T)를 경유하여 공급되는 데이터신호에 의해 상부기판(도시하지 않음)에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(1)과 상부기판(도시하지 않음) 사이에 위치하는 액정은 유전이방성에 의해 회전하게 된다. 이에 따라, 액정은 광원으로부터 화소전극(23)을 경유하여 공급되는 광을 상부기판 쪽으로 투과되게 한다.
- 게이트 패드부(DP)는 도시하지 않은 게이트 구동 집적회로(Drive Integrated Circuit ; 이하, “IC”라 함)로부터 공급되는 스캐닝신호 즉, 게이트신호를 게이트라인(11)들에 공급한다. 게이트 패드부(DP)의 보호전극(29)은 게이트접촉홀(19a)을 통해 게이트패드(25)와 전기적으로 접속된다.
- 데이터패드부(DP)는 도시하지 않은 데이터 구동 IC로부터 공급되는 데이터신호를 데이터라인(13)에 공급하게 된

다. 데이터패드부(DP)의 보호전극(29)는 데이터접촉홀(19c)을 통해 데이터패드(27)와 전기적으로 접촉된다.

<24> 이러한 구성을 가지는 액정표시장치의 하부 기관(1)의 제조 방법을 살펴보면 도 3a 내지 도 3e에 도시된 바와 같다.

먼저, 액정표시소자의 하부기관(1) 상에 게이트금속층을 증착한 후 패터닝함으로써 도 3a에 도시된 바와 같이 게이트패드(25) 및 게이트전극(3)이 형성된다. 이 게이트패드(25) 및 게이트전극(3)이 형성된 하부기관(1) 상에 도 3b에 도시된 바와 같이 게이트절연막(9)이 전면 형성된다. 게이트절연막(9) 상에 제1 및 제2 반도체층을 증착한 후 패터닝함으로써 활성층(15) 및 오믹접촉층(17)이 형성된다. 이어서, 게이트절연막(9) 상에 데이터금속층을 증착한 후 패터닝함으로써 도 3c에 도시된 바와 같이 데이터패드(27), 소스전극(5) 및 드레인전극(7)이 형성된다. 소스전극(5) 및 드레인전극(7) 패터닝한 후 게이트전극(3)과 대응하는 부분의 오믹접촉층(17)도 패터닝하여 활성층(15)을 노출시킨다. 활성층(15)에서 소스전극(5) 및 드레인전극(7)사이의 게이트전극(3)과 대응하는 부분은 채널(30)이 된다. 그런 다음, 게이트절연막(9) 상에 절연물질을 증착한 후 패터닝함으로써 도 3d에 도시된 바와 같이 보호층(21)이 형성된다. 이 보호층(21)을 관통하여 데이터패드(27) 및 드레인전극(7)이 노출되는 데이터패드접촉홀(19c) 및 드레인접촉홀(19b)이 형성된다. 또한, 보호층(21) 및 게이트절연막(9)을 관통하여 게이트패드(25)가 노출되는 게이트패드접촉홀(19a)이 형성된다. 이 보호층(21) 상에 투명전도성물질을 증착한 후 패터닝함으로써 도 3e에 도시된 바와 같이 화소전극(23), 보호전극(29)이 형성된다. 이 화소전극(23)은 드레인접촉홀(19b)을 통해 드레인전극(7)과 전기적으로 접촉된다. 게이트패드(25) 상의 보호전극(29)은 게이트접촉홀(19a)을 통해 게이트패드(25)와 전기적으로 접촉된다. 데이터패드(27) 상의 보호전극(29)은 데이터접촉홀(19c)을 통해 데이터패드(27)와 전기적으로 접촉된다.

<25> 삭제

<26> 삭제

<27> 삭제

<28> 삭제

<29> 삭제

<30> 삭제

<31> 삭제

<32> 삭제

<33> 삭제

<34> 삭제

<35> 삭제

<36> 이러한 액정표시소자의 하부기관(1) 상에 형성되는 데이터패드(27), 소스전극(5) 및 드레인전극(7)은 데이터금속층인 크롬(Cr) 또는 몰리브덴(Mo) 등을 이용하여 단층으로 형성된다. 이러한 데이터금속층은 액정표시소자가 고정세되어 갈수록 도 4에 도시된 바와 같이 3층구조인 제1 내지 제3 금속층(6a, 6b, 6c)으로 형성된다. 이 중 제1 및 제3 금속층(6a, 6c)은 투명전도성물질과 전기적으로 안정적인 몰리브덴(Mo)으로 형성되며, 제2 금속층(6b)은 알루미늄(Al) 또는 알루미늄 합금으로 형성된다. 이 3층 구조의 데이터금속층 패터닝시 습식식각방식을 사용하면 식각액 내에서 제1 및 제3 금속층(6a, 6c)과 제2 금속층(6b)의 전극준위차(Electrode Potential)로 제1 및 제3 금속층(6a, 6c)이 제2 금속층(6b)보다 이온화하는 경향이 크다. 즉, 제1 및 제3 금속층(6a, 6c)은 제2 금속층(6b)에 의해 산화되고, 제2 금속층(6b)은 제1 및 제3 금속층(6a, 6c)에 의해 환원된다. 이로 인해, 제1 및 제3 금속층(6a, 6c)은 제2 금속층(6b)보다 언더컷(A)되어 그 다음에 보호층(21)을 증착하면 활성층(15)과 반응성이 좋은 제2 금속층(6b)이 내려앉게 된다. 내려앉은 활성층(15)과 제2 금속층(6b)이 접촉하게 되어 누설전류는 상승하게 된다. 또한, 3층구조로 형성되는 데이터금속층은 증착공정이 3단계로 이루어지게 되므로 공정불량 및 제조원가가 상승되는 문제점이 있다.

<37> 삭제

<38> 삭제

발명이 이루고자 하는 기술적 과제

<39> 따라서, 본 발명의 목적은 3층 구조의 버스라인에서 최하층의 금속의 과식각을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

<40> 상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시장치는 기관과; 상기 기관상에 형성된 게이트 전극과; 상기 게이트 전극에 중첩되는 제1 반도체층과; 상기 제1 반도체층 상에 중첩되고, 상기 제1 반도체층을 노출시키는 채널부를 사이에 두고 분리된 패턴으로 형성되는 제2 반도체층과; 상기 제2 반도체층 상에 중첩되고, 상기 제2 반도체층과 동일패턴을 갖는 제1 금속층과; 상기 채널부를 노출하며 상기 제 1 금속층상에 구비되고, 서로 동일한 패턴의 제2 및 제3 금속층으로 이루어진 소스 전극 및 드레인 전극과; 상기 소스전극으로 외부의 데이터 신호를 제공하며, 상기 제 2 및 제 3 금속층의 적층막으로 이루어진 데이터 패드를 포함한다.

상기 게이트 전극과 상기 제1 반도체층 사이에 형성되는 게이트 절연막과; 상기 채널부를 노출시키면서 상기 소스 전극 및 상기 드레인 전극 상에 중첩되고, 상기 드레인 전극을 노출시키는 접촉홀을 포함하는 보호막과; 상기 접촉홀을 통해 상기 드레인 전극과 접속되는 화소 전극을 더 구비한다.

상기 제2 금속층은 알루미늄(Al) 또는 알루미늄 합금으로 형성될 수 있다.

상기 제1 및 제3 금속층은 동일물질로 형성될 수 있다.

상기 제1 및 제3 금속층은 서로 다른물질로 형성될 수 있다.

상기 제1 및 제3 금속층은 몰리브덴(MO), 크롬(Cr), 탄탈(Ta), 텅스텐(W), 티타늄(Ti) 중 어느 하나로 형성될 수 있다.

상기 제1 및 제3 금속층은 몰리브덴(MO), 크롬(Cr), 탄탈(Ta), 텅스텐(W), 티타늄(Ti) 중 어느 하나로 형성될 수 있다.

<41> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치의 제조방법은 기관 상에 게이트전극을 형성하는 단계와; 상기 게이트 전극과 중첩되는 제1 및 제 2 반도체층 및 제 1 금속층을 형성하는 단계와; 상기 제 1 금속층상에 상기 제 1 반도체층의 채널부와 대응된 상기 제 1 금속층을 노출하는 소스 전극 및 드레인 전극을 형성하는 단계를 포함한다.

상기 소스 전극 및 드레인 전극을 형성하는 단계는 상기 제1 금속층상에 상기 제1 반도체층의 채널부를 노출하고, 동일한 패턴을 갖는 제2 및 제3 금속층으로 이루어진 소스 전극 및 드레인 전극을 형성하는 단계와; 상기

제 1 반도체층의 채널부를 노출하기 위해 상기 제 2 반도체층 및 제 1 금속층을 패터닝하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<42> 삭제

<43> 이하, 도 5 내지 도 6e를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<44> 도 5는 본 발명의 실시 예에 따른 액정표시장치를 도시한 단면도로서, 특히 박막트랜지스터부(TP)와 게이트 패드부(GP) 및 데이터 패드부(DP)를 도시한 것이다.

<45> 도 5를 참조하면, 박막트랜지스터부(TP)는 게이트전극(33)과, 게이트전극(33)과 게이트절연막(39)을 사이에 두고 적층된 제1 및 제2 반도체층(45,47)과, 제2 반도체층(47)과 동일패턴으로 형성되는 제1 금속층(59a)과, 제1 금속층(59a) 상에 분리되게 형성된 소스전극(35) 및 드레인전극(37)으로 구성된다. 제1 반도체층(45)은 활성층이며, 제2 반도체층(47)은 오믹 접촉층이다. 제1 금속층(59a)은 제1 반도체층(47)을 노출하기 위한 식각단면을 가질 수 있다.

소스 및 드레인전극(35,37)은 제2 금속층(59b) 및 제3 금속층(59c)으로 형성된다. 제2 금속층(59b) 및 제3 금속층(59c)은 동일한 패턴을 갖는다. 소스 및 드레인전극(35,37)은 제1 반도체층(45)의 채널을 노출하는 식각 단면을 가진다. 여기서, 제1 금속층(59a)의 식각단면과 상기 소스 및 드레인전극(35, 37)의 식각 단면은 동일한 평면상에 배치될 수 있다. 또한, 소스 및 드레인전극(35, 37)은 제1 및 제2 반도체층(45,47)과 제1 금속층(59a)의 양단부를 덮을 수 있다. 제1 금속층(59a) 제1 및 제3 금속층(59a,59c)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W) 또는 티타늄(Ti) 등으로 형성된다. 제2 금속층(59b)은 알루미늄(Al) 또는 알루미늄합금 등으로 형성된다.

제1 금속층(59a)은 제2 반도체층(47)과 동일패턴으로 형성되며, 제2 금속층(59b)과 제3 금속층(59c)은 동일패턴으로 형성된다. 이에 따라, 제1 금속층(59a)의 과식각을 방지할 수 있다.

이러한 박막트랜지스터부(TP)를 보호하기 위한 보호층(51)이 형성되며, 보호층(51) 상에는 보호층(51)을 관통하는 드레인접촉홀(49b)을 통해 드레인전극(37)과 접촉되는 화소전극(53)이 형성된다.

<46> 게이트패드부(GP)는 게이트 구동 IC(도시하지 않음)로부터 공급되는 스캐닝신호 즉, 게이트신호를 게이트라인(도시하지 않음)들을 통해 게이트전극(33)에 공급한다. 이러한 게이트패드부(GP)는 게이트패드(55)와, 그 위의 게이트절연막(39)과 보호층(51) 및 보호전극(58)으로 형성된다. 게이트패드(55) 상의 보호전극(58)은 게이트절연막(39)을 관통하는 게이트접촉홀(49a)을 통해 게이트패드(55)와 전기적으로 접촉된다.

데이터패드부(DP)는 데이터 구동 IC(도시하지 않음)로부터 공급되는 데이터신호를 데이터라인(도시하지 않음)을 통해 소스전극(35)에 공급하게 된다. 이러한 데이터패드부(DP)는 데이터패드(57)와, 그 위의 보호층(51) 및 보호전극(58)으로 구성된다. 데이터패드(57)는 제2 금속층(59b)과 제3 금속층(59c)으로 형성된다. 데이터패드(57)상의 보호전극(58)은 보호층(51)을 관통하는 데이터접촉홀(49c)을 통해 데이터패드(57)와 전기적으로 접촉된다.

<47> 도 6a 내지 도 6e는 도 5에 도시된 액정표시장치의 하부 기판(31)의 제조방법을 나타내는 단면도이다.

<48> 도 6a를 참조하면, 액정표시장치의 하부기판(31) 상에 게이트패드(55) 및 게이트전극(33)이 형성된다.

게이트패드(55) 및 게이트전극(33)은 하부기판(31)상에 스퍼터링(sputtering) 등의 증착방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착한 후 패터닝함으로써 형성된다.

<49> 도 6b를 참조하면, 게이트절연막(39) 상에 활성층(45), 오믹접촉층(47) 및 제1 금속층(59a)이 형성된다.

게이트절연막(39)은 게이트패드(55) 및 게이트전극(33)을 덮도록 하부기판(31) 상에 절연물질을 증착하여 형성된다. 활성층(45), 오믹접촉층(47) 및 제1 금속층(59a)은 게이트절연막(39) 상에 제1 및 제2 반도체물질과 금속을 증착한 후 동시에 패터닝함으로써 형성된다.

이 때, 절연물질, 제1 및 제2 반도체물질과 금속은 PECVD(Plasma Enhanced Chemical Vapor Deposition)방식으로 증착된다. 또는, 절연물질, 제1 및 제2 반도체물질은 PECVD방식으로 증착된 후 금속은 스퍼터링방식으로 증착된다. 이후, 증착된 금속은 습식식각으로 패터닝된 후, 증착된 제1 및 제2 반도체물질은 건식식각으로 패터

닝된다. 또는, 증착된 금속과 제1 및 제2 반도체물질은 모두 건식식각 또는 습식식각으로 패터닝된다.

<50> 게이트절연막(39)은 절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiOx)으로 형성된다. 활성층(45)은 제1 반도체물질인 불순물이 도핑되지 않은 비정질실리콘으로 형성된다. 오믹접촉층(47)은 제2 반도체물질인 N형 또는 P형의 불순물이 도핑된 비정질실리콘으로 형성된다. 제1 금속층(59a)은 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 크롬(Cr) 또는 몰리브덴(Mo) 등으로 형성된다.

<51> 삭제

<52> 도 6c를 참조하면, 게이트절연막(39) 상에 데이터패드(57), 소스전극(35) 및 드레인전극(37)이 형성된다.

데이터패드(57), 소스전극(35) 및 드레인전극(37)은 제2 금속층(59b)과 제3 금속층(59c)을 증착한 후 패터닝함으로써 형성된다. 이후, 게이트전극(33)과 대응하는 부분의 제1 금속층(59a)과 오믹접촉층(47)을 패터닝하여 활성층(45)이 노출된다. 활성층(45)에서 소스전극(35) 및 드레인전극(37) 사이의 게이트전극(33)과 대응하는 부분은 채널(40)이 된다.

<53> 제2 금속층(59b)은 알루미늄(Al) 또는 알루미늄 합금으로 형성된다.

제3 금속층(59c)은 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 크롬(Cr) 또는 몰리브덴(Mo) 등으로 형성되며, 제1 금속층(59a)과 동일하게 형성되거나 다르게 형성되어도 무관하다.

<54> 삭제

<55> 도 6d를 참조하면, 게이트절연막(39)상에 보호층(51)이 형성된다.

<56> 보호층(51)은 데이터패드(57), 소스전극(35) 및 드레인전극(37)을 덮도록 게이트절연막(39) 상에 절연물질을 증착한 후 패터닝함으로써 형성된다.

보호층(51)에는 게이트접촉홀(49a), 드레인접촉홀(49b) 및 데이터접촉홀(49c)이 형성된다.

보호층(51)은 질화실리콘, 산화실리콘 등의 무기절연물질 또는 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane)등의 유기절연물로 형성된다.

<57> 도 6e를 참고하면, 보호층(51)상에 화소전극(53), 게이트 패드(55) 상의 보호전극(58) 및 데이터 패드(57) 상의 보호전극(58)이 형성된다.

화소전극(53), 게이트 패드(55) 상의 보호전극(58) 및 데이터 패드(57) 상의 보호전극(58)은 보호층(51) 상에 투명전도성물질을 증착한 후 패터닝함으로써 형성된다. 화소전극(53)은 드레인접촉홀(49b)을 통해 드레인전극(37)과 전기적으로 접촉된다. 데이터 패드(57) 상의 보호전극(58)은 데이터접촉홀(49c)을 통해 데이터패드(57)와 전기적으로 접촉된다. 게이트 패드(55) 상의 보호전극(58)은 게이트접촉홀(49a)을 통해 게이트패드(55)와 전기적으로 접촉된다.

화소전극(53), 게이트 패드(55) 상의 보호전극(58) 및 데이터 패드(57) 상의 보호전극(58)은 투명전도성물질인 인듐-틴-옥사이드(Indium-Tin-Oxide : ITO), 인듐-징크-옥사이드(Indium-Zinc-Oxide : IZO) 또는 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide : ITZO)로 형성된다.

<58> 삭제

발명의 효과

<59> 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 반도체층과 제1 금속층을 동일패턴으로 형성한다.

따라서, 본 발명에 따른 액정표시장치의 하부기판 및 그 제조방법은 제1 금속층의 과식각을 방지할 수 있다. 또한, 제1 금속층의 과식각으로 인한 제2 금속층과 반도체층과의 접촉을 방지할 수 있어 박막트랜지스터특성의 저하를 방지할 수 있다. 나아가 고정세 액정표시장치의 품질과 수율이 향상될 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

<60> 삭제

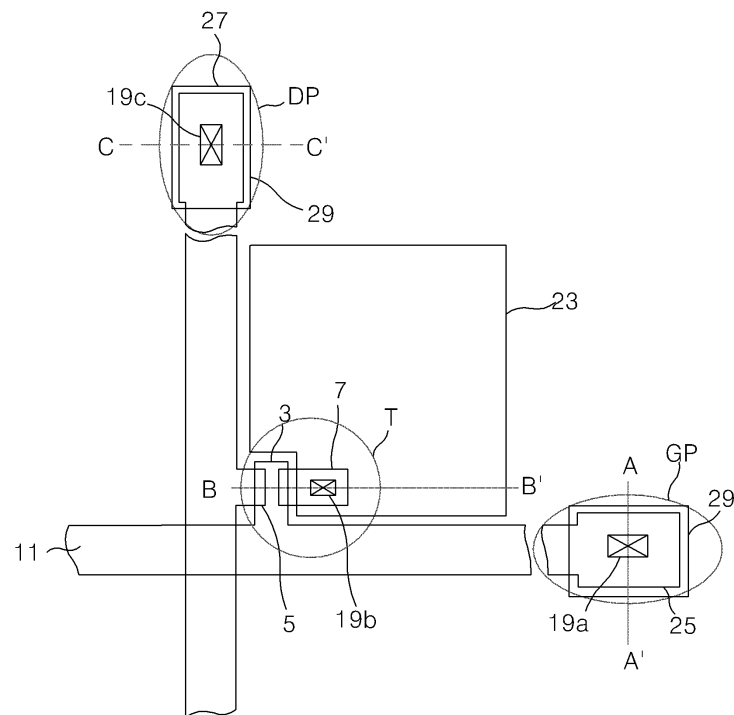
도면의 간단한 설명

- <1> 도 1은 종래의 액정표시장치를 나타내는 평면도.
- <2> 도 2는 도 1에 도시된 액정표시장치를 선 "A-A", B-B', C-C'"를 따라 절취한 액정표시장치를 나타내는 단면도.
- <3> 도 3a 내지 도 3e는 도 2에 도시된 액정표시장치의 제조방법을 단계적으로 나타내는 단면도.
- <4> 도 4는 종래의 3층 구조의 버스라인의 과식각을 나타내는 단면도.
- <5> 도 5는 본 발명의 실시 예에 따른 액정표시장치를 나타내는 단면도.
- <6> 도 6a 내지 도 6e는 도 5에 도시된 액정표시장치의 제조방법을 단계적으로 설명하는 단면도.

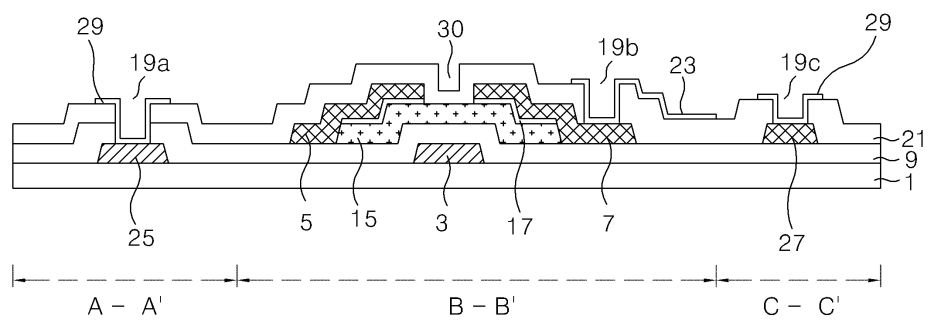
<7>	<도면의 주요 부분에 대한 부호의 설명>	
<8>	1,31 : 기판	3,33: 게이트전극
<9>	5,35 : 소스전극	7,37: 드레인전극
<10>	9,39 : 게이트절연막	11,41 : 게이트라인
<11>	13,43 : 데이터라인	15,45 : 활성층
<12>	17,47 : 오믹접촉층	19, 49 : 접촉홀
<13>	21,51 : 보호층	23,53 : 화소전극
<14>	25,55 : 게이트패드	27,57 : 데이터패드

도면

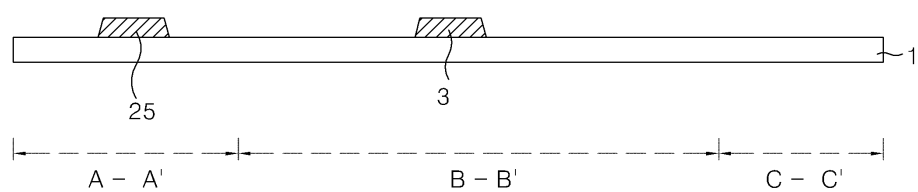
도면1



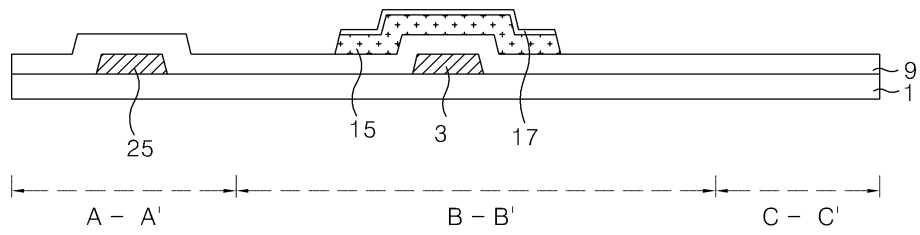
도면2



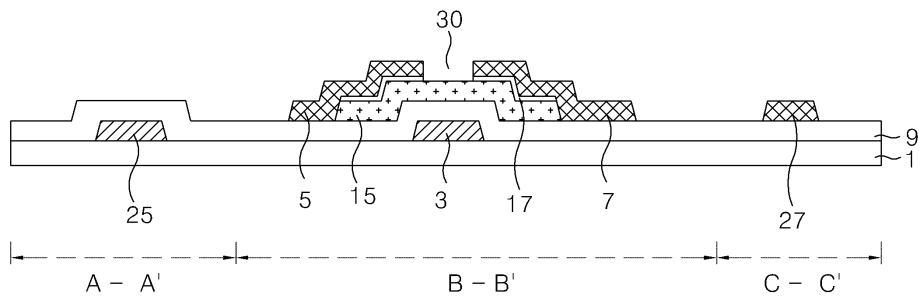
도면 3a



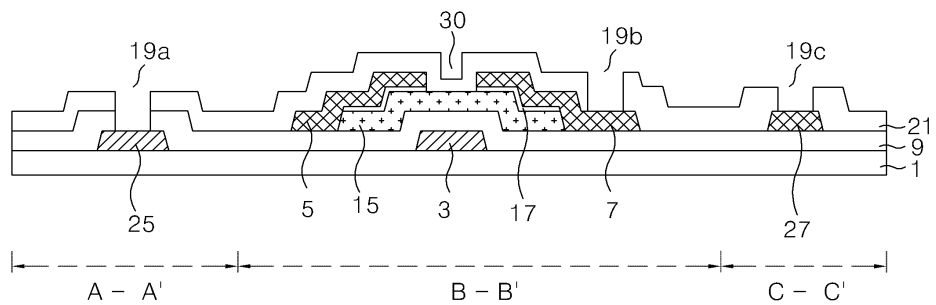
도면3b



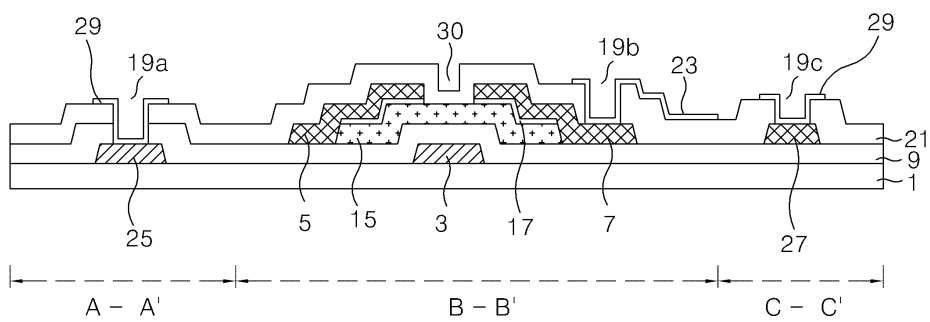
도면3c



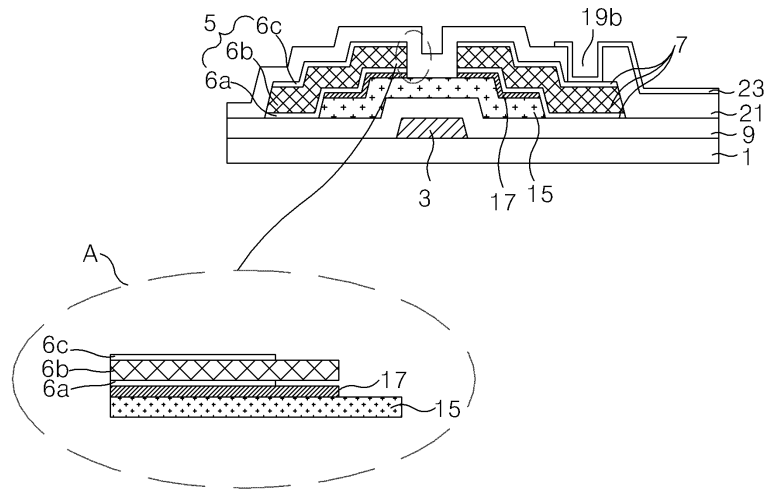
도면3d



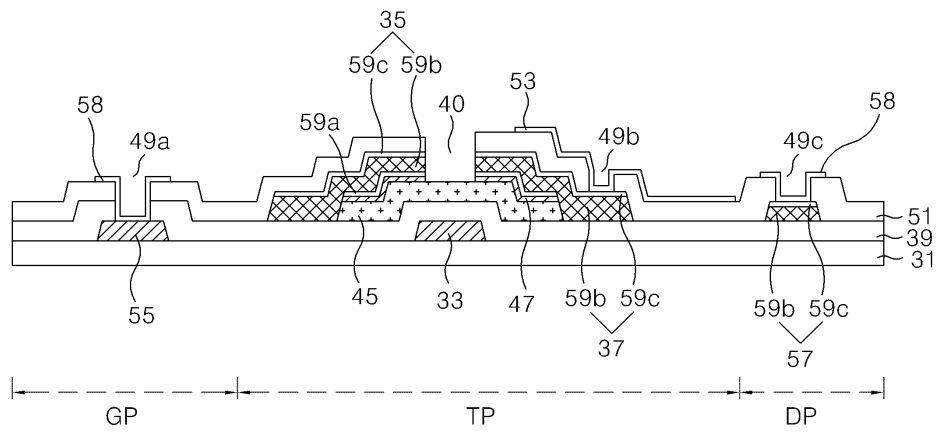
도면3e



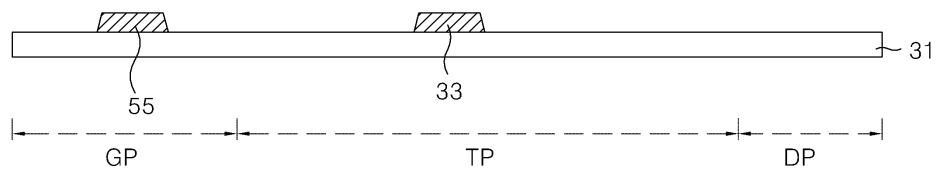
도면4



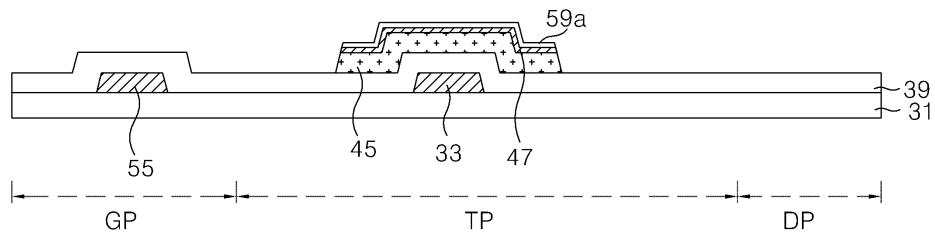
도면5



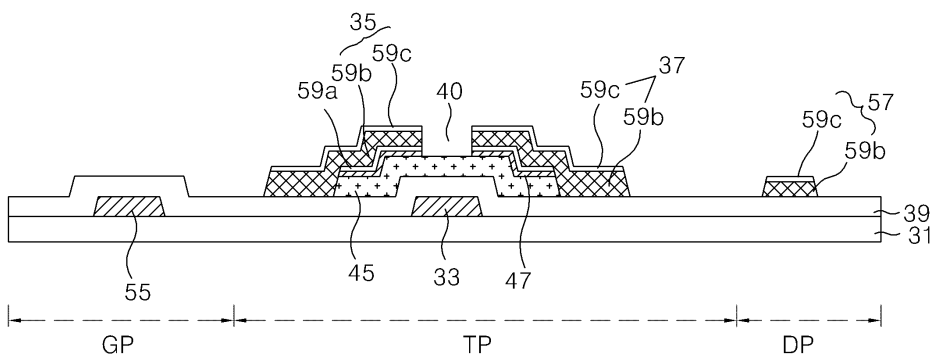
도면6a



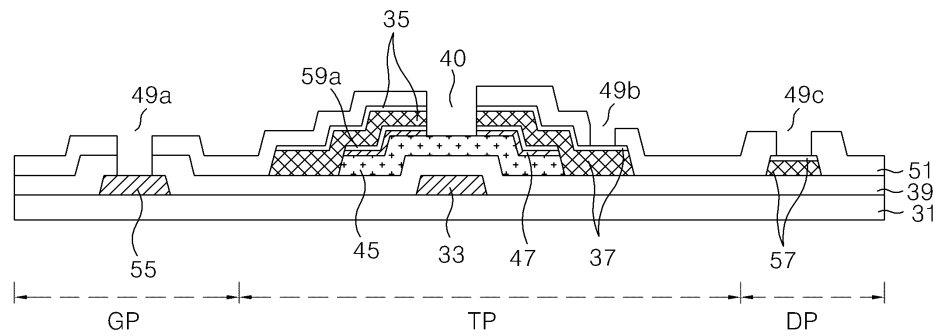
도면6b



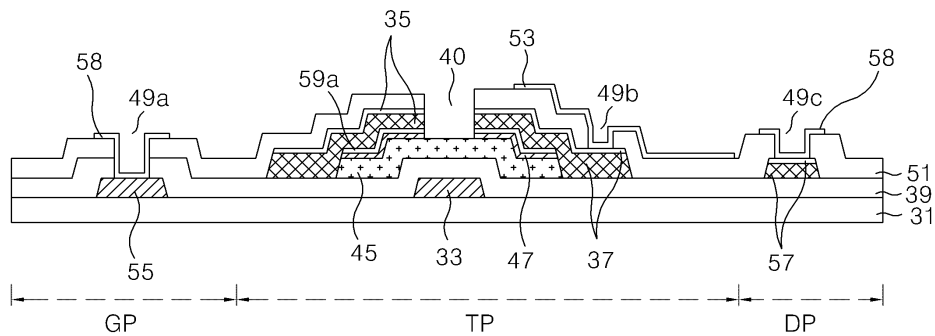
도면6c



도면6d



도면6e



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR100799463B1	公开(公告)日	2008-02-01
申请号	KR1020010014650	申请日	2001-03-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO GYOOCHUL 조규철 CHAE GEESUNG 채기성		
发明人	조규철 채기성		
IPC分类号	G02F1/136 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/13458 G02F1/1368		
其他公开文献	KR1020020074701A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置及其制造方法，能够防止3层结构的总线中最下层的过蚀刻。根据本发明的液晶显示器包括基板；栅电极形成在基板上；半导体层，在栅电极中重叠第二半导体层：第二半导体层重叠在半导体层上，并且形成有使沟道部分在该间隔中暴露半导体层的图案并被分离。并且第二半导体层：第二半导体层：重叠在第二半导体层上；第二金属三层和金属三层包括形成有相同图案的第一金属层，源电极和漏电极在该间隔中放置沟道部分并且重叠在第一金属层上并且其中连续地源电极和漏电极是层压的。根据本发明，第一金属层首先在3层结构的总线形成中被图案化，并且第二金属层和金属三层被图案化，并且可以防止最下层的过蚀刻。

