



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

|                                         |                                     |                                          |
|-----------------------------------------|-------------------------------------|------------------------------------------|
| (51) 。 Int. Cl.<br>G02F 1/136 (2006.01) | (45) 공고일자<br>(11) 등록번호<br>(24) 등록일자 | 2006년11월30일<br>10-0652216<br>2006년11월23일 |
|-----------------------------------------|-------------------------------------|------------------------------------------|

|                                  |                                               |                        |                                |
|----------------------------------|-----------------------------------------------|------------------------|--------------------------------|
| (21) 출원번호<br>(22) 출원일자<br>심사청구일자 | 10-2003-0042832<br>2003년06월27일<br>2004년08월24일 | (65) 공개번호<br>(43) 공개일자 | 10-2005-0001251<br>2005년01월06일 |
|----------------------------------|-----------------------------------------------|------------------------|--------------------------------|

(73) 특허권자      엘지.필립스 엘시디 주식회사  
                         서울 영등포구 여의도동 20번지

(72) 발명자      이경묵  
                         서울특별시구로구오류2동152우석빌라1동106호

                         남승희  
                         경기도수원시장안구울전동394-22502호

                         오재영  
                         경기도의왕시내손1동포일아파트101동210호

(74) 대리인      박장원

|                                                                  |                                    |
|------------------------------------------------------------------|------------------------------------|
| (56) 선행기술조사문헌<br>04360581<br>JP2002064207 A<br>* 심사관에 의하여 인용된 문헌 | 1020000014192<br>KR1020020033287 A |
|------------------------------------------------------------------|------------------------------------|

심사관 : 윤병수

전체 청구항 수 : 총 11 항

## (54) 폴리실리콘 액정표시소자 제조 방법

### (57) 요약

본 발명은 폴리실리콘 액정표시소자의 제조 방법에 관한 것으로서, 특히 액정표시소자의 스위칭 소자로 사용되는 TFT 제조를 위하여 사용되는 마스크 수를 줄이기 위한 것으로서, 하나의 마스크와 감광막 예칭 기술을 이용하여 LDD형의 채널을 형성할 수 있도록 함으로써 마스크 수를 획기적으로 줄여 제조 비용을 절감하는 효과를 얻을 수 있다.

### 대표도

도 3e

### 특허청구의 범위

## 청구항 1.

기판을 준비하는 단계;

상기 기판상에 폴리실리콘층을 형성하는 단계;

상기 폴리실리콘층상에 절연막 및 메탈 층을 연속하여 형성하는 단계;

상기 메탈층상에 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 마스크로 적용하여 상기 메탈층을 선택적으로 제거하여 게이트전극을 형성하는 단계;

상기 감광막 패턴을 이용하여 상기 폴리실리콘층을 패터닝하는 단계;

상기 감광막 패턴 일부를 제거하는 단계;

상기 일부 제거된 감광막패턴을 이용하여 상기 패터닝된 폴리실리콘층내로 불순물이온을 주입하는 단계;

상기 패터닝된 폴리실리콘층상의 절연막 일부를 상기 감광막패턴을 이용하여 제거하는 단계;

상기 패터닝된 폴리실리콘층에 소오스/드레인전극을 형성하는 단계; 및

상기 기판상에 상기 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조방법.

## 청구항 2.

제 1항에 있어서, 상기 기판을 준비하는 단계는 불순물의 확산을 방지하는 버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

## 청구항 3.

제 1항에 있어서, 상기 폴리실리콘층을 형성단계는

기판상에 비정질실리콘층을 형성하는 단계;

상기 비정질실리콘층을 결정화하는 단계를 더 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조방법.

## 청구항 4.

제 3항에 있어서, 상기 결정화 단계는 상기 폴리실리콘층을 열처리공정을 통해 이루어지는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조방법.

## 청구항 5.

제 4항에 있어서, 상기 열처리 단계는 엑시머 레이저를 비정질실리콘층상에 조사함으로써 이루어지는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

## 청구항 6.

제 1항에 있어서, 상기 게이트전극을 형성하는 단계는 상기 감광막 패턴을 마스크로 적용하고 상기 메탈층을 습식각을 통한 오버 에치공정을 통해 이루어지는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조방법.

## 청구항 7.

제 1항에 있어서, 상기 감광막패턴 일부를 제거하는 단계는 상기 감광막패턴을 에칭함으로써 이루어지는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

## 청구항 8.

제 1항에 있어서, 상기 소오스/드레인전극상에 보호막을 형성하는 단계와,

상기 보호막상에 화소전극과 상기 드레인전극을 연결하기 위한 컨택홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

## 청구항 9.

기판을 준비하는 단계;

상기 기판 상에 폴리실리콘층, 절연막 및 메탈층을 연속하여 형성하는 단계;

상기 메탈층상에 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 이용하여 게이트전극을 형성하는 단계;

상기 감광막 패턴을 마스크로 상기 폴리실리콘층을 패터닝하여 액티브층을 형성하는 단계;

상기 액티브층 내로 불순물이온을 주입하는 단계;

상기 액티브층상의 절연막 일부를 제거하는 단계;

상기 액티브층상에 소오스/드레인전극을 형성하는 단계;

상기 드레인전극과 연결되는 화소전극을 형성하는 단계; 및

상기 화소전극상에 보호막을 형성하는 단계를 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조 방법.

## 청구항 10.

제 9항에 있어서, 상기 감광막패턴의 일부를 제거하는 단계를 더 포함하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조방법.

## 청구항 11.

제 10항에 있어서, 상기 액티브층상에 불순물을 주입하는 단계는 상기 일부가 제거된 감광막패턴을 마스크로 적용하는 것을 특징으로 하는 폴리실리콘 액정표시소자 제조방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자의 제조 방법에 관한 것으로서, 특히 액티브층으로 순차적 수평 결정화된 폴리실리콘을 적용하는 폴리실리콘 액정표시소자 제조방법에 관한 것이다.

구동 회로부 분리형 액정표시소자는 화면을 표시하는 화면 표시부와 상기 화면 표시부를 구동하는 구동 회로부로 구분될 수 있는데, 화면 표시부와 구동 회로부가 분리되어 형성되고 TCP(Tape Carrier Package)등을 통하여 서로 연결되어 있다.

반면, 구동 회로부 일체형 액정표시소자는 화면 표시부를 구성할 때 구동 회로부를 동시에 동일한 기판 상에 형성하는 방법을 사용함으로써 구동 회로부 분리형 액정표시소자에 비해 제조 공정에서 편리하다.

구동 회로부 일체형 액정표시소자를 구성하기 위해서는 미세한 소자 형성이 가능한 폴리실리콘층을 채널 층으로 주로 사용한다.

또한, 폴리실리콘을 채널층으로 사용하는 액정표시소자는 비정질실리콘을 채널로 사용하는 액정표시소자에 비해 채널의 이동도가 우수하여 고속 동작을 요하는 액정표시소자의 제조에 적합하다. 보통, 비정질 박막트랜지스터(Thin Film Transistor, TFT)의 전기적 이동도가  $0.1 \sim 1 \text{ cm}^2/\text{Vsec}$  정도인데 반해, 액시머 레이저를 이용하여 제작된 다결정 실리콘 TFT의 전기적 이동도는  $100 \text{ cm}^2/\text{Vsec}$ 가 넘는 값을 가진다.

상기의 폴리실리콘을 채널로 사용하는 구동 회로부 일체형 액정표시소자를 도 1을 통해서 살펴보면, 단위화소들이 매트릭스 형태로 배열된 화면 표시부(101)와 화면 표시부의 외곽으로 화면 표시부의 소자들을 구동하기 위한 구동 회로부(102)가 형성되어 있다. 상기 구동 회로부(102)에는 게이트 드라이버(104)와 데이터 드라이버(103)등의 회로부등의 구동 회로부가 형성되어 있다.

상기 구동 회로부에는 P-채널과 N-채널 MOS(Complementary Metal Oxide Semiconductor)를 하나의 회로에 동시에 구성하여 단위 트랜지스터의 기능을 발휘하게 한 IC 회로가 단위 체를 형성하며 화면 표시부의 단위화소들과 연결되어 있다.

도 2를 통하여 P채널 TFT와 N채널 TFT를 구비하는 구동 회로부와 단위화소를 구비하는 화면 표시부의 개략적 단면을 중심으로 폴리실리콘 액정표시소자의 제조방법을 살펴본다.

폴리실리콘 액정표시소자를 제조하기 위하여 먼저, 기판(201)을 준비하고 상기 기판 상에 실리콘 산화막으로 구성되는 버퍼층(202)을 형성한다.

상기 실리콘 산화막 상에 증착온도가 낮은 플라즈마 화학기상증착방법(plasma enhanced chemical vapor deposition; PECVD)에 의해 비정질실리콘막(203)을 증착하고, 약  $400^\circ\text{C}$  정도의 온도에서 열처리를 하여 비정질실리콘막에 포함된 수소를 이탈시키는 탈 수소공정을 거친다. 비정질실리콘을 탈 수소화하는 것은 비정질실리콘을 폴리실리콘화 하는 과정에서 수소가스가 폭발적으로 발생하여 기판에 손상을 줄 수 있으므로 열처리를 통해 미리 제거하는 것이다.

다음으로 비정질실리콘을 다결정화하기 위하여 상기 비정질실리콘층이 형성된 기판을 열처리한다. 액정표시소자를 형성하는 기판은 통상 유리기판으로써 고온의 열처리를 할 경우 유리 기판이 열에 의해 변형될 수 있으므로 유리기판을 이용하여 폴리실리콘 TFT를 형성하는 공정에서는 저온에서 순간적인 열처리를 통해 비정질실리콘을 결정질 실리콘으로 만들 수 있는 레이저 어닐링 방법을 사용한다.

그러므로 비정질실리콘이 형성된 기판을 엑시머 레이저 등을 조사하여 기판 전체에 형성된 비정질실리콘을 다결정질 실리콘(폴리실리콘)으로 변화시킨다.

폴리실리콘이 형성된 다음, 상기의 폴리실리콘을 건식각을 통하여 화면 표시부중 화소전극의 액티브층(203a), 구동 회로부의 CMOS중 P형 박막트랜지스터와 N형 박막트랜지스터의 액티브층(203b, 203c)을 정의한다. 도 2b는 실리콘 산화층(202)상에 비정질실리콘층이 결정화되고 식각되어 정의된 화소전극의 액티브층(203a), N형 박막트랜지스터의 액티브층(203b), P형 박막트랜지스터의 액티브층(203c)을 도시하고 있다.

폴리실리콘으로 이루어진 액티브층을 형성한 다음, 상기 액티브층을 보호하고 상부에 형성될 게이트 라인과 액티브층을 절연하기 위한 실리콘 산화막( $\text{SiO}_2$ ) 또는 실리콘 질화막( $\text{SiN}_x$ )으로 구성된 게이트절연막(204)을 기판 전면에 형성하고 게이트 메탈을 스퍼터링 방법에 의해서 상기 게이트절연막 상에 형성한다. 상기 게이트 메탈을 마스크를 적용하고 사진식각공정을 통하여 화면 표시부 TFT의 게이트전극과 CMOS중 N-TFT와 P-TFT용 게이트전극으로 각각 패터닝한다.

상기 게이트전극은 도전성과 화소전극으로 사용되는 ITO(Indium Tin Oxide)막과의 오믹 콘택을 위하여 알루미늄과 몰리브덴의 이중 층을 사용하거나 단지 몰리브덴으로만 이루어진 단일 층을 적용하여 게이트전극을 형성할 수 있다.

게이트전극이 패터닝된 후에 상기 화소부와 회로부의 TFT소자를 게이트전극과 드레인 및 소스 전극과의 리키지(leakage)전류를 방지하는데 효과적인 LDD 형으로 형성하기 위하여 불순물 이온을 주입한다. 불순물로는 N형 TFT를 형성하기 위해서는 전자를 공여하는 원소주기율표상 5족 원소에 해당하는 인(P)이나 비소(As)등 원소를 상기 폴리실리콘층에 주입하고 P형 TFT를 형성하기 위해서는 홀(hole)을 공여하는 원소주기율표상 3족 원소에 해당하는 붕소(B)등의 원소를 주입한다.

도 2d를 통하여 LDD(lightly doped drain)형 TFT를 형성하는 공정을 설명하면, 게이트 전극(205)이 형성된 기판 전체에 스핀 코팅 방법 등에 의해 감광막을 형성하고 포토리소그래피(photolithography)공정을 통하여 감광막으로 P형 TFT가 형성될 영역은 가리고 나머지 영역의 감광막은 제거한다. 상기 결과, P형 TFT 영역은 감광막(206)에 의해 가려지고 나머지 화소영역과 N형 TFT 영역은 오픈된 모습을 도 2d를 통하여 확인할 수 있다.

다음으로 오픈된 영역 상에 존재하는 게이트 라인(205)과 상기 감광막(206)을 마스크로 적용하여 저농도의 인(P)등의 5족 원소를 이온 주입한다. 상기의 결과, 화면 표시부 TFT의 액티브층(203a)과 구동 회로부 N형 TFT의 액티브층(203b)에는 저농도의 N형 이온이 주입되고 액티브층 중 게이트 라인에 의해 가려진 영역은 이온이 주입되지 않은 상태로 남게 된다. 저농도의 인(P) 이온을 주입한 후에 상기 감광막을 제거한다.

LDD형의 TFT는 액티브층 중 채널층과 가까운 소스/드레인전극부는 저농도의 불순물이 도핑되어 있고 채널과 이격된 영역의 소스/드레인전극부(209)는 고농도의 불순물이온이 도핑되어 있는 구조이므로, 도 2e에서와 같이, 액티브층 중 게이트전극과 이격된 영역(209)에 고농도의 불순물을 주입하기 위하여 기판 전체에 감광막을 코팅하고 P형 TFT 영역 전체와 N형 TFT 영역 중 게이트전극 및 일부 액티브층이 가려지도록 감광막(207)을 패터닝한다. 상기 감광막(207)을 마스크로 적용하여 고농도의 N형 불순물을 이온 주입하여 N형 TFT를 완성한다.

다음으로 P형 TFT를 LDD 형의 TFT로 형성하는 공정을 진행한다.

P형 TFT를 형성하는 공정은 상기에서 설명한 바와 같이 N형 TFT를 만드는 공정과 거의 동일하게 진행된다. P형 TFT는 전공을 캐리어로 사용하기 때문에 누설전류의 발생이 전자를 캐리어로 사용하는 N형 TFT보다 적게 발생할 수 있다. 그러므로 도 2f를 참조하여 통상의 소스 및 드레인 영역을 구비하는 TFT의 제조공정을 살핀다.

도 2f에서 도시한 바와 같이, N형 TFT가 형성된 영역 전체를 감광막(210)으로 가리고 고농도의 붕소(B)등의 3족 이온을 P형 TFT의 액티브층 상에 주입한다. 그 결과, 고농도의 P형 이온이 주입된 P형 TFT의 소스 또는 드레인 영역(211)을 도 2f를 통하여 확인할 수 있다. 그 결과, 고농도 불순물이 도핑되고 소스 및 드레인 영역사이에 진성반도체로 구성되는 채널층을 구비하는 P형 TFT가 완성된다.

상기에서 P형 또는 N형의 이온이 주입된 영역은 TFT의 소스/드레인전극이 형성될 영역으로 작용한다.

삭제

다음으로 도 2g에 도시된 바와 같이, 상기의 결과물에 실리콘 질화막 또는 실리콘 산화막의 절연막(214)을 기판 전체에 형성하고 TFT 소자 중 소스와 드레인전극이 형성될 영역에 컨택홀(220)을 형성한다. 상기 컨택홀은 도 2h에서 도시된 바와 같이, 화소부와 구동 회로부의 TFT 모두에 형성되며 상기 컨택홀(220) 상에 소스/드레인전극용 도전층을 형성하고 패터닝하여 소스/드레인전극을 형성한다.

도 2h는 TFT상에 소스/드레인전극(215,216)이 형성된 모습을 도시하고 있다.

다음으로 상기 공정 결과 형성된 TFT소자를 보호하기 위해 주로 실리콘 산화막 성분으로 구성되는 보호막(217)을 형성하고, 상기의 보호막(217) 상에 화소영역 상의 TFT 중 드레인전극이 노출되도록 컨택홀(219)을 형성한다.

상기 결과물에 화소전극용 ITO막을 형성하여 상기 컨택홀(219)을 통해 드레인전극과 전기적으로 연결되게 한 다음 패터닝하여 화소전극(218)을 형성한다.

그 결과, 폴리실리콘을 채널로 사용하는 액정표시소자의 제조방법에 의하면, 폴리실리콘을 채널층으로 사용하는 액정표시소자는 소자의 동작특성이 우수한 장점은 있지만 공정이 매우 복잡한 단점이 있다.

삭제

그러므로 폴리실리콘을 채널로 적용하는 액정표시소자 제조에 있어서는 공정의 단축이 가장 큰 문제점이며 상기의 문제점을 해결하기 위하여 다양한 시도가 이루어지고 있다.

### 발명이 이루고자 하는 기술적 과제

이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 폴리실리콘을 채널층으로 사용하는 액정표시소자를 제조함에 있어서 제조공정을 단축시킬 수 있는 액정표시소자 제조방법에 제공함에 그 목적이 있다. 특히, 액정표시장치 제조에 있어, 폴리실리콘을 채널층으로 사용하기 때문에 비정질실리콘을 결정질 실리콘으로 형성하기 위하여 레이저 어닐링을 실시하는데 레이저 어닐링 공정은 상당한 시간을 요하는 공정으로써 폴리실리콘 액정표시소자가 생산력에서나 가격 면에서 경쟁력을 확보하기 위해서는 무엇보다도 공정 수를 줄이는 것이 필수적이다.

그러므로, 본 발명은 새도우 마스크를 적용하여 비정질실리콘층을 선택적으로 다결정화한 다음, 상기 다결정 실리콘상에 실리콘 산화층을 형성하여 식각함으로써 제조공정수를 효과적으로 줄일 수 있는 액정표시소자 제조방법을 제공함에 그 목적이 있다.

### 발명의 구성

상기 목적을 달성하기 위한 본 발명에 따른 액정표시소자 제조방법은, 기판을 준비하는 단계; 상기 기판 상에 폴리실리콘층, 게이트절연막 및 게이트 메탈을 연속하여 형성하는 단계; 게이트 감광막 패터를 형성하는 단계; 게이트전극을 형성하는 단계; 상기 게이트절연막과 폴리실리콘층을 패터닝하는 단계; 상기 감광막 패터를 일부 제거하는 단계; 상기 패터닝된 폴리실리콘층 내로 불순물이온을 주입하는 단계; 상기 패터닝된 게이트절연막의 일부를 제거하는 단계; 상기 패터닝된 폴리실리콘층상에 소오스/드레인전극을 형성하는 단계; 상기 소오스/드레인전극 상에 보호막을 형성하는 단계; 상기 보호막 상에 화소전극을 형성하는 단계를 포함하여 폴리실리콘 액정표시소자를 제조하는 것을 특징으로 한다.

이하, 본 발명의 폴리실리콘을 액티브층으로 적용하는 액정표시소자의 제조 방법에 대해 도 3a~3h를 참조하여 상세히 설명한다.

박막트랜지스터의 채널로 적용되는 액티브층 내로 기판 상에 존재할 수 있는 불순물 등이 확산되는 것을 방지하기 위하여 기판(301)상에 실리콘산화막으로 구성되는 버퍼층(302)을 형성한다.

다음으로, 상기 버퍼층(302)상에 비정질실리콘층을 형성한다. 비정질실리콘 자체로도 TFT의 채널층으로 적용이 가능하지만 상기 비정질실리콘층은 다결정질 실리콘막에 비해 동작특성이 떨어지므로 고속의 동작특성을 요하는 TFT 소자를 형성하기 위하여 상기 비정질실리콘막을 다결정실리콘막으로 변화시킨다.

상기 다결정질 실리콘막은 비정질실리콘막을 고온의 요로에서 열처리하거나 레이저 조사에 의한 열처리를 통하여 재결정화한 것으로써, 전기 이동의 방해 요소로 작용하는 그레인의 면적이 비정질실리콘에 비해 매우 작아 전기 이동도 면에서 우수하다.

보통, 비정질 박막트랜지스터(Thin Film Transistor, TFT)의 전기적 이동도가  $0.1 \sim 1 \text{ cm}^2/\text{Vsec}$  정도인데 반해, 액시머 레이저를 이용하여 제작된 다결정 실리콘 TFT의 전기적 이동도는  $100 \text{ cm}^2/\text{Vsec}$ 가 넘는 값을 가진다.

그러나 액시머 레이저 어닐링을 이용하여 제작된 다결정 실리콘 박막트랜지스터의 전기적 특성이 전기적 이동도와 구동 전류 측면에서 우수하긴 하지만 이는 스위치-온(ON) 상태 특성에만 해당되는 것으로 스위치-오프(OFF) 상태에서는 누설 전류가 높게 흐른다. 이상적으로 스위치-OFF 상태에서는 누설 전류가 전혀 흐르지 않아야 하는 점을 감안하면 이는 다결정 실리콘 박막트랜지스터의 해결해야할 문제점으로 대두된다.

상기의 누설전류의 발생 원인은 그레인 경계에 기인한 것으로써 문제가 되는 그레인 경계의 면적을 획기적으로 줄이고 순차적 수평 결정화된 폴리실리콘을 채널로서 적용할 경우 고속의 동작특성을 가지면서 누설 전류 발생을 줄일 수 있는 TFT를 형성할 수 있다.

버퍼층상에 형성된 비정질실리콘층을 다결정 실리콘 층으로 형성하는 방법을 살펴보면, 액시머 레이저를 상기 비정질실리콘층상에 조사하여 상기 비정질실리콘을 용융시킨다. 이 때, 용융된 비정질실리콘 분자들이 재배치되면서 그레인 크기가 큰 폴리실리콘으로 성장한다.

비정질실리콘의 일부를 완전 용융시키고 결정을 성장시키면 용융되지 않은 비정질실리콘을 핵으로 하여 용융된 실리콘층이 수평으로 성장하여 그레인 경계가 획기적으로 감소한 순차적 수평 결정화된 폴리실리콘층을 얻을 수 있다.

본 발명에서는 폴리실리콘층으로 레이저 조사에 의해 형성되는 폴리실리콘으로 제한할 것은 아니며 동작 특성 등을 고려하여 요로에서 열처리하여 형성되는 폴리실리콘층을 액티브층으로 적용할 수도 있다.

또한, 비정질실리콘을 완전 용융한 후 재결정하면 무작위로 등장하는 핵(seed)을 중심으로 마이크로크리스탈(microcrystal) 실리콘이 형성될 수 있는데, 상기 마이크로크리스탈 실리콘은 비정질실리콘에 비해 전기 이동도가 10배 이상 향상된 것으로 본 발명의 액티브층으로 적용하는데 부족하지 않다.

폴리실리콘층의 성막이 이루어진 후에, 상기 폴리실리콘층(303)상에 실리콘 산화막 또는 실리콘 질화막으로 구성되는 게이트절연막(304)과 몰리브덴(Mo) 또는 알루미늄 합금(Al) 등으로 구성되는 게이트 메탈 층(305)을 연속하여 형성한다.

보통, 금속 막의 성막은 아르곤(Ar) 등의 비활성 기체를 타겟 물질에 충돌시켜 타겟물질을 비산시킴으로써 증착이 이루어지도록 하는 스퍼터링 방법에 의해 이루어지고, 실리콘 산화막 등의 무기막은 플라즈마화학기상증착 방법(PECVD)에 의해 주로 이루어진다.

상기 게이트 메탈 층(305)을 게이트전극을 포함하는 패턴으로 형성하기 위하여 감광막을 도포하고 제 1 마스크를 적용하여 포토 리소그래피 공정을 통해 게이트 패턴을 형성한다.

상기 도 3a에서 부호 306은 게이트전극 패턴을 포함하는 감광막 패턴을 도시하고 있다.

다음으로, 상기 감광막 패턴(306)을 마스크로 적용하여 게이트 메탈을 습식각한다.

메탈 층은 습식각 또는 건식각 모두가 가능하지만 습식각의 등방성 식각 특성을 이용할 경우, 게이트전극 상에 형성되는 여러 막의 단락 방지에 유리한 테이퍼 형상의 게이트전극을 형성할 수 있다. 본 발명에서 습식각을 적용하는 또 다른 이유는 습식각의 등방성 식각을 이용해야 상기 감광막 패턴(306)보다 작은 패턴을 가지는 게이트전극을 형성할 수 있기 때문이다.

도 3b에서 도시된 바와 같이, 습식각된 게이트전극(305a) 상부에는 게이트전극을 형성하기 위한 감광막 패턴(306)이 더 크게 형성되어 있다.

도 3c에서 도시된 바와 같이, 게이트전극(305a)이 패터닝된 후, 상기의 감광막 패턴(306)을 마스크로 적용하여 기판 상의 폴리실리콘층(303)과 게이트절연막(304)을 패터닝한다. 이때, 상기 감광막 패턴(306)과 일치하는 폴리실리콘층(303)과 게이트절연막(304)을 패터닝하기 위하여 건식각방법을 사용한다.

건식각은 이방성 식각 특성을 가지므로 주입되는 식각 가스에 의해 세밀하고 수직한 측면을 가지는 액티브층(303a)이 형성될 수 있다.

다음으로, 본 발명에서 사용되는 TFT소자를 누설 전류 방지에 유리한 LDD형의 TFT로 구성하기 위하여 상기 액티브층(303a) 내로 불순물 이온을 주입한다.

불순물 이온을 상기 액티브층(303a) 내로 주입하는데 상기의 감광막 패턴이 액티브층(303a)을 가리고 있으므로, 도 3d에서 도시된 바와 같이, 상기 감광막 패턴(306)의 일부를 제거하는 공정을 진행한다.

감광막 패턴(306)의 일부를 제거하는 방법은 감광막의 에칭(ashing) 공정을 통하여 이루어질 수 있다.

에칭 공정은 감광막을 에칭 챔버에 넣고 산소를 포함하는 가스를 주입함으로써 감광막을 산화시켜 날려버리는 공정을 말한다. 에칭 방법에 의해서 감광막은 정밀하게 제어되면서 일정 부분 제거될 수 있다.

도 3d에서 도시한 바와 같이, 상기 에칭된 감광막 패턴(306)을 마스크로 적용하여 상기 액티브층(303a)내로 불순물 이온을 주입한다.

N형 TFT를 형성하기 위해서는 전자를 공여할 수 있는 인(P)등의 5족 원소를 주입하고 P형 TFT를 형성하기 위해서는 전공(hole)을 공여할 수 있는 붕소(B)등의 3족 원소를 주입한다.

제 1단계 불순물 이온 주입은 저농도의 불순물을 주입하는데, LDD형의 TFT는 채널에 인접한 영역은 저농도의 불순물이 주입되어 있고 채널에서 이격된 영역은 고농도의 불순물이 주입되어 있는 구조로써 본 발명에서는 저농도의 불순물 이온을 먼저 주입함으로써 액티브층(303a)내에서 불순물 이온의 확산을 도모한다.

상기 에칭된 감광막 패턴(306a)은 액티브층(303a)의 일부를 가리고 있고 상기 액티브층(303a)의 상부에는 게이트절연막(304)이 형성되어 있으므로 불순물 이온을 주입할 때 불순물 이온이 액티브층(303a)의 측면으로 확산하면서 이온 주입이 이루어진다.

그러므로 액티브층(303a)중 채널영역의 인접 영역(303c)은 확산에 의한 불순물 이온이 주입되므로 액티브층 중 불순물 이온이 직접 주입되는 영역(303b)보다 적은 농도의 불순물이 도핑된다.

다음으로 도 3e에서 도시된 바와 같이, 상기 에칭된 감광막 패턴(306a)을 마스크로 적용하여 상기 액티브층(303a) 위의 게이트절연막(304)의 일부를 건식각에 의해 제거하고 액티브층(303a)을 노출시킨다. 액티브층(303a)을 노출시킨 다음, 에칭된 감광막 패턴(306a)을 마스크로 적용하고 고농도의 불순물 이온을 노출된 액티브층(303a)내로 주입함으로써 LDD형의 채널을 완성한다.

LDD형의 채널을 완성한 다음, 상기 에칭된 감광막 패턴(306a)을 감광막 스트립 공정과 에칭 공정을 통해 완전히 제거하고, 소오스/드레인전극을 형성하기 위한 도전층(320)을 도 3f와 같이 기판 전체 면에 형성한다.

다음으로 상기 도전층(320)을 소오스와 드레인전극으로 패터닝하기 위하여 감광막(330) 형성공정과 포토리소그라피 공정, 식각 공정을 통해 도 3g와 같이 소오스(307)/드레인전극(308)을 형성한다. 이때 소오스/드레인전극 패턴을 포함하는 두 번째 마스크를 적용한다.

소오스(307)와 드레인전극(308)을 형성하는 식각공정은 건식각, 습식각 방법 모두 가능한데, 습식각을 사용할 경우, 게이트전극에 손상을 주지 않는 에천트를 선택하여 식각할 수 있다.



소오스(307)와 드레인전극(308)은 액티브층(303a)중 고농도로 이온 주입된 영역(소스 및 드레인 영역)과 각각 연결되게 된다.(도 3g)

다음으로 도 3h에 도시된 바와 같이, 상기에서 형성된 LDD형 TFT 소자를 보호하는 실리콘 질화막 또는 실리콘 산화막의 보호막(309)을 소오스/드레인전극 상에 형성하고 제 3마스크를 적용하여 드레인전극(308)과 화소전극을 연결하기 위한 컨택홀(310)을 형성한다.(도 3h)

컨택홀(310)이 형성된 다음, 상기 보호막 상에 화소전극 형성용 ITO(Indium Tin Oxide)을 형성하고 제 4마스크를 적용하여 화소전극(311)을 형성한다.(도 3i)

전술한 본 발명의 실시 예에서는 4마스크를 적용하여 TFT소자를 형성하였다.

본 발명의 다른 실시 예로서 폴리실리콘 액정표시소자를 형성하는 공정에서는 마스크 수를 하나 더 줄인 것을 설명한다.

기관을 준비하는 단계에서 제 2마스크를 적용하여 소오스/드레인전극을 형성하는 공정까지는 동일하다.

도 4a에서 도시된 바와 같이, 상기 소오스(407),드레인(408) 전극을 형성한 다음, 상기 소오스(407),드레인(408) 전극을 포함하는 기관 전체면에 화소전극을 형성하기 위한 화소전극(411) 형성용 ITO막을 형성한다.

다음으로 상기 ITO막을 화소전극 패턴을 포함하는 제 3마스크를 적용하여 화소전극(411)을 형성한다. 이때 식각 방법으로 습식각이 주로 이용되는데 화소전극을 식각하는 옥살릭산(oxalic acid)은 액티브층이나 소오스/드레인전극 등에는 영향을 주지 않으므로 ITO막만 효과적으로 식각할 수 있다.

화소전극을 형성한 다음, 상기의 TFT소자를 보호하는 투명한 절연막인 보호막을 형성한다.(도 4b)

### 발명의 효과

상기에서 설명한 바와같이, 본 발명에 따른 액정표시소자 제조방법에 의하면, 하나의 마스크 공정에는 기본적으로 감광막 도포 공정, 노광 공정, 감광막 스트립 공정, 기관 세정 공정 등 세부적인 여러 공정을 포함하기 때문에 마스크 수를 줄이는 것은 TFT 소자 형성 공정에서 대단히 중요하다.

본 발명은 LDD형의 TFT를 형성하는 공정에서 제 1마스크를 적용하여 LDD형의 TFT의 채널영역 형성공정까지 마칠 수 있게 함으로써 3또는 4마스크만 적용하여 TFT 소자를 형성할 수 있게 함으로써 종래의 8마스크를 적용하여 폴리실리콘 TFT를 형성하던 공정을 획기적으로 줄여 비용절감 및 수율 향상에 기여한다.

### 도면의 간단한 설명

도 1은 종래의 구동 회로부 일체형 폴리실리콘 액정표시소자의 개략적 평면도.

도 2a~2i는 종래의 폴리실리콘 액정표시소자의 제조 공정을 나타내는 수순도.

도 3a~3i는 본 발명의 폴리실리콘 액정표시소자의 제조 공정을 나타내는 수순도.

도 4a~4b는 본 발명의 다른 실시 예로서 3마스크를 적용하여 폴리실리콘 액정표시소자의 제조 공정을 나타내는 수순도.

\*\*\*\*\*도면의 중요부분에 대한 부호의 설명\*\*\*\*\*

301:기관 302:버퍼층

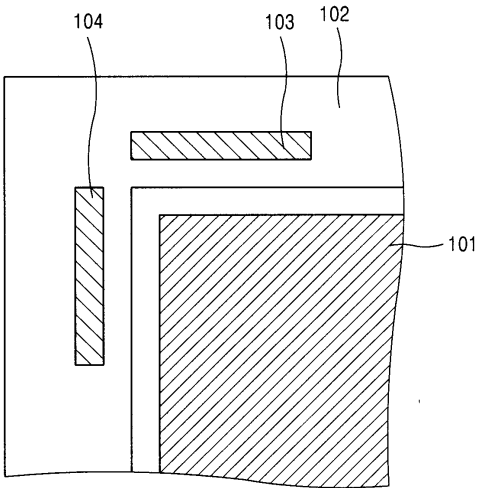
303:폴리실리콘층 304:게이트절연막

305:게이트 메탈 305a:게이트전극

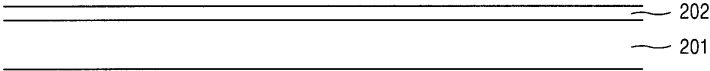
306:게이트 감광막 패턴 307:소스 전극  
308:드레인전극 309:보호막  
310:컨택홀 311:화소전극

도면

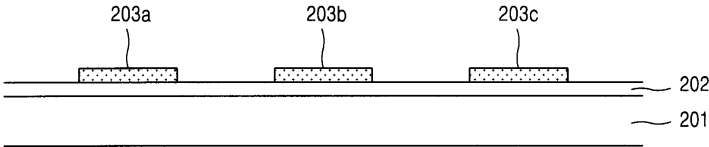
도면1



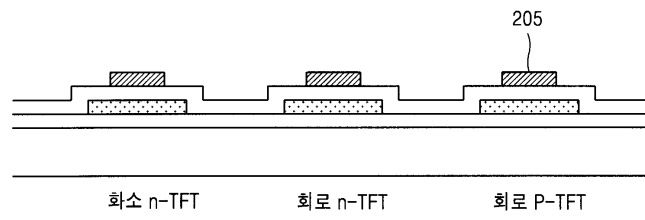
도면2a



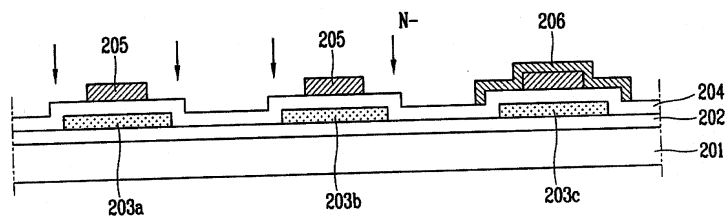
도면2b



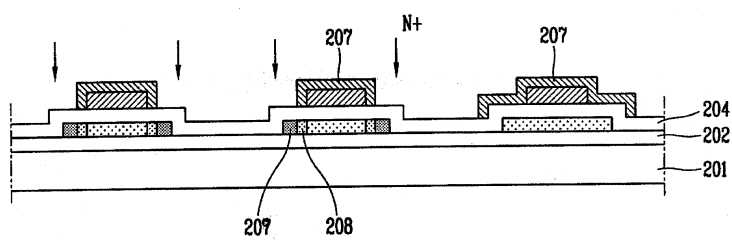
도면2c



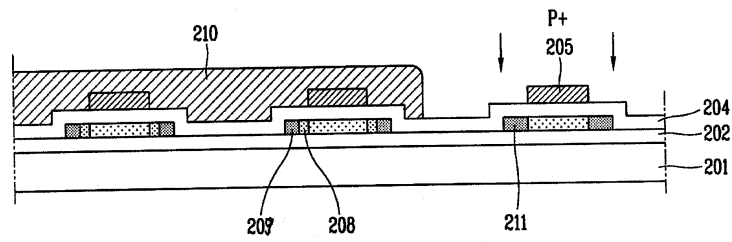
도면2d



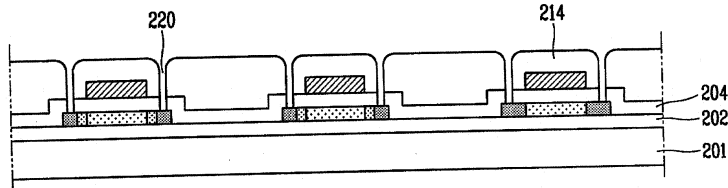
도면2e



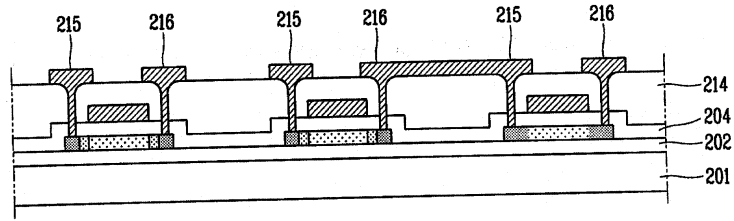
도면2f



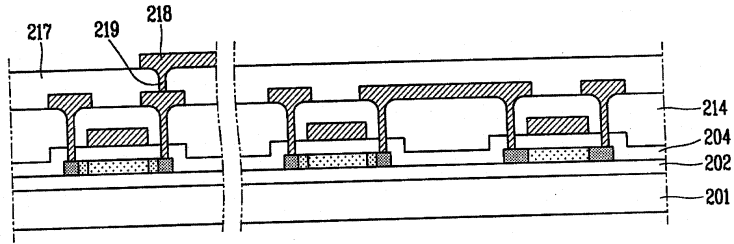
도면2g



도면2h



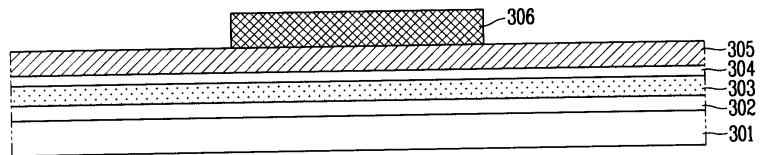
도면2i



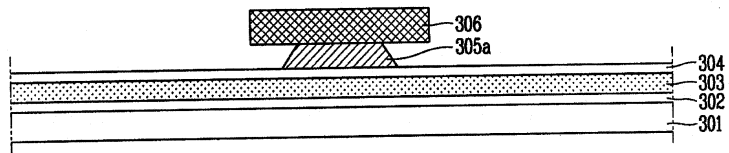
도면2j

삭제

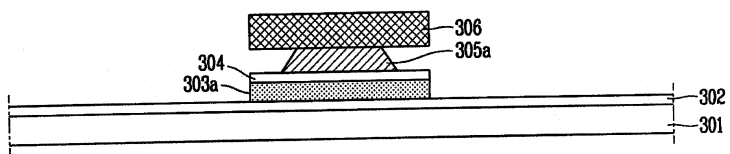
도면3a



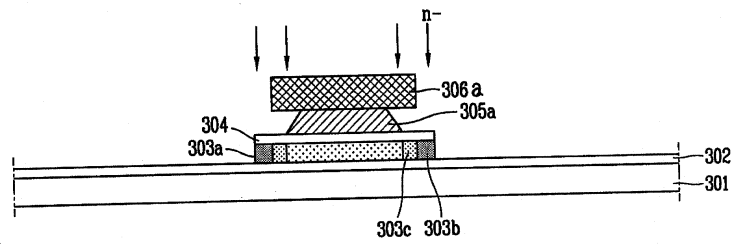
도면3b



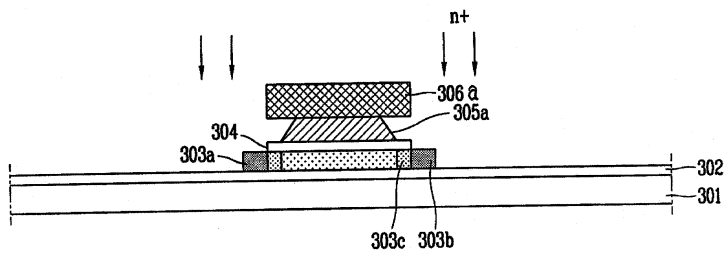
도면3c



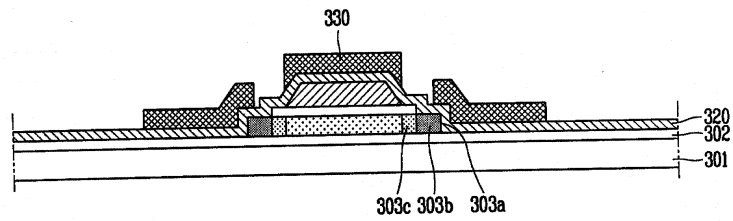
도면3d



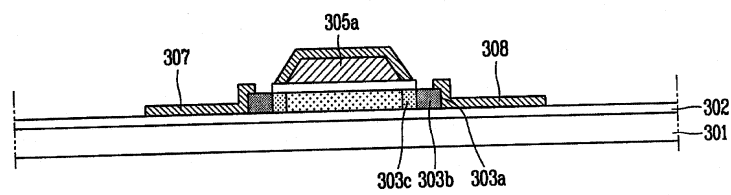
도면3e



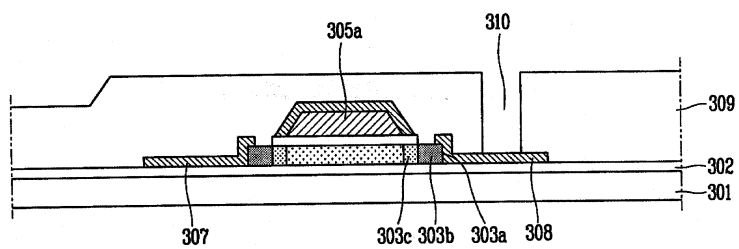
도면3f



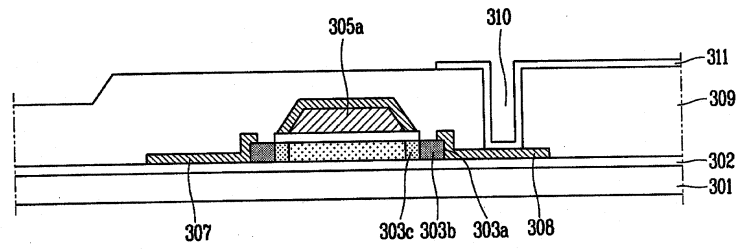
도면3g



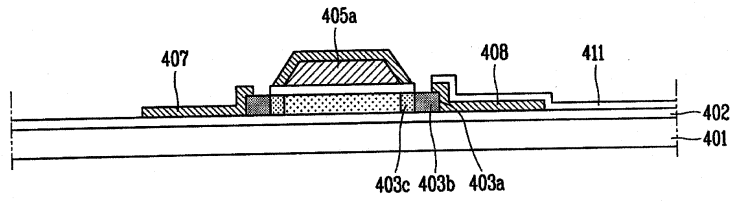
도면3h



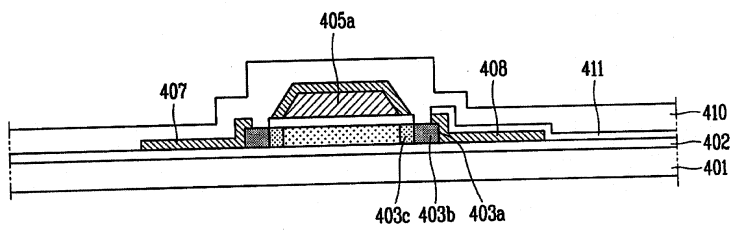
도면3i



도면4a



도면4b



|                |                                                                                     |         |            |
|----------------|-------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 多晶硅液晶显示元件的制造方法                                                                      |         |            |
| 公开(公告)号        | <a href="#">KR100652216B1</a>                                                       | 公开(公告)日 | 2006-11-30 |
| 申请号            | KR1020030042832                                                                     | 申请日     | 2003-06-27 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                            |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                           |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                           |         |            |
| [标]发明人         | LEE KYOUNGMOOK<br>이경묵<br>NAM SEUNGHEE<br>남승희<br>OH JAEYOUNG<br>오재영                  |         |            |
| 发明人            | 이경묵<br>남승희<br>오재영                                                                   |         |            |
| IPC分类号         | G02F1/136 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L27/146 H01L29/786            |         |            |
| CPC分类号         | H01L29/78621 H01L27/1214 H01L29/66757 H01L27/146 H01L27/12 H01L27/14683 H01L27/1288 |         |            |
| 代理人(译)         | PARK , JANG WON                                                                     |         |            |
| 其他公开文献         | KR1020050001251A                                                                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                           |         |            |

#### 摘要(译)

制造包含多晶硅型TFT的整体型LCD器件的方法减少了制造薄膜晶体管 ( TFT ) 所需的掩模数量。根据该方法, 使用单个光致抗蚀剂图案和光致抗蚀剂灰化技术形成轻掺杂漏极 ( LDD ) 型TFT。

