

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G09G 3/36

(45) 공고일자 2003년12월01일
(11) 등록번호 10-0408257
(24) 등록일자 2003년11월21일

(21) 출원번호 10-2001-0089273
(22) 출원일자 2001년12월31일

(65) 공개번호 특2003-0058739
(43) 공개일자 2003년07월07일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 어정택
경상북도칠곡군석적면남울리710우방신천지아파트111동1805호
김장환
경상북도구미시옥계동대동아파트101동607호

(74) 대리인 박장원

심사관 : 정경덕

(54) 액정표시장치의 전원관리 및 게이트 펄스 조정회로

요약

본 발명은 액정표시장치의 전원관리 및 게이트 펄스 조정회로에 관한 것으로, 종래 액정표시장치에는 전원관리회로와 게이트 펄스 조정회로가 각기 다른 칩으로 구현되었으며, 이에 따라 액정표시장치를 구성하는 회로의 집적도가 저하되고, 각기 다른 칩을 제조해야 함으로써, 제품의 단가가 증가하는 문제점이 있었다. 이와 같은 문제점을 감안한 본 발명은 전원관리신호를 인가받아 셀트랜지스터의 게이트를 구동하는 게이트구동전압을 액정표시장치에 전원이 공급되는 동안 계속 인가하는 전원관리회로와; 상기 전원관리회로로부터 게이트구동전압을 인가받아 특정 게이트라인이 구동되는 시점에서 고전위구간과 저전위구간을 가지도록 인가되는 플리커 제거신호에 따라, 그 플리커 제거신호의 고전위구간에서 상기 게이트구동전압을 출력하며, 그 플리커 제거신호의 저전위 구간에서 그 게이트구동전압을 전원전압값으로 낮추어 출력하는 게이트 펄스 조정회로를 동일 칩으로 구현하여, 액정표시장치의 집적도를 향상시키고, 그 액정표시장치의 단가를 줄일 수 있는 효과가 있다.

대표도

도 1

명세서

도면의 간단한 설명

도1은 본 발명 액정표시장치의 전원관리 및 게이트 펄스 조정회로도.

도2는 셀트랜지스터의 게이트 구동을 위한 타이밍도.

** 도면의 주요 부분에 대한 부호의 설명 **

Q1~Q6:바이폴라 트랜지스터 R1~R12:저항

C1,C2:커패시터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 전원관리 및 게이트 펄스 조정회로에 관한 것으로, 특히 단일 칩내에 액정표시장치의 전원관리 기능과 플리커의 발생을 보상하는 게이트 펄스 조정회로를 집적하여, 집적도 향상 및 액정표시장치의 가격을 낮출 수 있는 액정표시장치의 전원관리 및 게이트 펄스 조정회로에 관한 것이다.

일반적으로 액정표시장치는 화소를 제어하기 위해 박막 트랜지스터를 구비하며, 그 박막 트랜지스터를 온오프 시키기 위한 게이트 구동회로를 구비한다.

상기 액정표시장치의 박막 트랜지스터를 구동시키기 위해서는 25V의 전압이 필요하며, 이를 생성하기 위한 전원관리회로를 구비한다.

또한, 상기 액정표시장치의 박막 트랜지스터의 게이트를 제어하는 과정에서, 그 게이트를 턴온 시키는 전압이 고전위에서 저전위로 천이되는 구간이 수직으로 형성되지 않도록 하기 위해, 그 턴온 전압을 조정하는 회로를 별도로 구비한다.

상기 게이트의 턴온 전압이 특정시점에서 갑자기 저전위로 천이되는 경우에는 액정표시장치의 화면에서 플리커(flicker)가 발생한다.

상기 플리커는 사람이 인식할 수 있는 정도의 떨림이 화면상에 발생하는 것이며, 이를 방지하기 위해 턴온 전압이 고전위에서 저전위로 천이하기 이전의 일부 상태를 그 정상적인 고전위전압 보다 낮은 전압을 인가하게 되며, 이를 게이트 펄스 조정회로라 한다.

종래에는 상기 전원관리회로와 게이트 펄스 조정회로가 각기 다른 칩으로 구현되었으며, 이에 따라 액정표시장치를 구성하는 회로의 집적도가 저하되고, 각기 다른 칩을 제조해야 함으로써, 제품의 단가가 증가하는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 감안한 본 발명은 전원관리회로와 게이트 펄스 조정회로를 단일칩으로 구성할 수 있는 액정표시장치의 전원관리 및 게이트 펄스 조정회로를 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적은 전원관리신호를 인가받아 셀트랜지스터의 게이트를 구동하는 게이트구동전압을 액정표시장치에 전원이 공급되는 동안 계속 인가하는 전원관리회로와; 상기 전원관리회로로부터 게이트구동전압을 인가받아 특정 게이트라인이 구동되는 시점에서 고전위구간과 저전위구간을 가지도록 인가되는 플리커 제거신호에 따라, 그 플리커 제거신호의 고전위구간에서 상기 게이트구동전압을 출력하며, 그 플리커 제거신호의 저전위 구간에서 그 게이트구동전압을 전원전압값으로 낮추어 출력하는 게이트 펄스 조정회로를 동일 칩내에 구현함으로써 달성되는 것으로, 이와 같은 본 발명을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도1은 본 발명 액정표시장치의 전원관리 및 게이트 펄스 조정회로도로서, 이에 도시한 바와 같이 전원관리신호(DPM)에 따라 게이트턴온전압(VGH_1)을 인가제어하는 전원관리부를 구성하는 두 트랜지스터(Q1, Q3)와, 전원전압(VDD)과 플리커 제거신호(FLK)를 인가받아 상기 전원관리부로부터 인가되는 게이트 턴온전압(VGH_1)을 조정하여 액정표시장치의 플리커 발생을 방지하는 게이트 펄스 조정부를 구성하는 다수의 트랜지스터(Q2, Q4~Q6)로 구성되며, 상기 전원관리부와 게이트 펄스 조정부는 단일 칩(CHIP)화 되어 있다.

상기 게이트 펄스 조정부와 게이트 펄스 조정부가 내재된 칩의 외부에는 적절한 신호의 인가를 위해 저항(R1, R12, R11)과 커패시터(C1, C2)를 이용한 부가회로를 구성한다.

상기와 같은 본 발명 액정표시장치의 전원관리 및 게이트 펄스 조정회로의 구성을 설명하면 다음과 같다.

저항(R4)을 통해 베이스에 인가되는 전원관리신호(DPM)에 따라 도통되며, 이미터가 접지되는 NPN 바이폴라 트랜지스터(Q3)와;

상기 바이폴라 트랜지스터(Q3)의 컬렉터에 저항(R3)을 통해 그 베이스가 연결되며, 그 베이스와 이미터가 저항(R2)을 통해 연결됨과 아울러 이미터에 게이트턴온전압(VGH_1)을 인가받은 PNP 바이폴라 트랜지스터(Q1)와;

플리커 제거신호(FLK)를 병렬연결된 커패시터(C1)와 저항(R11), 그 커패시터(C1)와 저항(R11)과 직렬연결된 저항(R9)을 통해 베이스에 인가받아 온오프되며, 이미터가 접지되고, 컬렉터에 직렬접속된 저항(R1, R8)을 통해 상기 게이트턴온전압(VGH_1)을 인가받는 NPN 바이폴라 트랜지스터(Q5)와;

상기 플리커 제거신호(FLK)를 병렬연결된 커패시터(C1)와 저항(R11), 그 커패시터(C1)와 저항(R11)과 직렬연결된 저항(R7)을 통해 베이스에 인가받아 온오프되며, 이미터가 접지되는 NPN 바이폴라 트랜지스터(Q4)와;

상기 바이폴라 트랜지스터(Q4)의 컬렉터에 베이스가 저항(R6)을 통해 연결되며, 이미터에 상기 바이폴라 트랜지스터(Q1)를 통해 게이트턴온전압(VGH_1)을 인가받으며, 그 이미터와 베이스가 저항(R5)에 의해 연결되는 PNP 바이폴라

트랜지스터(Q2)와;

상기 바이폴라 트랜지스터(Q2)의 컬렉터에 컬렉터가 저항(R12)을 통해 연결되며, 베이스에 저항(R1, R10)을 통해 인가되는 상기 바이폴라 트랜지스터(Q5)의 상태에 따라 결정되는 게이트 턴온전압(VGH_1)을 인가받아 온오프되며, 이 미터에 전원전압(VDD)이 인가되는 NPN 바이폴라 트랜지스터(Q6)로 구성되며, 상기 저항(R12)과 바이폴라 트랜지스터(Q2)의 컬렉터의 접속점과 접지사이에 연결되어 셀트랜지스터의 게이트를 제어하는 전압을 인가하는 커패시터(C2)를 포함하여 구성된다.

이와 같은 구성을 나타내는 본 발명 액정표시장치의 전원관리 및 게이트 펄스 조정회로의 동작을 설명한다.

먼저, 전원관리신호(DPM)는 액정표시장치에 전원이 인가되는 상태에서는 고전위를 유지하며, 그 액정표시장치에 전원이 차단되면 저전위 상태를 유지한다.

이와 같은 전원관리신호(DPM)를 1kΩ의 저항(R4)을 통해 베이스에 인가받은 바이폴라 트랜지스터(Q3)는 온이 되며, 이는 액정표시장치에 전원이 공급되는 동안 유지된다.

이처럼, 상기 바이폴라 트랜지스터(Q3)가 온이되면, 10kΩ의 저항(R2)에 의해 베이스 이미터간 전압이 결정되는 바이폴라 트랜지스터(Q1)도 온이되며, 그 이미터에 인가되는 25V의 게이트 턴온전압(VGH_1)을 컬렉터 측으로 인가하게 된다.

즉, 상기 바이폴라 트랜지스터(Q1, Q3)로 구성되는 전원관리부는 액정표시장치에 전원이 공급되는 상태에서는 항상 게이트 턴온전압(VGH_1)을 인가하는 역할을 한다.

그 다음, 상기 플리커 제거신호(FLK)는 출력되는 게이트 구동신호의 후미측을 일정전압 강하시키는 역할을 하기 위한 것이며, 게이트 시프트 클럭신호(GSC)의 한주기 내에서 상대적으로 긴 고전위 구간과, 상대적으로 짧은 저전위 구간을 가지도록 인가된다.

이는 도2에 도시한 파형도에 나타내었으며, 이는 상기 도1에 도시한 게이트 구동부(20)에 인가되는 다른 신호인 게이트 시프트 클럭신호(GSC), 게이트 출력 인에이블신호(GOE)의 주기와 비교도시한 것이며, 상기 액정표시장치에 구비되는 셀트랜지스터를 실질적으로 구동하는 구동신호(OUT)는 그 파형이 고전위 구간의 후미측에서 상대적으로 전압이 강해지는 구간을 가지며, 그 구간에서 게이트 시프트 클럭신호(GSC)와 게이트 출력 인에이블신호(GOE)에 의해 저전위로 천이된다.

상기 게이트 구동부(20)는 다수로 형성될 수 있으며, 각 픽셀의 게이트라인에 직접 연결되어, 상기과 같은 파형의 게이트 구동신호(OUT)를 인가하여, 셀트랜지스터의 온오프 동작을 제어하게 된다.

상기 게이트 시프트 클럭신호(GSC)는 다수의 게이트 라인을 순차적으로 구동하기 위한 타이밍 제어신호이며, 게이트 출력 인에이블신호(GOE)는 그 저전위 구간에서만 상기 게이트 구동신호(OUT)가 출력될 수 있도록 제어하는 신호이다.

상기 게이트 펄스 조정부를 구성하는 바이폴라 트랜지스터(Q2, Q4~Q6)은 상기 게이트 턴온전압(VGH_1)을 상기 게이트 구동신호(OUT)의 형상으로 만들기 위한 것이며, 이때의 제어는 상기 플리커 제거신호(FLK)를 이용하여 수행한다.

상기 플리커 제거신호(FLK)는 병렬접속된 커패시터(C1) 및 저항(R11)을 통해 인가되며, 상기 바이폴라 트랜지스터(Q5, Q4)의 베이스 각각에 연결된 1kΩ의 저항(R9, R7)을 통해 그 바이폴라 트랜지스터(Q5, Q4)의 베이스에 인가된다. 상기 플리커 제거신호(FLK)가 고전위일때는 상기 바이폴라 트랜지스터(Q4, Q5)가 턴온되며, 이에 따라 상기 바이폴라 트랜지스터(Q2)도 턴온되며, 상기 바이폴라 트랜지스터(Q1)의 컬렉터측 전압을 출력하게 된다.

또한, 상기 바이폴라 트랜지스터(Q5)가 턴온된 상태이며, 상기 저항(R1),(R8)의 접점측 전압을 저항(R10)을 통해 베이스에 인가받는 바이폴라 트랜지스터(Q6)는 턴오프된다.

즉, 상기 플리커 제거신호(FLK)가 고전위로 인가되는 구간에서는 상기 바이폴라 트랜지스터(Q2)를 통해 상기 바이폴라 트랜지스터(Q1)을 통해 인가되는 게이트 턴온전압(VGH_1)이 출력되며, 이는 커패시터(C2)에 충전됨과 아울러 상기 게이트 구동부(20)에 인가된다.

이 상태에서 상기 게이트 구동부(20)는 게이트 시프트 클럭(GSC)과 게이트 출력 인에이블신호(GOE)에 따라 특정한 게이트라인을 통해 상기 25V의 게이트 턴온전압(VGH_1)을 인가하게 된다.

상기의 상태에서 상기 플리커 제거신호(FLK)가 저전위로 천이하여 인가되면, 상기 바이폴라 트랜지스터(Q4, Q5)는 턴오프되며, 이에 따라 상기 바이폴라 트랜지스터(Q2)도 턴오프되며, 상기 게이트 턴온전압(VGH_1)이 인가되는 것을 차단한다.

이때 상기 커패시터(C2)에는 이전상태의 게이트 턴온전압(VGH_1)을 충전하고 있으며, 상기 바이폴라 트랜지스터(Q5)가 턴오프됨에 따라 상기 저항(R1, R4)의 접점에는 고전위의 게이트 턴온전압(VGH_1)의 분압된 전압이 나타나며, 이를 저항(R10)을 통해 베이스에 인가받은 바이폴라 트랜지스터(Q6)는 턴온된다.

이처럼 바이폴라 트랜지스터(Q6)가 턴온되면, 상기 저항(R12)을 통해 상기 커패시터(C12)에 충전된 전압은 유출되어 그 전압값이 낮아지게 된다.

즉, 바이폴라 트랜지스터(Q6)가 턴온되어, 8V의 전원전압(VDD)이 커패시터(C2)측으로 인가되며, 이에 따라 상기 커패시터(C2)에 충전된 전압은 전원전압(VDD) 측으로 방전되며, 결국 전원전압(VDD)값인 8V로 낮아지게 된다.

이에 따라 상기 도2의 게이트 구동전압(OUT)은 곡선형으로 그 전압값이 낮아지게 되며, 이에 의해 플리커의 발생이 방지된다.

본 발명은 액정표시장치에 전원이 공급되는 동안 셀트랜지스터의 게이트를 구동시키는 전압의 일정한 전원을 공급하며, 그 게이트 구동전압이 인가되는 구간의 후측 일부를 전원전압값으로 낮게 공급하는 수단을 동일한 칩에 구현할 수 있게 된다.

발명의 효과

상기한 바와 같이 본 발명 액정표시장치의 전원관리 및 게이트 펄스 조정회로는 액정표시장치에 전원이 인가되는 동안 셀트랜지스터를 온오프 제어하는 소정의 전압값을 가지는 전원을 계속인가하는 수단과, 그 셀트랜지스터를 온오프 시키는 전원을 인가받아 그 셀트랜지스터의 특정 게이트라인에 인가되는 주기에서 그 셀트랜지스터 구동을 위한 전원의 값을 전원전압으로 낮추어 플리커를 방지하는 수단을 동일한 칩에 집적시켜, 액정표시장치의 집적도를 향상시키고, 그 액정표시장치의 단가를 줄일 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

전원관리신호를 인가받아 셀트랜지스터의 게이트를 구동하는 게이트구동전압을 액정표시장치에 전원이 공급되는 동안 계속 인가하는 전원관리회로와; 상기 전원관리회로로부터 게이트구동전압을 인가받아 특정 게이트라인이 구동되는 시점에서 고전위구간과 저전위구간을 가지도록 인가되는 플리커 제거신호에 따라, 그 플리커 제거신호의 고전위구간에서 상기 게이트구동전압을 출력하며, 그 플리커 제거신호의 저전위구간에서 그 게이트구동전압을 전원전압값으로 낮추어 출력하는 게이트 펄스 조정회로를 동일 칩 내에 구현한 것을 특징으로 하는 액정표시장치의 전원관리 및 게이트 펄스 조정회로.

청구항 2.

제 1항에 있어서, 플리커 제거신호는 고전위 구간이 저전위 구간에 비하여 더 긴 것을 특징으로 하는 액정표시장치의 전원관리 및 게이트 펄스 조정회로.

청구항 3.

제 1항에 있어서, 상기 전원관리회로는 전원관리신호에 따라 도통되며, 이미터가 접지되는 NPN 바이폴라 트랜지스터와; 상기 NPN 바이폴라 트랜지스터의 콜렉터에 제1저항을 통해 그 베이스가 연결되며, 그 베이스와 이미터가 제2저항을 통해 연결됨과 아울러 이미터에 게이트구동전압을 인가받은 PNP 바이폴라 트랜지스터로 구성되어, 그 전원관리신호에 따라 게이트구동전압을 스위칭제어하는 것을 특징으로 하는 액정표시장치의 전원관리 및 게이트 펄스 조정회로.

청구항 4.

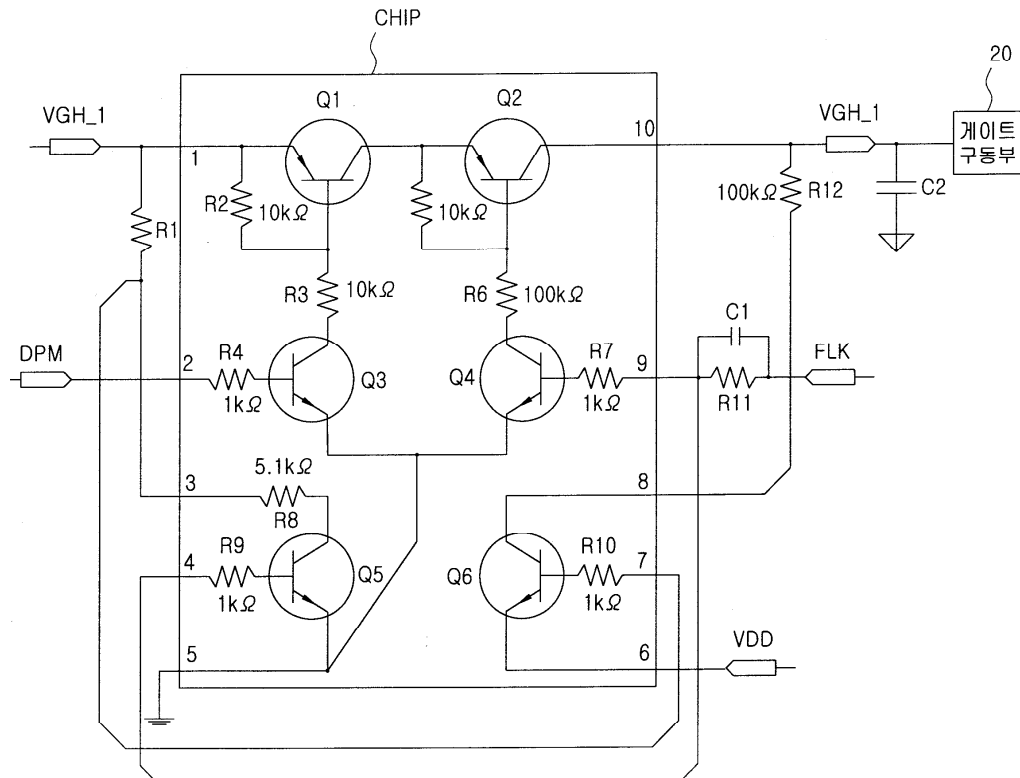
제 3항에 있어서, 상기 게이트 펄스 조정회로는 전원관리회로에 인가되는 전원관리신호는 액정표시장치에 전원이 공급되는 동안 고전위를 유지하며, 액정표시장치에 공급되는 전원이 차단되면, 저전위로 인가되는 것을 특징으로 하는 액정표시장치의 전원관리 및 게이트 펄스 조정회로.

청구항 5.

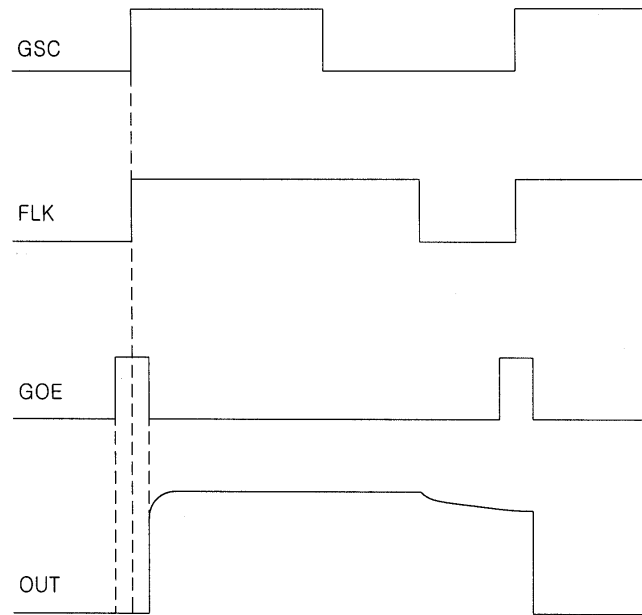
제 1항에 있어서, 상기 게이트 펄스 조정회로는 플리커 제거신호를 병렬연결된 제1커패시터와 제1저항, 그 제1커패시터와 제1저항과 직렬연결된 제2저항을 통해 베이스에 인가받아 온오프되며, 이미터가 접지되고, 콜렉터에 직렬접속된 제3 및 제4저항을 통해 상기 게이트구동전압을 인가받는 제1NPN 바이폴라 트랜지스터와; 상기 플리커 제거신호를 상기 병렬연결된 제1커패시터와 제1저항, 그 제1커패시터와 제1저항과 직렬연결된 제5저항을 통해 베이스에 인가받아 온오프되며, 이미터가 접지되는 제2NPN 바이폴라 트랜지스터와; 상기 제2NPN 바이폴라 트랜지스터의 콜렉터에 베이스가 제6저항을 통해 연결되며, 이미터에 상기 전원관리회로를 통해 인가되는 게이트 구동전압을 인가받음과 아울러 그 이미터와 베이스가 제7저항에 의해 연결되는 제1PNP 바이폴라 트랜지스터와; 상기 제1PNP 바이폴라 트랜지스터의 콜렉터에 콜렉터가 제8저항을 통해 연결되며, 베이스에 제3 및 제9저항을 통해 인가되는 상기 제1NPN 바이폴라트랜지스터의 상태에 따라 결정되는 게이트구동전압을 인가받아 온오프되며, 이미터에 전원전압이 인가되는 제3NPN 바이폴라 트랜지스터와; 상기 제8저항과 제1PNP 바이폴라 트랜지스터의 콜렉터의 접속점과 접지사이에 연결되어 셀트랜지스터의 게이트구동전압을 인가하는 제2커패시터로 구성하여 된 것을 특징으로 하는 액정표시장치의 전원관리 및 게이트 펄스 조정회로.

도면

도면1



도면2



专利名称(译)	液晶显示器的电源管理和门脉冲调节电路		
公开(公告)号	KR100408257B1	公开(公告)日	2003-12-01
申请号	KR1020010089273	申请日	2001-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	EU JUNGTEACK 어정택 KIM JANGHWAN 김장환		
发明人	어정택 김장환		
IPC分类号	G09G3/36		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020030058739A		
外部链接	Espacenet		

摘要(译)

用途：通过形成功率控制电路和用于消除同一芯片内闪烁现象的栅极脉冲控制电路，提供用于控制LCD的功率和栅极脉冲的电路，以提高集成度并降低制造成本。组成：一个控制电源和门脉冲的电路包括一个功率控制电路（Q1，Q3）和一个门脉冲控制电路（Q2，Q4-Q6）。功率控制电路用于根据功率控制信号将用于驱动单元晶体管的栅极的栅极驱动电压施加到LCD。栅极脉冲控制电路从功率控制电路接收栅极驱动电压，并在闪烁消除信号的高电位周期和低于栅极驱动电压的电源电压下输出栅极驱动电压。闪烁消除信号。功率控制电路和栅极脉冲控制电路形成在同一芯片内。

