



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0039264  
(43) 공개일자 2008년05월07일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0108760

(22) 출원일자 2007년10월29일

심사청구일자 2007년10월29일

(30) 우선권주장

JP-P-2006-00296731 2006년10월31일 일본(JP)

(71) 출원인

엡슨 이미징 디바이스 가부시키키가이샤

일본국 나가노켄 아즈미노시 도요시나 다자와 6925

(72) 발명자

세가와 야스오

일본 나가노켄 아즈미노시 도요시나 다자와 6925  
엡슨 이미징디바이스 가부시키키가이샤 내

야마 다즈야

일본 나가노켄 아즈미노시 도요시나 다자와 6925  
엡슨 이미징디바이스 가부시키키가이샤 내

오노기 도모히데

일본 나가노켄 아즈미노시 도요시나 다자와 6925  
엡슨 이미징디바이스 가부시키키가이샤 내

(74) 대리인

양영준, 이중희

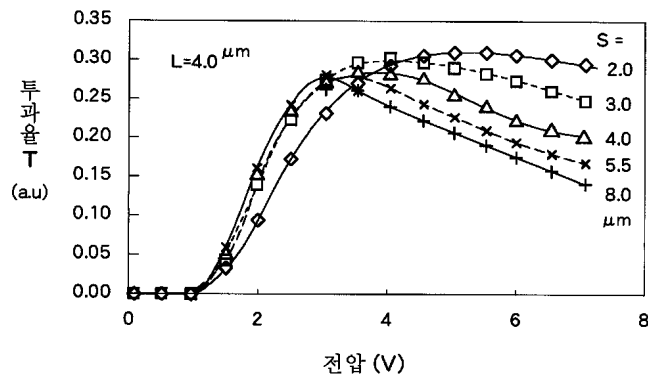
전체 청구항 수 : 총 10 항

(54) 액정 표시 장치

(57) 요약

FFS 방식의 액정 표시 장치에서, 표시 품질을 향상하는 것을 가능하게 하는 전극 구조를 설정하는 것이다. FFS 구조의 액정 표시 소자의 투과율, 전압-투과율의 관계인 V-T 커브의 시뮬레이션의 결과로부터, 전극폭 L, 전극 간격 S의 조합을 바꾸면, 최대 투과율이 변화되고, 최대 투과율을 부여하는 전압인 구동 전압이 변화되는 것을 알 수 있다. 또한, V-T 커브의 파라미터인 소정 투과율일 때의 전압도, L과 S의 조합을 바꾸면 변화된다. 시뮬레이션에 의해, (L+S)가 커질수록 최대의 투과율이 낮아지고, 또한, L과 S가 좁아지면, V-T 커브가 고전압측으로 시프트한다. 이를 확인하기 위해서, 시험 제작 패널을 작성하였다. L/S의 최적치는, 2.5 $\mu$ m/4 $\mu$ m로 된다.

대표도 - 도7



**특허청구의 범위**

**청구항 1**

동일 기관 상에 절연층을 개재하여 형성된 상부 전극층과 하부 전극층을 구비하고, 상기 상부 전극층에 전계를 통과시키는 복수의 개구부를 상호 평행하게 되도록 형성하고, 상기 상부 전극층과 상기 하부 전극층 사이에 전압을 인가하여 액정 분자를 구동하는 액정 표시 장치로서,

상기 개구부의 단축폭(短軸幅)은, 상기 단축폭의 변화에 의해 전압-투과율의 관계인 V-T 커브가 시프트하지 않는 범위의 값인 것을 특징으로 하는 액정 표시 장치.

**청구항 2**

제1항에 있어서,

상기 개구부는, 단힌 형상으로 개구하는 슬릿 개구부인 것을 특징으로 하는 액정 표시 장치.

**청구항 3**

제1항에 있어서,

상기 복수의 개구부는, 개구의 한쪽 끝이 상호 접속된 빗살 무늬 형상 개구부인 것을 특징으로 하는 액정 표시 장치.

**청구항 4**

제1항에 있어서,

상기 상부 전극층은 공통 전극층인 것을 특징으로 하는 액정 표시 장치.

**청구항 5**

제1항에 있어서,

상기 상부 전극층은 화소 전극층인 것을 특징으로 하는 액정 표시 장치.

**청구항 6**

동일 기관 상에 절연층을 개재하여 형성된 상부 전극층과 하부 전극층을 구비하고, 상기 상부 전극층에 전계를 통과시키는 복수의 개구부를 상호 평행하게 되도록 형성하고, 상기 상부 전극층과 상기 하부 전극층 사이에 전압을 인가하여 액정 분자를 구동하는 액정 표시 장치로서,

인접하는 상기 개구부 사이의 거리인 전극폭을 L로 하고, 상기 개구부의 단축폭을 S로 하여, L+S가 10 $\mu$ m 이하일 때, L이 2.5 $\mu$ m 이상이고, 또한 상기 개구부의 단축폭 S가 4.0 $\mu$ m 이상인 것을 특징으로 하는 액정 표시 장치.

**청구항 7**

제6항에 있어서,

상기 개구부는, 단힌 형상으로 개구하는 슬릿 개구부인 것을 특징으로 하는 액정 표시 장치.

**청구항 8**

제6항에 있어서,

상기 복수의 개구부는, 개구의 한쪽 끝이 상호 접속된 빗살 무늬 형상 개구부인 것을 특징으로 하는 액정 표시 장치.

**청구항 9**

제6항에 있어서,

상기 상부 전극층은 공통 전극층인 것을 특징으로 하는 액정 표시 장치.

**청구항 10**

제6항에 있어서,

상기 상부 전극층은 화소 전극층인 것을 특징으로 하는 액정 표시 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은, 액정 표시 장치에 관한 것으로, 특히 동일 기관 상에 절연층을 개재하여 형성된 상부 전극층과 하부 전극층에 대해서, 어느 한쪽을 공통 전극층으로 할당하고, 다른쪽을 화소 전극층으로 할당하여, 상기 상부 전극층에 전계를 통과시키는 복수의 개구부를 상호 평행하게 되도록 형성하고, 상기 상부 전극층과 상기 하부 전극층 사이에 전압을 인가하여 액정 분자를 구동하는 액정 표시 장치에 관한 것이다.

**배경 기술**

<2> 액정 표시 장치의 표시 방식으로서의 종래 TN(Twisted Nematic) 방식이 널리 이용되어 오고 있지만, 이 방식은 표시 원리 상, 시야각에 제한이 있다. 이를 해결하는 방법으로서, 동일 기관 상에 화소 전극과 공통 전극을 형성하고, 이 화소 전극과 공통 전극 사이에 전압을 인가하여, 기관에 거의 평행한 전계를 발생시켜, 액정 분자를 기관면에 주로 평행한 면 내에서 구동하는 횡전계 방식이 알려져 있다.

<3> 횡전계 방식에는, IPS(In Plane Switching) 방식과, FFS(Fringe Field Switch) 방식이 알려져 있다. IPS 방식에서는, 빗살 무늬 형상의 화소 전극과 빗살 무늬 형상의 공통 전극을 조합하여 배치된다. FFS 방식에서는, 절연층을 개재하여 형성된 상부 전극층과 하부 전극층에 대하여, 어느 한쪽을 공통 전극층으로 할당하고, 다른 쪽을 화소 전극층으로 할당하여, 상부 전극층에 전계를 통과시키는 개구로서 예를 들면 슬릿 등이 형성된다.

<4> 이 횡전계 방식의 액정 표시 장치의 투과율과 구동 전압 사이의 관계는, TN 방식 등과는 또 다른 것으로 되는 것이 생각되고, 그 투과율 등의 개선에 대하여 몇몇 제안이 이루어져 있다.

<5> 예를 들면, 특허 문헌 1에는, IPS 방식의 액정 표시 장치에서, 고투과율과 고개구율을 갖는 구성으로서, 화소 전극의 스트립 폭은, 대향 전극의 스트립 간의 거리보다 좁게 형성되고, 화소 전극의 스트립과 대향 전극의 스트립 간의 거리는 셀 갭보다 적은 것, 대향 전극의 스트립의 폭과, 화소 전극의 스트립의 폭은, 이들 사이에 형성되는 포물선 전계에 의해 양 전극의 상부의 액정 분자가 모두 움직이도록 형성되는 것이 설명되어 있다.

<6> [특허 문헌 1] 일본 특개평 11-202356호 공보

**발명의 내용**

**해결 하고자하는 과제**

<7> 상기와 같이, 특허 문헌 1에는 IPS 방식의 경우의 표시 품질에 대하여 설명되어 있지만, FFS 방식의 경우의 표시 품질에 그대로 적용되는 것은 아니다. 즉, FFS 방식은 화소 전극층과 공통 전극층 중, 최표면층의 전극에만 슬릿 구조 또는 빗살 무늬 형상의 전극 구조로 되어 있고, 그 최표면층에서의 슬릿 구조 또는 빗살 무늬 전극 구조의 전극은, 동일 전위를 갖는 전극이 개구부를 사이에 두고 배치되어 있어, IPS 방식과 상이하다. 따라서, 최표면층의 전극에서의 개구부와 전극부와의 배치 관계, 즉 전극부의 도전체 부분의 폭 L, 개구부의 단축폭 S 등과, 표시 품질과의 관계는, IPS 방식과는 상이한 것으로 생각된다.

<8> 본 발명의 목적은, FFS 방식에서 표시 품질을 향상하는 것을 가능하게 하는 전극 구조를 갖는 액정 표시 장치를 제공하는 것이다.

**과제 해결수단**

<9> 본 발명은, FFS 방식의 액정 표시 장치에 대해서, 최표면층의 상부 전극층에서의 전극폭 L과 개구부의 단축폭 S를 변화시켰을 때의 표시 품질의 상황을, 시뮬레이션과 실험에 의해 확인하고, 최적의 표시 품질을 위한 조건을 구한 것에 기초한다. 그 결과를 실현하기 위한 수단은 이하와 같다.

<10> 즉, 본 발명에 따른 액정 표시 장치는, 동일 기관 상에 절연층을 개재하여 형성된 상부 전극층과 하부 전극층을 구비하고, 상기 상부 전극층에 전계를 통과시키는 복수의 개구부를 상호 평행하게 되도록 형성하고, 상기 상부 전극층과 상기 하부 전극층 사이에 전압을 인가하여 액정 분자를 구동하는 액정 표시 장치로서, 상기 개구부의 단축폭은, 상기 단축폭의 변화에 의해 전압-투과율의 관계인 V-T 커브가 시프트하지 않는 범위의 값인 것을 특징으로 한다.

<11> 또한, 본 발명에 따른 액정 표시 장치는, 동일 기관 상에 절연층을 개재하여 형성된 상부 전극층과 하부 전극층을 구비하고, 상기 상부 전극층에 전계를 통과시키는 복수의 개구부를 상호 평행하게 되도록 형성하고, 상기 상부 전극층과 상기 하부 전극층 사이에 전압을 인가하여 액정 분자를 구동하는 액정 표시 장치로서, 인접하는 상기 개구부 사이의 거리인 전극폭을 L로 하고, 상기 개구부의 단축폭을 S로 하여, L+S가 10 $\mu$ m 이하일 때, L이 2.5 $\mu$ m 이상이고, 또한 상기 개구부의 단축폭 S가 4.0 $\mu$ m 이상인 것을 특징으로 한다.

<12> 또한, 본 발명에 따른 액정 표시 장치에서, 상기 개구부는, 닫힌 형상으로 개구하는 슬릿 개구부인 것이 바람직하다. 또한, 본 발명에 따른 액정 표시 장치에서, 상기 복수의 개구부는, 개구의 한쪽 끝이 상호 접속된 빗살무늬 형상 개구부이어도 된다. 또한, 본 발명에 따른 액정 표시 장치에서, 상기 상부 전극층은 공통 전극층이어도 된다. 또한, 본 발명에 따른 액정 표시 장치에서, 상기 상부 전극층은 화소 전극층이어도 된다.

**효 과**

<13> 본 발명에 따른 액정 표시 장치에 따르면, 상기 구성의 전극 구조를 취함으로써, FFS 방식에서의 표시 품질을 향상하는 것이 가능하게 된다.

**발명의 실시를 위한 구체적인 내용**

<14> 이하에, 도면을 이용하여 본 발명에 따른 실시 형태에 대해, 상세히 설명한다. 이하에서는, FFS 방식의 액정 표시 장치에서, 적(R), 녹(G), 청(B)의 3색으로 구성되는 표시를 행하는 것에 대하여 설명하지만, 물론, R, G, B 외의 예를 들면 C(시안) 등을 포함하는 다색 구성이어도 되고, 단적으로 흑백 표시를 행하는 것이어도 된다. 또한, 이하에 설명하는 형상, 구조, 재질 등은, 설명을 위한 일례로서, 액정 표시 장치의 용도에 맞추어, 적절히 변경이 가능하다.

<15> 도 1은, FFS 방식의 액정 표시 장치(30)에서, R, G, B의 3색 구성으로 표시를 행하는 경우의 표시 영역의 1 표시 화소분, 즉, 3색에 대응하는 3개의 서브 픽셀에 대한 평면 구성을 도시하는 도면이다. FFS 방식의 액정 표시 장치(30)는, 화소 전극 및 공통 전극이 어레이 기관(32) 상에 배치되고, 어레이 기관(32)에 대항하는 대항 기관 상에 컬러 필터 및 블랙 매트릭스 등이 배치되고, 그 사이에 액정 분자층이 밀봉되어 구성된다. 도 1은, 대항 기관측으로부터 어레이 기관(32)을 본 평면도로서, 대항 기관 상에 배치되는 각 요소를 생략하고 있으므로, 실질적으로는 어레이 기관(32)의 평면도로 되어 있다. 도 2는, 도 1에 도시하는 A-A선을 따라, 두께 방향을 과장하여 도시하는 단면도이지만, 여기에서도 어레이 기관(32)에 대해서만 도시되어 있다.

<16> 도 1에 도시된 바와 같이, 액정 표시 장치(30)에서, 복수의 드레인 배선(46)은, 각각이 직선 형상으로 연장하고 (도 1의 예에서는 종방향으로 연장), 그 연장 방향에 교차하는 방향(여기서는 직교하는 방향으로서, 도 1의 예에서는 횡방향)으로 복수의 게이트 배선(40)이 각각 배열된다. 복수의 드레인 배선(46)과, 복수의 게이트 배선(40)에 의해 구획되는 개개의 영역이, 화소 배치 영역이며, 도 1에서는, R, G, B의 3색 구성에 대응하여 3개의 화소 배치 영역이 도시된다. 여기에서는, 컬러 표현 단위마다 1픽셀로 세고, 이것을 1 표시 화소로 하므로, 여기에서 말하는 화소 배치 영역은, 서브 픽셀의 영역에 해당한다. 이하에서 화소라는 것은, 특별히 한정하지 않는 한 서브 픽셀 단위로서 설명하는 것으로 한다. 또한, 공통 전극(60)은, 어레이 기관(32)의 전체면 또는, 복수의 화소에 걸쳐서 배치되어 있으므로, 도 1에서는, 슬릿(61)의 형성선을 제외하고, 그 윤곽선이 도시되어 있지 않다.

<17> 여기에서는, 각 드레인 배선(46)의 배열 피치는 복수의 드레인 배선(46) 전체에서 동일한 경우를 예시한다. 또한, 각 드레인 배선(46)의 폭(드레인 배선(46)의 배열 방향에서의 치수)도 동일한 것으로 한다. 또한, 도 1에서는 드레인 배선(46)이 직선 형상인 경우를 도시하고 있는데, 예를 들면 국소적인 사행부를 가지며 전체적으로 상기 연장 방향으로 연장하고 있어도 된다. 또한, 화소 배열로서는, 스트라이프 배열, 델타 배열, 모자이크 배열 등을 형성하여도 된다.

<18> 드레인 배선(46)과 게이트 배선(40)으로 구획되는 각 화소 배치 영역에는, 화소 TFT(70)가 각각 배치된다. 도 1의 예에서는, 각 화소 TFT(70)에 대해서, 반도체층(36)(도 2 참조)은 대략 U자형으로 연장하고 있고(도면에서

는 대략 U자형이 상하 반전하여 도시되어 있음), 그 대략 U자형의 2개의 아암부를 가로질러 게이트 배선(40)이 드레인 배선(46)의 배열 방향에 직교하여 연장하고 있다. 이 구성에서는, 화소 TFT(70)의 소스 전극(48)은, 드레인 배선(46)에 접속되는 드레인 전극과 함께 게이트 배선(40)에 대하여 동일한 측에 위치하고 있다. 이에 의해, 화소 TFT(70)에서는, 게이트 배선(40)이 소스와 드레인 사이에서 반도체층(36)에 2회 교차하는 구성, 바꾸어 말하면 반도체층(36)의 소스와 드레인 사이에 게이트 전극이 2개 설치된 구성을 갖고 있다.

- <19> 이와 같이, 화소 TFT(70)의 드레인은 바로 가까운 드레인 배선(46)에 접속되고, 한편, 소스는, 소스 전극(48)을 통하여, 화소 전극(52)에 접속된다. 화소 전극(52)은 각 화소마다 설치되고, 그 화소의 화소 TFT(70)의 소스에 접속되는 평판 형상의 전극이다. 도 1에서는, 사각 형상의 화소 전극(52)이 도시되어 있다.
- <20> 공통 전극(60)은, 상기한 바와 같이, 어레이 기관(32) 상에 배치된다. 다만, 경우에 따라서는, 공통 전극(60)을 각 화소마다 설치되는 것으로 하여도 된다. 그 구조의 경우에는, 각 화소의 공통 전극(60)을 접속하는 공통 전극 배선이 배치된다. 공통 전극(60)은, 투명 전극막층에, 개구부인 슬릿(61)이 형성된 것이다. 이 슬릿(61)은, 화소 전극(52)과 공통 전극(60) 사이에 전압을 인가했을 때에, 전기력선을 통과시켜, 기관면에 대하여 주로 평행한 횡전계를 발생시키는 기능을 갖는다.
- <21> 공통 전극(60) 상에는, 배향막이 배치되고, 배향 처리로서 러빙 처리가 행해진다. 러빙 방향은, 예를 들면, 도 1에서, 게이트 배선(40)에 평행한 방향으로 행할 수 있다. 공통 전극(60)의 슬릿(61)은, 그 긴 변이 연장되는 방향이, 이 러빙 방향에 대하여 약간 기울어져서 형성된다. 예를 들면, 각도에서 5° 정도, 러빙 방향에 대하여 기울도록 형성할 수 있다. 공통 전극(60) 상에 배향막을 형성하고, 러빙 처리를 행함으로써, 어레이 기관(32)이 완성된다.
- <22> 다음으로, 도 2의 단면도를 이용하여, FFS 방식의 액정 표시 장치에서의 어레이 기관(32)의 구조를 설명한다. 도 2는, 상기한 바와 같이, 도 1의 A-A선을 따라 취한 단면도로서, 1개의 화소에 대한 각 요소가 도시되어 있다.
- <23> 어레이 기관(32)은, 투광성 기관(34)과, 반도체층(36)과, 게이트 절연막(38)과, 게이트 배선(40)과, 층간 절연막(44)과, 드레인 배선(46)과, 소스 전극(48)과, 평탄화막(50)과, 화소 전극(52)과, FFS 절연막(58)과, 공통 전극(60)을 포함하여 구성된다.
- <24> 투광성 기관(34)은, 예를 들면 글래스에 의해 구성된다. 반도체층(36)은 예를 들면 폴리실리콘에 의해 구성되고, 투광성 기관(34) 상에 배치되어 있다. 게이트 절연막(38)은, 예를 들면 산화 실리콘, 질화 실리콘 등으로 구성되고, 반도체층(36)을 덮어 투광성 기관(34) 상에 배치되어 있다. 게이트 배선(40)은, 예를 들면 Mo, Al 등의 금속으로 구성되고, 반도체층(36)에 대향하여 게이트 절연막(38) 상에 배치되고, 게이트 절연막(38) 및 반도체층(36)과 함께 화소 TFT(70)를 구성하고 있다. 또한, 게이트 배선(40)은 주사선이라고도 불린다.
- <25> 층간 절연막(44)은, 예를 들면 산화 실리콘, 질화 실리콘 등으로 구성되고, 게이트 배선(40) 등을 덮어 게이트 절연막(38) 상에 배치되어 있다. 층간 절연막(44) 및 게이트 절연막(38)을 관통하여 컨택트 홀이 형성되어 있고, 그 컨택트 홀은 반도체층(36) 내에서 화소 TFT(70)의 소스 및 드레인에 해당하는 위치에 형성되어 있다. 드레인 배선(46)은, 예를 들면 Mo, Al, Ti 등의 금속으로 구성되고, 층간 절연막(44) 상에 배치되어 있음과 함께 한쪽의 상기 컨택트 홀을 통하여 반도체층(36)에 접속하고 있다. 또한, 드레인 배선은 신호선이라고도 불린다. 소스 전극(48)은, 예를 들면 드레인 배선(46)과 동일한 재료로 구성되고, 층간 절연막(44) 상에 배치되어 있음과 함께 다른쪽의 상기 컨택트 홀을 통하여 반도체층(36)에 접속하고 있다.
- <26> 여기에서는, 반도체층(36)에서, 드레인 배선(46)이 접속하는 부분을 화소 TFT(70)의 드레인으로 하고, 소스 전극(48)을 통하여 화소 전극(52)이 접속하는 부분을 화소 TFT(70)의 소스로 하지만, 드레인과 소스를 상기와는 반대로 부르는 것도 가능하다.
- <27> 평탄화막(50)은, 예를 들면 아크릴 등의 절연성 투명 수지 등으로 구성되고, 드레인 배선(46) 및 소스 전극(48)을 덮어 층간 절연막(44) 상에 배치되어 있다. 평탄화막(50)을 관통하여 소스 전극(48) 상에 컨택트 홀이 형성되어 있다.
- <28> 화소 전극(52)은, 예를 들면 ITO(Indium Thin Oxide) 등의 투명 도전 재료로 구성되고, 평탄화막(50) 상에 배치되어 있음과 함께 상기 컨택트 홀을 통하여 소스 전극(48)에 접속되어 있다.
- <29> FFS 절연막(58)은, 화소 전극(52)과 공통 전극(60) 사이에 배치되는 절연막층이다. 예를 들면 질소 실리콘으로 구성되고, 화소 전극(52)을 덮어 평탄화막(50) 상에 배치되어 있다.

- <30> 공통 전극(60)은, 예를 들면 ITO 등의 투명 도전 재료로 구성되고, FFS 절연막(58) 상에 배치되어 있고, 도시되지 않았지만 공통 전극용 배선에 접속되어 있다. 공통 전극(60)은, FFS 절연막(58)을 개재하여 화소 전극(52)에 대하여 설치되고, 화소 전극(52)에 대항하는 부분에 복수의 슬릿(61)을 갖고 있다. 슬릿(61)은, 게이트 배선(40)이 연장하는 방향보다 약간 경사진 방향에 장축을 갖는 가늘고 길게 닫힌 형상의 개구이다. 이 기울기 각도는, 상기한 바와 같이, 배향 처리의 러빙 각도에 관계하여 설정된다.
- <31> 공통 전극(60) 상에는, 도시되지 않았지만, 배향막층이 배치된다. 배향막층은, 액정 분자를 초기 배향시키는 기능을 갖는 막으로서, 예를 들면 폴리이미드 등의 유기막에, 러빙 처리를 실시하여 이용된다.
- <32> 이와 같이, 동일 기관인 투광성 기관(34) 상에, 절연층인 FFS 절연막(58)을 개재하여 상부 전극층인 공통 전극(60)과 하부 전극층인 화소 전극(52)을 형성하고, 상부 전극층인 공통 전극(60)에 슬릿(61)을 형성하고, 하부 전극층인 화소 전극(52)과의 사이에 전압을 인가하여, 기관면에 대하여 주로 평행한 횡전계를 발생시켜서 배향막층을 개재하여 액정 분자를 구동할 수 있다.
- <33> 상기에서는, FFS 절연막(58)을 개재하여, 하부 전극층을 화소 전극(52)으로 하고, 상부 전극층을 공통 전극(60)으로 하여, 공통 전극(60)에 슬릿(61)이 형성되지만, 하부 전극층을 공통 전극(60)으로 하고 상부 전극층을 화소 전극(52)으로 할 수도 있다.
- <34> 도 3, 도 4는, 하부 전극층을 공통 전극(60)으로 하고, 상부 전극층을 화소 전극(52)으로 하여, 화소 전극(52)에 슬릿(53)을 형성하는 액정 표시 장치(30)의 구성을 도시하는 도면이다. 이들 도면은, 도 1, 도 2에 대응하여, 실질적으로 어레이 기관(32)의 구성을 도시하는 도면으로 되어 있다. 도 1, 도 2와 마찬가지로의 요소에는 동일한 기호를 붙이고, 상세한 설명을 생략한다.
- <35> 상부 전극층을 화소 전극(52)으로 하는 경우에는, 도 4에 도시된 바와 같이, 소스 전극(48)에 접속되는 화소 전극(52)이, FFS 절연막(58)의 상부에 배치된다. 그리고, 어레이 기관(32)의 최표면층의 전극인 화소 전극(52)에, 슬릿(53)이 형성된다. 슬릿(53)은, 도 1, 도 2에 관련하여 설명한 바와 같이, 게이트 배선(40)이 연장하는 방향보다 약간 경사진 방향에 장축을 갖는 가늘고 길게 닫힌 형상의 개구이다. 또한, 하부 전극층인 공통 전극(60)은, 어레이 기관(32)의 전체면, 혹은 복수의 화소에 걸쳐서 배치된다.
- <36> 또한, 상기에서, 상부 전극층에 형성되는 전계를 통과시키기 위한 개구부로서, 가늘고 긴 개구홈인 슬릿을 설명했지만, 상부 전극 구조를, 빗살 무늬 형상 혹은 울타리의 형상으로 형성할 수도 있다. 이 경우에는, 전계는, 빗살 무늬 형상 혹은 울타리 형상 사이의 개구를 통과하게 된다.
- <37> 도 5는, 하부 전극층을 공통 전극(60)으로 하고, 상부 전극층을 화소 전극(52)으로 하고, 화소 전극(52)을 빗살 무늬 형상의 형상으로 하고, 빗살 무늬 사이의 공간을 전계가 통과하는 개구부(55)로 하는 액정 표시 장치(30)의 구성을 도시하는 도면이다. 이들 도면은, 도 1, 도 2에 대응하여, 실질적으로 어레이 기관(32)의 구성을 도시하는 도면으로 되어 있다. 도 1, 도 2와 마찬가지로의 요소에는 동일한 기호를 붙이고, 상세한 설명을 생략한다. 이 경우에는, 상부 전극층인 화소 전극(52)의 형상이 빗살 무늬 형상으로 형성된다. 또한, 하부 전극층인 공통 전극(60)은, 어레이 기관(32)의 전체면, 혹은 복수의 화소에 걸쳐서 배치된다.
- <38> 이와 같이, FFS 방식에서는, 어레이 기관의 최표면층의 상부 전극층에, 슬릿 또는 빗살 무늬 형상의 개구부가 형성된다. 따라서, 상부 전극층의 구조는, 도전체 부분의 전극부와, 도전체 부분이 제거된 개구부가, 반복하여 배치된 것으로 되어 있다. 도 6은, 모식적으로, 1개의 화소(80)에 대한 전극부(82)와 개구부(84)의 모습을 도시하는 도면으로서, 반복 부분에서는, 개구부(84)의 단축폭을 S로 하고, 인접하는 개구부(84)의 사이의 거리인 도전체 부분의 전극부(82)의 폭을 L로 하여 나타낼 수 있다. 이하에서는, S를 전극 간격, L을 전극폭이라고 부르기로 한다. 여기에서, 개구부(84)는, 상기에서 설명한 슬릿(61, 53) 혹은, 빗살 무늬 형상의 개구부(55)에 대응한다.
- <39> 이하에, FFS 방식의 상부 전극층에서의 전극 구조의 최적화에 대해서, 도 7 내지 도 13을 이용하여 설명한다. FFS 구조의 액정 표시 소자의 투과율, 전압-투과율의 관계인 V-T 커브의 시뮬레이션에 대해서는, 시판되는 소프트웨어, 예를 들면, LCD MASTER SHINTECH사의 소프트웨어 등을 이용하여, 비교적 간단히 행할 수 있다. 따라서, 액정 분자층의 복굴절률  $\Delta n$ 과 두께 d의 곱  $\Delta nd$ 를 0.35로 하고, 전극 간격 S와 전극폭 L을 변화시켜, 시뮬레이션을 행하였다.
- <40> 도 7은, 전극폭  $L=4.0\mu\text{m}$ 로서, 전극 간격 S를 변화시켜, V-T 커브를 계산한 도면이다. 횡축은, 화소 전극과 공통 전극 사이의 전압, 종축은 임의의 기준으로부터의 투과율 T이다. 도 7로부터, 전극폭 L, 전극 간격 S의 조

합을 바꾸면, 최대 투과율이 변화되고, 최대 투과율을 부여하는 전압인 구동 전압이 변화되는 것을 알 수 있다. 또한, V-T 커브의 파라미터인 소정 투과율일 때의 전압도, L과 S의 조합을 바꾸면 변화된다. 예를 들면, 투과율 10%일 때의 전압인 V10, 투과율 50%일 때의 전압인 V50, 투과율 90%일 때의 전압인 V90이, L과 S의 조합에 따라서, 각각 변화된다.

- <41> 도 8은, 전극폭 L을 변화시켰을 때의 최대의 투과율 T의 변화를, 전극 간격 S를 파라미터로 하여 도시하는 도면, 도 9는, 전극 간격 S를 변화시켰을 때의 최대의 투과율 T의 변화를, 전극폭 L을 파라미터로 하여 도시하는 도면이다. 이들 도면으로부터, 전극폭 L이 가늘어질수록, 전극 간격 S가 좁아질수록, 최대의 투과율 T가 향상하는 것을 알 수 있다.
- <42> 도 10은, (L+S)를 변화시켰을 때의 최대의 투과율 T의 변화를, 전극폭 L을 파라미터로 하여 도시하는 도면이다. 도 10의 결과로부터, 최대의 투과율을 향상시키는 것은, (L+S)를 작게 설정하는 것이 유효한 것을 알 수 있다.
- <43> 한편, 도 11은, 전극 간격 S를 변화시켰을 때의 최대 투과율로 되는 전압, 즉 구동 전압의 변화를, 전극폭 L을 파라미터로 하여 도시하는 도면이다. 도 11의 결과로부터, 구동 전압은, S가 짧아지면 상승하는 것을 알 수 있다. 마찬가지로, 도 12는, V-T 커브의 파라미터인 V10, V50, V90 및 V100에 상당하는 백 전압에 대해서, 전극폭 L을 2 $\mu$ m와 4 $\mu$ m로 하여, 전극 간격 S를 변화시켰을 때의 모습을 도시하는 도면이다. 도 12로부터는, S를 짧게 하면, V-T 커브의 각 파라미터가 고전압측으로 시프트하는 것을 알 수 있다.
- <44> 이와 같은 V-T 커브의 시프트는, 예를 들면 프로세스 상의 변동에 의해 선폭 L 또는 S가 패널면 내에서 변동한 경우에, 휘도의 변화로 되어, 표시 얼룩으로 되므로, 표시 품위를 떨어뜨리는 것으로 된다. 또한, 제조 프로세스의 여유도를 현저하게 저하시켜, 수율을 저하시키는 것으로도 된다. 따라서, 표시 품위의 유지, 프로세스 여유도의 확보, 수율의 유지 등의 관점으로부터, V-T 커브의 시프트에 대하여 한계가 필요하여, 도 12의 결과로부터, 특히 중간조인 V10 내지 V50의 특성에 대하여 V-T 커브가 변화되지 않는 것을 고려하여, S=4 $\mu$ m 정도가, 하한인 것을 알 수 있다.
- <45> 한편, 도 11의 시뮬레이션 결과로부터는, L을 작게 하면 구동 전압이 높게 되어 있다. 따라서, 그것을 확인하기 위해서, 실제로 전극 간격 S를 4 $\mu$ m 이상으로 하여, 전극폭 L을 변화시킨 패널을 시험 제작하였다. 도 13은, 그 시험 제작 패널을 평가하고, V50의 전극폭 L 의존성을 정리한 도면이다. 도 12로부터, 구동 전압의 상승은, 전극 간격 S의 4 $\mu$ m 보다도 짧은 치수의 영역에서 시작되고 있는 것을 알 수 있다. 이로부터, 전극폭 L=2.5 $\mu$ m 정도가 하한인 것을 알 수 있다.
- <46> 도 10의 결과로부터, (L+S)가 커지면 최대의 투과율 T가 저하하므로, 상기한 것을 정리하면, L/S의 최적치는, 2.5 $\mu$ m/4 $\mu$ m로 된다. 혹은, 폭을 갖게 하면, (L+S)를 10 $\mu$ m 이하로 하고, L을 2.5 $\mu$ m 이상, S를 4.0 $\mu$ m 이상으로 하는 것이 좋다. 이와 같이 하여, FFS 방식의 액정 표시 장치에서, 표시 품질이 좋은 상부 전극층의 전극 구조를 설정할 수 있다.

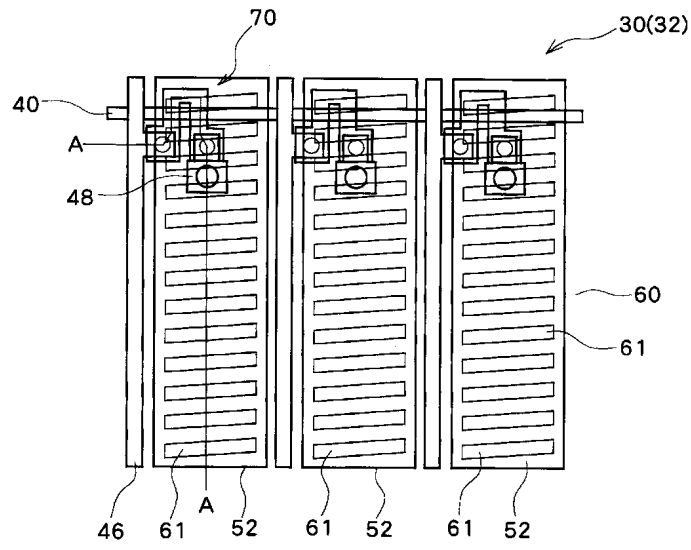
**도면의 간단한 설명**

- <47> 도 1은 본 발명에 따른 실시 형태에서, 상부 전극층을 공통 전극으로 하여 슬릿을 형성하는 FFS 방식의 액정 표시 장치의 표시 영역의 1 표시 화소분의 평면 구성을 도시하는 도면.
- <48> 도 2는 도 1에서의 A-A선을 따라 취한 단면도.
- <49> 도 3은 본 발명에 따른 실시 형태에서, 상부 전극층을 화소 전극으로 하여 슬릿을 형성하는 FFS 방식의 액정 표시 장치의 표시 영역의 1 표시 화소분의 평면 구성을 도시하는 도면.
- <50> 도 4는 도 3에서의 A-A선을 따라 취한 단면도.
- <51> 도 5는 본 발명에 따른 실시 형태에서, 상부 전극층을 빗살 무늬 형상의 화소 전극으로 하는 FFS 방식의 액정 표시 장치의 표시 영역의 1 표시 화소분의 평면 구성을 도시하는 도면.
- <52> 도 6은 본 발명에 따른 실시 형태에서, 모식적으로, 1개의 화소에 대한 전극부와 개구부의 모습을 도시하는 도면.
- <53> 도 7은 본 발명에 따른 실시 형태에서, 전극 간격 S를 변화시키고, V-T 커브를 계산한 도면.
- <54> 도 8은 본 발명에 따른 실시 형태에서, 전극폭 L을 변화시켰을 때의 최대의 투과율 T의 변화를, 전극 간격 S를 파라미터로 하여 도시하는 도면.

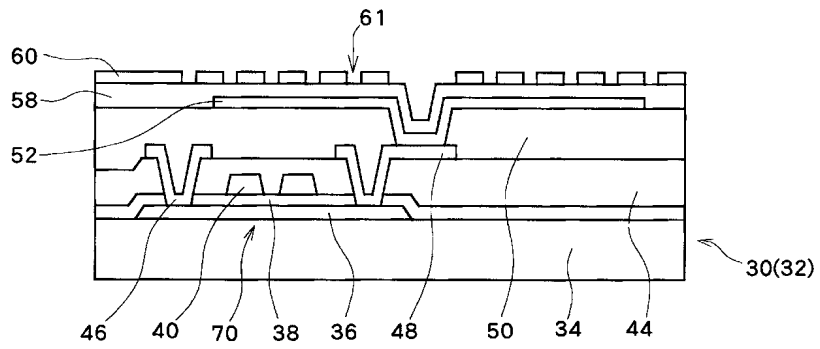
- <55> 도 9는 본 발명에 따른 실시 형태에서, 전극 간격 S를 변화시켰을 때의 최대의 투과율 T의 변화를, 전극폭 L을 파라미터로 하여 도시하는 도면.
- <56> 도 10은 본 발명에 따른 실시 형태에서, (L+S)를 변화시켰을 때의 최대의 투과율 T의 변화를, 전극폭 L을 파라미터로 하여 도시하는 도면.
- <57> 도 11은 본 발명에 따른 실시 형태에서, 전극 간격 S를 변화시켰을 때의 구동 전압의 변화를, 전극폭 L을 파라미터로 하여 도시하는 도면.
- <58> 도 12는 본 발명에 따른 실시 형태에서, V-T 커브의 파라미터인 V10, V50, V90 및 V100에 상당하는 백 전압에 대해서, 전극 간격 S를 변화시켰을 때의 모습을 도시하는 도면.
- <59> 도 13은 본 발명에 따른 실시 형태에서, 실제로 시험 제작한 패널을 평가하고, V50의 전극폭 L 의존성을 정리한 도면.
- <60> <도면의 주요 부분에 대한 부호의 설명>
- <61> 30 : 액정 표시 장치
- <62> 32 : 어레이 기관
- <63> 34 : 투광성 기관
- <64> 36 : 반도체층
- <65> 38 : 게이트 절연막
- <66> 40 : 게이트 배선
- <67> 44 : 층간 절연막
- <68> 46 : 드레인 배선
- <69> 48 : 소스 전극
- <70> 50 : 평탄화막
- <71> 52 : 화소 전극
- <72> 53, 61 : 슬릿
- <73> 55 : 빗살 무늬 형상의 개구부
- <74> 58 : FFS 절연막
- <75> 60 : 공통 전극
- <76> 70 : 화소 TFT
- <77> 80 : 화소
- <78> 82 : 전극부
- <79> 84 : 개구부

도면

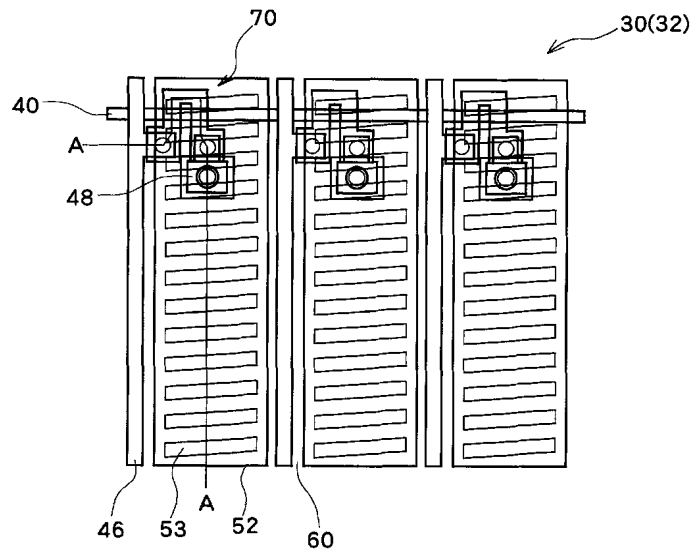
도면1



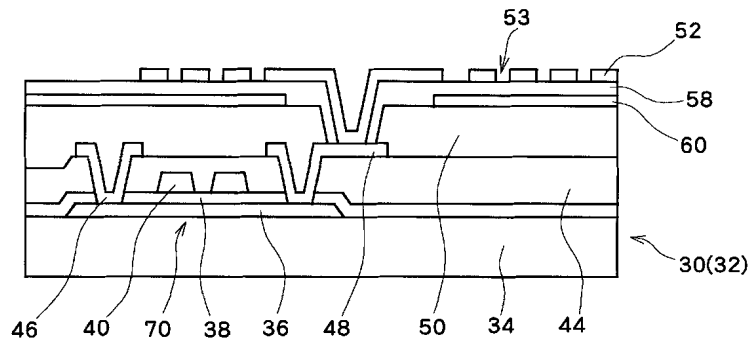
도면2



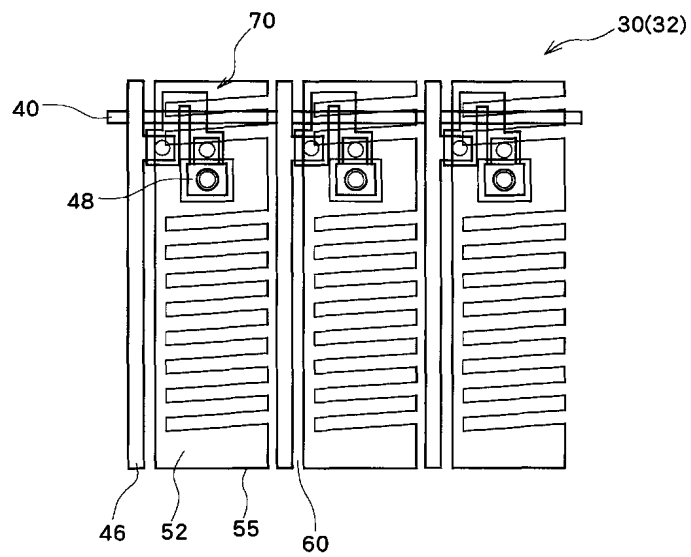
도면3



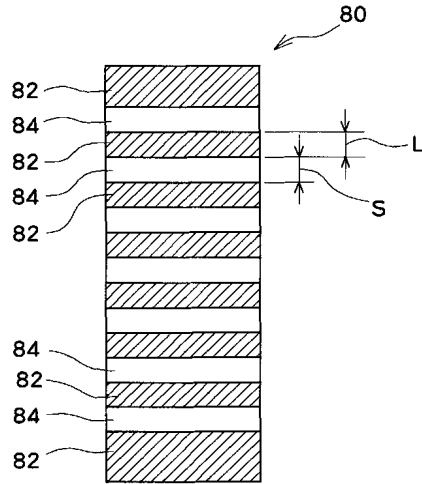
도면4



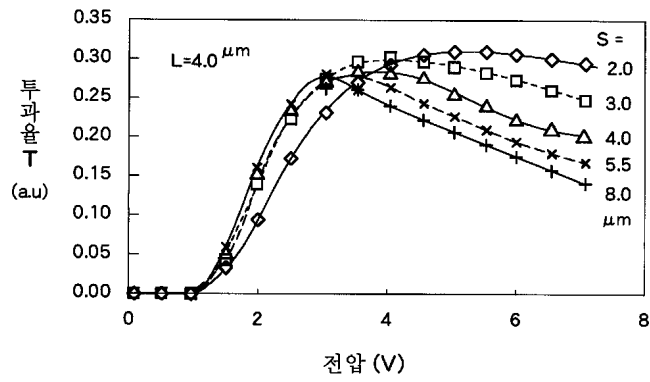
도면5



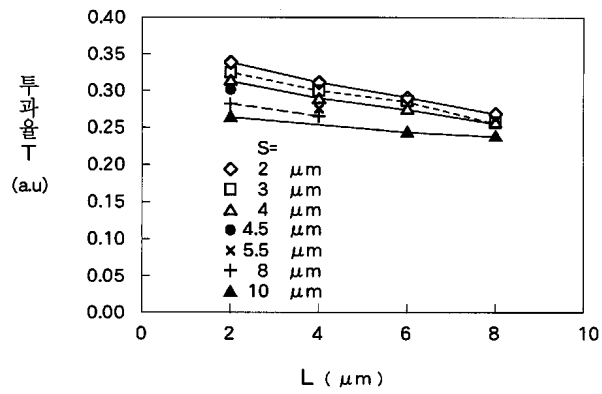
도면6



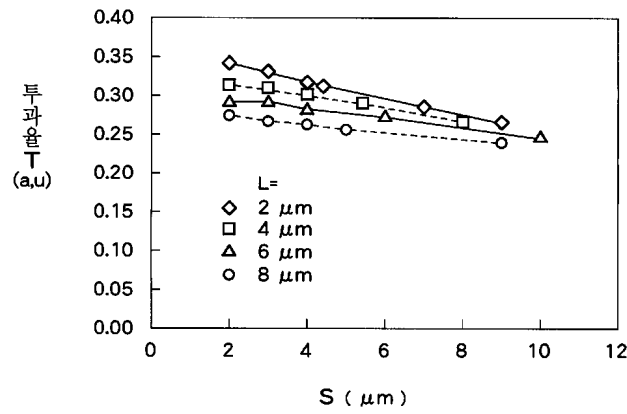
도면7



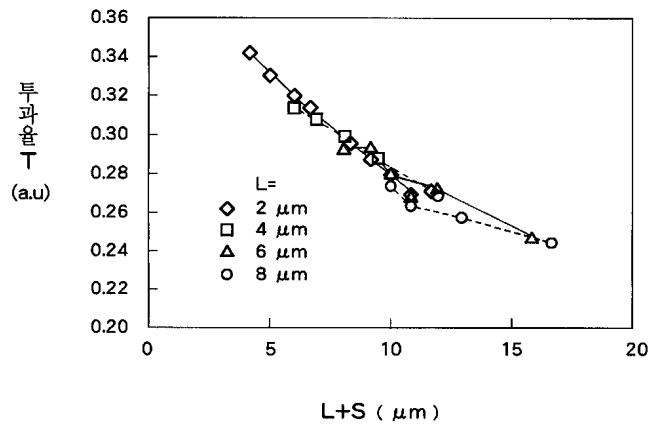
도면8



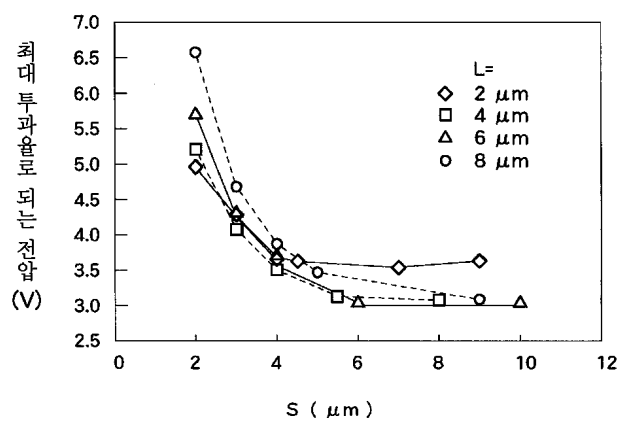
도면9



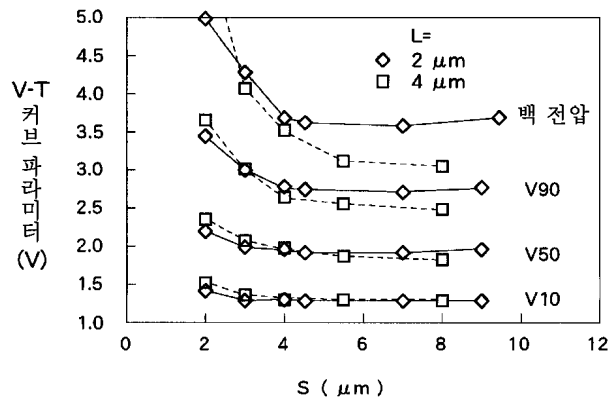
도면10



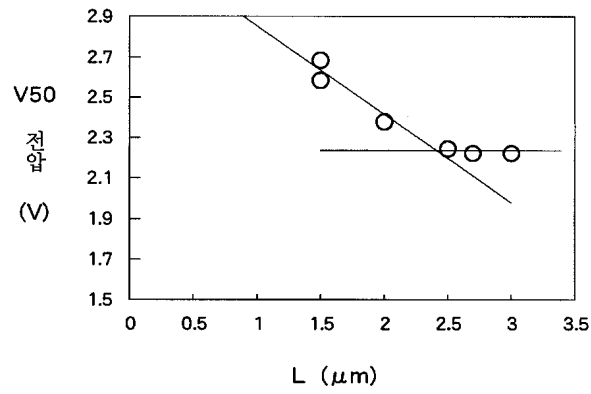
도면11



도면12



도면13



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020080039264A</a>	公开(公告)日	2008-05-07
申请号	KR1020070108760	申请日	2007-10-29
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	SEGAWA YASUO 세가와야스오 YATA TATSUYA 야따다쯔야 ONOGI TOMOHIDE 오노기도모히데		
发明人	세가와야스오 야따다쯔야 오노기도모히데		
IPC分类号	G02F1/1343		
CPC分类号	G02F2001/134372 G02F1/134363 G02F2001/13685		
代理人(译)	LEE , JUNG HEE CHANG, SOO KIL		
优先权	2006296731 2006-10-31 JP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

在FFS模式液晶显示装置中，设置了能够改善显示质量的电极结构。根据作为FFS结构的液晶显示元件的透射率和电压 - 透射率之间的关系的VT曲线的模拟结果，当改变电极宽度L和电极间隔S的组合时，改变最大透射率和驱动电压可以看出它发生了变化。当L和S的组合改变时，作为V-T曲线的参数的预定透射率处的电压也改变。模拟显示 (L + S) 越大，最大透射率越低，并且如果L和S变窄，则V-T曲线转移到高压侧。为了确认这一点，创建了一个测试生产面板。L / S的最佳值为2.5占씩/4占씩。

