(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0118445
(43) 공개일자 2007년12월17일

(51) Int. Cl.
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
(21) 출원번호 10-2006-0052607
(22) 출원일자 2006년06월12일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
남형식
인천 연수구 옥련동 우성아파트 105동 605호
(74) 대리인
권혁수, 송윤호, 오세준

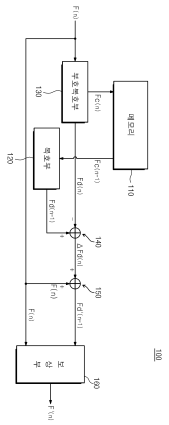
전체 청구항 수 : 총 17 항

(54) 데이터 보상회로 및 이를 갖는 표시장치

(57) 요 약

데이터 보상회로 및 이를 갖는 표시장치에서, 메모리에는 이전 프레임 데이터로부터 압축된 이전 압축 데이터가 기저장되고, 복호부는 메모리로부터의 이전 압축 데이터를 복원하여 이전 복원 데이터를 출력하고, 부호복호부는 현재 프레임 데이터를 현재 압축 데이터로 압축하여 메모리에 저장하고, 현재 압축 데이터를 복원하여 현재 복원 데이터를 출력한다. 제1 처리부는 이전 복원 데이터와 현재 복원 데이터의 차이값을 출력하고, 제2 처리부는 현재 프레임 데이터와 차이값을 합산하여 이전 재복원 데이터를 생성한다. 보상부는 이전 재복원 데이터와 현재 프레임 데이터를 근거로하여 현재 보상 데이터를 출력한다. 따라서, 메모리의 사이즈를 줄이면서 데이터의 손상을 방지할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

이전 프레임 데이터로부터 압축된 이전 압축 데이터가 저장된 메모리;

현재 프레임동안 상기 메모리로부터 독출된 상기 이전 압축 데이터를 복원하여 이전 복원 데이터를 출력하는 복호부;

상기 현재 프레임동안 현재 프레임 데이터를 현재 압축 데이터로 압축하여 상기 메모리에 저장하고, 상기 현재 압축 데이터를 복원하여 현재 복원 데이터를 출력하는 부호복호부;

상기 이전 복원 데이터와 상기 현재 복원 데이터의 제1 차이값을 출력하는 제1 처리부;

상기 제1 차이값과 상기 현재 프레임 데이터를 근거로하여 이전 재복원 데이터를 출력하는 제2 처리부; 및

상기 이전 재복원 데이터와 상기 현재 프레임 데이터를 근거로하여 상기 현재 프레임 데이터를 보상하여 현재 보상 데이터를 출력하는 보상부를 포함하는 것을 특징으로 하는 데이터 보상회로.

청구항 2

제1항에 있어서, 상기 이전 재복원 데이터는 상기 현재 프레임 데이터에 상기 제1 차이값이 합산된 값인 것을 특징으로 하는 데이터 보상회로.

청구항 3

제2항에 있어서, 상기 보상부는 상기 이전 재복원 데이터와 상기 현재 프레임 데이터의 제2 차이값이 기 설정된 제1 기준값 이하이면 상기 현재 프레임 데이터와 동일한 값을 갖는 상기 현재 보상 데이터를 출력하고, 상기 제1 기준값보다 크면 상기 현재 프레임 데이터보다 기 설정된 보정값만큼 증가된 상기 현재 보상 데이터를 출력하는 것을 특징으로 하는 데이터 보상회로

청구항 4

제3항에 있어서, 상기 제1 차이값이 0이면, 상기 제2 처리부는 상기 현재 프레임 데이터와 동일한 상기 이전 재복원 데이터를 출력하고,

상기 현재 보상 데이터는 상기 현재 프레임 데이터와 동일한 것을 특징으로 하는 데이터 보상회로.

청구항 5

제1항에 있어서, 상기 메모리는 2^{m}(여기서, m은 상기 현재 프레임 데이터의 비트수임)보다 작은 사이즈를 갖는 것을 특징으로 하는 데이터 보상회로.

청구항 6

제5항에 있어서, 상기 메모리는 $2^{m/3}$의 사이즈를 갖는 것을 특징으로 하는 데이터 보상회로.

청구항 7

제6항에 있어서, 상기 복호부는 m/3 비트로 이루어진 상기 이전 압축 데이터를 m 비트로 이루어진 상기 이전 복원 데이터로 복원하고,

상기 부호복호부는 m 비트로 이루어진 상기 현재 프레임 데이터를 m/3 비트로 이루어진 상기 현재 압축 데이터로 압축하는 것을 특징으로 하는 데이터 보상회로.

청구항 8

n-2번째 프레임 데이터(여기서, n은 현재 프레임을 나타냄)로부터 압축된 n-2 압축 데이터가 기 저장된 제1 메모리;

n-1번째 프레임 데이터로부터 압축된 n-1번째 압축 데이터가 기 저장된 제2 메모리;

n번째 프레임동안 상기 n-2번째 압축 데이터를 복원하여 n-2번째 복원 데이터를 출력하는 제1 복호부;

상기 n번째 프레임동안 상기 n-1번째 압축 데이터를 복원하여 n-1번째 복원 데이터를 출력하는 제2 복호부;

상기 n번째 프레임동안 n번째 프레임 데이터를 상기 n번째 압축 데이터로 압축하여 상기 제2 메모리로 제공하고, 상기 n번째 압축 데이터를 복원하여 n번째 복원 데이터를 출력하는 부호복호부;

상기 n-2번째 복원 데이터와 상기 n번째 복원 데이터의 제1 차이값을 출력하는 제1 처리부;

상기 제1 차이값과 상기 n번째 프레임 데이터를 근거로하여 n-2번째 재복원 데이터를 출력하는 제2 처리부;

상기 n-1번째 복원 데이터와 상기 n번째 복원 데이터의 제2 차이값을 출력하는 제3 처리부;

상기 제2 차이값과 상기 n번째 프레임 데이터를 근거로하여 n-1번째 재복원 데이터를 출력하는 제4 처리부; 및

상기 n-2번째 재복원 데이터, 상기 n-1번째 재복원 데이터 및 상기 n번째 프레임 데이터를 근거로하여 상기 n-1번째 재복원 데이터를 보상하여 n-1번째 보상 데이터를 출력하는 보상부를 포함하는 것을 특징으로 하는 데이터 보상회로.

청구항 9

제8항에 있어서, 상기 n-2번째 재복원 데이터는 상기 n번째 프레임 데이터에 상기 제1 차이값이 합산된 값이고,

상기 n-1번째 재복원 데이터는 상기 n번째 프레임 데이터에 상기 제2 차이값이 합산된 값인 것을 특징으로 하는 데이터 보상회로.

청구항 10

제8항에 있어서, 상기 제1 및 제2 메모리는 2^{m}(여기서, m은 상기 n 프레임 데이터의 비트수임)보다 작은 사이즈를 갖는 것을 특징으로 하는 데이터 보상회로.

청구항 11

제10항에 있어서, 상기 제1 및 제2 메모리는 $2^{m/3}$의 사이즈를 갖는 것을 특징으로 하는 데이터 보상회로.

청구항 12

이전 프레임 데이터와 현재 프레임 데이터에 기초하여 현재 보상 데이터를 생성하는 데이터 보상회로;

데이터 제어신호에 응답하여 상기 현재 보상 데이터에 대응하는 데이터 전압을 출력하는 데이터 구동회로;

게이트 제어신호에 응답하여 게이트 전압을 출력하는 게이트 구동회로; 및

상기 데이터 전압과 상기 게이트 전압에 응답하여 영상을 표시하는 표시부를 포함하고,

상기 데이터 보상회로는,

상기 이전 프레임 데이터로부터 압축된 이전 압축 데이터가 기 저장된 메모리;

현재 프레임동안 상기 메모리로부터 독출된 상기 이전 압축 데이터를 복원하여 이전 복원 데이터를 출력하는 복호부;

상기 현재 프레임동안 상기 현재 프레임 데이터를 현재 압축 데이터로 압축한 후 상기 메모리에 저장하고, 상기 현재 압축 데이터를 복원하여 현재 복원 데이터를 출력하는 부호복호부;

상기 이전 복원 데이터와 상기 현재 복원 데이터의 제1 차이값을 출력하는 제1 처리부;

상기 제1 차이값과 상기 현재 프레임 데이터를 근거로하여 이전 재복원 데이터를 출력하는 제2 처리부; 및

상기 이전 재복원 데이터와 상기 현재 프레임 데이터를 근거로하여 상기 현재 프레임 데이터를 보상하여 현재 보상 데이터를 출력하는 보상부를 포함하는 것을 특징으로 하는 표시장치.

청구항 13

제12항에 있어서, 상기 이전 재복원 데이터는 상기 현재 프레임 데이터에 상기 제1 차이값이 합산된 값인 것을 특징으로 하는 표시장치.

청구항 14

제12항에 있어서, 상기 메모리는 2^m(여기서, m은 상기 현재 프레임 데이터의 비트수임)보다 작은 사이즈를 갖는 것을 특징으로 하는 표시장치.

청구항 15

제12항에 있어서, 외부로부터의 제어신호에 응답하여 상기 데이터 구동회로에 상기 데이터 제어신호를 제공하고, 상기 게이트 구동회로에 상기 게이트 제어신호를 제공하는 타이밍 컨트롤러를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 16

제15항에 있어서, 상기 타이밍 컨트롤러는 칩 형태로 이루어지고,

상기 데이터 보상회로는 상기 타이밍 컨트롤러에 내장되는 것을 특징으로 하는 표시장치.

청구항 17

제12항에 있어서, 상기 표시부에는 매트릭스 형태로 배치된 다수의 화소를 구비하고,

상기 각 화소는,

상기 게이트 전압에 응답하여 상기 데이터 전압을 출력하는 박막 트랜지스터; 및

상기 데이터 전압과 기 설정된 기준전압과의 전위차를 충전하는 액정 커패시터를 포함하는 것을 특징으로 하는 표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<13> 본 발명은 데이터 보상회로 및 이를 갖는 표시장치에 관한 것으로, 더욱 상세하게는 생산성을 향상시키고 데이터의 손상을 방지할 수 있는 데이터 보상회로 및 이를 갖는 표시장치에 관한 것이다.

<14> 일반적으로 액정표시장치는 두 개의 표시기판과 그 사이에 개재된 액정층으로 이루어진다. 액정표시장치는 액정층에 전계를 인가하고, 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 영상을 표시한다.

<15> 이러한 액정표시장치는 최근 컴퓨터의 표시장치 뿐만 아니라 텔레비젼의 표시화면으로 널리 사용됨에 따라서 동영상을 구현할 필요성이 높아지고 있다. 그러나 종래의 액정표시장치는 액정의 응답 속도가 느리기 때문에 동영상을 구현하기 어렵다.

<16> 구체적으로, 액정 분자의 응답 속도가 느리기 때문에 액정 커패시터에 충전되는 전압이 목표전압(즉, 원하는 휘도를 얻을 수 있는 전압)까지 도달하는데는 어느 정도의 시간이 소요된다. 특히, 이전 프레임에 액정 커패시터에 이미 충전되어 있는 이전 전압과 목표 전압과의 차가 큰 경우 처음부터 목표 전압만을 인가하면 스위칭 소자가 턴-온되는 1H 시간동안 목표 전압에 도달하지 못할 수 있다.

<17> 따라서, 종래의 액정표시장치는 액정의 응답 속도를 고속화하기 위하여 DCC(Dynamic Capacitance Compensation) 방식을 채택하고 있다. DCC 방식은 현재 프레임의 목표 전압과 이전 프레임의 이전 전압을 고려하여 보정 전압을 현재 프레임에 인가하여 액정의 응답 속도를 고속화시키는 방식이다.

<18> 그러나, DCC 방식을 채택하는 액정표시장치는 이전 프레임의 이전 전압을 저장하기 위한 프레임 메모리를 필요로한다. 이때, 프레임 메모리의 개수 및 사이즈는 액정표시장치의 생산성을 저하시키고 제조원가를 상승시킨다.

발명이 이루고자 하는 기술적 과제

<19> 따라서, 본 발명의 목적은 메모리 사이즈를 감소시켜 생산성을 향상시키고, 데이터의 손실을 방지하기 위한 데이터 보상회로를 제공하는 것이다.

<20> 또한, 본 발명의 다른 목적은 상기한 데이터 보상회로를 갖는 표시장치를 제공하는 것이다.

발명의 구성 및 작용

<21> 본 발명에 따른 데이터 보상회로는 메모리, 복호부, 부호복호부, 제1 처리부, 제2 처리부 및 보상부를 포함한다. 상기 메모리는 이전 프레임동안 이전 프레임 데이터로부터 압축된 이전 압축 데이터를 저장하고, 상기 복호부는 현재 프레임동안 상기 메모리로부터 독출된 상기 이전 압축 데이터를 복원하여 이전 복원 데이터를 출력한다. 상기 부호복호부는 상기 현재 프레임동안 현재 프레임 데이터를 현재 압축 데이터로 압축한 후 상기 메모리에 저장하고, 상기 현재 압축 데이터를 복원하여 현재 복원 데이터를 출력한다.

<22> 상기 제1 처리부는 상기 이전 복원 데이터와 상기 현재 복원 데이터의 제1 차이값을 출력하고, 상기 제2 처리부는 상기 제1 차이값과 상기 현재 프레임 데이터를 근거로하여 이전 재복원 데이터를 생성한다. 상기 보상부는 상기 이전 재복원 데이터와 상기 현재 프레임 데이터를 근거로하여 상기 현재 프레임 데이터를 보상하여 현재 보상 데이터를 출력한다.

<23> 본 발명에 따른 표시장치는 제1 및 제2 메모리, 제1 및 제2 복호부, 부호복호부, 제1 내지 제4 처리부 및 보상부를 포함한다. 상기 제1 메모리는 n-1번째 프레임(여기서, n은 현재 프레임을 나타냄)동안 n-2번째 프레임 데이터로부터 압축된 n-2번째 압축 데이터를 저장하고, n번째 프레임 동안 기 저장된 상기 n-2번째 압축 데이터를 출력하며, n-1번째 프레임 데이터로부터 압축된 n-1번째 압축 데이터를 저장한다. 상기 제2 메모리는 n-1번째 프레임동안 상기 n-1번째 압축 데이터를 저장하고, 상기 n번째 프레임동안 기 저장된 상기 n-1번째 압축 데이터를 출력한다.

<24> 상기 제1 복호부는 상기 n번째 프레임동안 상기 n-2번째 압축 데이터를 복원하여 n-2번째 복원 데이터를 출력하고, 상기 제2 복호부는 상기 n번째 프레임동안 상기 n-1번째 압축 데이터를 복원하여 n-1번째 복원 데이터를 출력한다. 상기 부호복호부는 상기 n번째 프레임동안 n번째 프레임 데이터를 상기 n번째 압축 데이터로 압축하여 상기 제2 메모리에 저장하고, 상기 n번째 압축 데이터를 복원하여 n번째 복원 데이터를 출력한다.

<25> 상기 제1 처리부는 상기 n-2번째 복원 데이터와 상기 n번째 복원 데이터의 제1 차이값을 출력하고, 상기 제2 처리부는 상기 제1 차이값과 상기 n번째 프레임 데이터를 근거로하여 n-2번째 재복원 데이터를 생성한다. 상기 제3 처리부는 상기 n-1번째 복원 데이터와 상기 n번째 복원 데이터의 제2 차이값을 출력하고, 상기 제4 처리부는 상기 제2 차이값과 상기 n번째 프레임 데이터를 근거로하여 n-1번째 재복원 데이터를 생성한다. 상기 보상부는 상기 n-2번째 재복원 데이터, 상기 n-1번째 재복원 데이터 및 상기 n번째 프레임 데이터를 근거로하여 상기 n-1번째 재복원 데이터를 보상하여 n-1번째 보상 데이터를 출력한다.

<26> 이러한 데이터 보상회로 및 이를 갖는 표시장치에 따르면, 압축된 데이터가 메모리에 저장되므로, 메모리의 전체 사이즈를 감소시킬 수 있고, 정지화면을 표시하는 경우 압축 및 복원과정을 거치지 않은 현재 프레임 데이터가 출력되므로 데이터의 손상을 방지할 수 있다.

<27> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

<28> 도 1은 본 발명의 일 실시예에 따른 데이터 보상회로를 나타낸 블럭도이다.

<29> 도 1을 참조하면, 본 발명의 일 실시예에 따른 데이터 보상회로(100)는 메모리(110), 복호부(120), 부호복호부(130), 제1 처리부(140), 제2 처리부(150) 및 보상부(160)를 포함한다.

<30> 상기 메모리(110)에는 이전 프레임 데이터(F(n-1))로부터 압축된 이전 압축 데이터(Fc(n-1))가 기 저장된다. 본 발명의 일 예로, 상기 이전 프레임 데이터(F(n-1))가 24비트로 이루어졌다면, 상기 이전 압축 데이터(Fc(n-1))는 1/3로 압축된 8비트로 이루어진다. 따라서, 상기 메모리(110)는 2^m(여기서, m은 상기 이전 프레임 데이터(F(n-1))의 비트수임)보다 작은 사이즈를 갖는다. 본 발명의 일 예로, 상기 이전 프레임 데이터

(F(n-1))가 24 비트로 이루어진 경우, 상기 메모리(110)는 2^8의 사이즈를 갖는다. 이와 같이, 상기 메모리(110)에는 한 프레임 분량보다 작은 분량의 압축된 데이터가 저장되므로, 상기한 메모리(110)의 사이즈를 감소시킬 수 있다.

<31> 상기 복호부(120)는 현재 프레임동안 상기 메모리(110)에 기저장된 이전 압축 데이터(Fc(n-1))를 독출하고, 상기 이전 압축 데이터(Fc(n-1))를 복원하여 이전 복원 데이터(Fd(n-1))를 출력한다. 구체적으로, 상기 복호부(120)는 m/3 비트로 이루어진 상기 이전 압축 데이터(Fc(n-1)를 m 비트로 이루어진 상기 이전 복원 데이터(Fd(n-1))로 복원한다.

<32> 한편, 상기 부호복호부(130)는 상기 현재 프레임동안 현재 프레임 데이터(F(n))를 입력받고, 상기 현재 프레임 데이터(F(n))를 현재 압축 데이터(Fc(n))로 압축한 후 상기 메모리(110)에 저장한다. 본 발명의 일 예로, 상기 현재 프레임 데이터(F(n))는 m 비트로 이루어지고, 상기 현재 압축 데이터(Fc(n))는 m/3 비트로 이루어진다. 또한, 상기 부호복호부(130)는 상기 현재 프레임동안 상기 현재 압축 데이터(Fc(n))를 복원하여 현재 복원 데이터(Fd(n))를 출력한다.

<33> 상기 제1 처리부(140)는 상기 이전 복원 데이터(Fd(n-1))와 상기 현재 복원 데이터(Fd(n))의 제1 차이값(ΔFd(n))을 출력하고, 상기 제2 처리부(150)는 상기 제1 차이값(ΔFd(n))과 상기 현재 프레임 데이터(F(n))를 근거로하여 상기 이전 재복원 데이터(Fd`(n-1))를 생성한다. 구체적으로, 상기 제2 처리부(150)는 상기 현재 프레임 데이터(F(n))에 상기 제1 차이값(ΔFd(n))을 합산하여 상기 이전 재복원 데이터(Fd`(n-1))를 생성한다. 정지 화면의 경우 상기 현재 복원 데이터(Fd(n))와 상기 이전 복원 데이터(Fd(n-1))가 동일하여 상기 제1 차이값(ΔFd(n))은 0이 된다. 이 경우, 상기 제2 처리부(150)는 상기 현재 프레임 데이터(F(n))와 동일한 상기 이전 재복원 데이터(Fd`(n-1))를 출력한다.

<34> 상기 보상부(160)는 상기 이전 재복원 데이터(Fd`(n-1))와 상기 현재 프레임 데이터(F(n))를 근거로하여 상기 현재 프레임 데이터(F(n))를 보상하여 현재 보상 데이터(F`(n))를 출력한다. 구체적으로, 상기 보상부(160)는 상기 이전 재복원 데이터(Fd`(n-1))와 상기 현재 프레임 데이터(F(n))의 제2 차이값이 기 설정된 제1 기준값 이하이면 상기 현재 프레임 데이터(F(n))와 동일한 값을 갖는 상기 현재 보상 데이터(F`(n))를 출력한다. 따라서, 정지 화면의 경우 상기 제1 차이값(ΔFd(n))은 0이므로, 상기 이전 재복원 데이터(Fd`(n-1))는 상기 현재 프레임 데이터(F(n))와 동일한 값을 갖는다.

<35> 현재 프레임에서는 압축 또는 복원되지 않은 상기 현재 프레임 데이터(F(n))가 그대로 출력된다. 그 결과, 가공되지 않은 상기 현재 프레임 데이터(F(n))를 이용하여 영상을 표시함으로써, 정지 화면의 손상을 방지할 수 있다.

<36> 한편, 상기 보상부(160)는 상기 제2 차이값이 상기 제1 기준값보다 크면 상기 현재 프레임 데이터(F(n))보다 기 설정된 보정값만큼 오버 드라이빙된 상기 현재 보상 데이터(F`(n))를 출력한다.

<37> 이하, 도 2 및 도 3을 참조하여 상기 보상부(160)에 의해서 오버 드라이빙되는 현재 보상 데이터를 구체적으로 설명하기로 한다.

<38> 도 2 및 도 3은 도 1에 도시된 데이터 보상회로에 의해서 보상된 현재 보상 데이터에 대응하는 전압 및 휘도를 나타낸 그래프이다. 도 2 및 도 3에서 x축은 시간을 나타내고, y축은 전압 및 휘도를 나타낸다. 여기서, 상기 전압은 매 프레임 단위로 액정층에 인가되는 전압을 나타내고, 상기 휘도는 액정층을 통과한 광의 휘도를 나타낸다.

<39> 도 2를 참조하면, 이전 프레임 데이터는 제1 목표전압(Vt1)에 대응하고, 현재 프레임 데이터는 상기 제1 목표전압(Vt1)보다 높은 제2 목표전압(Vt2)에 대응한다. 상기 제1 목표전압(Vt1)과 제2 목표전압(Vt2)의 전압차가 기 설정된 기준값보다 큰 경우, 상기 제2 목표전압(Vt2)을 액정층에 인가하더라도 한 프레임 내에 원하는 목표 휘도(Lt)에 도달하기 어렵다. 이러한 문제를 해결하기 위해, 보상부(160, 도 1에 도시됨)는 현재 프레임(n)에서 상기 제2 목표전압(Vt2)을 상기 제2 목표전압(Vt2)보다 높은 제3 목표전압(Vt3)으로 오버 드라이빙시킨다. 따라서, 상기 현재 프레임(n)에서 상기 액정층에는 상기 제3 목표전압(Vt3)이 인가되고, 그 결과 라이징 타임이 감소되어 한 프레임 내에 원하는 목표휘도(Lt)에 도달할 수 있다.

<40> 도 3을 참조하면, 이전 프레임 데이터는 제1 목표전압(Vt1)에 대응하고, 현재 프레임 데이터는 상기 제1 목표전압(Vt1)보다 낮은 제2 목표전압(Vt2)에 대응한다. 상기 제1 목표전압(Vt1)과 제2 목표전압(Vt2)의 전압차가 기 설정된 기준값보다 큰 경우, 상기 제2 목표전압(Vt2)을 액정층에 인가하더라도 한 프레임 내에 원하는 목표 휘도(Lt)에 도달하기 어렵다. 이러한 문제를 해결하기 위해, 보상부(160, 도 1에 도시됨)는 현재 프레임

(n)에서 상기 제2 목표전압(Vt2)을 상기 제2 목표전압(Vt2)보다 낮은 제3 목표전압(Vt3)으로 오버 드라이빙시킨다. 따라서, 상기 현재 프레임(n)에서 상기 액정층에는 상기 제3 목표전압(Vt3)이 인가되고, 그 결과 라이징 타임이 감소되어 한 프레임 내에 원하는 목표휘도(Lt)에 도달할 수 있다.

<41> 이와 같이, 오버 드리이빙된 전압을 액정층에 인가함으로써, 액정의 응답 속도가 향상시킬 수 있다.

<42> 도 4는 본 발명의 다른 실시예에 따른 데이터 보상회로를 나타낸 블럭도이고, 도 5는 도 4에 도시된 보상부의 내부 블럭도이다.

<43> 도 4를 참조하면, 본 발명의 다른 실시예에 따른 데이터 보상회로(200)는 제1 및 제2 메모리(210, 220), 제1 및 제2 복호부(230, 240), 부호복호부(250), 제1, 제2, 제3 및 제4 처리부(260, 270, 280, 290) 및 보상부(295)를 포함한다.

<44> 상기 제1 메모리(210)에는 n-2번째 프레임 데이터(F(n-2))(여기서, n은 현재 프레임을 나타냄)로부터 압축된 n-2번째 압축 데이터(Fc(n-2))가 기 저장되고, 상기 제2 메모리(220)에는 n-1번째 프레임 데이터(F(n-1))로부터 압축된 n-1번째 압축 데이터(Fc(n-1))가 저장된다. 상기 제1 메모리(210)는 n번째 프레임 동안 기 저장된 상기 n-2번째 압축 데이터(Fc(n-2))를 출력하며, 이후 상기 n-1번째 압축 데이터(Fc(n-1))를 저장한다. 상기 제2 메모리(220)는 상기 n번째 프레임동안 기 저장된 상기 n-1번째 압축 데이터(Fc(n-1))를 출력한다. 본 발명의 일 예로, 상기 n-2번째 및 n-1번째 프레임 데이터가 m 비트로 이루어지면, 상기 n-2번째 및 n-1번째 압축 데이터는 m/3 비트로 이루어진다. 상기 제1 및 제2 메모리(210, 220)는 2^{m}보다 작은 사이즈를 갖는다. 본 발명의 일 예로, 상기 제1 및 제2 메모리(210, 220)는 $2^{m/3}$의 사이즈를 갖는다.

<45> 상기 제1 복호부(230)는 상기 n번째 프레임동안 상기 n-2번째 압축 데이터(Fc(n-2))를 복원하여 n-2번째 복원 데이터(Fd(n-2))를 출력하고, 상기 제2 복호부(240)는 상기 n번째 프레임동안 상기 n-1번째 압축 데이터(Fc(n-1))를 복원하여 n-1번째 복원 데이터(Fd(n-1))를 출력한다. 본 발명의 일 예로, 상기 제1 및 제2 복호부(230, 240)는 m/3 비트로 이루어진 상기 n-2 및 n-1 압축 데이터(Fc(n-2), Fc(n-1))를 m 비트로 이루어진 상기 n-2번째 및 n-1번째 복원 데이터(Fd(n-2), Fd(n-1))로 각각 복원한다.

<46> 상기 부호복호부(250)는 상기 n번째 프레임동안 n번째 프레임 데이터(F(n))를 입력받고, 상기 n번째 프레임 데이터(F(n))를 상기 n번째 압축 데이터(Fc(n))로 압축하여 상기 제2 메모리(220)로 제공한다. 또한, 상기 부호복호부(250)는 상기 n번째 프레임동안 상기 n번째 압축 데이터(Fc(n))를 복원하여 n번째 복원 데이터(Fd(n))를 출력한다.

<47> 상기 제1 처리부(260)는 상기 n-2번째 복원 데이터(Fd(n-2))와 상기 n번째 복원 데이터(Fd(n))의 제1 차이값(ΔFd(n-2))을 출력하고, 상기 제2 처리부(270)는 상기 제1 차이값(ΔFd(n-2))과 상기 n번째 프레임 데이터(F(n))를 근거로하여 n-2번째 재복원 데이터(Fd`(n-2))를 생성한다. 여기서, 상기 제2 처리부(270)는 상기 n번째 프레임 데이터(F(n))에 상기 제1 차이값(ΔFd(n-2))를 합산하여 상기 n-2번째 재복원 데이터(Fd`(n-2))를 생성한다.

<48> 상기 제3 처리부(280)는 상기 n-1번째 복원 데이터(Fd(n-1))와 상기 n번째 복원 데이터(Fd(n))의 제2 차이값(ΔFd(n-1))을 출력하고, 상기 제4 처리부(290)는 상기 제2 차이값(ΔFd(n-1))과 상기 n번째 프레임 데이터(F(n))를 근거로하여 n-1번째 재복원 데이터(Fd`(n-1))를 생성한다. 여기서, 상기 제4 처리부(290)는 상기 n번째 프레임 데이터(F(n))에 상기 제2 차이값(ΔFd(n-1))을 합산하여 상기 n-1번째 재복원 데이터(Fd`(n-1))를 생성한다.

<49> 상기 보상부(295)는 상기 n-2번째 재복원 데이터(Fd`(n-2)), 상기 n-1번째 재복원 데이터(Fd`(n-1)) 및 상기 n번째 프레임 데이터(F(n))를 근거로하여 상기 n-1번째 재복원 데이터(Fd`(n-1))를 보상하여 n-1번째 보상 데이터(F`(n-1))를 출력한다.

<50> 도 5에 도시된 바와 같이, 상기 보상부(295)는 제1 및 제2 보상부(296, 297)를 포함한다. 상기 제1 보상부(296)는 상기 n-2번째 재복원 데이터(Fd`(n-2)) 및 상기 n-1번째 재복원 데이터(Fd`(n-1))를 근거로하여 n-1번째 보상 복원 데이터(Fd``(n-1))를 생성하고, 상기 제2 보상부(297)는 상기 n-1번째 보상 복원 데이터(Fd``(n-1)) 및 상기 n번째 프레임 데이터(F(n))를 근거로하여 상기 n-1번째 보상 데이터(F`(n-1))를 생성한다.

<51> 구체적으로, 상기 제1 보상부(296)는 상기 n-2번째 재복원 데이터(Fd`(n-2))와 상기 n-1번째 재복원 데이터(Fd`(n-1))의 제3 차이값이 기 설정된 제1 기준값 이하이면 상기 n-2번째 재복원 데이터(Fd`(n-2))와 동일한

값을 갖는 상기 n-1번째 보상 복원 데이터(Fd``(n-1))를 출력하고, 상기 제1 기준값 이상이면 상기 n-1번째 재복원 데이터(Fd`(n-1))로부터 오버 드리이빙된 상기 n-1번째 보상 복원 데이터(Fd``(n-1))를 출력한다.

<52> 정지 화면의 경우, 상기 제1 및 제2 차이값(ΔFd(n-2), ΔFd(n-1))이 0이므로, 상기 n-2 및 n-1 재복원 데이터(Fd`(n-2), Fd`(n-1))는 상기 n 프레임 데이터(F(n))와 동일한 값을 갖는다. 또한, 상기 제3 차이값이 0이 되므로, 상기 제1 보상부(296)는 상기 n 프레임 데이터(F(n))와 동일한 값을 갖는 상기 n-1 보상 복원 데이터(Fd``(n-1))를 출력한다.

<53> 한편, 상기 제2 보상부(297)는 상기 n-1번째 보상 복원 데이터(Fd``(n-1))가 제2 기준값보다 작고, 상기 n번째 프레임 데이터(F(n))가 제3 기준값보다 크면, 상기 n-1번째 보상 복원 데이터(Fd``(n-1))보다 제2 보정값만큼 큰 상기 n-1 보상 데이터(F`(n-1))를 생성하고, 상기 n-1번째 보상 복원 데이터(Fd``(n-1))가 상기 제2 기준값 이상이거나 상기 n번째 프레임 데이터(F(n))가 상기 제3 기준값 이하이면, 상기 n-1번째 보상 복원 데이터(Fd``(n-1))와 동일한 상기 n-1번째 보상 데이터(F`(n-1))를 생성한다.

<54> 정지 화면의 경우, 상기 제2 보상부(297)는 상기 n-1번째 보상 복원 데이터(Fd``(n-1))와 동일한 상기 n-1번째 보상 데이터(F`(n-1))를 생성한다. 여기서, 상기 n-1번째 보상 복원 데이터(Fd``(n-1))는 상기 n번째 프레임 데이터(F(n))와 동일한 값을 가지므로, 상기 n-1번째 보상 데이터(F`(n-1))는 상기 n번째 프레임 데이터(F(n))와 동일한 값을 가진다.

<55> 이와 같이, 정지화면을 표시하는 경우 상기 제1 및 제2 보상부(296, 297)에서는 압축 또는 복원되지 않은 상기 n번째 프레임 데이터(F(n))가 그대로 출력된다. 그 결과, 가공되지 않은 상기 n번째 프레임 데이터(F(n))를 이용하여 영상을 표시함으로써, 정지 화면의 손상을 방지할 수 있다.

<56> 도 6은 본 발명의 또 다른 실시예에 따른 액정표시장치의 블럭도이다.

<57> 도 6을 참조하면, 본 발명의 또 다른 실시예에 따른 액정표시장치(1000)는 영상을 표시하는 표시부(300), 상기 표시부(300)를 구동시키는 게이트 구동회로(400)와 데이터 구동회로(500), 상기 데이터 구동회로(500)에 연결된 계조전압 발생부(800) 및 상기 게이트 구동회로(400)와 데이터 구동회로(500)의 구동을 제어하는 타이밍 컨트롤러(600)를 포함한다.

<58> 상기 표시부(300)에는 게이트 전압을 입력받는 다수의 게이트 라인(GL1 ~ GLn)과 데이터 전압을 입력받는 다수의 데이터 라인(DL1 ~ DLm)이 구비된다. 상기 다수의 게이트 라인(GL1 ~ GLn)과 다수의 데이터 라인(DL1 ~ DLm)에 의해서 상기 표시부(300)에는 매트릭스 형태로 다수의 화소영역이 정의되고, 각 화소영역에는 화소(310)가 구비된다. 상기 화소(310)는 박막 트랜지스터(311), 액정 커패시터(C_{LC}) 및 스토리지 커패시터(C_{ST})로 이루어진다.

<59> 도면에 도시된 바와 같이, 상기 박막 트랜지스터(311)의 게이트 전극은 제1 게이트 라인(GL1)에 연결되고, 소오스 전극은 제1 데이터 라인(DL1)에 연결되며, 상기 액정 커패시터(C_{LC})와 상기 스토리지 커패시터(C_{ST})는 상기 박막 트랜지스터(311)의 드레인 전극에 병렬 연결된다.

<60> 본 발명의 일 예로, 상기 표시부(300)는 하부기판, 상기 하부기판과 마주하는 상부기판 및 상기 하부기판과 상기 상부기판과의 사이에 개재된 액정층으로 이루어진다.

<61> 상기 하부기판에는 상기 다수의 게이트 라인(GL1 ~ GLn), 상기 다수의 데이터 라인(DL1 ~ DLm), 상기 박막 트랜지스터(311) 및 상기 액정 커패시터(C_{LC})의 제1 전극인 화소전극이 형성된다. 따라서, 상기 박막 트랜지스터(311)는 상기 게이트 전압에 응답하여 상기 데이터 전압을 상기 화소전극에 인가한다.

<62> 한편, 상기 상부기판에는 상기 액정 커패시터(C_{LC})의 제2 전극인 공통전극이 형성되고, 상기 공통전극에는 공통전압이 인가된다. 상기 화소전극과 상기 공통전극과의 사이에 개재된 액정층은 유전체의 역할을 수행한다. 따라서, 상기 액정 커패시터(C_{LC})에는 상기 데이터 전압과 상기 공통전압의 전위차에 대응하는 전압이 충전된다.

<63> 상기 게이트 구동회로(400)는 상기 표시부(300)에 구비된 다수의 게이트 라인(GL1 ~ GLn)과 전기적으로 연결되어 상기 다수의 게이트 라인(GL1 ~ GLn)에 상기 게이트 전압을 제공한다. 상기 데이터 구동회로(500)는 상기 표시부(300)에 구비된 다수의 데이터 라인(DL1 ~ DLm)과 전기적으로 연결되고, 상기 계조전압 발생부(800)로부터의 계조 전압을 선택하여 상기 다수의 데이터 라인(DL1 ~ DLm)에 상기 데이터 전압으로 제공한다.

<64> 상기 타이밍 컨트롤러(600)는 각종 제어신호, 예를 들면 수직동기신호(Vsync), 수평동기신호(Hsync), 메인클럭(MCLK), 데이터 인에이블신호(DE) 등을 입력받는다. 상기 타이밍 컨트롤러(600)는 상기 각종 제어신호를 기초로하여 게이트 제어신호(CONT1)와 데이터 제어신호(CONT2)를 출력한다.

<65> 상기 게이트 제어신호(CONT1)는 상기 게이트 구동회로(400)의 동작을 제어하기 위한 신호로써 상기 게이트 구동회로(400)로 제공된다. 상기 게이트 제어신호(CONT1)는 상기 게이트 구동회로(400)의 동작을 개시하는 수직개시신호, 상기 게이트 전압의 출력 시기를 결정하는 게이트 클럭신호 및 게이트 전압의 온 펄스폭을 결정하는 출력 인에이블 신호 등을 포함한다.

<66> 상기 게이트 구동회로(400)는 상기 타이밍 컨트롤러(600)로부터의 상기 게이트 제어신호(CONT1)에 응답하여 게이트 온 전압(Von)과 게이트 오프전압(Voff)의 조합으로 이루어진 상기 게이트 전압을 출력한다.

<67> 상기 데이터 제어신호(CONT2)는 상기 데이터 구동회로(500)의 동작을 제어하는 신호로써 상기 데이터 구동회로(500)로 제공된다. 상기 데이터 제어신호(CONT2)는 상기 데이터 구동회로(500)의 동작을 개시하는 수평개시신호, 상기 데이터 전압의 극성을 반전시키는 반전신호 및 상기 데이터 구동부로부터 상기 데이터 전압이 출력되는 시기를 결정하는 출력지시신호 등을 포함한다.

<68> 또한, 상기 타이밍 컨트롤러(600)는 칩 형태로 이루어지고, 상기 타이밍 컨트롤러(600)에는 도 1에 도시된 데이터 보상회로(100)가 내장된다. 특히, 상기 메모리(110, 도 1에 도시됨)에는 압축된 데이터가 저장되므로, 상기 메모리(110)의 전체 사이즈가 감소하고, 그 결과 상기 메모리(110)를 상기 타이밍 컨트롤러(600)에 내장시킬 수 있다.

<69> 상기 데이터 보상회로(100)는 현재 프레임에서 외부의 그래픽 제어기(미도시)로부터 현재 프레임 데이터(F(n))를 입력받아 현재 보상 데이터(F`(n))로 보상한다. 상기 데이터 구동회로(500)는 상기 타이밍 컨트롤러(600)로부터의 상기 데이터 제어신호(CONT1)에 응답하여 상기 현재 보상 데이터(F`(n))를 입력받고, 상기 계조전압 발생부(800)로부터의 계조전압 중 상기 현재 보상 데이터(F`(n))에 대응하는 계조전압을 선택하여 상기 데이터 전압으로 변환하여 출력한다.

<70> 이로써, 상기 표시부(300)는 상기 데이터 전압와 상기 게이트 전압에 응답하여 영상을 표시한다. 특히, 정지화면의 경우 상기 현재 보상 데이터(F`(n))는 압축 또는 복원되는 과정을 거치지 않은 현재 프레임 데이터(F(n))에 대응하는 데이터 전압로 변환되므로, 상기 표시부(300)는 손상되지 않은 데이터를 이용하여 영상을 표시할 수 있다.

발명의 효과

<71> 이와 같은 데이터 보상회로 및 이를 갖는 표시장치에 따르면, 프레임 데이터는 압축된 후 메모리에 저장되고, 메모리로부터 독출된 압축 데이터는 복원과정을 거친후 보상부로 전송된다.

<72> 따라서, 메모리의 전체 사이즈를 감소시킬 수 있고, 그 결과 메모리를 타이밍 컨트롤러에 내장시킬 수 있으므로써 표시장치의 제조 원가를 절감시켜 생산성을 향상시킬 수 있다.

<73> 또한, 정지화면이 표시되는 경우 압축 및 복원과정을 거치지 않은 현재 프레임 데이터를 이용하여 영상을 표시함으로써, 정지화면이 손상되는 것을 방지할 수 있다.

<74> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 따른 데이터 보상회로를 나타낸 블럭도이다.

<2> 도 2 및 도 3은 도 1에 도시된 데이터 보상회로에 의해서 보상된 현재 프레임에 대응하는 전압 및 휘도를 나타낸 그래프이다.

<3> 도 4는 본 발명의 다른 실시예에 따른 데이터 보상회로를 나타낸 블럭도이다.

<4> 도 5는 도 4에 도시된 보상부의 내부 블럭도이다.

<5> 도 6은 본 발명의 또 다른 실시예에 따른 액정표시장치의 블럭도이다.

<6> *도면의 주요 부분에 대한 부호의 설명*

<7> 100 : 데이터 보상회로 110 : 메모리

<8> 120 : 복호부 130 : 부호복호부

<9> 140 : 제1 처리부 150 : 제2 처리부

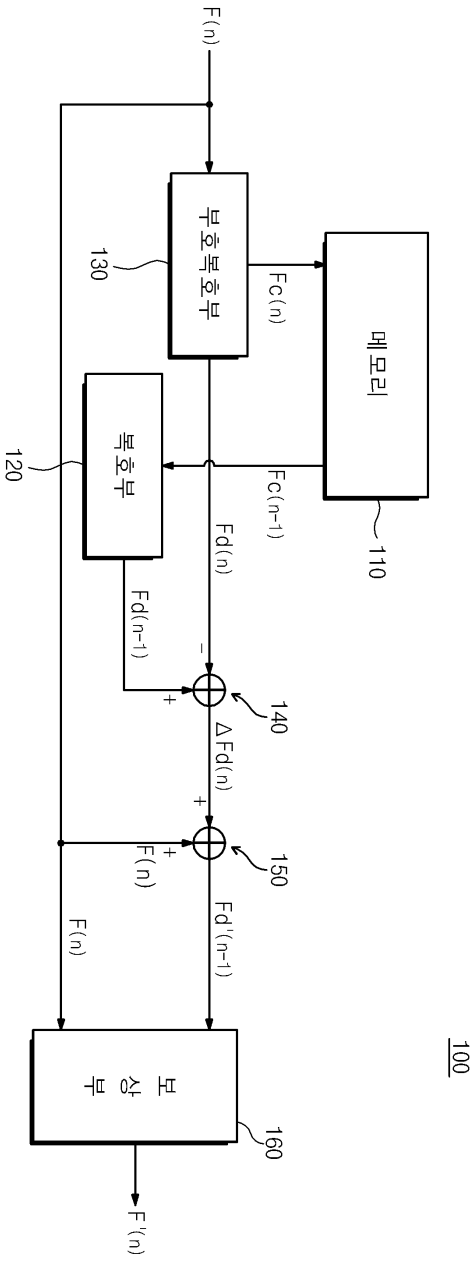
<10> 160 : 보상부 300 : 표시부

<11> 400 : 게이트 구동회로 500 : 데이터 구동회로

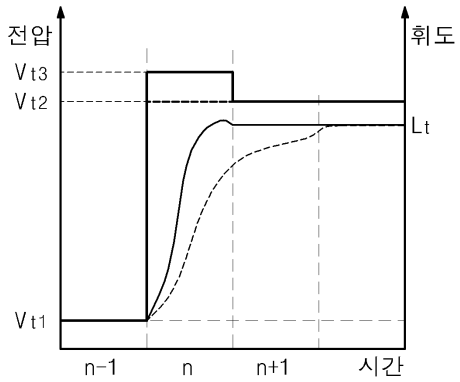
<12> 600 : 타이밍 컨트롤러 1000 : 액정표시장치

도면

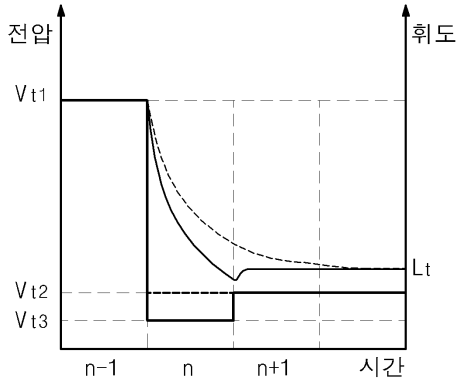
도면1



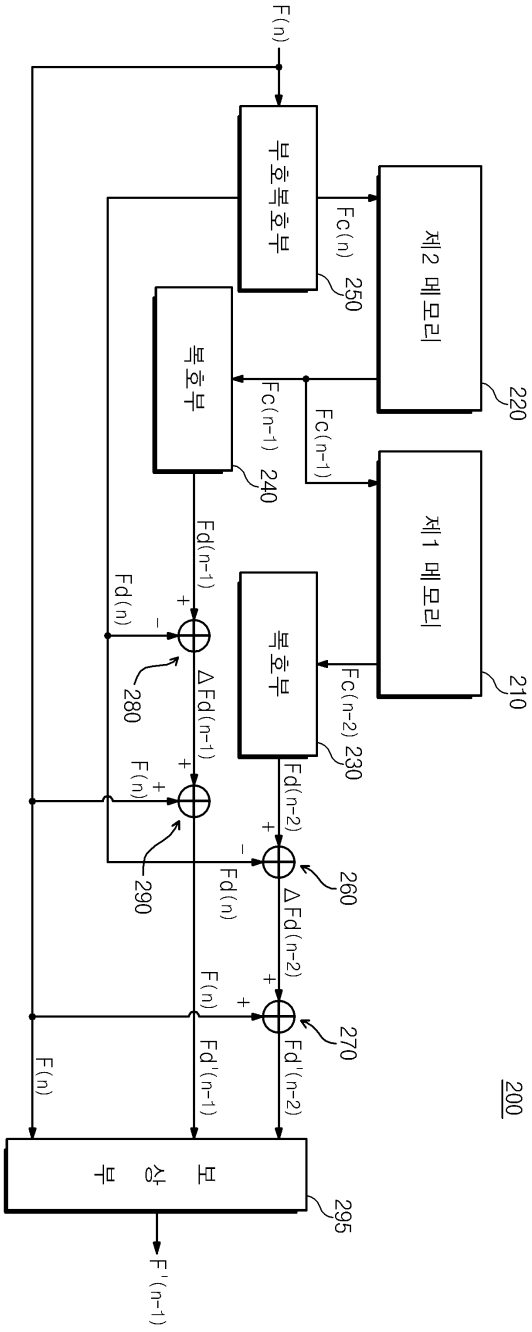
도면2



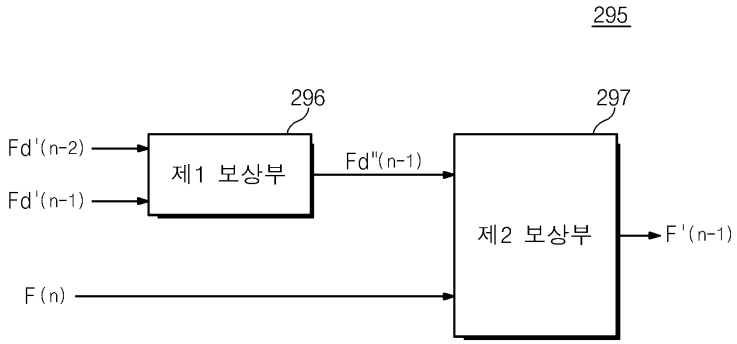
도면3



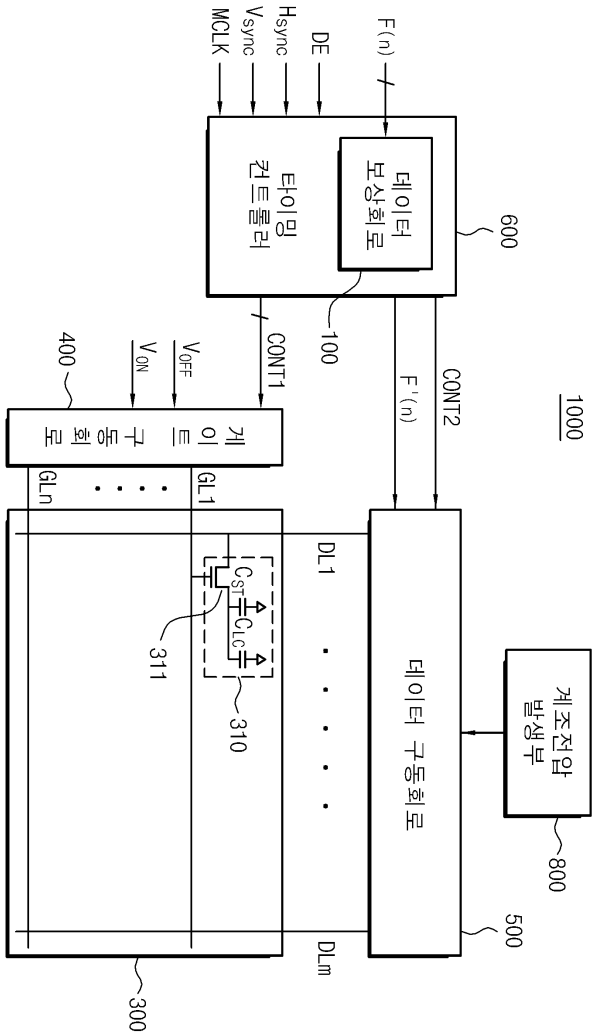
도면4


F(n)
부호복호부
250
Fc(n)
제2 메모리
220
복호부
240
Fc(n-1)
Fc(n-1)
제1 메모리
210
Fd(n-1)
Fd(n)
복호부
230
Fc(n-2)
ΔFd(n-1)
280
F(n)
Fd(n-2)
290
Fd(n)
260
ΔFd(n-2)
F(n)
270
Fd'(n-2)
Fd'(n-1)
F(n)
200
보 상 부
295
F'(n-1)

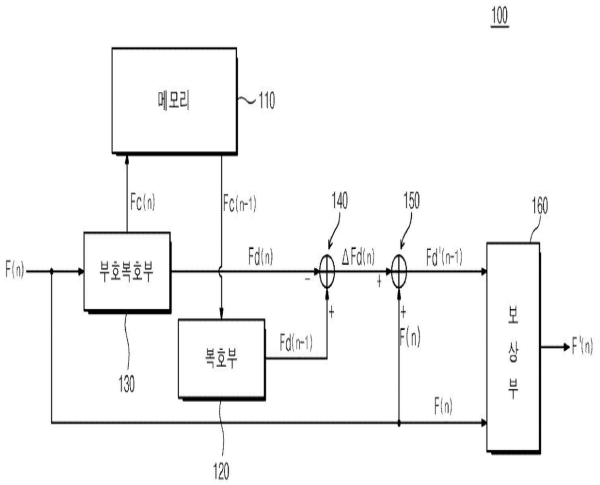
도면5


295
296
297
Fd'(n-2)
Fd'(n-1)
제1 보상부
Fd"(n-1)
제2 보상부
F'(n-1)
F(n)

도면6


MCLK
Vsync
Hsync
DE
F(n)
타이밍 컨트롤러
데이터 보상회로
600
100
CONT1
CONT2
F'(n)
1000
400
게이트 구동회로
VON
VOFF
GLn
GL1
DL1
DLm
311
310
CST
CLC
데이터 구동회로
계조전압 발생부
800
500
300

专利名称(译)	数据补偿电路和具有该电路的液晶显示装置		
公开(公告)号	KR1020070118445A	公开(公告)日	2007-12-17
申请号	KR1020060052607	申请日	2006-06-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	NAM HYOUNG SIK 남형식		
发明人	남형식		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3629 G09G2320/0252 G09G2300/0842		
代理人(译)	권혁수 Ohsejun 송윤호		
其他公开文献	KR101288986B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种数据补偿电路和具有该数据补偿电路的显示装置，以通过在将帧数据存储在存储器中之前压缩帧数据来减小存储器的整体尺寸。结构：存储器（110）存储来自前一帧的先前压缩数据数据。解码器（120）从存储器中提取先前的压缩数据并输出提取的数据。编解码器（130）将当前帧数据压缩成当前压缩数据并将当前压缩数据存储在存储器中。编解码器提取当前压缩数据。第一处理器（140）输出先前和当前提取数据之间的第一差值。第二处理器（150）基于第一差值和当前帧数据输出先前提取的数据。补偿器（160）基于先前提取的数据和当前帧数据补偿当前帧数据并输出当前补偿数据。©KIPO 2008