

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0098338

(43) 공개일자 2006년09월18일

(21) 출원번호 10-2006-0022801

(22) 출원일자 2006년03월10일

(30) 우선권주장 094107564 2005년03월11일 대만(TW)

(71) 출원인 하이맥스 테크놀로지스, 인코포레이션
대만 타이난 카운티 712, 호신화, 충산 로드, 넘버 605, 10층

(72) 발명자 첸, 치엔-루
대만 타이난 카운티 712, 호신화, 충산 로드, 605호, 10층, 하이맥스 테크
놀로지스, 인코포레이션 내
첸, 중-존
대만 타이난 카운티 712, 호신화, 충산 로드, 605호, 10층, 하이맥스 테크
놀로지스, 인코포레이션 내

(74) 대리인 특허법인화우

심사청구 : 없음

(54) 액정 디스플레이의 게이트 제어신호를 생성하는 방법 및장치

요약

본 발명은 픽셀들의 어레이, 이미지 데이터 및 소스 제어신호를 출력하는 타이밍 제어기, 일련의 소스 드라이버 및 게이트 드라이버를 포함하는 액정 디스플레이에 대해 개시하고 있다. 소스 제어신호 중 하나를 기준으로 하여 게이트 제어신호를 생성시키고 게이트 드라이버로 전송하기 위해 상기 소스 드라이버 중 하나가 선택된다. 따라서, 게이트 드라이버는 소스 드라이버와 함께 패널 픽셀들을 구동할 수 있다.

대표도

도 2a

명세서

도면의 간단한 설명

이하, 바람직하나 비-제한적인 실시예들의 상세한 설명으로, 본 명세서의 여타의 목적들, 특징들, 및 장점들을 알 수 있을 것이다. 다음의 설명은 첨부한 도면들을 참조하여 행해진다. 다음의 설명은 첨부한 도면들을 참조하여 설명된다.

- 도 1은 COG LCD의 다이어그램;
- 도 2a는 본 발명의 바람직한 실시예에 따른 칩-온-글래스(COG) 액정 디스플레이(LCD)의 다이어그램;
- 도 2b는 본 발명의 또 다른 바람직한 실시예에 따른 COG LCD의 다이어그램;
- 도 3은 LCD의 소스 드라이버(source driver)들 및 게이트 드라이버(gate driver)들의 제어 신호들을 도시한 다이어그램;
- 도 4는 제어 패킷(control packet)의 포맷 다이어그램(format diagram);
- 도 5a는 본 발명의 바람직한 실시예에 따른 소스 드라이버의 다이어그램;
- 도 5b는 도 5a의 파장 생성기(wave generator)의 블록도;
- 도 5c는 도 5b의 ID 인식기(recognizer)의 블록도;
- 도 5d는 제어 신호 POL의 파형도;
- 도 5e는 제어 신호 TP의 생성의 파형도;
- 도 6a는 절전(power saving)을 위한 수렴 전송 방법(convergent transmission method)의 플로우차트;
- 도 6b는 절전을 위한 발산 전송 방법(divergent transmission method)의 플로우차트이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 출원은, 본 명세서에서 전문이 인용참조되고 있는, 2005년 3월 11일에 출원된 대만 특허 출원 제94107564호의 이익(benefit)을 주장한다.

본 발명은, 일반적으로 액정 디스플레이에 관한 것으로, 보다 특별하게는, 칩-온-글래스 액정 디스플레이에 관한 것이다.

액정 디스플레이(LCD)는, CRT 모니터와 비교하여, 경량(light weight), 평탄도(flatness) 및 저 방사(low radiation)로 인해, 컴퓨터 모니터 또는 TV용으로 점점 인기를 얻고 있다. 컬러(color), 콘트라스트(contrast) 및 휘도(brightness)와 같은 LCD의 디스플레이 품질을 개선하는 것 이외에도, 제조업자들은 비용 및 제조 시간을 감소시키는 제조 공정을 개선하기 위해 노력한다.

LCD는 그 액정 패널을 구동하기 위해, 타이밍 제어기(timing controller), 소스 드라이버(source driver)들 및 1이상의 게이트 드라이버를 포함한다. 통상적으로, 타이밍 제어기는 제어 인쇄 회로 기판(control print circuit board)상에 용접(weld)되고, 소스 드라이버들은 X-보드(board)상에 용접되며, 게이트 드라이버는 Y-보드상에 용접된다. 제어 인쇄 회로 기판은 연성 인쇄 회로 기판(flexible printed circuit board: FPC)을 통해 X-보드에 연결되는 한편, X-보드 및 Y-보드는 각각 여타의 FPC들을 통해 액정 패널에 연결된다. 그러므로, 종래의 LCD는 패널에 연결되는 3개 이상의 보드를 필요로 하며, 그에 따라 제조 공정이 복잡하다. 제조 공정을 간단히 하기 위해서, 칩-온-글래스(COG) LCD가 개발되어 왔다.

도 1은 종래의 COG LCD의 다이어그램이다. COG LCD(100)는 패널(110), 복수의 소스 드라이버(112), 1이상의 게이트 드라이버(114), 인쇄 회로 기판(120) 및 복수의 연성 인쇄 회로 기판(130)을 포함한다. 소스 드라이버들(112) 및 게이트 드라이버(114)는 패널(110)의 유리 기판상에 배치되고 연성 인쇄 회로 기판들(130)을 통해 인쇄 회로 기판(120)에 전기적으로 연결된다. 타이밍 제어기(도 1에 도시되지 않음)는 인쇄 회로 기판(120)상에 배치되며, 소스 드라이버들(112) 및 게이트 드라이버(114)에 이미지 데이터 및 제어 신호들을 출력한다. COG LCD(100)에서는, FPC들(130)을 통해 패널(110)에 연결시키기 위해서, 3개가 아니라, 단 하나의 보드(PCB 120)만이 요구된다. 그러므로, 제조 공정이 단순해진다.

하지만, 종래의 COG LCD의 제조 공정은, 다수의 연성 인쇄 회로 기판들을 필요로 하기 때문에 여전히 단순화되어 있지 않으며, 도 1의 상기 예시에서, 연성 인쇄 회로 기판의 개수는 11개이다. 상기 연성 인쇄 기판들은 액정 패널과의 복수의 콘택 지점(contact point)들을 필요로 하며, 따라서, 전기적 접촉 불량(electrical contact failure)의 가능성이 증가된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 연성 인쇄 회로 기판의 개수를 줄이는 COG LCD를 제공하고 LCD용 전송 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 연성 인쇄 회로 기판의 개수를 줄이기 위한 게이트 제어 신호 생성 방법을 제공하는 것이다.

나아가, 본 발명의 또 다른 목적은 COG LCD의 소스 드라이버의 식별기(identifier) 및 그것의 식별 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 타이밍 제어기로부터의 제어 신호 및 이미지 데이터의 단-방향(single-way) 또는 양-방향(dual-way) 전송을 위한 소스 드라이버를 제공하는 것이다.

본 발명의 또 다른 목적은 전송 라인들의 개수를 하나 또는 제한된 수로 저감시키고 연성 인쇄 회로 기판의 개수를 줄이기 위하여 패킷에 의해 제어 신호들을 전송하는 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 COG LCD의 전력 소모를 줄이기 위한 전력 관리 방법을 제공하는 것이다.

본 발명은, 패널, 타이밍 제어기, 소스 드라이버 및 1이상의 게이트 드라이버를 포함하는 액정 디스플레이를 제공함으로써 상술된 목적들을 달성한다. 상기 패널은 매트릭스로 배치되는 픽셀들을 갖는다. 타이밍 제어기는 이미지 데이터 및 소스 제어신호를 출력한다. 소스 드라이버는 직렬로(in series) 연결되고, 소스 제어신호를 참조하여 게이트 제어신호를 발생시키도록 소스 드라이버 중 하나가 선택된다. 소스 드라이버와 함께 게이트 드라이버는 게이트 제어신호에 따른 패널을 구동한다.

본 발명은 액정 디스플레이의 게이트 제어신호를 발생시키는 방법을 제공함으로써 상술된 목적들을 달성한다. 먼저 상기 방법은 이미지 데이터 및 소스 제어신호를 소스 드라이버에 제공한다. 다음으로, 하나의 소스 드라이버가 선택되어 게이트 드라이버 및 소스 드라이버에 의해 패널을 구동시키는 소스 제어신호를 참조하여 게이트 드라이버에 게이트 제어신호를 발생시킨다.

발명의 구성 및 작용

도 2a는 본 발명의 바람직한 실시예에 따른 예시적인 칩-온-글래스(COG) 액정 디스플레이(LCD)의 다이어그램이다. LCD(200)는 패널(210), 복수의 소스 드라이버들((S/D)212(1)-212(10)), 1이상의 게이트 드라이버(214), 인쇄 회로 기판(220) 및 연성 인쇄 회로 기판(FPC)(230 및 232)을 포함한다. 소스 드라이버들(212) 및 게이트 드라이버(214)는 칩-온-글래스 기술에 의하여 패널(210)의 유리 기판상에 배치된다. 타이밍 제어기(225)는, 각각 연성 인쇄 회로 기판 보드들(230 및 232)을 통해, 이미지 데이터 및 제어 신호들 둘 모두를 소스 드라이버들(212(3) 및 212(8))로 출력하기 위해 인쇄 회로 기판(220)상에 배치된다. 그런 후, 유리 기판상의 와이어들을 이용하여, 소스 드라이버(212)(3)는 이웃하는 소스 드라이버들(212(1), 212(2), 212(4) 및 212(5))로 이미지 데이터 및 제어 신호들을 전송하고, 소스 드라이버(212(8))는 이웃하는 소스 드라이버들(212(5), 212(6), 212(7), 212(8) 및 212(10))로 이미지 데이터 및 제어 신호들을 전송한다. 제어 신호들에 기초하여, 게이트 드라이버(214)에 가장 가까운 소스 드라이버(212(1))와 같이, 소스 드라이버들 중 하나는 게이트 드라이버(214)로 게이트 제어 신호들을 생성한다. 게이트 드라이버(214)에 가장 가까운 소스 드라이버를 선택하는 이유는, 소스 드라이버와 게이트 드라이버(214) 사이의 와이어의 길이를 감소시켜, 게이트 제어 신호들(G)의 지연 및 왜곡들을 효과적으로 감소시키기 때문이다. 또한, 소스 드라이버(212(1))로만 제한되지 않고, 여타의 소스 드라이버들이 게이트 제어 신호들(G)을 생성하는데 사용될 수도 있다. 이 실시예에서, LCD는 이미지 데이터 및 제어신호들을 전송하기 위해 유리 기판상에 배치되는 와이어들을 사용하기 때문에, 연성 인쇄 회로 기판들의 개수는 2개까지 크게 감소된다.

소스 드라이버들(212)의 각각은 제 1 작동 모드 및 제 2 작동 모드를 갖는다. 소스 드라이버(212(3)) 및 소스 드라이버(212(8))는 양-방향 전송을 실행하기 위해 제 1 작동 모드로 세팅된다. 즉, 소스 드라이버(212(3)) 및 소스 드라이버(212(8))는 각각 타이밍 제어기(225)로부터 이미지 데이터 및 제어 신호들을 수신하고, 우측과 좌측에서 이웃하는 소스 드라이

버들로 그들을 전송한다. 예를 들어, 소스 드라이버(212(3))를 취하면, 소스 드라이버(212(3))는 그것의 양쪽에 배치된 이웃하는 소스 드라이버들(212(2) 및 212(4))로 이미지 데이터 및 제어 신호들을 동시에 전송할 수 있다. 소스 드라이버들(212(1), 212(2), 212(4) 내지 212(7), 212(9) 및 212(10))은 단-방향 전송을 실행하기 위해서 제 2 작동 모드로 세팅되며, 타이밍 제어기(225)에는 직접 연결되지 않는다. 즉, 소스 드라이버들(212(1), 212(2), 212(4) 내지 212(7), 212(9) 및 212(10))은 각각 우측(또는 좌측) 소스 드라이버로부터 이미지 데이터 및 제어 신호들을 수신하고, 좌측(또는 우측) 소스 드라이버로 상기 신호들을 전송한다. 예를 들어, 소스 드라이버(212(2))를 취하면, 상기 소스 드라이버(212(2))는 우측의 소스 드라이버(212(3))로부터 이미지 데이터 및 제어 신호들을 수신하고, 좌측의 소스 드라이버(212(1))로 상기 신호들을 전송한다. 상기 실시예에서, LCD(200)는 10개의 소스 드라이버들과 2개의 연성 인쇄 회로 기판(230 및 232)을 갖는 큰 스크린 모니터이다. 신호들의 지연들 및 왜곡들이 수용가능한 한, 연성 인쇄 회로 기판들의 개수는 2개로 제한되지 않는다.

이 실시예에서, 소스 드라이버들은 소스 드라이버들(212(1) 내지 212(5))을 포함하는 좌측 그룹 및 소스 드라이버들(212(6) 내지 212(10))을 포함하는 우측 그룹으로 분할된다. 기생 캐패시턴스(parasitic capacitance) 및 저항으로 인해 발생된 신호들의 지연들 및 왜곡들이 최소화되도록, 연성 인쇄 회로 기판(230)은 좌측 그룹의 중심 소스 드라이버들(212(3))에 연결되고, 연성 인쇄 회로 기판(232)은 우측 그룹의 중심 소스 드라이버들(212(8))에 연결된다. 한편, 소스 드라이버들은 3개 이상의 그룹들로 분할될 수 있으며, 신호들의 지연들 및 왜곡들이 수용가능한 한, 상기 그룹들 각각은 연성 인쇄 회로 기판을 통해 타이밍 제어기에 직접 연결될 수도 있다.

도 2b는 본 발명의 또 다른 바람직한 실시예에 따른 COG LCD(250)의 다이어그램을 도시한다. LCD(200)와 비교하여, LCD(250)는 패널(210)의 우측에 게이트 드라이버(216)를 더 포함한다. 게이트 드라이버들(214 및 216)은 2개의 측면들로부터 패널(210)을 함께 구동한다. LCD(250)의 다른 요소들은 상술된 것들과 동일하다.

도 3은 LCD의 게이트 드라이버들 및 소스 드라이버들의 제어 신호들의 다이어그램이다. 제어 신호들은 게이트 제어 신호들(G) 및 소스 제어 신호들(S)을 포함한다. 게이트 제어 신호들(G)은, 프레임의 시작을 나타내는 게이트 드라이버 시작 신호(STV), 게이트 라인을 인에이블링(enable)하는 게이트 클럭 신호(CPV), 및 게이트 라인의 인에이블링된 기간을 정의하는 게이트 드라이버 출력 인에이블 신호(OEV)를 포함한다. 소스 제어 신호들(S)은, 소스 드라이버에 수평 라인의 데이터를 준비하기 시작하라고 알리는 소스 드라이버 시작 신호(STH), 데이터를 수신하기 위한 데이터 인에이블 신호(DE), 데이터 라인들로의 구동 전압들의 출력 시작을 위한 부하 신호(TP), 및 분극 역변환(polarization inversion)을 제어하기 위한 분극 제어 신호(POL)를 포함한다.

소스 드라이버 시작 신호(STH)가 나타나는(assert) 경우, 소스 드라이버들(212)은 데이터를 수신할 준비를 하기 시작하며, 주기(td1) 후, 데이터 인에이블 신호(DE)는, 타이밍 제어기(225)가 소스 드라이버들(212)로 이미지 데이터를 출력하기 시작하도록 나타난다. 소스 드라이버들(212)은 분극 제어 신호(POL)에 의해 설계된 분극에 기초하여 구동 전압을 생성한 후, 로드 신호(Tp)에 따라 패널(210)에 구동 전압들을 출력한다.

종래의 LCD(100)에서, 제어 신호들은 타이밍 제어기에 의해 각각의 소스 드라이버(112) 및 게이트 드라이버(114)로 직접 출력된다. 각각의 제어 신호는 전송을 위한 1이상의 와이어를 필요로 하며, 따라서 복수의 와이어들이 요구된다. 제어 신호들은, 타이밍 제어기와 소스 드라이버들 사이, 및 타이밍 제어기와 게이트 드라이버 사이의 와이어들이 기생 캐패시턴스 및 저항을 갖기 때문에 왜곡되거나 지연되기 쉽다.

본 실시예에서, 타이밍 제어기(225)는 제어 신호들을 제어 비트스트림(control bitstream: C)에 통합(integrate)시키고, 이를 와이어에 의해 소스 드라이버들(212)로 전송한다. 예를 들어, 제어 신호들은 복수의 제어 패킷들로 패킹(pack)될 수 있으며, 그 각각은 제어 신호에 관련된 이벤트(event)를 나타낸다. 타이밍 제어기(225)는 타겟 식별(target identification)을 이용하여 제어 패킷을 수신하도록 하나의 소스 드라이버들(212)를 지정(designate)한다. 타겟 식별은, 예를 들어, 식별을 위해 각각의 소스 드라이버에 대한 제어 패킷내에 포함된다. 제어 패킷을 수신한 후에, 소스 드라이버(212)는 제어 신호를 생성하도록 제어 패킷을 디코딩(decode)한다. 그러므로, 본 실시예에서는 제어 신호들을 전송하는데 필요한 와이어들의 개수가 크게 감소된다.

소스 드라이버(212)는 내장 식별치(built-in identification)를 나타내는데, 이는 내장 식별치와 제어 패킷내의 타겟 식별치(target identification)를 비교함으로써 수용된 제어 패킷이 그 자신을 위해 존재하는지의 여부를 식별하기 위한 것이다.

[제어 비트스트림의 전송 프로토콜]

통상적으로, 제어신호들은 와이어에 의해 타이밍 제어기로부터 소스 드라이버/게이트 드라이버로 각각 전송된다. 상기 소스 드라이버들 및 게이트 드라이버는 각각 복수의 제어신호들을 필요로 하며, 따라서 제어신호들을 전송하기 위한 와이어들의 개수가 많다. 그러므로, 종래의 연성 인쇄 회로 기판의 와이어들의 개수 또한 많다. 따라서, 종래의 구조는 고비용 및 품질의 연성 인쇄 회로 기판을 필요로 한다. 타이밍 제어기와 소스 드라이버/게이트 드라이버간의 와이어들의 길이는 신호들의 왜곡 및 지연을 초래할 정도로 너무 길다.

본 실시예에서, 타이밍 제어기(225)는 최소의 와이어를 이용하여 소스 드라이버로 제어 비트스트림(C)을 전송한다. 제어 비트스트림(C)은 복수의 제어 패킷들을 포함하고, 그 각각은 풀 하이 이벤트(pull high event) 또는 풀 로우 이벤트(pull low event)와 같이 하나의 대응하는 제어 신호의 이벤트를 나타낸다. 제어 패킷을 수신한 후, 소스 드라이버(212)는 이에 따라 풀 하이(pull high)하거나 풀 로우(pull low)함으로써 대응하는 제어 신호를 생성한다.

도 4는 제어 패킷의 포맷 다이어그램이다. 제어 패킷은 헤더 필드(310) 및 제어 아이템을 포함하며, 이는 제어 필드(312) 및 데이터 필드(314)를 포함한다. 헤더 필드(310)는 패킷의 시작을 식별하는 사전설정된 패턴, 예를 들어, 0x11111을 기록한다. 제어 필드(312)는, STH 이벤트, TP 이벤트, 풀 하이 이벤트, 풀 로우 이벤트 및 초기화 이벤트와 같은 이벤트의 타입을 기록한다. 데이터 필드(314)는 이벤트의 파라미터들을 기록한다.

본 실시예에서, 각각의 제어 패킷은 16 비트를 갖는다. 제어 패킷이 듀얼-에지 샘플링(dual-edge sampling)에 의해 수용되는 경우, 이는 1개의 제어 패킷을 관독하는데 8 클록을 소요한다. 즉, 풀 하이 이벤트 및 풀 로우 이벤트에 의해 생성된 제어 신호는 8 클록의 기간 동안에 높은 레벨로 유지되어야 한다. 제어 신호들(POL, CPV, STV, OEV)은 풀 하이 이벤트 및 풀 로우 이벤트에 의해 각각 생성될 수 있다. 제어 신호들(STH 및 TP)과 같이, 8 클록 미만의 주기를 갖는 제어 신호들은 STH 이벤트 및 TP 이벤트에 의해 각각 생성된다. STH 이벤트/TP 이벤트를 수용한 후, 소스 드라이버는 사전설정된 주기(td2/tw1) 동안에 제어 신호(STH/TP)를 풀 하이한 후, 제어 신호(STH/TP)를 풀 로우한다. 제어 패킷을 수신하는 샘플링 방법은 듀얼-에지 샘플링으로 국한되지 않는다는데 유의해야 한다. 라이징-에지 샘플링(rising-edge sampling) 또는 폴링-에지 샘플링(falling-edge sampling)도 사용될 수 있다.

STH 이벤트를 기록하는 제어 필드(312)를 갖는 제어 패킷과 관련하여, 그것의 데이터 필드(314)는 타겟 식별치를 기록한다. 예를 들어, 소스 드라이버들(212(1) 내지 212(10))은 각각 0x0001 내지 0x1010의 내장 식별치들을 갖는다. STH 이벤트와 함께 제어 패킷을 수신한 후, 소스 드라이버는 내장 식별치와 제어 패킷의 타겟 식별치를 비교하고, 비교가 매칭된다면 제어신호(STH)를 풀 하이한 다음, 주기(td2) 후 제어 신호(STH)를 풀 로우한다.

도 3으로부터, 제어 신호들(TP 및 CPV)은 동시에 풀 하이되며, 따라서 TP 이벤트와 함께 제어 패킷이 수용된 후에, 제어 신호들(TP 및 CPV)이 풀 하이된다. 그 후, 제어 신호(TP)는 주기(tw1) 후 풀 로우되고, 제어 신호(CPV)는 CPV의 풀 로우 이벤트와 함께 제어 패킷을 수신한 후 풀 로우된다.

제어 신호들(POL, STV 및 OEV)은 풀 하이 이벤트 및 풀 로우 이벤트에 의해 생성된다. 풀 하이 이벤트를 기록하는 제어 필드(312)를 갖는 제어 패킷과 관련하여, 그것의 데이터 필드(314)는 어떤 신호가 풀 하이되어야 하는지를 지정한다. 풀 로우 이벤트를 기록하는 제어 필드(312)를 갖는 제어 패킷과 관련하여, 그것의 데이터 필드(314)는 어떤 신호가 풀 로우되어야 하는지를 지정한다.

초기화 이벤트를 기록하는 제어 필드(312)를 갖는 제어 패킷과 관련하여, 소스 드라이버들의 팬 아웃(fan out)과 같은 몇몇 유형의 초기화가 세팅될 수 있다. 제어 패킷들에 의하여 다른 유형의 초기화가 표현될 수도 있다.

본 실시예에서는, 제어 비트스트림(C)을 전송하는데 최소의 와이어가 요구되므로, 소스 드라이버들 및 타이밍 제어기를 연결하는 와이어들의 개수가 크게 감소되며, 회로의 레이아웃(layout)이 단순해지고 안정성이 향상된다. 또한, 제어 비트스트림(C)은 제어 신호들 중 일부분만을 통합하고, 각각 독립적인 와이어들내에서 전송될 제어 신호들의 나머지 부분을 남겨둘 수 있다. 제어 신호들 모두가 제어 비트스트림으로 통합되지는 않지만, 또한 와이어들의 개수를 줄일 수 있다.

[소스 드라이버들]

도 5a는 본 발명의 바람직한 실시예에 따른 소스 드라이버의 다이어그램이다. 소스 드라이버(212)는 수신기들(410, 412), 송수신기들(413, 415), 버스 스위치(422), 파장 생성기(420, 421), 및 구동 유닛(434)을 포함한다. 송수신기(413)는 제어 송수신기(414) 및 데이터 송수신기(424)를 포함하고, 송수신기(415)는 제어 송수신기(416) 및 데이터 송수신기(426)를 포함한다.

버스 스위치(422)는 2개의 스위치(SW1 및 SW2)를 포함한다. 본 실시예의 소스 드라이버(213(3) 또는 212(8))가 제 1 작동 모드에서 작동되는 경우, 제어 송수신기(414 및 416)가 서로 단락되고 데이터 송수신기(424, 426)가 서로 단락되도록, 버스 스위치는 스위치들(SW1 및 SW2)을 턴 오프(turn off)한다. 따라서, 제어 비트스트림(C1) 및 수신기(410)에 의해 수신된 이미지 데이터(D1)는 각각 제어 송수신기(414) 및 데이터 송수신기(424)로 전송되고, 제어 비트스트림(C2) 및 수신기(410)에 의해 수신된 이미지 데이터(D2)는 각각 제어 송수신기(416) 및 데이터 송수신기(426)로 전송된다.

본 실시예에서 소스 드라이버, 예컨대 212(1) 내지 212(2), 212(4) 내지 212(7), 212(9) 또는 212(10)가 제 2 작동 모드에서 작동되는 경우, 수신기들(410 및 412)은 디스에이블(disable)되며, 송수신기들(413 및 415)이 상호 연결되도록, 버스 스위치는 스위치들(SW1 및 SW2)을 턴 온(turn on)한다. 즉, 데이터 송수신기들(424 및 426)이 서로 연결되고 제어 송수신기들(414 및 416)이 서로 연결된다. 따라서, 소스 드라이버는, 전용(designated) 전송 방향에 응답하여 다음에 인접한 소스 드라이버로 수신된 이미지 데이터 및 제어 비트스트림을 전송할 수 있다.

과장 생성기들(420 및 421)은, 소스 제어 신호들(S), 예컨대 STH(1), STH(2), POL(1), POL(2), TP(1), TP(2) 등을 생성하고, 그에 따라 게이트 제어 신호들(G), 예컨대 CPV(1), CPV(2), STV(1), STV(2), OEV(1), OEV(2) 등을 생성하는 제어 비트스트림들(C1 및 C2)을 각각 수신한다. 제어 신호들(G1)은 소스 드라이버들 중 하나에 의해 생성된다. 도 2a의 LCD(200)에서, 게이트 드라이버(214)에 가장 가까운 소스 드라이버들 중 하나, 예컨대 212(1)는 게이트 제어 신호들(G)을 생성시키나, 다른 소스 드라이버들(212)은 그렇지 않다. 도 2b에 예시된 LCD(250)에서, 각각의 게이트 드라이버들(214 및 216)에 가장 가까운 2개의 소스 드라이버들, 예컨대 212(1) 및 212(10)는 게이트 드라이버들(214 및 216)에 대한 각각의 게이트 제어 신호들(G)을 생성하나, 다른 소스 드라이버들은 그렇지 않다.

신호(STH)를 수용하는 경우, 구동 유닛(434)은 신호(POL)에 응답하여 아날로그 구동 전압들로 변환시키는 이미지 데이터(D)를 래치(latch)하기 시작하고, 그 후, 부하 신호(TP)를 수용한 후 패널(210)로 아날로그 구동 신호들을 전송한다.

제 1 작동 모드 소스 드라이버, 예컨대 212(3)에서, 과장 생성기들(420 및 421) 둘 모두는 각각 제어 비트스트림들(C1 및 C2)을 수용하도록 활성화(activate)되고, 소스 제어 신호들(S) 및 게이트 제어 신호들(G)을 생성하는 한편, 제어 비트스트림(C1 및 C2)은 독립적이며, 이미지 데이터(D1 및 D2) 또한 독립적이다. 한편, 제 2 작동 모드 소스 드라이버, 예컨대 212(2) 또는 212(4)에서, 제어 비트스트림(C1)은 제어 비트스트림(C2)이고, 이미지 데이터(D1)는 이미지 데이터(D2)이므로, 과장 생성기들(420 및 421) 중 하나만이 소스 제어 신호들(S) 및 게이트 제어 신호들(G)을 생성하기 위해 활성화된다. 제 2 작동 모드 소스 드라이버의 다른 과장 생성기들은 디스에이블되거나, 생략되거나 또는 소스 제어 신호들(S) 및 게이트 제어 신호들(G)을 생성하기 위해 계속 활성화된다.

도 5b는 도 5a의 과장 생성기의 블록도이다. 과장 생성기들(420 및 421) 각각은 구문해석부(parser: 451), ID 인식기(453), 신호 생성기(460) 및 개시기(initiator: 470)를 포함한다. 구문해석부(451)는 제어 패킷의 제어 필드(312) 및 데이터 필드(314)를 포함하는 제어 아이টে를 해석(parse)하도록 제어 비트스트림(C)을 수신하고, 해석된 제어 아이টে를, ID 인식기(453), 신호 생성기(460) 또는 개시기(470)로 보낸다. 본 실시예에서 STH 이벤트인 아이덴티티 이벤트(identity event)를 갖는 제어 아이টে는 ID 인식기(453)로 보내어지고; 풀 하이 이벤트 또는 풀 로우 이벤트를 갖는 제어 아이টে는 신호 생성기(460)로 세팅되며; 초기화 이벤트를 갖는 제어 아이টে는 개시기(470)로 보내어진다.

도 5c는 도 5b의 ID 인식기의 블록도이다. 인식기(453)는 비교기(456)를 포함한다. 각각의 소스 드라이버는 독특한 칩 아이덴티티(IDp)를 갖는다. 칩 아이덴티티(IDp)는, 예를 들어, 유리 기판상의 소스 드라이버의 핀들을 각각 풀 하이하거나 풀 로우함으로써 외부적으로 세팅된다. 비교기(456)는, 제어 패킷으로부터 추출된 타겟 아이덴티티(IDt)를 갖는 칩 아이덴티티(IDp)의 비교가 일치되는 경우에 신호(STH)를 트리거(trigger)한다. 신호(STH)의 기간(td2)은 비교기(456)내에 사전 설정(pre-set)될 수 있다.

신호 생성기(460)는 풀 하이 이벤트를 갖는 제어 아이টে를 수신한 후 대응하는 신호를 풀 하이한다. 풀-하이 신호의 레벨은, 신호 생성기(460)가 풀 로우 이벤트를 갖는 대응하는 제어 아이টে를 수신할 때까지 유지된다. 예를 들어, 제어신호(POL)의 생성을 위한, 도 5d는 제어 신호(POL)의 파형도이다. 풀 하이 이벤트(H)를 갖는 제어 아이টে를 수신하는 경우, 신호 생성기(460)는 신호(PH)를 풀 하이하고; 대응하는 풀 로우 이벤트(L)를 갖는 제어 아이টে를 수신하는 경우, 신호 생성기(460)는 신호(PL)를 풀 로우한다. 신호(PH)와 신호(PL)의 커플링은 신호(POL)이다. 또한, CPV, STV, OEV와 같은 다른 제어 신호들이 상기-언급된 절차에 의해 생성된다.

파형 생성기는 제어 패킷을 판독하는데 8 클록을 필요로 하기 때문에, 제어 신호, 예컨대 제어 신호(TP)의 높은 레벨의 지속 시간이 8 클록 미만인 경우, 제어 신호는 풀 하이 이벤트 및 풀 로우 이벤트에 의해 생성되기에는 적합하지 않다. 도 5e

는 제어 신호(TP)의 생성을 예시하는 파형도이다. 제어 신호(TP)의 풀 하이 이벤트(H)를 갖는 제어 아이টে를 수신하는 경우, 신호 생성기(460)는 신호(TH)를 풀 하이한 다음, 사전설정된 주기(tw1) 동안에 카운트(count)하며, 그 후, 신호(TL)를 풀 로우한다. 신호(TH) 및 신호(TL)의 커플링은 제어 신호(TP)이다.

게이트 제어 신호들(G)은 소스 제어 신호들, 예컨대 도 3에 예시된 바와 같이 STH 또는 TP에 따라 생성될 수 있다. 신호(CPV)는 제어 신호(STH)에 따라 생성된다. 소스 드라이버(212(1))의 제어 신호(STH)가 나타나는 경우, 그것의 카운터가 활성화되고, 주기(td6)후 신호(CPV)가 풀 하이되며, 주기(tw4)후 신호(CPV)가 풀 로우된다. 신호(STV)는 제어 신호(STH)에 따라 생성된다. 소스 드라이버(212(1))의 제어 신호(STH)가 나타나는 경우, 신호(STV)는 주기(td7) 후에 풀 하이되고, 그 후 주기(tw5) 후에 풀 로우된다. 신호(OEV)는 제어 신호(STH)에 따라 생성된다. 소스 드라이버(212(1))의 제어 신호(STH)가 나타나는 경우, 신호(OEV)는 주기(td8)가 지난 후에 풀 하이되고, 주기(tw6)가 지난 후에 풀 로우된다.

초기화 이벤트를 갖는 제어 아이টে를 수신한 후에, 개시기(470)는 대응하는 파라미터를 세팅하기 위해 DC 값을 출력한다.

소스 제어 신호가 종래의 타이밍 제어기에 의해서가 아니라 소스 드라이버 자체에 의해 생성되기 때문에, 본 실시예의 소스 드라이버는 제어 신호 디케이(decay)를 감소시킨다.

또한, 소스 드라이버가 게이트 제어 신호들을 생성하고 유리 기판상의 와이어들을 통해 게이트 드라이버로 상기 신호들을 직접 보내기 때문에, 본 실시예는 타이밍 제어기로부터 게이트 드라이버로의 와이어의 개수를 감소시킬 수 있다. 따라서, 전송 와이어의 길이가 단축되기 때문에, 게이트 제어 신호들의 품질이 개선된다.

[전력 관리(Power Management)]

도 6a는, 절전을 위한 수렴 전송 방법의 플로우 차트이다. 일 예시로서, 도 2a의 소스 드라이버들(212(1) 내지 212(5))이 취해진다. 먼저, 단계(610)에서, 타이밍 제어기(225)로부터 가장 멀리 있는 소스 드라이버들(212(1) 및 212(5))은 소스 드라이버들을 통해 타이밍 제어기(225)에 의해 전송된 이미지 데이터를 수신한다. 그리고 예를 들어, 소스 드라이버들(212(1) 내지 212(5))의 데이터 송수신기(424 및 426)를 위한 전력을 턴 오프하는 절전 모드에 들어간다. 다음으로, 단계(612)에서, 타이밍 제어기(225)로부터 가장 멀리 떨어진 거리들을 갖는 활성 소스 드라이버들인 소스 드라이버들(212(2) 및 212(4))은 이미지 데이터를 수신한 후, 예를 들어, 소스 드라이버들(212(2) 및 212(4))의 데이터 송수신기들(424 및 426)을 위한 전력을 턴 오프하는, 절전 모드에 들어간다. 그런 다음, 단계(614)에서, 소스 드라이버(212(3))는 타이밍 제어기(225)로부터 이미지 데이터를 수신한 후, 절전 모드에 들어간다. 절전 모드에서는, 소스 드라이버의 제어 송수신기(416 및 414)용 전력이 턴 오프되어서는 않된다는 것에 유의해야 한다. 그 다음, 단계(616)에서, 소스 드라이버들(212(1) 내지 212(5)) 각각은 부하 신호(TP)를 수신하며 패널(210)을 구동시키기 시작하기 위해 활성화된다. 이러한 전송 방법은 소스 드라이버들(212(6) 내지 212(10))에도 적용될 수 있다.

도 6b는, 절전을 위한 발산 전송 방법의 플로우 차트이다. 일 예시로서 도 2의 소스 드라이버들(212(1) 및 212(5))이 취해진다. 먼저, 소스 드라이버들(212(1) 및 212(5))은 절전 모드에 들어간다. 다음으로, 단계(622)에서, 타이밍 제어기(225)에 가장 가까운 소스 드라이버(212(3))는 타이밍 제어기(225)에 의해 전송된 이미지 데이터를 수신하기 위해 활성화된다. 그런 다음, 단계(624)에서, 소스 드라이버들(212(2) 및 212(4))은 이미지 데이터를 수신하기 위해 활성화된다. 그 후, 단계(626)에서, 소스 드라이버들(212(1) 및 212(5))은 이미지 데이터를 수신하기 위해 활성화된다. 또한, 이러한 전송 방법은 소스 드라이버들(212(6) 내지 212(10))에 적용될 수도 있다.

절전 모드에서는, 적어도 데이터 송수신기들 및 구동 유닛용 전력이 턴 오프될 수 있다. 데이터 송수신기들은 전력 소모를 크게 증가시키는 고 주파수 및 큰 전압 스윙(voltage swing)을 갖는 이미지 데이터를 전송한다. 따라서, 절전 수렴/발산 전송 방법들은 절전을 위해 불필요한 데이터 전송을 감소시킬 수 있다. 소스 드라이버가 제어 비트스트림을 여전히 수용할 수 있고 이에 응답하여(responsively) 작동될 수 있도록, 소스 드라이버의 제어 송수신기들용 전력이 턴 오프되어서는 않된다.

수렴 전송 방법 및 발산 전송 방법은 동시에 적용될 수 있다. 예를 들어, 소스 드라이버들(212(1) 내지 212(3))은 수렴 전송 방법을 이용하는 한편, 소스 드라이버들(212(4) 내지 212(5))은 발산 전송 방법을 이용할 수 있으며, 그 역도 가능하다.

본 명세서는 예시의 방식으로 설명되었으며 바람직한 실시예들의 관점에서 기술되었으나, 본 명세서는 그것으로 제한되지 않는다는 것을 이해하여야 할 것이다. 이와는 대조적으로, 다양한 변형례, 유사한 구성 및 절차를 커버(cover)하도록 되어 있으며, 그러므로 첨부된 청구항들의 범위는 이러한 변형례 및 유사한 구성 및 절차를 모두 포괄하도록 가장 광 범위한 해석을 따라야 한다.

발명의 효과

본 발명은, 연성 인쇄 회로 기판의 개수를 줄이는 COG LCD를 제공하고 LCD용 전송 방법, 연성 인쇄 회로 기판의 개수를 줄이기 위한 게이트 제어 신호 생성 방법, COG LCD의 소스 드라이버의 식별기(identifier) 및 그것의 식별 방법을 제공하고, 타이밍 제어기로부터의 제어 신호 및 이미지 데이터의 단-방향(single-way) 또는 양-방향(dual-way) 전송을 위한 소스 드라이버를 제공하며, 나아가 전송 라인들의 개수를 하나 또는 제한된 수로 저감시키고 연성 인쇄 회로 기판의 개수를 줄이기 위하여 패킷에 의해 제어 신호들을 전송하는 방법 및 COG LCD의 전력 소모를 줄이기 위한 전력 관리 방법을 제공한다.

(57) 청구의 범위

청구항 1.

액정 디스플레이에 있어서,

픽셀들의 어레이를 갖는 패널;

이미지 데이터 및 소스 제어신호를 출력하는 타이밍 제어기;

직렬로 연결된 복수의 소스드라이버로서, 그들 중 하나는 상기 소스 제어신호에 응답하여 게이트 제어신호를 발생시키도록 구성된 상기 복수의 소스 드라이버; 및

상기 게이트 제어신호에 따라 패널 픽셀들을 구동시키는 1이상의 게이트 드라이버를 포함하는 것을 특징으로 하는 액정 디스플레이.

청구항 2.

제1항에 있어서,

상기 소스 드라이버 및 상기 게이트 드라이버는 상기 패널의 유리 기판상에 배치되는 것을 특징으로 하는 액정 디스플레이.

청구항 3.

제1항에 있어서,

상기 소스 제어신호는 소스 드라이버 시작 신호(STH) 또는 부하 신호(TP)인 것을 특징으로 하는 액정 디스플레이.

청구항 4.

제1항에 있어서,

상기 게이트 제어신호는 게이트 클럭 신호(CPV), 게이트 드라이버 시작 신호(STV) 및 출력 이네이블 신호(OEV)를 포함하는 것을 특징으로 하는 액정 디스플레이.

청구항 5.

제2항에 있어서,

하나의 소스 드라이버는 기관상에서 상기 게이트 드라이버에 대한 가장 가까운 소스 드라이버인 것을 특징으로 하는 액정 디스플레이.

청구항 6.

패널, 직렬로 연결되는 소스 드라이버들 및 1이상의 게이트 드라이버를 갖는 액정 디스플레이의 게이트 제어신호를 생성시키는 방법에 있어서,

이미지 데이터 및 소스 제어신호를 상기 소스 드라이버들에 제공하는 단계;

상기 소스 드라이버들 중 하나를 선택하는 단계;

상기 선택된 소스 드라이버에서 게이트 제어신호를 생성시키는 단계;

상기 소스 제어신호의 수신에 응답하여 상기 게이트 신호를 상기 게이트 드라이버에 적용시키는 단계를 포함하며,

상기 패널은 상기 게이트 드라이버 및 상기 소스 드라이버에 의해 구동되는 것을 특징으로 하는 방법.

청구항 7.

제6항에 있어서,

상기 게이트 제어신호를 생성시키는 단계는:

사전설정된 값을 세팅하는 단계;

상기 소스 제어신호의 수신하면, 카운트를 개시하고 상기 게이트 제어신호를 나타내는(asserting) 단계;

상기 카운트가 상기 사전설정된 값을 얻을 때까지 상기 게이트 제어신호의 나타냄(assertion)을 유지하는 단계; 및

상기 카운트가 사전설정된 값을 얻은 후에 상기 게이트 제어신호의 나타냄을 해제하는(de-asserting) 단계를 포함하는 것을 특징으로 하는 방법.

청구항 8.

제6항에 있어서,

상기 소스 제어신호는 소스 드라이버 시작 신호(STH) 또는 부하 신호(TP)인 것을 특징으로 하는 방법.

청구항 9.

제6항에 있어서,

상기 게이트 제어신호는 게이트 클록 신호(CPV), 게이트 드라이버 시작 신호(STV) 및 출력 이네이블 신호(OEV)를 포함하는 것을 특징으로 하는 방법.

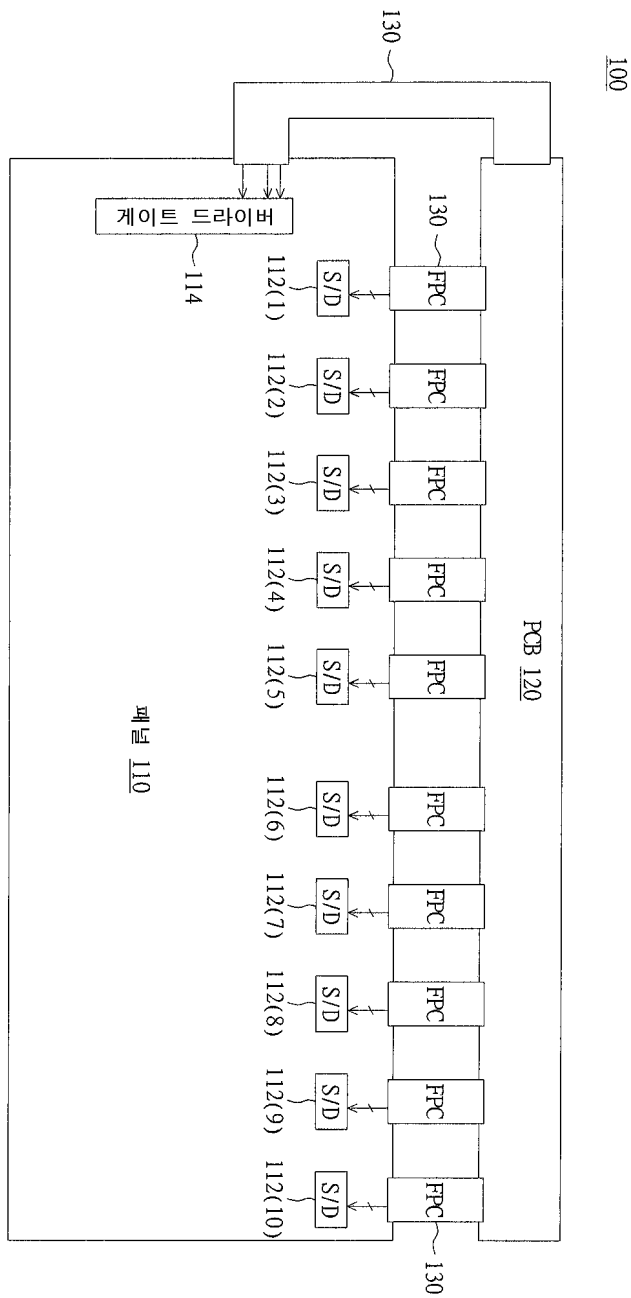
청구항 10.

제6항에 있어서,

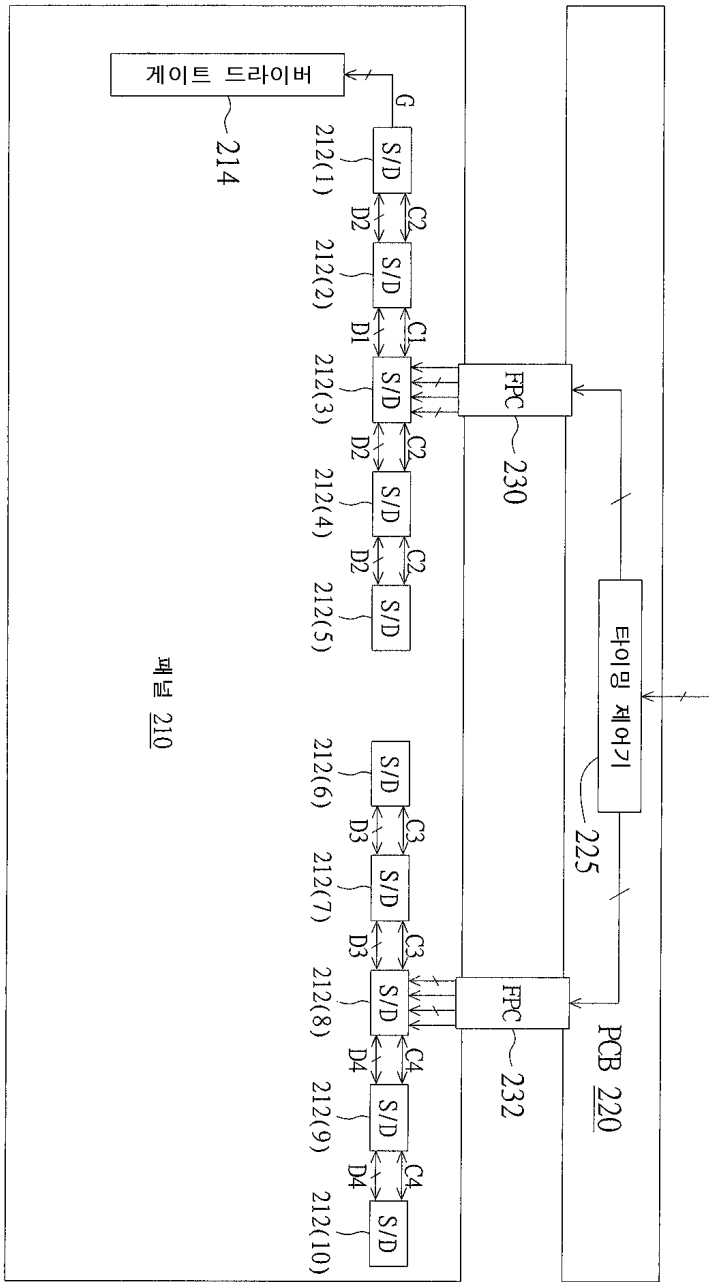
상기 선택된 소스 드라이버는 상기 패널상의 상기 게이트 드라이버에 가장 가까운 것을 특징으로 하는 방법.

도면

도면1

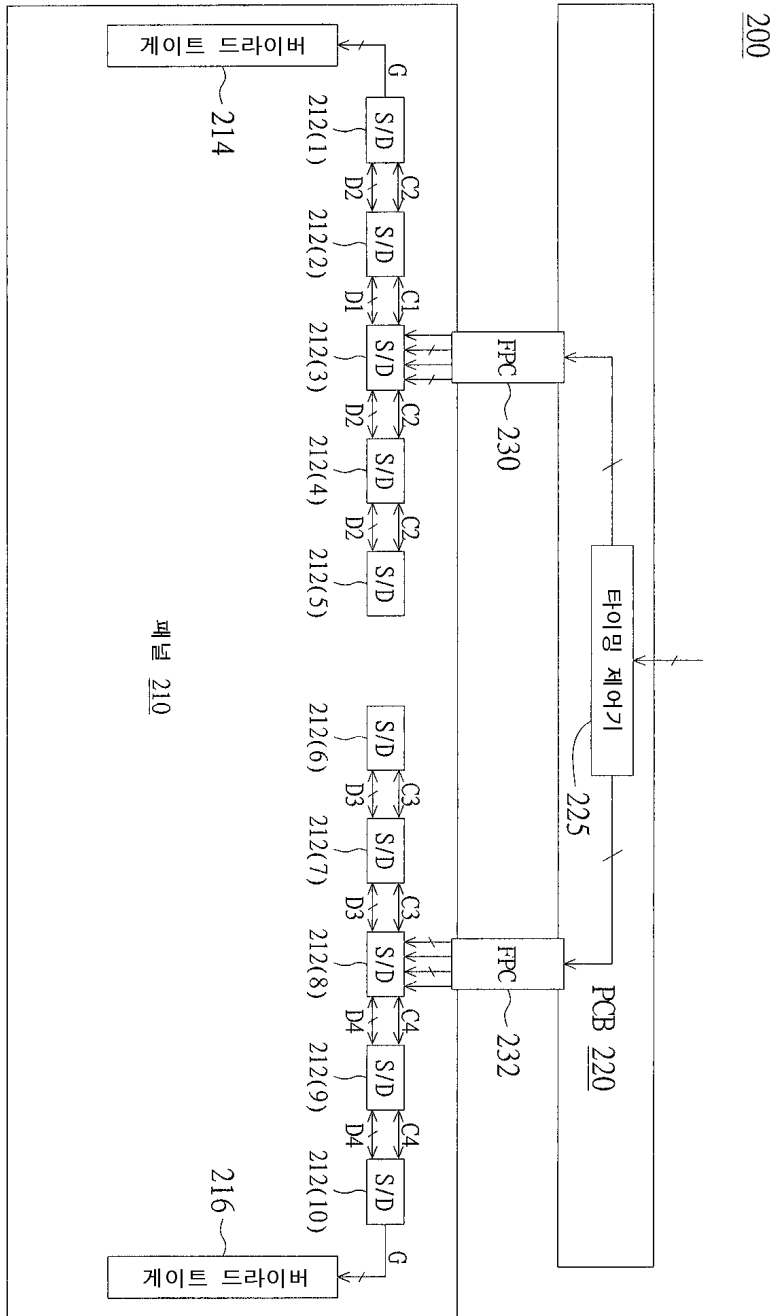


200

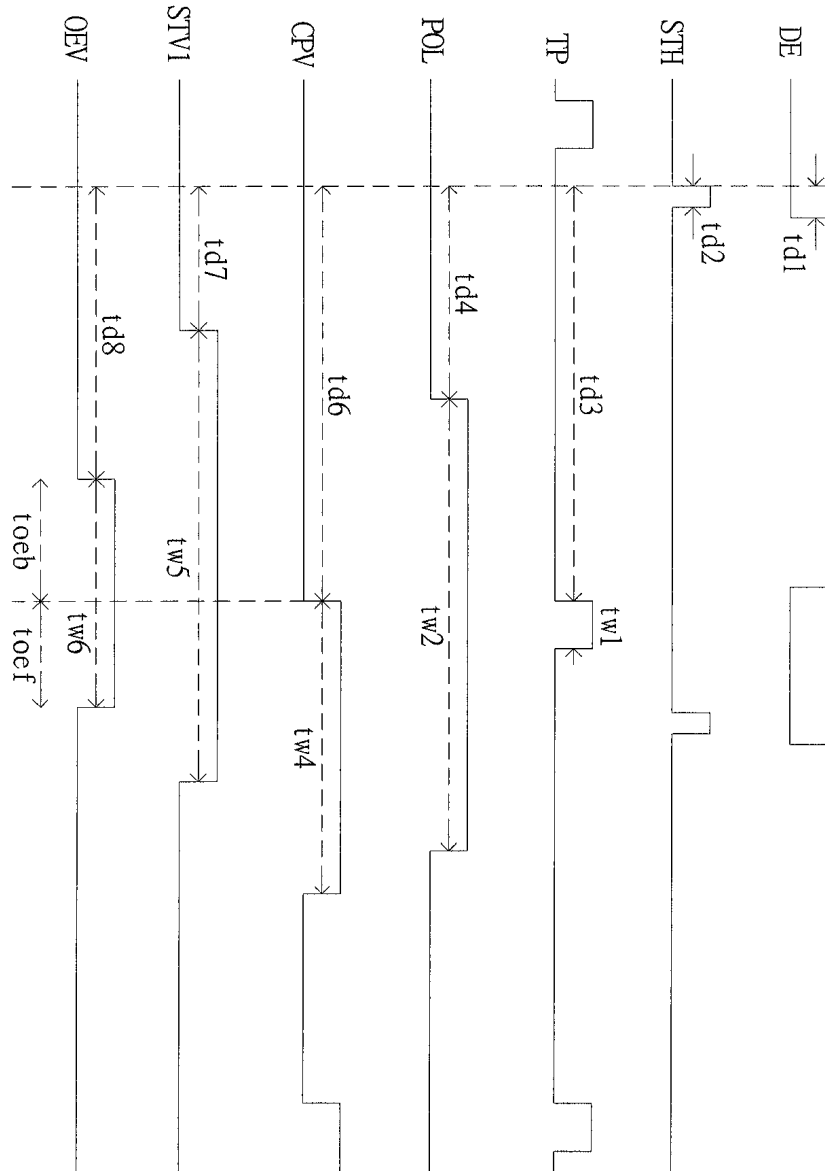


도면 2a

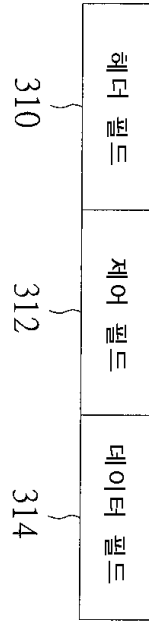
도면2b



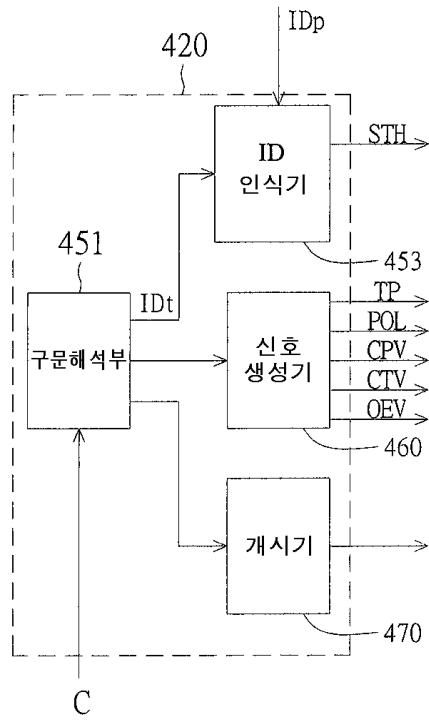
도면3



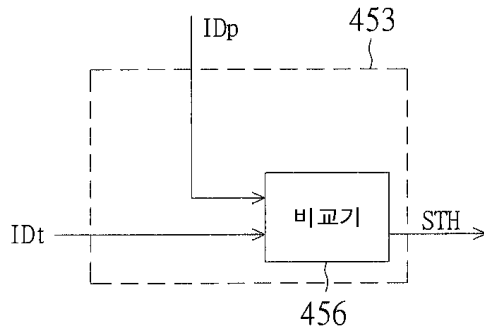
도면4



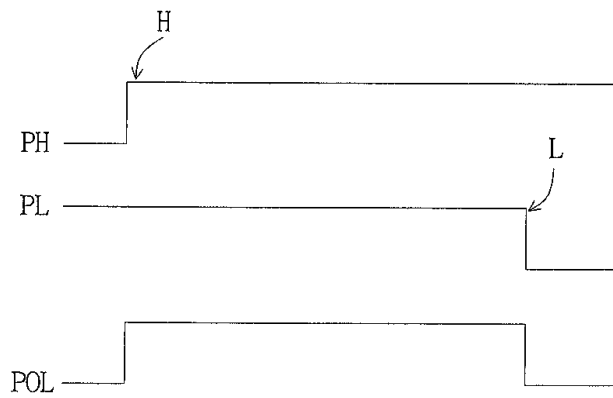
도면5b



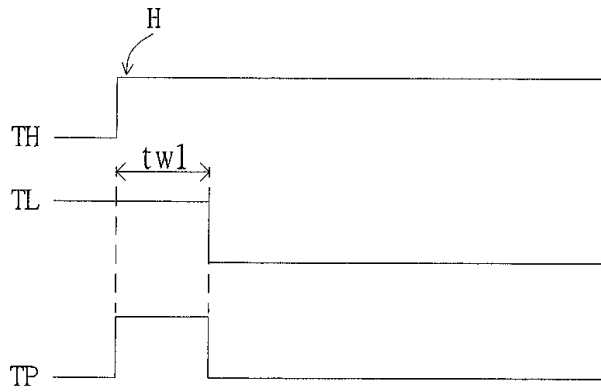
도면5c



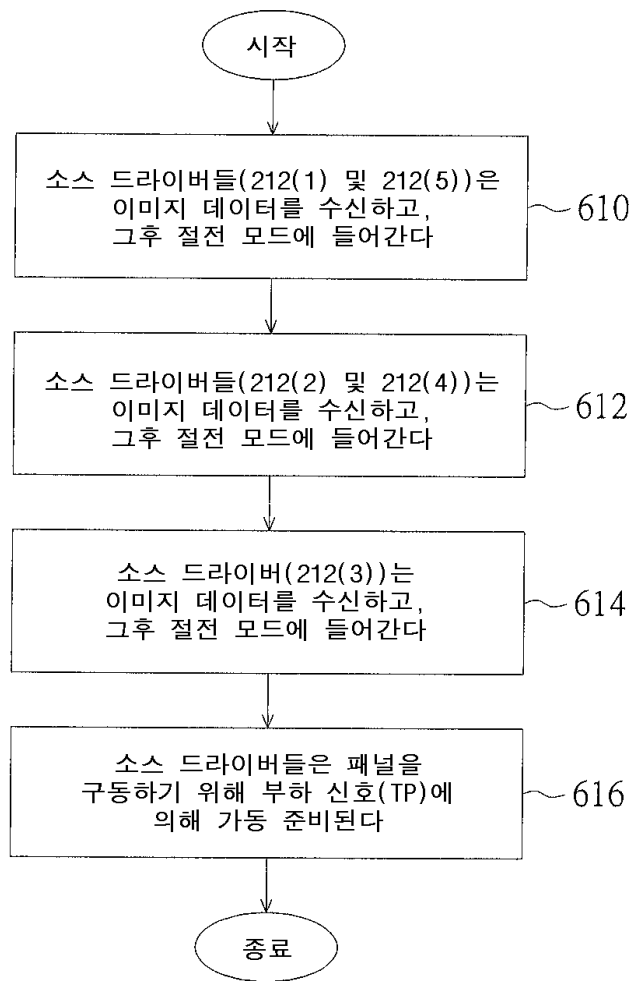
도면5d



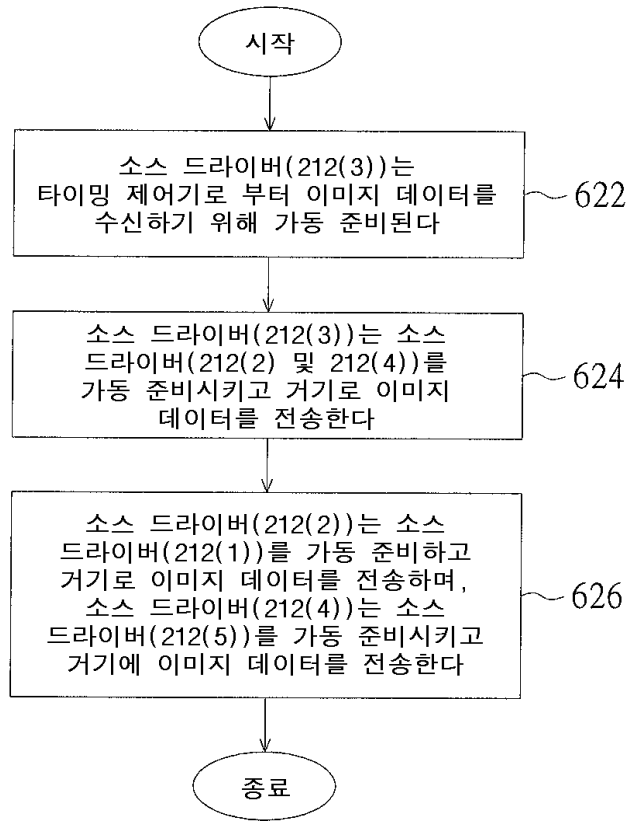
도면5e



도면6a



도면6b



专利名称(译)	用于产生液晶显示器的栅极控制信号的方法和装置		
公开(公告)号	KR1020060098338A	公开(公告)日	2006-09-18
申请号	KR1020060022801	申请日	2006-03-10
[标]申请(专利权)人(译)	奇景光电股份有限公司		
申请(专利权)人(译)	嗨最大科技有限公司		
当前申请(专利权)人(译)	嗨最大科技有限公司		
[标]发明人	CHEN CHIEN RU 첸치엔루 CHEN JUNG ZONE 첸중존		
发明人	첸, 치엔 루 첸, 중 존		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2330/021 G09G3/20 G09G2352/00 G09G2300/0426		
优先权	094107564 2005-03-11 TW		
其他公开文献	KR101274561B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示器，包括输出像素阵列的定时控制器，图像数据和源控制信号，一系列源极驱动器和栅极驱动器。选择一个源极驱动器以基于源控制信号之一产生栅极控制信号并将栅极控制信号传输到栅极驱动器。因此，栅极驱动器可以用源极驱动器驱动面板像素。图2a

200

