

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G09G 3/36 (2006.01)

(11) 공개번호 10-2006-0034059
(43) 공개일자 2006년04월21일

(21) 출원번호 10-2004-0083191

(22) 출원일자 2004년10월18일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김빈
서울 양천구 신정7동 신시가지11단지아파트 1107동 1307호
문수환
경상북도 칠곡군 북삼면 인평리 시티타운 301/302
윤수영
경기 군포시 오금동 율곡아파트 349-1604

(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 액정표시장치의 쉬프트 레지스터

요약

본 발명은 스테이지에 구비된 하나의 노드 제어부가 적어도 2개의 출력부를 제어하도록 하여 상기 노드 제어부의 수를 줄임으로써, 사이즈를 최소화 할 수 있는 액정표시장치의 쉬프트 레지스터에 관한 것으로, 서로 종속적으로 연결된 다수개의 스테이지를 구비한 액정표시장치의 쉬프트 레지스터에 있어서, 각 스테이지가 적어도 2개의 스캔펄스를 순차적으로 출력하고, 이들을 액정패널의 각 게이트 라인에 순차적으로 공급하는 것이다.

대표도

도 3

색인어

액정표시장치, 액정패널, 실장, 쉬프트 레지스터, 노드 제어부, 출력부

명세서

도면의 간단한 설명

도 1은 종래의 쉬프트 레지스터의 구성도

도 2는 도 1의 제 1 스테이지에 대한 상세 구성도

도 3은 본 발명의 실시예에 따른 액정표시장치의 쉬프트 레지스터에 대한 구성도

도 4는 도 3의 제 1 스테이지에 대한 상세 구성도

도 5는 도 4의 제 1 스테이지에 구비된 노드 제어부, 제 1 내지 제 3 출력부, 및 버퍼부에 대한 회로구성도

도 6은 본 발명의 실시예에 따른 쉬프트 레지스터에서의 제 1 스테이지 및 제 2 스테이지에 대한 구성도

도 7a는 도 6의 각 스테이지에 공급되는 클럭펄스에 대한 타이밍도

도 7b는 도 6의 각 스테이지의 노드에 인가되는 공급전압의 타이밍도

도 7c는 도 6의 각 스테이지로부터 출력되는 스캔펄스의 타이밍도

표 1은 각 스테이지에서의 제 1 내지 제 6 클럭펄스의 공급순서를 나타낸 표

* 도면의 주요부에 대한 부호 설명

300a 내지 300e : 제 1 내지 제 n 스테이지 CLK1 내지 CLK6 : 제 1 내지 제 6 클럭펄스

Vout1 내지 Voutn+1 : 제 1 내지 제 n+1 스캔펄스 300f : 더미 스테이지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 스테이지에 구비된 하나의 노드 제어부가 적어도 2개의 출력부를 제어하도록 하여 상기 노드 제어부의 수를 줄임으로써, 사이즈를 최소화 할 수 있는 액정표시장치의 쉬프트 레지스터에 대한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 화소영역들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

상기 액정패널에는 다수개의 게이트 라인들과 다수개의 데이터 라인들이 교차하게 배열되고, 그 게이트 라인들과 데이터 라인들이 수직교차하여 정의되는 영역에 화소영역이 위치하게 된다. 그리고, 상기 화소영역들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 상기 액정패널에 형성된다.

상기 화소전극들 각각은 스위칭 소자인 박막트랜지스터(TFT; Thin Film Transistor)의 소스 전극 및 드레인 전극을 경유하여 상기 데이터 라인에 접속된다. 상기 박막트랜지스터는 상기 게이트 라인을 경유하여 게이트 전극에 인가되는 스캔펄스에 의해 턴-온되어, 상기 데이터 라인의 데이터 신호가 상기 화소전압에 충전되도록 한다.

한편, 상기 구동회로는 상기 게이트 라인들을 구동하기 위한 게이트 드라이버와, 상기 데이터 라인들을 구동하기 위한 데이터 드라이버와, 상기 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어신호를 공급하는 타이밍 콘트롤러와, 액정표시장치에서 사용되는 여러가지의 구동전압들을 공급하는 전원공급부를 구비한다.

상기 타이밍 콘트롤러는 상기 게이트 드라이버 및 상기 데이터 드라이버의 구동 타이밍을 제어함과 아울러 상기 데이터 드라이버에 화소데이터 신호를 공급한다. 그리고, 상기 전원공급부는 입력 전원을 승압 또는 감압하여 액정표시장치에서 필요로 하는 공통전압(VCOM), 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL) 등과 같은 구동전압들을 생성한다. 그리고, 상기 게이트 드라이버는 스캔펄스를 게이트 라인들에 순차적으로 공급하여 액정패널상의 액정셀들을 1라인분씩 순차적으로 구동한다. 그리고, 상기 데이터 드라이버는 게이트 라인들 중 어느 하나에 스캔펄스가 공급될 때마다 데이터 라인들 각각에 화소 전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광 투과율을 조절함으로써 화상을 표시한다.

여기서, 상기 게이트 드라이버는 상술한 바와 같은 스캔펄스들을 순차적으로 출력할 수 있도록 쉬프트 레지스터를 구비한다. 이를 첨부된 도면을 참조하여 좀 더 구체적으로 설명하면 다음과 같다.

도 1은 종래의 쉬프트 레지스터의 구성도이다.

종래의 쉬프트 레지스터는, 도 1에 도시된 바와 같이, 서로 종속적으로 연결된 n 개의 스테이지들(100a 내지 100e) 및 하나의 더미 스테이지(100f)로 구성된다. 여기서, 각 스테이지들(100a 내지 100e)은 하나씩의 스캔펄스(V_1 내지 V_n)를 출력하며, 이때 상기 제 1 스테이지(100a)부터 제 n 스테이지(100e)까지 차례로 스캔펄스(V_{out1} 내지 V_{outn})를 출력한다. 이와 같이 상기 스테이지들(100a 내지 100e)로부터 출력된 스캔펄스들(V_{out1} 내지 V_{outn})은 상기 액정패널의 게이트 라인들에 순차적으로 공급되어, 상기 게이트 라인들을 순차적으로 스캐닝하게 된다.

이와 같이 구성된 쉬프트 레지스터의 전체 스테이지(100a 내지 100f)는 제 1 전압원(V_{DD}), 제 2 전압원(V_{SS}), 및 서로 반대의 위상을 갖는 2개의 클럭펄스(CLK1, CLK2) 중 어느 하나를 공통으로 인가받는다. 여기서, 상기 제 1 전압원(V_{DD})은 정전압을, 상기 제 2 전압원(V_{SS})은 접지전압을 나타낸다.

이와 같이 구성된 종래의 쉬프트 레지스터의 동작을 설명하면 다음과 같다.

먼저, 타이밍 콘트롤러(도시되지 않음)로부터의 스타트 펄스(SP)가 제 1 스테이지(100a)에 인가되면, 상기 제 1 스테이지(100a)는 상기 스타트 펄스(SP)에 응답하여 인에이블된다. 이어서, 상기 인에이블된 제 1 스테이지(100a)는 타이밍 콘트롤러로부터의 제 1 클럭펄스(CLK1)를 입력받아 제 1 스캔펄스(V_{out1})를 출력하고, 이를 제 1 게이트 라인과 제 2 스테이지(100b)에 함께 공급한다. 그러면, 상기 제 2 스테이지(100b)는 상기 제 1 스캔펄스(V_{out1})에 응답하여 인에이블된다. 이어서, 상기 인에이블된 제 2 스테이지(100b)는 상기 타이밍 콘트롤러로부터의 제 2 클럭펄스(CLK2)를 입력받아 제 2 스캔펄스(V_{out2})를 출력하고, 이를 제 2 게이트 라인, 제 3 스테이지(100c) 및 상기 제 1 스테이지(100a)에 함께 공급한다. 그러면, 상기 제 2 스캔펄스(V_{out2})에 응답하여 상기 제 3 스테이지(100c)는 인에이블되고, 상기 제 1 스테이지(100a)는 제 2 전압원(V_{SS})을 상기 제 1 게이트 라인에 공급한다. 이어서, 상기 인에이블된 제 3 스테이지(100c)는 상기 타이밍 콘트롤러로부터의 제 1 클럭펄스(CLK1)를 입력받아 제 3 스캔펄스(V_{out3})를 출력하고, 이를 제 3 게이트 라인, 제 4 스테이지(100d) 및 상기 제 2 스테이지(100b)에 제공한다. 그러면, 상기 제 3 스캔펄스(V_{out3})에 응답하여 상기 제 4 스테이지(100d)는 인에이블되고, 상기 제 2 스테이지(100b)는 제 2 전압원(V_{SS})을 상기 제 2 게이트 라인에 공급한다. 이와 같은 방식으로, 나머지 제 5 스테이지 내지 제 n 스테이지(100e)까지 순차적으로 제 5 내지 제 n 스캔펄스(V_{outn})를 출력하여 상기 제 5 내지 제 n 게이트 라인에 순차적으로 인가한다. 결국, 상기 제 1 내지 제 n 게이트 라인에 순차적으로 출력되는 제 1 내지 제 n 스캔펄스(V_{out1} 내지 V_{outn})에 의해 차례로 스캐닝된다.

한편, 상기 더미 스테이지(100f)는 상기 제 n 스테이지(100e)로부터의 제 n 스캔펄스(V_{outn})에 응답하여 인에이블된 후, 상기 타이밍 콘트롤러로부터의 제 1 또는 제 2 클럭신호(CLK1 또는 CLK2)를 입력받아 제 $n+1$ 스캔펄스(V_{outn+1})를 출력한다. 그리고, 상기 제 $n+1$ 스캔펄스(V_{outn+1})를 상기 제 n 스테이지(100e)에 공급하여, 상기 제 n 스테이지(100e)가 제 n 게이트 라인에 상기 제 2 전압원(V_{SS})을 제공할 수 있도록 한다. 다시말하면, 상기 더미 스테이지(100f)는 단지 상기 제 n 스테이지(100e)가 제 2 전압원(V_{SS})을 출력할 수 있도록 상기 제 $n+1$ 스캔펄스(V_{outn+1})를 제공할 뿐, 상기 제 $n+1$ 스캔펄스(V_{outn+1})를 게이트 라인에는 공급하지 않는다. 따라서, 상기 더미 스테이지(100f)를 포함한 전체 스테이지(100a 내지 100f)의 수는 상기 게이트 라인의 수보다 항상 1개가 더 많게 된다.

여기서, 상기 스테이지(100a 내지 100f)를 좀 더 구체적으로 살펴보면 다음과 같다. 한편, 상기 각 스테이지(100a 내지 100f)의 구성은 모두 동일하므로, 제 1 스테이지(100a)만을 예를 들어 설명하기로 한다.

도 2는 도 1의 제 1 스테이지에 대한 상세 구성도이다.

종래의 쉬프트 레지스터에 구비된 제 1 스테이지(100a)는, 도 2에 도시된 바와 같이, 제 1 노드의 충전 및 방전, 그리고 제 2 노드의 충전 및 방전을 제어하는 노드 제어부(200a)와, 상기 제 1 노드 및 상기 제 2 노드의 상태에 따라 턴-온되어 상기 스캔펄스(V_{out1}) 또는 제 2 전압원(V_{SS})을 선택적으로 출력하는 출력부(200b)로 구성되어 있다. 여기서, 상기 제 1 노드와 제 2 노드는 서로 교번적으로 충전 및 방전되며, 상기 제 1 노드가 충전된 상태일때에는 상기 제 2 노드가 방전된 상태를 유지하며, 상기 제 2 노드가 충전된 상태일때에는 상기 제 1 노드가 방전된 상태를 유지하게 된다. 이와 같은 제 1 노드

및 제 2 노드의 충전 및 방전 상태는 상기 노드 제어부(200a)에 구비된 다수개의 스위칭소자들(도시되지 않음)에 의해 제어된다. 또한, 상기 출력부(200b) 역시 다수개의 스위칭소자들로 구성되어 있으며, 상기 출력부(200b)는 상기 제 1 노드가 충전상태일 때, 타이밍 컨트롤로부터 입력되는 제 1 클럭펄스(CLK2)를 스위칭하여, 이를 제 1 스캔펄스(Vout1)로서 제 1 게이트 라인에 공급한다. 그리고, 상기 제 2 노드가 충전상태일 때는 상기 전원공급부로부터의 제 2 전압원(V_{SS})을 스위칭하여 상기 제 1 게이트 라인에 공급한다. 한편, 상기 더미 스테이지(100f)에 구비된 출력부(200b)는 게이트 라인에 스캔펄스(Voutn+1)를 공급하지 않고, 상기 n 스테이지(100e)에만 스캔펄스(Voutn+1)를 공급한다.

발명이 이루고자 하는 기술적 과제

그러나, 이와 같은 구성을 갖는 종래의 쉬프트 레지스터에는 다음과 같은 문제점이 있었다.

즉, 상술한 바와 같이, 상기 더미 스테이지를 포함한 각 스테이지에는 하나의 노드 제어부와 하나의 출력부가 한쌍으로 구비되고, 상기 각 스테이지는 하나의 스캔펄스만을 출력하게 된다. 따라서, 상기 액정패널의 모든 게이트 라인을 스캐닝하기 위해서, 종래의 쉬프트 레지스터는 상기 게이트 라인의 수에 상응하는 많은 수의 스테이지 및 하나의 더미 스테이지를 구비하여야 한다. 이 때문에 상기 쉬프트 레지스터의 전체 사이즈가 커질 수밖에 없으며, 이와 같은 큰 사이즈로 인해 종래의 쉬프트 레지스터는 액정표시장치의 액정패널상에 집적화되기 어려웠다.

즉, 최근에는 액정표시장치의 사이즈를 줄이기 위해서, 상기 액정패널의 유리기관상에 상기 쉬프트 레지스터를 형성하는 방식의 액정표시장치가 개발되었는데(이때, 상기 쉬프트 레지스터는 상기 액정패널의 박막트랜지스터 어레이와 동일 공정으로 제조됨), 종래의 쉬프트 레지스터는 상술한 바와 같이 많은 수의 스테이지를 필요로 하기 때문에, 상기 유리기관의 한정된 좁은 공간에 상기 쉬프트 레지스터를 집적화하는데 많은 어려움이 있었다. 이와 더불어, 상기 액정패널에는, 광조사시 특성변화를 일으키지 않는 장점으로 인해 수소화된 비정질 실리콘 재질의 유리기관이 사용되는데, 상기 비정질 실리콘은 전류 이동도가 낮기 때문에, 상기 쉬프트 레지스터를 상기 유리기관상에 집적화할 경우, 상기 낮은 전류 이동도를 극복하기 위해 상기 스테이지에 구비되는 스위칭소자의 크기가 커질 수밖에 없으며, 이는 결국 상기 쉬프트 레지스터의 사이즈를 증가시키는 원인이 된다.

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 서로 종속적으로 연결된 다수개의 스테이지를 구비한 쉬프트 레지스터에 있어서, 각 스테이지가 적어도 2개의 스캔펄스를 순차적으로 출력하고, 이들을 액정패널의 게이트 라인들에 순차적으로 공급하도록 하여, 상기 스테이지의 수를 줄일 수 있는 액정표시장치의 쉬프트 레지스터를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 쉬프트 레지스터는, 서로 종속적으로 연결된 다수개의 스테이지를 구비한 액정표시장치의 쉬프트 레지스터에 있어서, 각 스테이지가 적어도 2개의 스캔펄스를 순차적으로 출력하고, 이들을 액정패널의 각 게이트 라인에 순차적으로 공급하는 것을 그 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치의 쉬프트 레지스터를 상세히 설명하면 다음과 같다.

도 3은 본 발명의 실시예에 따른 액정표시장치의 쉬프트 레지스터에 대한 구성도이다.

본 발명의 실시예에 따른 액정표시장치는, 도 3에 도시된 바와 같이, 서로 종속적으로 접속된 n개의 스테이지(300a 내지 300e) 및 하나의 더미 스테이지(300f)로 구성되어 있으며, 각 스테이지(300a 내지 300e)는 적어도 2개의 스캔펄스를 순차적으로 출력하고, 이들을 액정패널(도시되지 않음)의 각 게이트 라인(도시되지 않음)에 순차적으로 공급한다. 도 3은 각 스테이지(300a 내지 300e)가 3개의 스캔펄스를 순차적으로 출력하는 것을 도시한 일례로서, 이와 같이 각 스테이지(300a 내지 300e)가 3개의 스캔펄스(Vout1 내지 Vout3, Vout4 내지 Vout6, Vout7 내지 Vout9, Vout10 내지 Vout12, Voutn-2 내지 Voutn)를 출력하게 됨으로써, 각 스테이지(300a 내지 300e)는 전체 게이트 라인들을 3개씩 나누어서 스캐닝하게 된다. 따라서, 동일 해상도의 액정패널을 구동할 때, 본 발명의 쉬프트 레지스터는 종래에 비하여 더 적은 수의 스테이지(300a 내지 300f)를 사용하여 상기 액정패널의 전체 게이트 라인들을 스캐닝 할 수 있다. 따라서, 본 발명에 따른 쉬프트 레지스터는 종래에 비하여 작은 사이즈를 가질 수 있다.

여기서, 첫 번째 단계에 위치한 1 스테이지(300a), 및 더미 스테이지(300f)를 제외한 각 스테이지(300b 내지 300e)는 이전 단계의 스테이지로부터 가장 마지막에 출력되는 스캔펄스(Vout3, Vout6, Vout9, Vout12, ..., Voutn-3)에 응답하여 3개의

순차적인 스캔펄스(Vout4 내지 Vout6, Vout7 내지 Vout9, Vout10 내지 Vout12, Voutn-2 내지 Voutn)를 출력하고, 이들을 상기 액정패널의 게이트 라인들에 순차적으로 제공함과 동시에, 상기 출력된 3개의 스캔펄스(Vout4 내지 Vout6, Vout7 내지 Vout9, Vout10 내지 Vout12, Voutn-2 내지 Voutn)들 중 가장 처음에 출력되는 스캔펄스(Vout4, Vout7, Vout10, ..., Voutn-2)를 상기 이전 단계의 스테이지에 제공한다. 한편, 상기 더미 스테이지(300f)는 상기 스테이지들(300a 내지 300e) 중 가장 마지막 단계에 위치한 제 n 스테이지(300e)로부터 가장 마지막에 출력되는 스캔펄스(Voutn)에 응답하여 하나의 스캔펄스(Voutn+1)를 출력하고, 이를 상기 제 n 스테이지(300e)에 제공한다. 여기서, 상기 더미 스테이지(300f)는 상기 스캔펄스(Voutn+1)를 상기 제 n 스테이지(300e)에 제공할 뿐 게이트 라인에는 출력하지 않는다.

또한, 상기 스테이지들(300a 내지 300e) 중 가장 첫 번째 단계에 위치한 제 1 스테이지(300a)는 타이밍 콘트롤러로(도시되지 않음)부터의 스타트 펄스(SP)에 응답하여 3개의 스캔펄스(Vout1 내지 Vout3)를 순차적으로 출력하고, 이들을 상기 액정패널의 각 게이트 라인에 순차적으로 제공함과 동시에, 상기 스캔펄스들(Vout1 내지 Vout3) 중 가장 마지막으로 출력되는 스캔펄스(Vout3)를 다음 단계의 스테이지(제 2 스테이지(300b))에 제공한다. 따라서, 상기 쉬프트 레지스터는 제 1 스캔펄스(Vout1)부터 제 n 스캔펄스(Voutn)까지 차례로 출력하여 상기 액정패널의 각 게이트 라인을 순차적으로 스캐닝하게 된다.

이와 같이 구성된 쉬프트 레지스터의 각 스테이지(300a 내지 300e) 및 더미 스테이지(300f)는 제 1 전압원(V_{DD}) 및 제 2 전압원(V_{SS})과, 순차적으로 순환하는 4개의 클럭펄스들(CLK1 내지 CLK4) 중 순차적으로 서로 한 클럭펄스만큼씩의 위상차를 갖는 3개의 클럭펄스(CLK1 내지 CLK4 중 임의의 3개)를 입력받는다. 단, 상기 더미 스테이지(300f)는 상기 4개의 클럭펄스(CLK1 내지 CLK4) 중 하나만 제공받는다. 여기서, 상기 제 1 전압원(V_{DD})은 정전압을, 상기 제 2 전압원(V_{SS})은 접지전압을 나타낸다.

한편, 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 한 펄스폭만큼씩 위상지연되어 출력된다. 즉, 상기 제 2 클럭펄스(CLK2)는 상기 제 1 클럭펄스(CLK1)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 3 클럭펄스(CLK3)는 상기 제 2 클럭펄스(CLK2)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 4 클럭펄스(CLK4)는 상기 제 3 클럭펄스(CLK3)보다 한 펄스폭만큼 위상지연되어 출력된다. 한편, 상기 스테이지들(300a 내지 300e) 중 제 1 스테이지(300a)에 인가되는 스타트 펄스(SP)는 상기 제 4 클럭펄스(CLK4)에 동기되어 있으며, 한 프레임에 한 번 출력된다.

또한, 각 스테이지(300a 내지 300e)는 상기 3개의 클럭펄스(CLK1 내지 CLK4 중 임의의 3개)의 각 펄스폭을 합한 총 펄스폭에 해당하는 펄스폭을 갖는 제 5 클럭펄스(CLK5)와, 상기 제 5 클럭펄스(CLK5)의 위상반전된 제 6 클럭펄스(CLK6) 중 어느 하나를 인가받는다. 구체적으로, 상기 스테이지들(300a 내지 300e) 중 홀수 번째 스테이지들(300a, 300c, 300e)은 상기 제 5 클럭펄스(CLK5)를 인가받으며, 상기 스테이지들(300a 내지 300e) 중 짝수 번째 스테이지들(300b, 300d)은 제 6 클럭펄스(CLK6)를 인가받는다. 여기서, 상기 제 5 및 제 6 클럭펄스(CLK5, CLK6)에 대해서는 이후에 좀 더 상세하게 설명하기로 한다.

한편, 각 스테이지(300a 내지 300e)는 다음과 같이 구성된다. 상기 각 스테이지(300a 내지 300e)의 구성은 모두 동일하므로, 제 1 스테이지(300a)만을 예를 들어 설명하기로 한다.

도 4는 도 3의 제 1 스테이지에 대한 상세 구성도이다.

즉, 제 1 스테이지(300a)는, 도 4에 도시된 바와 같이, 제 1 노드의 충전 및 방전, 그리고 제 2 노드의 충전 및 방전을 제어하는 노드 제어부(400)와, 상기 제 1 노드 및 상기 제 2 노드의 상태에 따라 턴-온되어 스캔펄스들(Vout1 내지 Vout3) 또는 제 2 전압원(V_{SS})을 선택적으로 출력하는 제 1, 제 2, 및 제 3 출력부(401a 내지 401c)로 구성되어 있다. 한편, 상기 제 1 스테이지(300a)는 상기 노드 제어부(400)의 제 1 노드에 충전된 전압을 상승시켜 상기 각 출력부(401a 내지 401c)로부터 출력되는 스캔펄스(Vout1 내지 Vout3)를 버퍼링하는 버퍼부를 더 포함한다. 상기 버퍼부는 상기 노드 제어부(400)에 내장된다.

여기서, 상기 제 1 스테이지(300a)가 3개의 출력부(401a 내지 401c)를 구비한 이유는, 상술한 바와 같이, 상기 각 스테이지(300a 내지 300e)가 3개씩의 스캔펄스(Vout1 내지 Vout3)를 출력한다고 가정하였기 때문이다.

여기서, 상기 제 1 노드와 제 2 노드는 서로 교번적으로 충전 및 방전되며, 상기 제 1 노드가 충전된 상태일때에는 상기 제 2 노드가 방전된 상태를 유지하며, 상기 제 2 노드가 충전된 상태일때에는 상기 제 1 노드가 방전된 상태를 유지하게 된다. 이와 같은 제 1 노드 및 제 2 노드의 충전 및 방전 상태는 상기 노드 제어부(400)에 구비된 다수개의 스위칭소자들(도시되

지 않음)에 의해 제어된다. 또한, 상기 각 출력부(401a 내지 401c) 역시 다수개의 스위칭소자들로 구성되어 있으며, 상기 각 출력부(401a 내지 401c)는 상기 제 1 노드가 충전상태일 때, 타이밍 콘트롤로부터 입력되는 제 1 내지 4 클럭펄스(CLK1 내지 CLK4) 중 어느 하나를 스위칭하여 스캔펄스(Vout1 내지 Vout3)로서 각 게이트 라인에 공급한다. 이때, 상기 각 출력부(401a 내지 401c)의 각 입력단은 상기 노드 제어부(400)에 공통으로 연결되어 있으며, 각 출력단은 게이트 라인들에 각각 연결되어 있다. 그리고, 각 출력부(401a 내지 401c)에 공급되는 클럭펄스들(CLK1 내지 CLK4)간은 서로 한 펄스폭만큼의 위상차이를 갖는다. 한편, 상기 각 출력부(401a 내지 401c)는 상기 제 2 노드가 충전상태일 때 상기 전원공급부(도시되지 않음)로부터의 제 2 전압원(V_{SS})을 스위칭하여 상기 게이트 라인에 공급한다.

이와 같이, 각 스테이지(300a 내지 300e)는 하나의 노드 제어부(400)와, 상기 하나의 노드 제어부(400)로부터 공통으로 제어를 받는 3개의 출력부(401a 내지 401c), 및 버퍼부를 갖게된다. 여기서, 상기와 같은 구조의 스테이지(300a 내지 300e)를 갖는 쉬프트 레지스터에 구비된 총 출력부(401a 내지 401c)의 수는 액정패널의 총 게이트 라인의 수와 동일하다. 따라서, 본 발명의 쉬프트 레지스터에 구비된 총 출력부(401a 내지 401c)의 수는 종래의 출력부(200b)의 수와 동일하지만, 종래에서는 하나의 노드 제어부(도 2의 200a)가 하나의 출력부(도 2의 200b)를 제어하는 반면, 본 발명에서는 하나의 노드 제어부(400)가 3개의 출력부(401a 내지 401c)를 공통으로 제어하기 때문에 본 발명의 쉬프트 레지스터는 종래에 비하여 적은 수의 노드 제어부(400)를 구비하게 된다. 따라서, 본 발명의 쉬프트 레지스터의 사이즈는 종래에 비하여 작아지게 된다. 본 발명에서는 하나의 노드 제어부(400)가 3개의 출력부(401a 내지 401c)를 제어하는 것을 예를 들어 설명하였지만, 상기 하나의 노드 제어부(400)가 4개 이상의 출력부를 제어하도록 구성할 수도 있다.

여기서, 상기 노드 제어부(400), 제 1 내지 제 3 출력부(401a 내지 401c), 및 버퍼부의 구성을 상세하게 설명하면 다음과 같다. 상기 각 스테이지(100a 내지 100f)는 모두 동일한 구성을 가지므로, 제 1 스테이지(100a)에 구성된 노드 제어부(400), 제 1 내지 제 3 출력부(401a 내지 401c), 및 버퍼부를 예를 들어 설명하기로 한다.

도 5는 도 4의 제 1 스테이지에 구비된 노드 제어부, 제 1 내지 제 3 출력부, 및 버퍼부에 대한 회로구성도이다.

먼저, 도 5에 도시된 바와 같이, 상기 제 1 스테이지(300a)에 구비된 각 노드 제어부(400)는, 타이밍 콘트롤러로부터의 스타트 펄스(SP)가 입력되는 게이트단자, 제 1 전압원(V_{DD})이 인가되는 드레인단자, 및 상기 제 1 노드(501)에 연결된 소스단자를 갖는 제 1 NMOS 트랜지스터(Tr_1)와; 제 2 스테이지(300b)로부터 가장 처음에 출력되는 스캔펄스(Vout4)가 입력되는 게이트단자, 상기 제 2 전압원(V_{SS})이 인가되는 소스단자, 및 상기 제 1 노드(501)에 연결된 드레인단자를 갖는 제 2 NMOS 트랜지스터(Tr_2)와; 상기 제 1 전압원(V_{DD})이 인가되는 게이트단자, 상기 제 1 전압원(V_{DD})이 인가되는 드레인단자, 및 소스단자를 갖는 제 3 NMOS 트랜지스터(Tr_3)와; 상기 제 1 노드(501)에 연결된 게이트단자, 상기 제 3 NMOS 트랜지스터(Tr_3)의 소스단자에 연결된 드레인단자, 및 상기 제 2 전압원(V_{SS})이 인가되는 소스단자를 갖는 제 4 NMOS 트랜지스터(Tr_4)와; 상기 제 4 NMOS 트랜지스터(Tr_4)의 드레인단자에 연결된 게이트단자, 상기 제 1 전압원(V_{DD})이 인가되는 드레인단자, 및 상기 제 2 노드(502)에 연결된 소스단자를 갖는 제 5 NMOS 트랜지스터(Tr_5)와; 상기 제 1 노드(501)에 연결된 게이트단자, 상기 제 2 노드(502)에 연결된 드레인단자, 및 상기 제 2 전압원(V_{SS})이 인가되는 소스단자를 갖는 제 6 NMOS 트랜지스터(Tr_6)와; 상기 제 2 노드(502)에 연결된 게이트단자, 상기 제 1 노드(501)에 연결된 드레인단자, 및 상기 제 2 전압원(V_{SS})이 인가되는 소스단자를 갖는 제 7 NMOS 트랜지스터(Tr_7)를 구비한다. 단, 상기 제 2 내지 제 n 스테이지(300b 내지 300e)에 구비된 상기 제 1 NMOS 트랜지스터(Tr_1)의 게이트단자에는 이전 단계의 스테이지의 스캔펄스가 입력된다.

또한, 상기 제 1 스테이지(300a)에 구비된 상기 제 1 출력부(401a)는 상기 제 1 노드(501)에 연결된 게이트단자, 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 중 어느 하나가 인가되는 드레인단자, 및 제 1 게이트 라인에 연결된 소스단자를 갖는 제 8 NMOS 트랜지스터(Tr_8)와; 상기 제 2 노드(502)에 연결된 게이트단자, 상기 제 8 NMOS 트랜지스터(Tr_8)의 소스단자에 연결된 드레인단자, 및 상기 제 2 전압원(V_{SS})이 인가되는 소스단자를 갖는 제 9 NMOS 트랜지스터(Tr_9)를 구비한다. 그리고, 상기 제 2 출력부(401b)는 상기 제 1 노드(501)에 연결된 게이트단자, 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 중 어느 하나가 인가되는 드레인단자, 및 제 2 게이트 라인에 연결된 소스단자를 갖는 제 10 NMOS 트랜지스터(Tr_{10})와; 상기 제 2 노드(502)에 연결된 게이트단자, 상기 제 10 NMOS 트랜지스터(Tr_{10})의 소스단자에 연결된 드레인단자, 및 상기 제 2 전압원(V_{SS})이 인가되는 소스단자를 갖는 제 11 NMOS 트랜지스터(Tr_{11})를 구비한다. 그리고, 상기 제 3 출력부(401c)는 상기 제 1 노드(501)에 연결된 게이트단자, 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 중 어느 하나가 인가되는 드레인단자, 및 제 3 게이트 라인에 연결된 소스단자를 갖는 제 12 NMOS 트랜지스터(Tr_{12})와; 상기 제 2 노드(502)에 연결된 게이트단자, 상기 제 12 NMOS 트랜지스터(Tr_{12})의 소스단자에 연결된 드레인

단자, 및 상기 제 2 전압원(V_{SS})이 인가되는 소스단자를 갖는 제 13 NMOS 트랜지스터(Tr_{13})를 구비한다. 즉, 이와 같은 3개의 출력부(401a 내지 401c)는 상기 하나의 노드 제어부(400)의 제어를 받아 순차적으로 스캔펄스(V_{out1} 내지 V_{out3})를 출력한다. 다시말하면, 각 스테이지(300a 내지 300e)는 하나의 노드 제어부(400)와, 상기 하나의 노드 제어부(400)에 의해 제어되는 3개의 출력부(401a 내지 401c)를 구비한다. 따라서, 각 스테이지(300a 내지 300e)는 3개씩의 스캔펄스(V_{out1} 내지 V_{out3} , V_{out4} 내지 V_{out6} , V_{out7} 내지 V_{out9} , V_{out10} 내지 V_{out12} , V_{outn-2} 내지 V_{outn})를 순차적으로 출력한다.

또한, 상기 제 1 스테이지(300a)에 구비된 상기 버퍼부(485)는, 상기 제 1 노드(501)에 게이트단자가 연결되고, 상기 제 5 및 제 6 클럭펄스(CLK_5 , CLK_6) 중 어느 하나가 인가되는 드레인단자, 및 소스단자를 갖는 제 14 NMOS 트랜지스터(Tr_{14})와; 상기 제 14 NMOS 트랜지스터(Tr_{14})의 게이트단자와 소스단자에 연결된 커패시터(C)와; 상기 제 2 노드(502)에 게이트단자가 연결되고, 상기 제 14 NMOS 트랜지스터(Tr_{14})의 소스단자에 연결된 드레인단자, 및 상기 제 2 전압원(V_{SS})이 인가되는 소스단자를 갖는 제 15 NMOS 트랜지스터(Tr_{15})를 구비한다.

여기서, 상기 각 스테이지(300a 내지 300e)의 제 1 내지 제 3 출력부(401a 내지 401c)에 인가되는 제 1 내지 제 6 클럭펄스(CLK_1 내지 CLK_6)의 공급 순서를 표를 통해 좀 더 구체적으로 살펴보면 다음과 같다.

표 1은 각 스테이지에서의 제 1 내지 제 6 클럭펄스의 공급순서를 나타낸 표이다.

즉, 표 1에 기재된 바와 같이, 상기 제 1 스테이지(300a)의 제 1 내지 제 3 출력부(401a 내지 401c)는 차례로 제 1 내지 제 3 클럭펄스(CLK_1 내지 CLK_3)를 차례로 인가받는다. 그리고, 상기 제 2 스테이지(300b)의 제 1 내지 제 3 출력부(401a 내지 401c)는 차례로 제 4 클럭펄스(CLK_4), 제 1 클럭펄스(CLK_1), 및 제 2 클럭펄스(CLK_2)를 인가받는다. 그리고, 상기 제 3 스테이지(300c)의 제 1 내지 제 3 출력부(401a 내지 401c)는 차례로 제 3 클럭펄스(CLK_3), 제 4 클럭펄스(CLK_4), 및 제 1 클럭펄스(CLK_1)를 인가받는다. 그리고, 상기 제 4 스테이지(300d)의 제 1 내지 제 3 출력부(401a 내지 401c)는 차례로 제 2 클럭펄스(CLK_2), 제 3 클럭펄스(CLK_3), 및 제 4 클럭펄스(CLK_4)를 인가받는다. 그리고, 도시하지 않았지만, 상기 제 5 스테이지의 제 1 내지 제 3 출력부(401a 내지 401c)는 상기 제 1 스테이지(300a)의 제 1 내지 제 3 출력부(401a 내지 401c)와 동일하게 제 1 내지 제 3 클럭펄스(CLK_1 내지 CLK_3)를 인가받는다. 즉, 제 5 스테이지부터 제 n 스테이지(300e)까지는 상기 제 1 스테이지 내지 제 4 스테이지(300a 내지 300d)에 인가된 제 1 내지 제 4 클럭펄스들(CLK_1 내지 CLK_4)과 동일한 순서로 다시 순환하는 제 1 내지 제 4 클럭펄스들(CLK_1 내지 CLK_4)을 인가받는다.

또한, 상술한 바와 같이, 홀수 번째 스테이지(300a, 300c, 300e)는 제 5 클럭펄스(CLK_5)를 인가받으며, 짝수 번째 스테이지(300b, 300d)는 제 6 클럭펄스(CLK_6)를 인가받는다.

[표 1]

	제 1 출력부	제 2 출력부	제 3 출력부	버퍼부
제 1 스테이지	제 1 클럭펄스	제 2 클럭펄스	제 3 클럭펄스	제 5 클럭펄스
제 2 스테이지	제 4 클럭펄스	제 1 클럭펄스	제 2 클럭펄스	제 6 클럭펄스
제 3 스테이지	제 3 클럭펄스	제 4 클럭펄스	제 1 클럭펄스	제 5 클럭펄스
제 4 스테이지	제 2 클럭펄스	제 3 클럭펄스	제 4 클럭펄스	제 6 클럭펄스

한편, 상기 더미 스테이지(300f)는 단지 제 n 스테이지(300e)의 제 1 노드(501)를 방전시키고, 제 2 노드(502)를 충전시키는데 필요한 하나의 스캔펄스(V_{outn+1})를 제공할 뿐 상기 게이트 라인에는 스캔펄스(V_{outn+1})를 제공하지 않는다. 따라서, 상기 더미 스테이지(300f)는 노드 제어부(400) 및 하나의 출력부(401a, 401b, 또는 401c)를 구비하여 구성될 수 있다. 상기 더미 스테이지(300f)의 출력부(401a, 401b, 또는 401c)에는 상기 제 n 스테이지(300e)에 구비된 제 3 출력부(가장 마지막으로 스캔펄스(V_{outn})를 출력하는 출력부(401c))에 인가된 클럭펄스보다 한 클럭펄스만큼 위상 지연된 클럭펄스가 인가된다.

이와 같이 구성된 본 발명의 실시예에 따른 액정표시장치의 쉬프트 레지스터의 동작을 상세히 설명하면 다음과 같다.

도 6은 본 발명의 실시예에 따른 쉬프트 레지스터에서의 제 1 스테이지 및 제 2 스테이지에 대한 구성도이다. 그리고, 도 7a는 도 6의 각 스테이지에 공급되는 클럭펄스에 대한 타이밍도이고, 도 7b는 도 6의 각 스테이지의 노드에 인가되는 공급전압의 타이밍도이고, 도 7c는 도 6의 각 스테이지로부터 출력되는 스캔펄스의 타이밍도이다. 여기서, 도 6의 제 1 스테이지(300a)에 구비된 제 1 내지 제 15 NMOS 트랜지스터(Tr1 내지 Tr15)와 제 2 스테이지(300b)에 구비된 제 1 내지 제 15 NMOS 트랜지스터(Tr1' 내지 Tr15')는 서로 다른 도번으로 표시되어 있지만, 서로 동일한 스위칭소자이다.

먼저, 인에이블 기간(T0)동안의 동작을 설명하면 다음과 같다.

상기 인에이블 기간(T0)동안에는, 도 7a에 도시된 바와 같이, 타이밍 콘트롤러로부터 출력되는 스타트 펄스(SP) 및 제 6 클럭펄스(CLK6)만 하이 상태를 유지한다.

상기 타이밍 콘트롤러로부터 출력된 스타트 펄스(SP)는 제 1 스테이지(300a)에 입력된다. 구체적으로, 도 6에 도시된 바와 같이, 상기 스타트 펄스(SP)는 상기 제 1 스테이지(300a)에 구비된 제 1 NMOS 트랜지스터(Tr1)의 게이트단자에 입력된다. 그러면, 상기 제 1 NMOS 트랜지스터(Tr1)는 턴-온되며, 이때, 상기 턴-온된 제 1 NMOS 트랜지스터(Tr1)의 드레인단자 및 소스단자를 경유하여 제 1 전압원(V_{DD})이 제 1 노드(501)에 인가된다. 이에 따라, 상기 제 1 노드(501)에 공통으로 게이트단자가 접속된 제 4, 제 6, 제 8, 제 10, 제 12 및 제 14 NMOS 트랜지스터(Tr4, Tr6, Tr8, Tr10, Tr12, Tr14)가 턴-온된다. 한편, 다이오드형으로 구성된 제 3 NMOS 트랜지스터(Tr3)는 상기 제 1 전압원(V_{DD})에 의해서 항상 턴-온 상태를 유지하며, 이에 따라 상기 제 1 전압원(V_{DD})은 상기 턴-온된 제 3 NMOS 트랜지스터(Tr3)의 드레인단자 및 소스단자를 경유하여, 상기 제 3 NMOS 트랜지스터(Tr3)의 소스단자와 상기 제 4 NMOS 트랜지스터(Tr4)의 드레인단자 간의 공통단자(555)에 인가된다. 이때, 상기 제 4 NMOS 트랜지스터(Tr4)가 상기 제 1 노드(501)에 충전된 제 1 전압원(V_{DD})에 의해서 턴-온되어 제 2 전압원(V_{SS})을 상기 공통단자(555)에 인가하므로, 상기 공통단자(555)에는 상기 제 1 전압원(V_{DD})과 제 2 전압원(V_{SS})이 동시에 인가된다. 그러나, 상기 제 4 NMOS 트랜지스터(Tr4)의 면적이 상기 제 3 NMOS 트랜지스터(Tr3)의 면적보다 더 크게 설정되어 있기 때문에, 상기 공통단자(555)에는 상기 턴-온된 제 4 NMOS 트랜지스터(Tr4)의 소스단자 및 드레인단자를 통과한 제 2 전압원(V_{SS})이 인가된다. 따라서, 상기 제 2 전압원(V_{SS})에 의해 상기 공통단자(555)가 방전되고, 상기 공통단자(555)에 게이트단자가 접속된 제 5 NMOS 트랜지스터(Tr5)는 턴-오프된다. 한편, 상기 턴-온된 제 6 NMOS 트랜지스터(Tr6)의 드레인단자 및 소스단자를 경유하여 제 2 전압원(V_{SS})이 제 2 노드(502)에 인가된다. 따라서, 상기 제 2 전압원(V_{SS})에 의해 상기 제 2 노드(502)는 방전되고, 상기 제 2 노드(502)에 게이트단자가 공통으로 접속된 제 7, 제 9, 제 11, 제 13 및 제 15 NMOS 트랜지스터(Tr7, Tr9, Tr11, Tr13, Tr15)가 턴-오프된다. 이와 같이, 상기 인에이블 기간(T0)동안에는, 도 7b에 도시된 바와 같이, 상기 제 1 스테이지(300a)의 제 1 노드(501)가 제 1 전압원(V_{DD})으로 충전되고, 상기 제 2 노드(502)가 방전됨으로써, 상기 제 1 스테이지(300a)가 인에이블된다.

이어서, 제 1 기간(T1)동안의 동작을 설명하면 다음과 같다.

제 1 기간(T1)동안에는, 도 7a에 도시된 바와 같이, 제 1 클럭펄스(CLK1) 및 제 5 클럭펄스(CLK5)만 하이 상태를 유지하고, 나머지 클럭펄스들은 로우 상태를 유지한다. 따라서, 상기 로우 상태의 스타트 펄스(SP)에 응답하여 상기 제 1 NMOS 트랜지스터(Tr1)는 턴-오프되고, 이에 따라 상기 제 1 노드(501)는 플로팅 상태로 유지된다. 한편, 상기 제 1 노드(501)가 상기 인에이블 기간(T0)동안 인가되었던 제 1 전압원(V_{DD})으로 계속 유지됨에 따라, 상기 제 4, 제 6, 제 8, 제 10, 제 12 및 제 14 NMOS 트랜지스터(Tr4, Tr6, Tr8, Tr10, Tr12, Tr14)는 모두 턴-온 상태를 유지한다. 이때, 상기 턴-온된 제 14 NMOS 트랜지스터(Tr14)의 드레인단자에 상기 제 5 클럭펄스(CLK5)가 인가되고, 상기 제 8 NMOS 트랜지스터(Tr8)의 드레인단자에 제 1 클럭펄스(CLK1)가 인가됨에 따라, 도 7b에 도시된 바와 같이, 상기 제 1 노드(501)에 충전된 제 1 전압원(V_{DD})은 부트스트랩핑에 의해 증폭된다. 따라서, 자신의 게이트단자와 소스단자에 커패시터(C)가 연결된 제 8, 제 10, 제 12, 및 제 14 NMOS 트랜지스터(Tr8, Tr10, Tr12, Tr14)는 완전히 턴-온된 상태를 유지한다. 따라서, 상기 제 8 NMOS 트랜지스터(Tr8)의 드레인단자에 인가된 제 1 클럭펄스(CLK1)는 상기 제 8 NMOS 트랜지스터(Tr8)의 소스단자를 통해 안정적으로 출력된다. 이때, 도 7c에 도시된 바와 같이, 상기 출력된 제 1 클럭펄스(CLK1)는 제 1 게이트 라인에 인가되어 상기 제 1 게이트 라인을 구동시키는 제 1 스캔펄스(Vout1)로서 작용한다.

이어서, 제 2 기간(T2)동안의 동작을 설명하면 다음과 같다.

제 2 기간(T2)동안에는, 도 7a에 도시된 바와 같이, 제 1 클럭펄스(CLK1) 및 제 5 클럭펄스(CLK5)만 하이 상태를 유지하고, 나머지 클럭펄스들은 로우 상태를 유지한다. 이때, 플로팅 상태에서 제 1 노드(501)에는 상기 제 1 전압원(V_{DD})이 계속 유지됨에 따라, 상기 제 4, 제 6, 제 8, 제 10, 제 12, 및 제 14 NMOS 트랜지스터(Tr_4 , Tr_6 , Tr_8 , Tr_{10} , Tr_{12} , Tr_{14})는 모두 턴-온 상태를 유지한다. 또한, 상기 제 14 NMOS 트랜지스터(Tr_{14})의 드레인단자에 제 5 클럭펄스(CLK5)가 인가되고, 상기 제 10 NMOS 트랜지스터(Tr_{10})의 드레인단자에 제 2 클럭펄스(CLK2)가 인가됨에 따라, 도 7b에 도시된 바와 같이, 상기 제 1 노드(501)에 충전된 제 1 전압원(V_{DD})은 부트스트래핑에 의해 증폭된다. 따라서, 자신의 게이트단자와 소스단자 사이에 커패시터(C)가 연결된 상기 제 8, 제 10, 제 12, 및 제 14 NMOS 트랜지스터(Tr_8 , Tr_{10} , Tr_{12} , Tr_{14})는 완전히 턴-온된 상태를 유지한다. 따라서, 상기 제 10 NMOS 트랜지스터(Tr_{10})의 드레인단자에 인가된 제 2 클럭펄스(CLK2)는 상기 제 10 NMOS 트랜지스터(Tr_{10})의 소스단자를 통해 안정적으로 출력된다. 이때, 도 7c에 도시된 바와 같이, 상기 출력된 제 2 클럭펄스(CLK2)는 제 2 게이트 라인에 인가되어 상기 제 2 게이트 라인을 구동시키는 제 2 스캔펄스(V_{out2})로서 작용한다.

다음으로, 제 3 기간(T3)동안의 동작을 설명하면 다음과 같다.

제 3 기간(T3)동안에는, 도 7a에 도시된 바와 같이, 제 3 클럭펄스(CLK3) 및 제 5 클럭펄스(CLK5)만 하이 상태를 유지하고, 나머지 클럭펄스들은 로우 상태를 유지한다. 이때, 플로팅 상태에서 상기 제 1 노드(501)에는 상기 제 1 전압원(V_{DD})이 계속 유지됨에 따라, 상기 제 4, 제 6, 제 8, 제 10, 제 12, 및 제 14 NMOS 트랜지스터(Tr_4 , Tr_6 , Tr_8 , Tr_{10} , Tr_{12} , Tr_{14})는 모두 턴-온 상태를 유지한다. 또한, 상기 제 14 NMOS 트랜지스터(Tr_{14})의 드레인단자에 제 5 클럭펄스(CLK5)가 인가되고, 상기 제 12 NMOS 트랜지스터(Tr_{12})의 드레인단자에 제 3 클럭펄스(CLK3)가 인가됨에 따라, 상기 제 1 노드(501)에 충전된 제 1 전압원(V_{DD})은 부트스트래핑에 의해 증폭된다. 따라서, 자신의 게이트단자와 소스단자 사이에 커패시터(C)가 연결된 상기 제 8, 제 10, 제 12, 및 제 14 NMOS 트랜지스터(Tr_8 , Tr_{10} , Tr_{12} , Tr_{14})는 완전히 턴-온된 상태를 유지한다. 따라서, 상기 제 12 NMOS 트랜지스터(Tr_{12})의 드레인단자에 인가된 제 3 클럭펄스(CLK3)는 상기 제 12 NMOS 트랜지스터(Tr_{12})의 소스단자를 통해 안정적으로 출력된다. 이때, 도 7c에 도시된 바와 같이, 상기 출력된 제 3 클럭펄스(CLK3)는 제 3 게이트 라인에 인가되어 상기 제 3 게이트 라인을 구동시키는 제 3 스캔펄스(V_{out3})로서 작용한다.

이때, 상기 제 3 스캔펄스(V_{out3})는 상기 제 3 게이트 라인에 공급됨과 동시에, 제 2 스테이지(300b)에 입력된다. 구체적으로, 도 6에 도시된 바와 같이, 상기 제 3 스캔펄스(V_{out3})는 상기 제 2 스테이지(300b)에 구비된 제 1 NMOS 트랜지스터($Tr_{1'}$)의 게이트단자에 입력된다. 여기서, 상기 제 3 스캔펄스(V_{out3})는 상기 타이밍 콘트롤러로부터 출력되는 스타트 펄스(SP)와 동일한 역할을 하는 것으로, 상기 제 3 스캔펄스(V_{out3})에 응답하여 상기 제 2 스테이지(300b)는 인에이블된다. 즉, 상기 제 3 스캔펄스(V_{out3})에 의해 상기 제 2 스테이지(300b)의 제 1 노드(601)가 제 1 전압원(V_{DD})으로 충전되고, 제 2 노드(602)가 방전된다. 다시말하면, 상기 제 3 기간(T3)동안에 제 1 스테이지(300a)로부터 출력된 제 3 스캔펄스(V_{out3})는 제 3 게이트 라인을 구동함과 동시에, 도 7b에 도시된 바와 같이, 상기 제 2 스테이지(300b)의 제 1 노드(601)를, 충전시키고, 제 2 노드(602)를 방전시킴으로써 상기 제 2 스테이지(300b)를 인에이블시킨다.

이어서, 제 4 기간(T4)동안의 동작을 설명하면 다음과 같다.

상기 제 4 기간(T4)동안에는, 도 7a에 도시된 바와 같이, 제 4 클럭펄스(CLK4) 및 제 6 클럭펄스(CLK6)만 하이 상태를 유지하고, 나머지 클럭펄스들은 로우 상태를 유지한다.

따라서, 제 3 기간(T3)에 인가되었던 상기 제 1 스테이지(300a)로부터의 제 3 스캔펄스(V_{out3})(즉, 상기 제 3 클럭펄스(CLK3))가 제 4 기간(T4)에서 로우 상태로 변함에 따라, 이를 게이트단자를 통해 인가받는 상기 제 2 스테이지(300b)의 제 1 NMOS 트랜지스터($Tr_{1'}$)는 턴-오프되고, 이에 따라 상기 제 1 노드(601)는 플로팅 상태로 유지된다. 한편, 상기 제 1 노드(601)가 상기 제 3 기간(T3)동안 인가되었던 제 1 전압원(V_{DD})으로 계속 유지됨에 따라, 상기 제 2 스테이지(300b)에 구비된 제 4, 제 6, 제 8, 제 10, 제 12, 및 제 14 NMOS 트랜지스터(Tr_4' , Tr_6' , Tr_8' , Tr_{10}' , Tr_{12}' , Tr_{14}')는 모두 턴-온 상태를 유지한다. 이때, 상기 턴-온된 제 14 NMOS 트랜지스터(Tr_{14}')의 드레인단자에 상기 제 6 클럭펄스(CLK6)가 인가되고, 상기 제 8 NMOS 트랜지스터(Tr_8')의 드레인단자에 제 4 클럭펄스(CLK4)가 인가됨에 따라, 상기 제 1 노드(601)에 충전된 제 1 전압원(V_{DD})은 부트스트래핑에 의해 증폭된다. 따라서, 자신의 게이트단자와 소스단자 사이에 커패시터(C')가 연결된 제 8, 제 10, 제 12, 및 제 14 NMOS 트랜지스터(Tr_8' , Tr_{10}' , Tr_{12}' , Tr_{14}')는 완전히 턴-온된 상태를 유지한다. 따라서, 상기 제 8 NMOS 트랜지스터(Tr_8')의 드레인단자에 인가된 제 4 클럭펄스(CLK4)는 상

기 제 8 NMOS 트랜지스터(Tr_8)의 소스단자를 통해 안정적으로 출력된다. 이때, 도 7c에 도시된 바와 같이, 상기 제 2 스테이지(300b)로부터 출력되는 상기 제 4 클럭펄스(CLK4)는 제 4 게이트 라인에 인가되어 상기 제 4 게이트 라인을 구동시키는 제 4 스캔펄스(V_{out4})로서 작용한다.

이때, 상기 제 2 스테이지(300b)로부터 출력되는 제 4 스캔펄스(V_{out4})는 상기 제 4 게이트 라인에 공급됨과 동시에, 상기 제 1 스테이지(300a)에 입력된다. 구체적으로, 도 6에 도시된 바와 같이, 상기 제 4 스캔펄스(V_{out4})는 상기 제 1 스테이지(300a)에 구비된 제 2 NMOS 트랜지스터(Tr_2)의 게이트단자에 입력된다. 여기서, 상기 제 4 스캔펄스(V_{out4})에 의해 상기 제 1 스테이지(300a)의 제 2 NMOS 트랜지스터(Tr_2)가 턴-온됨에 따라, 상기 제 2 전압원(V_{SS})이 상기 턴-온된 제 2 NMOS 트랜지스터(Tr_2)의 소스단자 및 드레인단자를 경유하여 제 1 노드(501)에 인가된다. 따라서, 도 7b에 도시된 바와 같이, 상기 제 2 전압원(V_{SS})에 의해 상기 제 1 노드(501)는 방전된다. 그러면, 상기 제 1 노드(501)에 게이트단자가 공통으로 접속된 상기 제 4, 제 6, 제 8, 제 10, 제 12, 및 제 14 NMOS 트랜지스터(Tr_4 , Tr_6 , Tr_8 , Tr_{10} , Tr_{12} , Tr_{14})가 모두 턴-오프된다. 이때, 상기 제 4 NMOS 트랜지스터(Tr_4)가 턴-오프됨에 따라 상기 공통단자(555)에는 제 2 전압원(V_{SS})이 인가되지 못하고, 대신 다이오드형으로 구성된 상기 제 3 NMOS 트랜지스터(Tr_3)의 드레인단자 및 소스단자를 경유하여 제 1 전압원(V_{DD})이 상기 공통단자(555)에 인가되며, 이에 따라 상기 공통단자(555)에 게이트단자가 연결된 제 5 NMOS 트랜지스터(Tr_5)가 턴-온된다. 따라서, 상기 턴-온된 제 5 NMOS 트랜지스터(Tr_5)의 드레인단자 및 소스단자를 경유하여 제 1 전압원(V_{DD})이 제 2 노드(502)에 인가된다. 이에 따라, 도 7b에 도시된 바와 같이, 상기 제 2 노드(502)가 상기 제 1 전압원(V_{DD})으로 충전되며, 상기 제 2 노드(502)에 게이트단자가 공통으로 연결된 상기 제 7, 제 9, 제 11, 제 13, 및 제 15 NMOS 트랜지스터(Tr_7 , Tr_9 , Tr_{11} , Tr_{13} , Tr_{15})가 모두 턴-온된다. 따라서, 상기 턴-온된 제 9, 제 11 및 제 13 NMOS 트랜지스터(Tr_{11} , Tr_{13} , Tr_{15})들의 각 소스단자 및 드레인단자를 경유하여 제 2 전압원(V_{SS})이 상기 제 1, 제 2, 및 제 3 게이트 라인에 공급된다. 한편, 상기 제 2 노드(502)에 충전된 제 1 전압원(V_{DD})에 의해 상기 제 7 NMOS 트랜지스터(Tr_7)가 턴-온됨에 따라, 상기 제 7 NMOS 트랜지스터(Tr_7)의 소스단자 및 드레인단자를 경유하여 상기 제 1 노드(501)에 제 2 전압원(V_{SS})이 인가된다. 따라서, 상기 제 1 노드(501)는 상기 제 7 NMOS 트랜지스터(Tr_7) 및 상기 제 2 NMOS 트랜지스터(Tr_2)에 의해 인가된 제 2 전압원(V_{SS})에 의해 더욱 빠르게 방전된다. 요약하면, 상기 제 4 기간(T_4)동안에는, 상기 제 2 스테이지(300b)로부터 출력된 제 4 스캔펄스(V_{out4})가 상기 제 4 게이트 라인을 구동시킴과 동시에, 상기 제 1 스테이지(300a)가 1 내지 제 3 게이트 라인에 제 2 전압원(V_{SS})을 공급하도록 상기 제 1 스테이지(300a)를 동작시킨다.

다음으로, 제 5 기간(T_5)동안의 동작을 설명하면 다음과 같다.

상기 제 5 기간(T_5)동안에는, 도 7a에 도시된 바와 같이, 제 1 클럭펄스(CLK1) 및 제 6 클럭펄스(CLK6)만 하이 상태를 유지하고, 나머지 클럭펄스들은 로우 상태를 유지한다. 여기서, 상기 제 5 기간(T_5)동안의 제 2 스테이지(300b)의 동작은 상술한 제 2 기간(T_2)동안의 제 1 스테이지(300a)의 동작과 동일하게 이루어진다. 따라서, 제 5 기간(T_5)동안에는 상기 제 1 클럭펄스(CLK1)가 출력된다. 상기 제 1 클럭펄스(CLK1)는, 도 7c에 도시된 바와 같이, 제 5 게이트 라인을 구동하기 위한 제 5 스캔펄스(V_{out5})로서 작용한다.

이어서, 제 6 기간(T_6)동안의 쉬프트 레지스터의 동작을 설명하면 다음과 같다.

상기 제 6 기간(T_6)동안에는, 도 7a에 도시된 바와 같이, 제 2 클럭펄스(CLK2) 및 제 6 클럭펄스(CLK6)만 하이 상태를 유지하고, 상기 스타트 펄스(SP)를 포함한 나머지 클럭펄스들은 로우 상태를 유지한다. 여기서, 상기 제 6 기간(T_6)동안의 제 2 스테이지(300b)의 동작은 상술한 제 3 기간(T_3)동안의 제 1 스테이지(300a)의 동작과 동일하게 이루어진다. 따라서, 상기 제 6 기간(T_6)동안에는 상기 제 2 스테이지(300b)로부터 상기 제 2 클럭펄스(CLK2)가 출력된다. 상기 제 2 클럭펄스(CLK2)는, 도 7c에 도시된 바와 같이, 제 6 게이트 라인을 구동하기 위한 제 6 스캔펄스(V_{out6})로서 작용함과 동시에, 제 3 스테이지(300c)를 인에이블시키기 위한 스타트 펄스(SP)로서 작용한다.

이와 같은 방식으로 나머지 제 3 내지 제 n 스테이지(300a 내지 300e)는 각각 3개씩의 순차적인 스캔펄스(V_{out3} 내지 V_{outn})를 출력하여 상기 게이트 라인들에 순차적으로 공급하게 된다. 결국, 본 발명의 쉬프트 레지스터는 종래보다 적은 수의 노드 제어부(400)로 게이트 라인을 구동할 수 있으므로, 스테이지의 수를 줄일 수 있으며, 이에 따라 상기 액정패널의 내부에서 상기 쉬프트 레지스터가 차지하는 면적을 줄일 수 있다.

한편, 상기 버퍼부(485)를 좀 더 구체적으로 설명하면 다음과 같다. 여기서, 설명의 편의상, 제 1 스테이지(300a)에 구비된 버퍼부(485)를 예로서 설명하기로 한다.

상술한 바와 같이, 상기 버퍼부(485)의 제 14 및 제 15 NMOS 트랜지스터(Tr14, Tr15)는 상기 제 8, 제 10, 및 제 12 NMOS 트랜지스터(Tr8, Tr10, Tr11)가 순차적으로 제 1 내지 제 3 클럭펄스(CLK3)를 도통시키는 전체 시간동안 상기 제 5 클럭펄스(CLK5)를 도통시킴으로써, 상기 제 1 노드(501)에 걸리는 제 1 전압원(V_{DD})을 부트스트랩핑시킨다. 이와 같이 상기 제 1 내지 제 3 클럭펄스(CLK1 내지 CLK3)가 도통되는 시간동안 제 1 노드(501)를 계속적으로 부트스트랩핑시키는 이유는 상기 제 1 내지 제 3 클럭펄스(CLK3)가 더욱 안정적으로 출력될 수 있도록 하기 위함이다.

만약에, 상기 제 14 및 제 15 NMOS 트랜지스터(Tr14, Tr15)가 없다면, 상기 제 8 NMOS 트랜지스터(Tr8)로부터 출력되는 제 1 클럭펄스(CLK1)는 자신의 상승에지에서 상기 제 1 노드(501)의 제 1 전압원(V_{DD})을 부트스트랩핑시켜 안정적으로 출력되지만, 상기 제 1 클럭펄스(CLK1)가 출력된 후 상기 제 10 NMOS 트랜지스터(Tr10)로부터 출력되는 제 2 클럭펄스(CLK2), 및 상기 제 2 클럭펄스(CLK2)가 출력된 후 상기 제 12 NMOS 트랜지스터(Tr12)로부터 출력되는 제 3 클럭펄스(CLK3)는 왜곡되어 출력될 수 있다. 즉, 상기 제 8 NMOS 트랜지스터(Tr8)로부터 상기 제 1 클럭펄스(CLK1)가 출력될 때, 상기 제 1 클럭펄스(CLK1)의 하강에지에 동기되어 상기 제 1 노드(501)에 걸린 제 1 전압원(V_{DD})이 감소하게 되며, 이에 의해서 상기 제 10 및 제 12 NMOS 트랜지스터(Tr10, Tr12)가 완전히 턴-온되지 않게되어, 다음에 출력되는(상기 제 10 NMOS 트랜지스터(Tr10)의 드레인단자 및 소스단자를 통해 출력되는) 제 2 클럭펄스(CLK2)가 정상적으로 출력되지 않을 수 있다. 이와 마찬가지로, 상기 제 3 클럭펄스(CLK3)는 상기 제 2 클럭펄스(CLK2)의 하강에지시 상기 제 1 노드(501)에 인가된 제 1 전압원(V_{DD})의 감소로 인해 정상적으로 출력되지 않을 수 있다. 물론, 상기 제 2 및 제 3 클럭펄스(CLK3)도 자신의 상승에지시에 상기 제 1 노드(501)의 제 1 전압원(V_{DD})을 어느정도 끌어올리지만, 이미 자신의 앞에서 출력된 클럭펄스의 하강에지에 영향을 받아 감소된 상기 제 1 전압원(V_{DD})이 다시 부트스트랩핑되는 데는 많은 시간이 걸린다. 이렇게 되면, 상기 제 1 노드(501)에 걸린 제 1 전압원(V_{DD})은 유효시간내에 상기 제 10 및 제 12 NMOS 트랜지스터(Tr10, Tr12)를 완전히 턴-온시킬 수 없게 된다. 따라서, 상기 제 10 및 제 12 NMOS 트랜지스터(Tr10, Tr12)로부터 출력되는 제 2 클럭펄스(CLK2) 및 제 3 클럭펄스(CLK3)는 왜곡되어 출력될 수 있다.

이를 방지하기 위해, 상기 버퍼부(485)는 상기 제 1 노드(501)에 제 5 클럭펄스(CLK5)(또는, 제 6 클럭펄스(CLK6))를 공급함으로써, 상기 제 1 및 제 2 클럭펄스(CLK1, CLK2)의 하강에지시에 상기 제 1 노드(501)의 제 1 전압원(V_{DD})이 감소하는 양을 최소화시킨다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같은 본 발명에 따른 액정표시장치의 쉬프트 레지스터에는 다음과 같은 효과가 있다.

본 발명에 따른 액정표시장치의 쉬프트 레지스터는 서로 종속적으로 연결된 다수개의 스테이지를 구비하고 있으며, 각 스테이지는 적어도 2개의 스캔펄스를 출력하도록 구성되어 있다. 이를 위해서, 각 스테이지는 하나의 노드 제어부와, 상기 노드 제어부의 제어를 공통으로 받아 순차적으로 스캔펄스를 출력하는 적어도 2개의 출력부를 구비하고 있다. 따라서, 본 발명의 쉬프트 레지스터는 종래에 비하여 상기 노드 제어부의 수를 줄일 수 있다. 결국, 본 발명의 쉬프트 레지스터는 종래에 비하여 작은 사이즈를 갖게된다.

(57) 청구의 범위

청구항 1.

서로 종속적으로 연결된 다수개의 스테이지를 구비한 액정표시장치의 쉬프트 레지스터에 있어서,

각 스테이지가 적어도 2개의 스캔펄스를 순차적으로 출력하고, 이들을 액정패널의 각 게이트 라인에 순차적으로 공급하는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

청구항 2.

제 1 항에 있어서,

상기 각 스테이지는 이전단의 스테이지로부터 가장 마지막에 출력되는 스캔펄스에 응답하여 적어도 2개의 순차적인 스캔펄스를 출력하고, 이들을 상기 액정패널의 게이트 라인들에 순차적으로 제공함과 동시에, 상기 출력된 스캔펄스들 중 가장 처음에 출력되는 스캔펄스를 상기 이전단의 스테이지에 제공하는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

청구항 3.

제 2 항에 있어서,

상기 스테이지 중 가장 마지막단의 스테이지로부터 가장 마지막에 출력되는 스캔펄스에 응답하여 하나의 스캔펄스를 출력하고, 이를 상기 마지막단의 스테이지에 제공하는 더미 스테이지를 더 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

청구항 4.

제 2 항에 있어서,

상기 스테이지 중 가장 첫 번째단의 스테이지는 타이밍 컨트롤러로부터의 스타트 펄스에 응답하여 적어도 2개의 스캔펄스를 순차적으로 출력하고, 이들을 상기 액정패널의 각 게이트 라인에 순차적으로 제공함과 동시에, 상기 스캔펄스들 중 가장 마지막으로 출력되는 스캔펄스를 다음단의 스테이지에 제공하는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

청구항 5.

제 2 항에 있어서,

상기 각 스테이지는 제 1 노드 및 제 2 노드의 충전 및 방전을 제어하기 위한 노드 제어부와, 상기 제 1 노드 및 상기 제 2 노드의 상태에 따라 턴-온되어 상기 스캔펄스들 또는 제 1 전압원을 선택적으로 출력하는 적어도 2개의 출력부를 포함하는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

청구항 6.

제 5 항에 있어서,

상기 각 스테이지는 상기 노드 제어부의 제 1 노드에 충전된 전압을 상승시켜 상기 각 출력부로부터 출력되는 스캔펄스를 버퍼링하는 버퍼부를 더 포함하는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

청구항 7.

제 5 항에 있어서,

상기 노드 제어부는, 이전단의 스테이지로부터 가장 마지막으로 출력되는 스캔펄스가 입력되는 게이트단자, 제 2 전압원이 인가되는 드레인단자, 및 상기 제 1 노드에 연결된 소스단자를 갖는 제 1 스위칭소자;

상기 다음단의 스테이지로부터 가장 처음에 출력되는 스캔펄스가 입력되는 게이트단자, 상기 제 1 전압원이 인가되는 소스단자, 및 상기 제 1 노드에 연결된 드레인단자를 갖는 제 2 스위칭소자;

상기 제 2 전압원이 인가되는 게이트단자, 상기 제 2 전압원이 인가되는 드레인단자, 및 소스단자를 갖는 제 3 스위칭소자;

상기 제 1 노드에 연결된 게이트단자, 상기 제 3 스위칭소자의 소스단자에 연결된 드레인단자, 및 상기 제 1 전압원이 인가되는 소스단자를 갖는 제 4 스위칭소자;

상기 제 4 스위칭소자의 드레인단자에 연결된 게이트단자, 상기 제 2 전압원이 인가되는 드레인단자, 및 상기 제 2 노드에 연결된 소스단자를 갖는 제 5 스위칭소자;

상기 제 1 노드에 연결된 게이트단자, 상기 제 2 노드에 연결된 드레인단자, 및 상기 제 1 전압원이 인가되는 소스단자를 갖는 제 6 스위칭소자; 및

상기 제 2 노드에 연결된 게이트단자, 상기 제 1 노드에 연결된 드레인단자, 및 상기 제 1 전압원이 인가되는 소스단자를 갖는 제 7 스위칭소자를 포함하는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

청구항 8.

제 6 항에 있어서,

상기 버퍼부는, 상기 제 1 노드에 게이트단자가 연결되고, 제 1 클럭펄스가 인가되는 드레인단자, 및 소스단자를 갖는 제 8 스위칭소자;

상기 제 8 스위칭소자의 게이트단자와 소스단자에 연결된 커패시터; 및

상기 제 2 노드에 게이트단자가 연결되고, 상기 제 8 스위칭소자의 소스단자에 연결된 드레인단자, 및 상기 제 1 전압원이 인가되는 소스단자를 갖는 제 9 스위칭소자를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

청구항 9.

제 7 항에 있어서,

상기 스테이지들 중 홀수 번째 스테이지에서의 상기 제 8 스위칭소자의 드레인단자에 인가되는 클럭펄스와 짝수 번째 스테이지에서의 제 8 스위칭소자의 드레인단자에 인가되는 클럭펄스는 서로 180도 반전된 관계에 있는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터

청구항 10.

제 5 항에 있어서,

상기 각 출력부는 상기 제 1 노드에 연결된 게이트 단자, 클럭펄스가 인가되는 드레인단자, 및 상기 게이트 라인에 연결된 소스단자를 갖는 제 10 스위칭소자; 및

상기 제 2 노드엔 연결된 게이트 단자, 상기 제 10 스위칭소자의 소스단자에 연결된 드레인단자, 및 상기 제 1 전압원이 인가되는 소스단자를 갖는 제 11 스위칭소자를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

청구항 11.

제 10 항에 있어서,

각 출력부의 제 10 스위칭소자들의 각 드레인단자에 인가되는 클럭펄스들간에는 서로 한 펄스폭만큼씩 위상차이가 있는 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

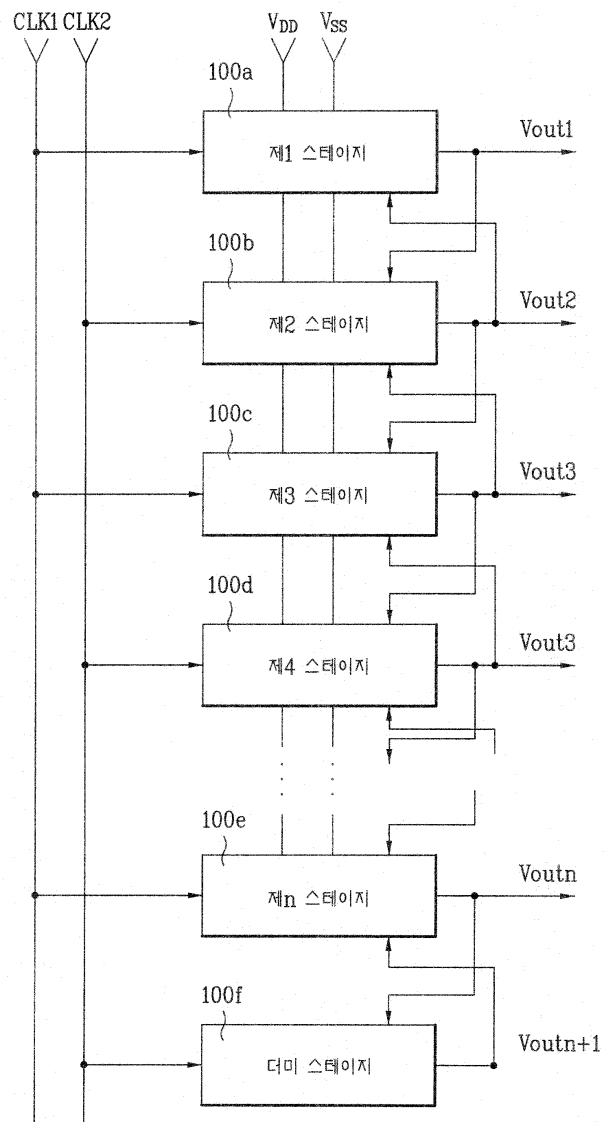
청구항 12.

제 10 항에 있어서,

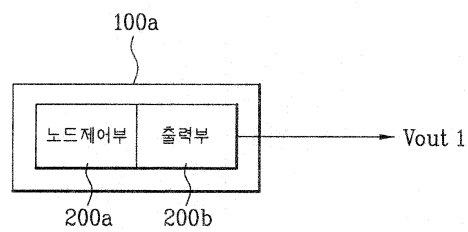
상기 각 출력부의 제 10 스위칭소자들의 각 드레인에 인가되는 클럭펄스들의 총 펄스폭은 상기 제 8 스위칭소자의 드레인 단자에 인가되는 클럭펄스의 펄스폭과 동일한 것을 특징으로 하는 액정표시장치의 쉬프트 레지스터.

도면

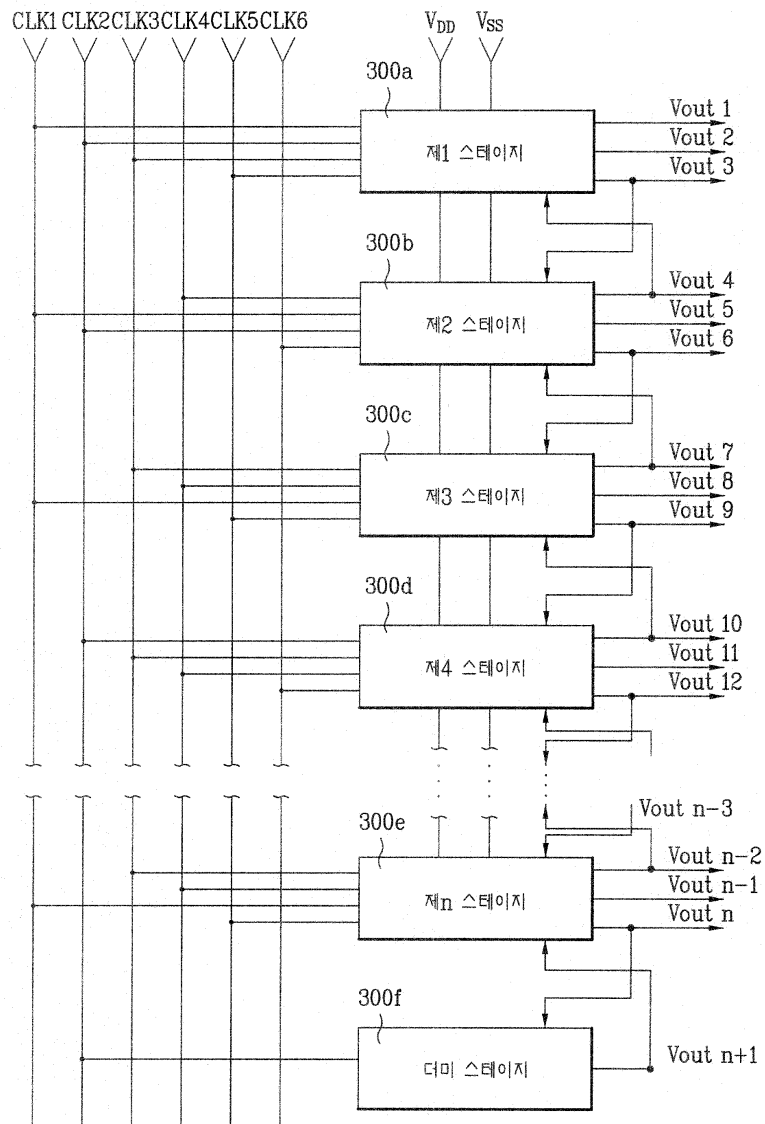
도면1



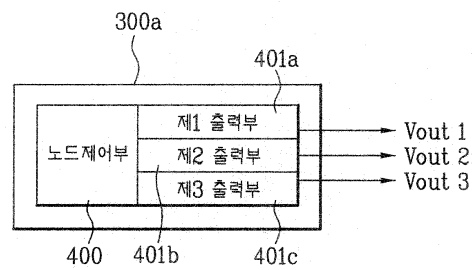
도면2



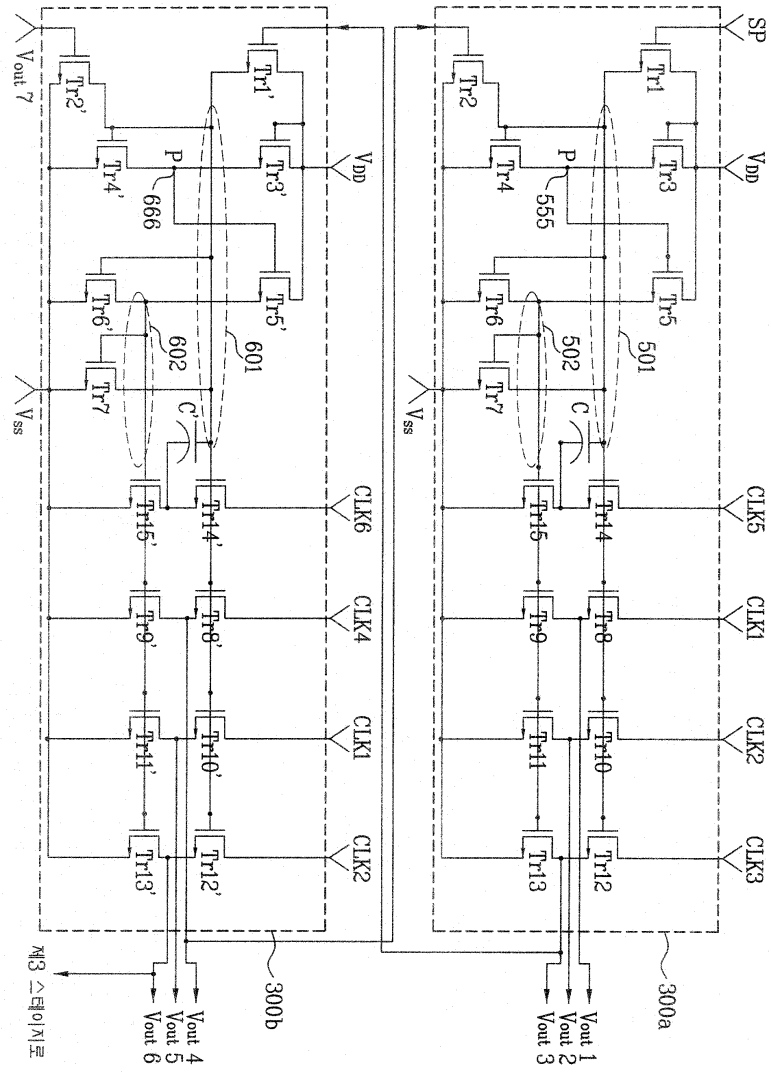
도면3



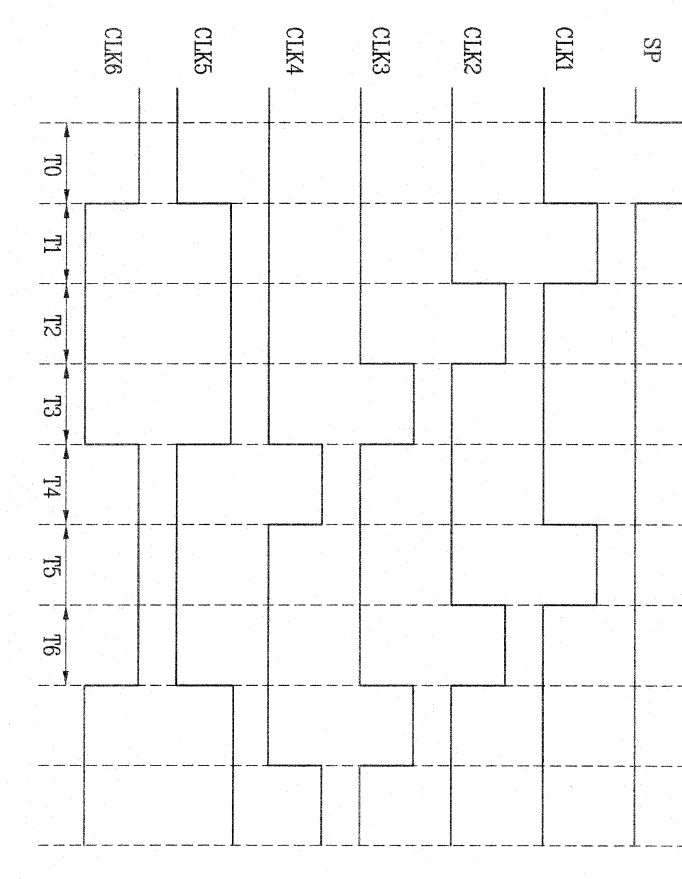
도면4



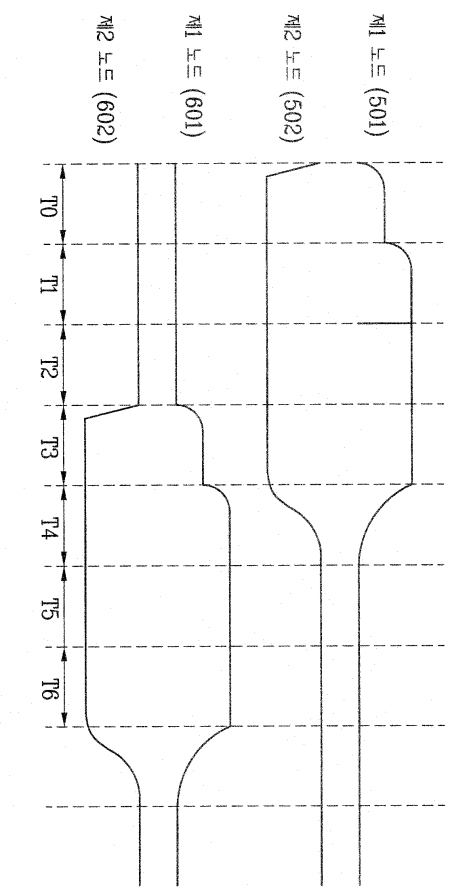
도면6



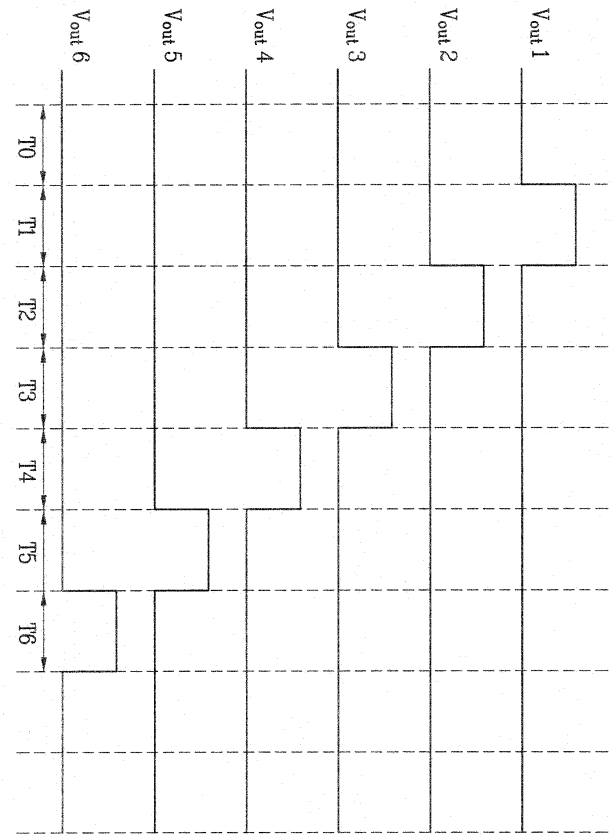
도면7a



도면7b



도면7c



专利名称(译)	液晶显示器的移位寄存器		
公开(公告)号	KR1020060034059A	公开(公告)日	2006-04-21
申请号	KR1020040083191	申请日	2004-10-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BINN 김빈 MOON SUHWAN 문수환 YOON SOOYOUNG 윤수영		
发明人	김빈 문수환 윤수영		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2310/0286 G11C19/28		
代理人(译)	金勇 新昌		
其他公开文献	KR101055206B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置的移位寄存器，通过使用包括一个节点控制器的级来控制两个输出单元来减少节点控制器的数量。

