

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G02F 1/136(11) 공개번호 10-2005-0030326
(43) 공개일자 2005년03월30일(21) 출원번호 10-2003-0066548
(22) 출원일자 2003년09월25일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 오광식
서울특별시은평구불광1동245-7번지101호
이천수
충청북도청주시흥덕구가경동768번지신라아파트2-711호
(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 높은 전류 밀도를 갖는 박막트랜지스터를 형성하도록 한 액정표시장치 및 그 제조방법에 관한 것으로서, 투명 기판상에 형성되는 게이트 전극과, 상기 게이트 전극을 포함한 투명 기판의 전면에 형성되는 게이트 절연막과, 상기 게이트 절연막상에 상기 게이트 전극과 대응되고 상기 게이트 전극을 감싸면서 제 1 도전형 불순물 이온이 도핑된 액티브층과, 상기 액티브층의 양측단에 서로 분리되어 형성되는 소오스 전극 및 드레인 전극과, 상기 소오스 전극과 드레인 전극 사이의 반도체층내에 형성되는 제 2 도전형 불순물 영역과, 상기 드레인 전극의 표면이 소정부분 노출되도록 콘택홀을 갖고 상기 투명 기판의 전면에 형성되는 보호막과, 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소전극을 포함하여 이루어짐을 특징으로 한다.

대표도

도 3

색인어

MOS, 박막트랜지스터, 액정표시장치, 이온도핑

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치를 나타낸 평면도

도 2a 내지 도 2f는 종래의 액정표시장치의 제조방법을 나타낸 공정단면도

도 3은 본 발명에 의한 액정표시장치를 나타낸 단면도

도 4a 내지 도 4g는 본 발명에 의한 액정표시장치의 제조방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

51 : 유리 기판 52 : 게이트 전극

53 : 게이트 절연막

54 : n+ 불순물이 도핑된 비정질 실리콘층

55 : 소오스 전극 56 : 드레인 전극

57 : p+ 불순물 영역 58 : 보호막

59 : 콘택홀 60 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히 높은 전류 밀도 구현이 가능한 액정표시장치 및 그 제조방법에 관한 것이다.

정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 증증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이 하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

일반적인 액정 표시 장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동 신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 일정 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.

여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소 영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성된다.

그리고, 제 2 유리 기판(칼라 필터 어레이 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 차광층과, 칼라 색상을 표현하기 위한 R, G, B 칼라 필터층과 화상을 구현하기 위한 공통 전극이 형성된다.

이와 같은 상기 제 1, 제 2 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 씨일(seal)재에 의해 합착되어 상기 두 기판 사이에 액정이 주입된다.

한편, 상기 박막트랜지스터는 활성층으로 반도체막을 이용한다. 상기 반도체막은 비정질 실리콘 또는 결정성 실리콘으로 형성된다. 저온에서 기상 퇴적법으로 비교적 용이하게 제조될 수 있고 따라서 양산에 적합한 비정질 실리콘으로 형성된 반도체막을 가장 널리 사용했다.

그러나 상기 결정성 실리콘으로 형성된 반도체막을 포함하는 박막트랜지스터는 고속 동작을 실현하도록 큰 전류에 대한 충분한 구동능력을 가지며, LCD의 주변 구동 회로가 동일 기판상에서 표시부와 일체로 형성될 수 있게 한다. 이러한 이유들 때문에, 결정성 실리콘을 포함하는 박막트랜지스터가 오늘날 주목을 받고 있다.

도 1은 일반적인 액정표시장치를 나타낸 평면도이다.

도 1에 도시한 바와 같이, 하부 기판(10)상에 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(11)이 배열되고, 상기 게이트 라인(11)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(12)이 배열된다.

그리고 상기 게이트 라인(11)과 데이터 라인(12)이 교차되어 정의된 각 화소영역(P)에는 매트릭스 형태로 형성되는 화소전극(16)과, 상기 게이트 라인(11)의 신호에 의해 스위칭되어 상기 데이터 라인(12)의 신호를 상기 각 화소전극(16)에 전달하는 복수개의 박막트랜지스터가 형성된다.

여기서, 상기 박막 트랜지스터는 상기 게이트 라인(11)으로부터 돌출되어 형성되는 게이트 전극(13)과, 전면에 형성된 게이트 절연막(도면에는 도시되지 않음)과, 상기 게이트 전극(13) 상측의 게이트 절연막위에 형성되는 반도체층(14)과, 상기 데이터 라인(12)으로부터 돌출되어 형성되는 소오스 전극(15a)과, 상기 소오스 전극(15a)에 일정한 간격을 갖고 형성되는 드레인 전극(15b)을 포함하여 구성되어 있다.

여기서, 상기 드레인 전극(15b)은 상기 콘택홀(17)을 통해 상기 화소전극(16)과 전기적으로 연결되어 있다.

한편, 상기와 같이 구성된 하부 기관(10)은 일정한 공간을 갖고 상부 기관(도시되지 않음)과 합착된다.

여기서, 상기 상부 기관에는 하부 기관(10)에 형성된 화소영역(P)과 각각 대응되는 개구부를 가지며 광 차단 역할을 수행하는 블랙 매트릭스(black matrix)층과, 칼라 색상을 구현하기 위한 적/녹/청(R/G/B) 컬러 필터층 및 상기 화소 전극(반사전극)(16)과 함께 액정을 구동시키는 공통전극을 포함하여 구성되어 있다.

이와 같은 하부 기관(10)과 상부 기관은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 실(seal)제에 의해 합착된 두 기관 사이에 액정이 주입된다.

이하, 첨부된 도면을 참고하여 종래의 액정표시장치의 제조방법을 설명하면 다음과 같다.

도 2a 내지 도 2f는 종래의 액정표시장치의 제조방법을 나타낸 공정단면도이다.

도 2a에 도시한 바와 같이, 투명한 유리 기관(41)상에 Al, Al-Pd, Al-Si, Al-Si-Ti, Al-Si-Cu, Al 합금 등으로 된 금속 중에서 선택하여 스퍼터링법에 의해 200~4000 Å의 두께로 금속막을 증착한다.

이어, 상기 금속막을 포토 및 식각 공정을 통해 선택적으로 에칭하여 상기 유리 기관(41)상에 게이트 전극(42)을 형성한다.

여기서, 상기 게이트 전극(42)이 양극산화 가능한 금속일 경우에는 힐락(hillock) 방지를 위해 게이트 전극(42)을 양극 산화할 수 있다.

도 2b에 도시한 바와 같이, 상기 게이트 전극(42)을 포함한 유리 기관(41)의 전면에 실리콘 질화막 또는 실리콘 산화막으로 이루어진 게이트 절연막(43)을 형성한다.

이어, 상기 게이트 절연막(43)상에 비정질 실리콘층(a-Si layer)(44)과 오믹 콘택층(n+)(45)을 차례로 형성한다.

도 2c에 도시한 바와 같이, 포토 및 식각 공정을 통해 상기 오믹 콘택층(45) 및 비정질 실리콘층(44)을 선택적으로 제거하여 액티브층(44a)을 형성한다.

여기서, 상기 액티브층(44a)은 상기 게이트 전극(42)과 대응되면서 상기 게이트 전극(42)을 감싸고 형성되어 있다.

도 2d에 도시한 바와 같이, 상기 유리 기관(41)의 전면에 금속막을 증착하고, 포토 및 식각 공정을 통해 상기 금속막을 선택적으로 제거하여 전기적으로 분리된 소오스 전극(46)과 드레인 전극(47)을 형성한다.

여기서, 상기 소오스 전극(46)과 드레인 전극(47)을 형성하기 위해 상기 금속막을 식각하는 공정은 습식 식각(wet etch) 공정을 사용하고 있다.

또한, 상기 소오스 전극(46) 및 드레인 전극(47)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo) 등의 도전성 금속막을 사용한다.

그리고 상기 소오스 전극(46) 및 드레인 전극(47) 사이에 노출된 오믹 콘택층(45)을 건식 식각을 이용하여 선택적으로 제거하여 분리한다.

여기서, 상기 오믹 콘택층(45)을 제거할 때 그 하부의 액티브층(44a)도 소정 두께만큼 제거된다. 즉, 상기 오믹 콘택층(45)을 제거할 때 상기 액티브층(44a)에 데미지(damage)가 가해진다.

도 2e에 도시한 바와 같이, 상기 소오스 전극(46) 및 드레인 전극(47)을 포함한 유리 기관(41)의 전면에 보호막(48)을 형성하고, 상기 드레인 전극(47)의 표면이 소정부분 노출되도록 상기 보호막(48)을 선택적으로 제거하여 콘택홀(49)을 형성한다.

도 2f에 도시한 바와 같이, 상기 콘택홀(49)을 포함한 유리 기관(41)의 전면에 투명한 금속막을 증착한 후, 포토 및 식각 공정을 통해 상기 금속막을 선택적으로 제거하여 상기 콘택홀을 통해 상기 드레인 전극(47)과 전기적으로 연결되는 화소전극(50)을 형성한다.

그러나 상기와 같은 종래의 액정표시장치의 제조방법은 다음과 같은 문제점이 있었다.

즉, 소오스 전극 및 드레인 전극을 형성하기 위한 습식 식각 공정과 비정질 실리콘층을 선택적으로 제거하기 위한 건식 식각 공정을 실시함으로써 그 공정이 복잡하고 식각 공정시 액티브층에 데미지가 가해져 박막트랜지스터의 전류밀도가 저하된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로 공정을 단순화하면서 높은 전류 밀도를 갖는 박막트랜지스터를 형성하도록 한 액정표시장치 및 그 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 의한 액정표시장치는 투명 기판상에 형성되는 게이트 전극과, 상기 게이트 전극을 포함한 투명 기판의 전면에 형성되는 게이트 절연막과, 상기 게이트 절연막상에 상기 게이트 전극과 대응되고 상기 게이트 전극을 감싸면서 제 1 도전형 불순물 이온이 도핑된 액티브층과, 상기 액티브층의 양측단에 서로 분리되어 형성되는 소오스 전극 및 드레인 전극과, 상기 소오스 전극과 드레인 전극 사이의 반도체층내에 형성되는 제 2 도전형 불순물 영역과, 상기 드레인 전극의 표면이 소정부분 노출되도록 콘택홀을 갖고 상기 투명 기판의 전면에 형성되는 보호막과, 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소전극을 포함하여 이루어짐을 특징으로 한다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명에 의한 액정표시장치의 제조방법은 투명 기판상에 게이트 전극을 형성하는 단계, 상기 게이트 전극을 포함한 투명 기판의 전면에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막상에 제 1 도전형 불순물 이온이 도핑된 반도체층을 형성하는 단계, 상기 반도체층을 선택적으로 제거하여 액티브층을 형성하는 단계, 상기 액티브층의 양측단에 소오스 전극 및 드레인 전극을 형성하는 단계, 상기 소오스 전극과 드레인 전극 사이의 반도체층내에 제 2 도전형 불순물 영역을 형성하는 단계, 상기 드레인 전극의 표면이 소정부분 노출되도록 콘택홀을 갖는 보호막을 투명 기판의 전면에 형성하는 단계, 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 액정표시장치 및 그 제조방법을 설명하면 다음과 같다.

도 3은 본 발명에 의한 액정표시장치를 나타낸 단면도이다.

도 3에 도시한 바와 같이, 투명한 유리 기판(51)상의 일정영역에 형성되는 게이트 전극(52)과, 상기 게이트 전극(52)을 포함한 투명 기판(51)의 전면에 형성되는 게이트 절연막(53)과, 상기 게이트 절연막(53)상에 상기 게이트 전극(52)과 대응되고 상기 게이트 전극(52)을 감싸면서 n^+ 불순물 이온이 도핑된 액티브층(54a)과, 상기 액티브층(54a)의 양측단에 오버랩되고 서로 일정한 간격을 갖고 분리되어 형성되는 소오스 전극(55) 및 드레인 전극(56)과, 상기 소오스 전극(55)과 드레인 전극(56) 사이의 액티브층(54a)내에 형성되는 p^+ 불순물 영역(57)과, 상기 드레인 전극(56)의 표면이 소정부분 노출되도록 콘택홀(59)을 갖고 상기 투명 기판(51)의 전면에 형성되는 보호막(58)과, 상기 콘택홀(59)을 통해 상기 드레인 전극(56)과 전기적으로 연결되는 화소전극(60)을 포함하여 구성된다.

여기서, 상기 게이트 전극(52)과 p^+ 불순물 영역(57) 및 그 양측에 n^+ 불순물 이온이 도핑된 액티브층(54a)에 의해 NMOS 트랜지스터가 구현된다.

즉, p^+ 불순물 영역(57)이 채널영역이 되고, 그 양측의 액티브층(54a)은 소오스 영역과 드레인 영역이 된다.

상기와 같이 구성된 NMOS 트랜지스터의 동작원리를 설명하면 다음과 같다.

즉, 기본적으로 채널 전도도는 게이트 절연막(53)에 인가된 전위차에 의해서 액티브층(54a) 표면에 유도된 전하들에 의해 조절된다.

상기 게이트 전극(52)에 인가된 양전압은 액티브층(54a)에 음전하를 유도하고, 상기 p^+ 불순물 영역(57)에서 다수 캐리어인 정공을 밀어낸다.

이러한 작용은 표면저하를 조절하는데, 사실은 표면전하농도를 액티브층(54a) 벌크의 전하 농도보가 감소시켜서 표면에 공핍층이 형성되도록 한다.

만약, 점점 더 큰 양전압이 게이트 전극(52)에 인가된다면, 표면에서의 소수 캐리어인 전자의 농도는 다수 캐리어인 정공의 농도와 비교할 만 해진다.

이런 현상은, 정공이 계속해서 채널영역으로부터 밀려남에 따라 n^+ 형의 소오스와 드레인 접합에서부터 전자가 게이트의 양전압의 영향을 받아 채널로 이동되기 때문이다.

결국 게이트의 양전압이 충분히 커진 경우에는 표면에서의 전자 농도가 국부적으로 정공의 농도보다 커지게 되는 데, 이런 경우에 표면 영역이 반전(inversion)되었다고 한다.

이 반전영역이 n 형 소오스와 드레인을 연결하기 때문에 저항이 있는 채널이 생겨서 MOS 트랜지스터는 ON 상태가 된다.

반전이 일어나기 전에는 채널이 명확하게 형성되지 않아서 소오스와 드레인 사이에 전도 통로가 생기지 않는데, 이때를 MOS 트랜지스터의 OFF 상태라고 한다.

도 4a 내지 도 4g는 본 발명에 의한 액정표시장치의 제조방법을 나타낸 공정단면도이다.

도 4a에 도시한 바와 같이, 투명한 유리 기판(51)상에 금속막을 증착한다.

여기서, 상기 금속막은 Mo, Al, Al-Pd, Al-Si, Al-Si-Ti, Al-Si-Cu, Al 합금 등으로 된 금속 중에서 선택하여 스퍼터링법에 의해 200 ~ 4000 Å의 두께로 증착한다.

이어, 상기 금속막을 포토 및 식각 공정을 통해 선택적으로 에칭하여 상기 유리 기판(51)상에 게이트 전극(52)을 형성한다.

한편, 상기 게이트 전극(52)을 Al과 같이 비저항이 낮은 금속으로 만들어 신호지연을 줄인다. 그러나 순수한 Al은 화학적 내성이 약하고, 200℃ 이상에서 특정 부위가 수 μm 까지 성장하는 힐록(hillock)이 생기므로 상온에서 양극산화 공정으로 표면에 Al_2O_3 을 피막하거나 MoW 등과 같은 금속막을 클래드(clad) 구조로 적층하여 사용한다.

여기서, 상기 적층된 구조물의 금속막의 비저항은 순수한 Al보다 낮지만 화학적 내성과 열적 안정성이 뛰어나 Al-Nd과 같은 Al합금을 게이트 금속막으로 사용한다.

또한, 상기 게이트 전극(52)을 식각할 때 모서리가 어느 정도 경사지게 하여 게이트선의 스텝 커버리지 때문에 생기는 소오스/드레인 금속막의 단선을 방지한다.

도 4b에 도시한 바와 같이, 상기 게이트 전극(52)을 포함한 유리 기판(51)의 전면에 실리콘 산화막 또는 실리콘 질화막 등을 이용하여 게이트 절연막(53)을 형성한다.

여기서, 상기 게이트 절연막(53)은 비정질 실리콘 TFT인 경우에는 실리콘 질화막이 사용되고, 저온 폴리-실리콘 TFT인 경우에는 실리콘 산화막을 사용한다.

이어, 상기 게이트 절연막(53)상에 n+ 불순물 이온이 도핑된 비정질 실리콘층(54)을 형성한다.

도 4c에 도시한 바와 같이, 포토 및 식각 공정을 통해 상기 비정질 실리콘층(54)을 선택적으로 제거하여 액티브층(54a)을 형성한다.

여기서, 상기 액티브층(54a)은 상기 게이트 전극(52)과 대응되면서 상기 게이트 전극(52)을 감싸고 형성되어 있다.

도 4d에 도시한 바와 같이, 상기 유리 기판(51)의 전면에 금속막을 증착하고, 포토 및 식각 공정을 통해 상기 금속막을 선택적으로 제거하여 전기적으로 분리되고 상기 액티브층(54a)의 양측단에 소정부분이 오버랩되는 소오스 전극(55)과 드레인 전극(56)을 형성한다.

여기서, 상기 금속막은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo) 등의 도전성 금속막을 사용한다.

도 4e에 도시한 바와 같이, 상기 소오스 전극(55) 및 드레인 전극(56)을 마스크로 이용하여 노출된 상기 n+ 불순물 이온이 도핑된 비정질 실리콘층(54)에 p+ 불순물 이온을 주입하여 p형 불순물 영역(57)을 형성한다.

여기서, 상기 n+ 불순물 이온은 $10^{15} \sim 10^{18}$ 도즈량을 갖고, 상기 p+ 불순물 이온은 $10^{18} \sim 10^{20}$ 도즈량을 갖는다.

도 4f에 도시한 바와 같이, 상기 소오스 전극(55) 및 드레인 전극(56)을 포함한 유리 기판(51)의 전면에 보호막(58)을 형성하고, 상기 드레인 전극(56)의 표면이 소정부분 노출되도록 상기 보호막(58)을 선택적으로 제거하여 콘택홀(59)을 형성한다.

여기서, 상기 보호막(58)은 질화 실리콘(Si_3N_4) 또는 산화 실리콘(SiO_2) 등의 무기 절연물질, 또는 아크릴(Acryl)계 유기화합물, 테프론(Teflon), BCB(benzocyclobuten), 사이토프(Cytop) 또는 PFCB(Perfluorocyclobutane) 등의 유전 상수가 작은 유기물질 중에서 적어도 하나를 선택하여 형성한다.

도 4g에 도시한 바와 같이, 상기 콘택홀(59)을 포함한 유리 기판(51)의 전면에 투명한 금속막을 증착한 후, 포토 및 식각 공정을 통해 선택적으로 제거하여 상기 콘택홀(59)을 통해 상기 드레인 전극(56)과 전기적으로 연결되는 화소 전극(60)을 형성한다.

여기서, 상기 화소전극(60)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속을 사용한다.

한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 액정표시장치 및 그 제조방법은 다음과 같은 효과가 있다.

첫째, n+ 불순물이 도핑된 비정질 실리콘층을 단을 증착한 후, p+ 불순물 이온 도핑을 공정을 추가로 실시함으로써 높은 전류 밀도를 갖는 TFT-LCD를 구현할 수 있다.

둘째, 높은 전류 밀도를 갖는 TFT-LCD를 구현함으로써 패널의 품질을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

투명 기판상에 형성되는 게이트 전극과,

상기 게이트 전극을 포함한 투명 기판의 전면에 형성되는 게이트 절연막과,

상기 게이트 절연막상에 상기 게이트 전극과 대응되고 상기 게이트 전극을 감싸면서 제 1 도전형 불순물 이온이 도핑된 액티브층과,

상기 액티브층의 양측단에 서로 분리되어 형성되는 소오스 전극 및 드레인 전극과,

상기 소오스 전극과 드레인 전극 사이의 반도체층내에 형성되는 제 2 도전형 불순물 영역과,

상기 드레인 전극의 표면이 소정부분 노출되도록 콘택홀을 갖고 상기 투명 기판의 전면에 형성되는 보호막과,

상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소전극을 포함하여 이루어짐을 특징으로 하는 액정 표시장치.

청구항 2.

제 1 항에 있어서, 상기 제 1 도전형은 n형, 제 2 도전형은 p형 불순물인 것을 특징으로 하는 액정표시장치.

청구항 3.

투명 기판상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함한 투명 기판의 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막상에 제 1 도전형 불순물 이온이 도핑된 반도체층을 형성하는 단계;

상기 반도체층을 선택적으로 제거하여 액티브층을 형성하는 단계;

상기 액티브층의 양측단에 소오스 전극 및 드레인 전극을 형성하는 단계;

상기 소오스 전극과 드레인 전극 사이의 반도체층내에 제 2 도전형 불순물 영역을 형성하는 단계;

상기 드레인 전극의 표면이 소정부분 노출되도록 콘택홀을 갖는 보호막을 투명 기판의 전면에 형성하는 단계;

상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 단계를 포함하여 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 4.

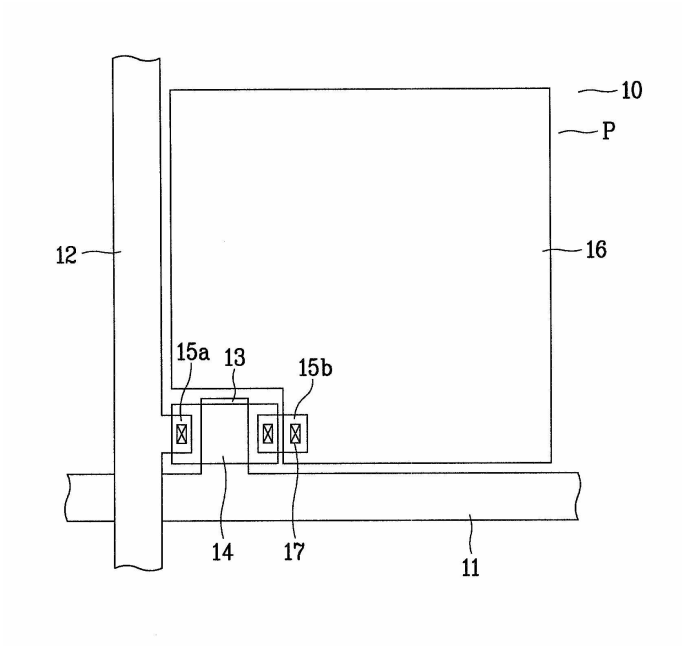
제 3 항에 있어서, 상기 제 1 도전형 불순물 이온은 $10^{15} \sim 10^{18}$ 의 도즈량을 갖는 것을 특징으로 액정표시장치의 제조방법.

청구항 5.

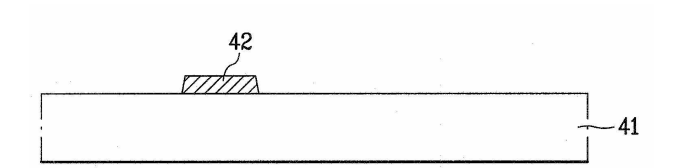
제 3 항에 있어서, 상기 제 2 도전형 불순물 이온은 $10^{18} \sim 10^{20}$ 의 도즈량을 갖는 것을 특징으로 하는 액정표시장치의 제조방법.

도면

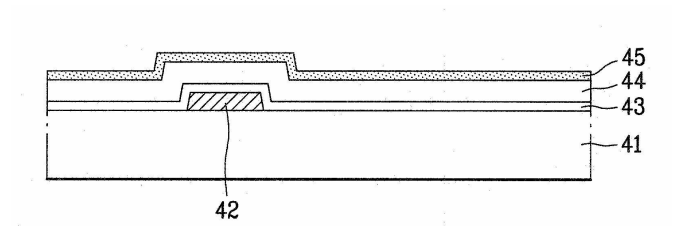
도면1



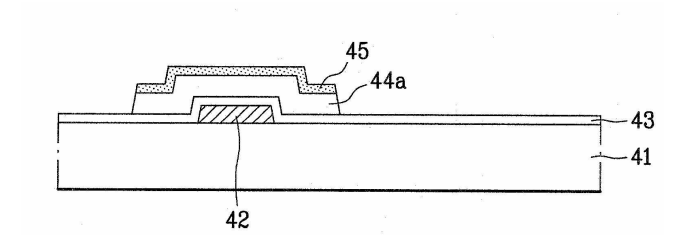
도면2a



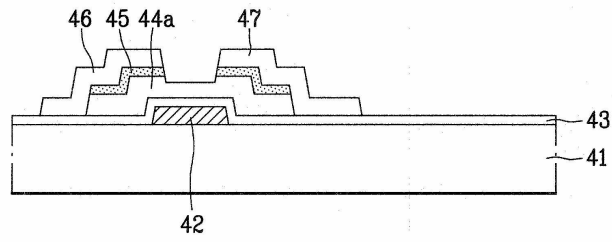
도면2b



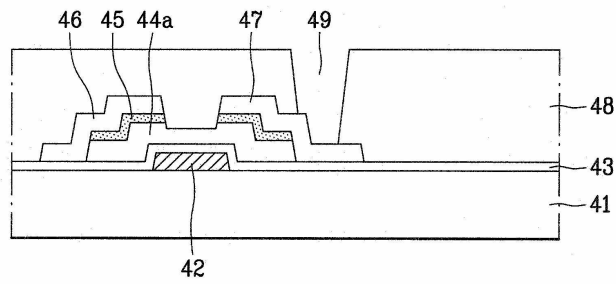
도면2c



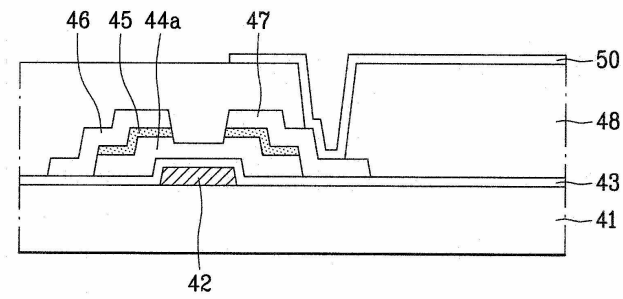
도면2d



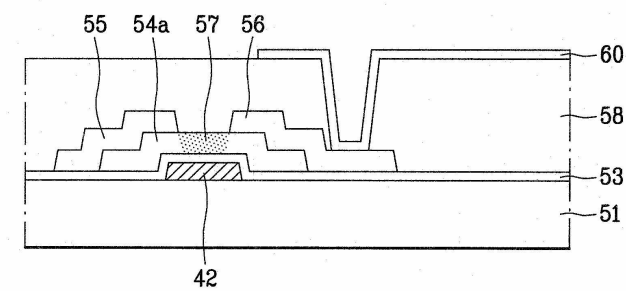
도면2e



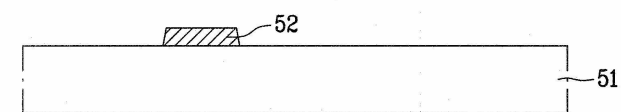
도면2f



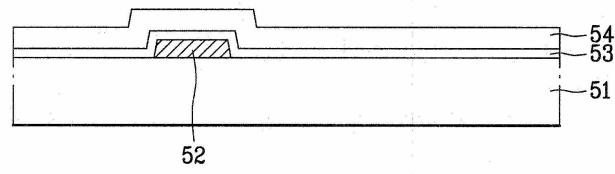
도면3



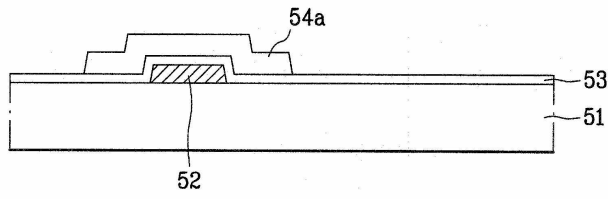
도면4a



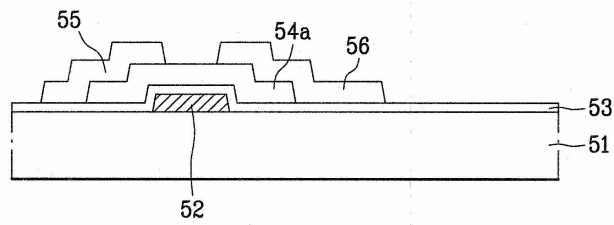
도면4b



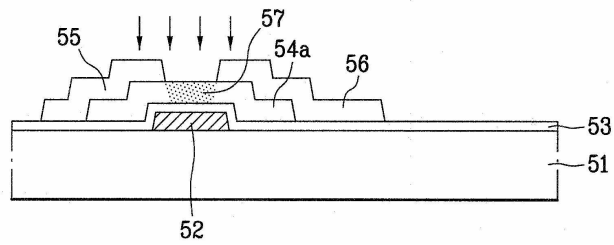
도면4c



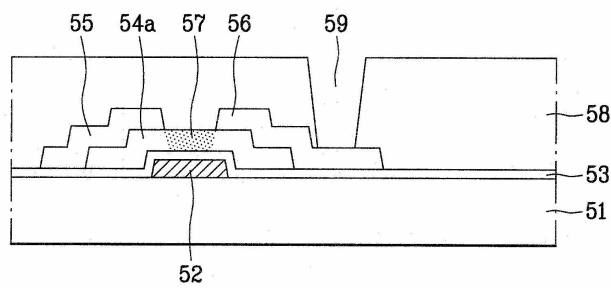
도면4d



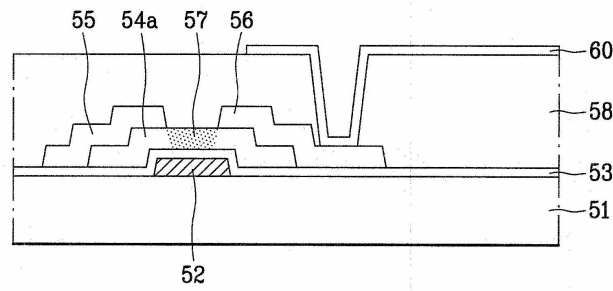
도면4e



도면4f



도면4g



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020050030326A	公开(公告)日	2005-03-30
申请号	KR1020030066548	申请日	2003-09-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH KWANGSIK 오광식 LEE CHEONSOO 이천수		
发明人	오광식 이천수		
IPC分类号	G02F1/136		
代理人(译)	金勇 新昌		
其他公开文献	KR100977223B1		
外部链接	Espacenet		

摘要(译)

本发明涉及用于形成具有高电流密度的薄膜晶体管的液晶显示装置的制造方法。并且其特征在于包括形成p型杂质区的步骤，通过在透明基板中形成栅电极的步骤将p+杂质离子注入其使用的暴露的有源层中，形成栅极绝缘层的步骤在包括栅电极的透明基板的正面，形成台阶的步骤，以及在栅极绝缘层掺杂的半导体层上选择性地去除上述半导体层的n+杂质离子的有源层，形成的步骤有源层和漏电极两侧的源电极，源电极和漏电极的掩模，以及形成与透明基板的正面上形成的台阶电连接的像素电极的步骤，以及漏电极通过接触孔，具有接触孔的保护膜暴露并形成t漏电极的表面。 MOS，薄膜晶体管，液晶显示器，离子掺杂。

