# (19)대한민국특허청(KR)
# (12) 공개특허공보(A)

(51) 。Int. Cl. 7
G09G 3/36

(11) 공개번호 특2003-0041787
(43) 공개일자 2003년05월27일

(21) 출원번호 10-2002-0071522
(22) 출원일자 2002년11월18일

(30) 우선권주장 JP-P-2001-00353282 2001년11월19일 일본(JP)

(71) 출원인 엔이씨 일렉트로닉스 코포레이션
일본 211-8668 가나가와껭 가와사끼시 나까하라꾸 시모누마베 1753

(72) 발명자 카토후미히코
일본국야마가타켄야마가타시키타마치4-12-12닛뽄덴끼야마가타(주)내

(74) 대리인 최달용

심사청구 : 있음

## (54) 디스플레이 제어 회로와 디스플레이 장치

## 요약

소비 전력이 감소된 디스플레이 제어 회로(100)가 개시된다. 디스플레이 제어 회로(100)는 다수의 출력 셀(3-1 내지 3-N)을 포함한다. 각각의 출력 셀은 디스플레이 데이터(DIN)에 따라 출력 단자를 그레이 레벨 전압으로 구동하기 위한 증폭 회로(35)를 포함한다. 증폭 회로(35)는 출력 단자가 실질적으로 그레이 레벨 전압일 때 출력이 고임피던스인 데드 존을 포함한다. 증폭 회로(21)는 그레이 레벨 전압 부근에서 출력 단자(PS)에 대한 구동을 제공하기 위해 포함된다. 이렇게, 증폭 회로(35)에 의한 큰 구동과 증폭 회로(21)에 의한 작은 구동 강도를 제공함으로써, 전류 소비는 감소된다.

## 대표도

도 1

## 색인어

디스플레이 제어 회로, 디스플레이 제어 장치

## 명세서

## 도면의 간단한 설명

도 1은 일 실시예에 따른 디스플레이 제어 회로의 개략적인 회로도.

도 2는 AB급 증폭 회로의 개략적인 회로도.

도 3은 일 실시예에 따른 B급 증폭 회로의 개략적인 회로도.

도 4는 일 실시예에 따른 B급 증폭 회로의 개략적인 회로도.

도 5는 일 실시예에 따른 액정 디스플레이 장치의 개략적인 블록도.

도 6은 일 실시예에 따른 디스플레이 제어 장치의 개략적인 회로도.

도 7은 일 실시예에 따른 B급 증폭 회로의 개략적인 회로도.

도 8은 일 실시예에 따른 도 6의 디스플레이 제어 회로의 시뮬레이션 파형도.

도 9는 일 실시예에 따른 디스플레이 제어 회로와 종래의 디스플레이 제어 회로에 대한 전류 소비의 시험적인 계산 결과를 도시하는 그래프.

도 10은 종래의 소스 드라이버의 개략적인 회로도.

도 11은 종래의 소스 드라이버의 개략적인 회로도.

도 12는 종래의 소스 드라이버의 종래의 출력 셀의 개략적인 회로도.

♠도면의 주요 부분에 대한 부호의 설명♠

1 : γ 전원 발생 회로 2 : 버퍼

3-1 내지 3-N : 출력 셀 4-1 : 고전원

4-2 : 저전원 31 : 래치

32, 33, 1133 : D/A 변환기 35, 635 : B급 증폭 회로

100 : 디스플레이 제어 회로 500 : 액정 디스플레이 장치

501 : 디스플레이 제어 회로 502 : TFT 회로

503 : 주사 회로 504 : 선택기 회로

505 : 소스 라인 506 : 게이트 라인

507 : TFT

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

기술분야

본 발명은 매트릭스 형태로 정렬된 다수의 단위 픽셀의 디스플레이를 제어하기 위한 디스플레이 제어 장치에 관한 것으로, 특히 능동 매트릭스 구동 액정 디스플레이 장치, 유기 EL(Electro-Luminescent) 디스플레이 장치 등과 같은 디스플레이 장치의 데이터 라인에 이미지 정보에 대응하는 데이터 전압을 제공하기 위한 소스 드라이버(source driver)를 포함하는 디스플레이 제어 장치에 관한 것이다.

발명의 배경

고품질, 고밀도, 저전력 디스플레이로 인해, TFT(Thin Film Transistor)와 같은 평판 디스플레이 장치가 개인용 컴퓨터(랩탑형), 휴대형 전화기 등에서 디스플레이 장치로 널리 사용되고 있다.

평판 디스플레이 장치는 다수의 데이터 라인과 다수의 주사 라인을 포함한다. TFT와 같은 능동 소자는 데이터 라인과 주사 라인의 교차점에 매트릭스 형태로 정렬된다. 대응하는 주사 라인에 선택 전압이 제공될 때, 대응하는 능동 소자(대응하는 주사 라인에 의해 형성된 행(row)의 능동 소자)는 온되고 데이터 라인에 제공된 전압은 (예를 들면, 액정 소자 상의) 디스플레이 셀에 축적된다. 주사 라인이 비선택 상태에 있을 때, 디스플레이 셀에 축적된 전압은 유지되어 액정으로 주어져서, 디스플레이를 수행하게 된다. 디스플레이 셀은 이미지 디스플레이 데이터의 각 도트(픽셀)에 대응하여 마련되고 저장된 전압 레벨이 각 도트 디스플레이의 그레이 레벨에 따라 변하도록 제어된다. 또한, 칼라 디스플레이가 수행될 때, 삼원색의 하나를 각각 갖는 세 개의 디스플레이 셀이 각각의 도트에 대해 마련되고 삼원색의 각 그레이 레벨은 세 개의 디스플레이 셀 각각에 유지된 전압에 의해 제어되어 칼라 디스플레이를 수행하게 된다.

디스플레이 제어 회로는 데이터 라인일 수 있는 소스 라인을 구동하기 위한 소스 드라이버를 포함한다. 도 10을 참조하면, 종래의 소스 드라이버의 개략적인 회로도가 도면 부호 1000으로 도시되어 있다. 종래의 소스 드라이버(1000)는 일본 특개평 4-242788호에 개시되어 있다. 종래의 소스 드라이버(1000)에 있어서, 각 픽셀의 이미지 데이터는 디지털 데이터로서 데이터 버스(DIN) 상에 주어진다. 상기 버스(DIN)는 다수의 출력 셀(1003-1 내지 1003-N)에 연결된다. 그레이 레벨 전압(VR1 내지 VR64)은 γ 전원 발생 회로(1)로부터 각각의 출력 셀(1003-1 내지 1003-N)에 주어진다. 설명에 따르면, 레드(R), 그린(G), 및 블루(B) 각각의 칼라에 대해서 64-그레이 레벨 디스플레이를 수행하기 위한 디스플레이 장치에 있어서, 64 그레이 레벨 전압(VR1 내지 VR64)이 생성된다. 이들 전압은 전원(4-1 및 4-2) 사이에 직렬로 연결된 65개의 저항기 사이의 각 접촉점에서 얻어진다. 직렬로 연결된 각 저항기의 저항값은 균일하지 않지만 사람이 봤을 때 각 그레이 레벨의 명암이 자연적인 그레이 레벨이 되도록 γ-보정된 저항값이다.

디스플레이 장치의 각 소스 라인으로의 이미지 데이터는 데이터 버스(DIN)로 직렬로 전송된다. 각각의 출력 셀(1003-1 내지 1003-N)은 래치(31), 디지털-아날로그(D/A) 변환기(32), 및 AB급 증폭 회로(1034)를 포함한다. 데이터 래치 신호(DL)에 응답하여 대응하는 이미지 데이터가 전송될 때, 래치(31)는 데이터를 래치한다. 래치(31)의 출력은 D/A 변환기(32)에 제공된다. D/A 변환기는 대응하는 그레이 레벨 전압(VR1 내지 VR64)을 선택하여 제공하기 위해 이미지 데이터를 디코드한다. D/A 변환기(32)의 출력(D/A)은 AB급 증폭 회로(1034)의 비반전 입력에 제공된다. AB급 증폭 회로(1034)는 출력이 반전 입력으로 피드백되는 연산증폭기이다. AB급 증폭 회로(1034)는 전압 폴로워(voltage follower)로서 동작한다. AB급 증폭 회로(1034)는 대응하는 출력 셀(1003-1 내지 1003-N)용 출력 단자(PS-1 내지 PS-N)에 마련된 그레이 레벨 전압(VR1 내지 VR64)에 대해 버퍼 기능을 수행한다.

각각의 출력 단자(PS-1 내지 PS-N)는 디스플레이 장치의 대응하는 소스 라인 에 연결된다. 이와 같이, 각 출력 단자(PS-1 내지 PS-N)는 아주 큰 부하 용량을 갖게 된다. 따라서, 각 출력 단자(PS-1 내지 PS-N)는 버퍼를 제공하는 AB급 증폭 회로(1034)에 의해 구동되어, 고속 동작이 달성된다.

그러나, 각 소스 라인이 아주 큰 부하 용량을 갖기 때문에, AB급 증폭 회로(1034)에 대해 아주 높은 전류 구동 성능이 요구된다. 그 결과, 출력 단자(PS-1 내지 PS-N)가 목표 그레이 레벨 전압(VR1 내지 VR64)까지 구동된 이후에도, AB급 증폭 회로(1034)는 출력 단자(PS-1 내지 PS-N)를 통해 고전압 레벨에서 저전압 레벨로의 전압 경로를 제공하는 드라이버 회로부를 통해 전류를 소비한다. 또한, 전류는 AB급 증폭 회로(1034)의 드라이버 회로부의 트랜지스터의 크기에서의 증가에 비례하여 증가한다. 따라서, 출력 단자(PS-1 내지 PS-N)에 제공되는 그레이 레벨 전압(VR1 내지 VR64)이 변경되지 않는 경우에도, AB급 증폭 회로(1034)는 아주 큰 양의 전력을 소모하게 된다.

도 11을 참조하면, 종래의 소스 드라이버의 개략적인 회로도가 도면 부호 1100으로 도시되어 있다. 종래의 소스 드라이버(1100)는 일본 특개평 10-326084호에 개시되어 있다. 종래의 소스 드라이버(1100)는 출력 셀(1103-1 내지 1103-N)에 AB급 증폭 회로(1034)가 포함되어 있지 않다는 점에서 종래의 소스 드라이버(1000)와는 상이하다. 대신, 그레이 레벨 전압(VR1 내지 VR64)을 제공하기 위해 γ 전원 발생 회로(1)와 출력 셀(1103-1 내지 1103-N) 사이에 버퍼 회로(1102)가 포함된다. 그 외에는, 종래의 소스 드라이버(1100)는 종래의 소스 드라이버(1000)와 동일한 구성을 가지며, 동일한 구성에 대해서는 동일한 도면 부호를 병기한다.

버퍼 회로(1102)는 그레이 레벨 전압(VR1 내지 VR64)을 제공하기 위해 내부 버스 라인과 함께 출력 단자(PS-1 내지 PS-N)를 구동한다. 결과적으로, 종래의 소스 드라이버(1000)의 AB급 증폭 회로(1034)와 비교하여, 종래의 소스 드라이버(1100)에 있어서는, 버퍼(1102)의 각 AB급 증폭 회로의 출력부의 트랜지스터의 전류 능력을 더 증가시켜야만 한다. 이렇게 하여, 소비 전력은 더 증가된다.

종래의 소스 드라이버(1000 및 1100)에 따르면, 고속 동작을 위한 AB급 증폭 회로를 포함하는 버퍼는 소비 전력이 크다.

최근, 평판 디스플레이 장치의 사용이 증가하고 있다. 평판 디스플레이 장치가 휴대 장치 등에 사용될 때, 배터리 수

명을 늘이기 위해서는 소비 전력이 최소화되는 것이 바람직하다.

실질적인 고속 동작을 유지하면서 소비 전력을 더 줄이기 위한 종래의 소스 드라이버가 일본 특개평 11-305744호에 개시되어 있다. 도 12를 참조하면, 종래의 소스 드라이버의 종래의 출력 셀의 개략적인 회로도가 도면 부호 1200으로 도시되어 있다. 종래의 출력 셀(1200)은 일본 특개평 11-305744호에 개시되어 있다. 종래의 소스 드라이버의 종래의 출력 셀(1200)에 있어서, 이미지 디지털 데이터(DIN)와 그레이 전압 레벨(V1 내지 VM)이 디코더(1230)에 제공된다. 디코더(1230)는 데이터(DIN)의 값에 따라 그레이 레벨 전압(V1 내지 VM)을 선택하여 제공한다. 따라서, 디코더(1230)는 종래의 소스 드라이버(1000 및 1100)에서 설명된 D/A 변환기(32 및 1133)와 각각 등가이다. 그러나, 종래의 소스 드라이버의 종래의 출력 셀(1200)에 있어서, 출력 단자(OUT)는 연산증폭기 회로(1234)로 구성된 전압 폴 로워에 의해 구동된다. 연산증폭기 회로(1234)는 버퍼로서 기능하며 제어 신호(CONT)에 응답하여 활성 또는 비활성으로 될 수 있다. 종래의 출력 셀(1200)에 따르면, 제어 신호(CONT)가 활성 레벨(저레벨)을 가질 때, 연산증폭기 회로(1234)는 활성화되고 출력 단자(OUT)를 구동한다. 한편, 제어 신호(CONT)가 비활성 레벨(고레벨)을 가질 때, 연산증폭기 회로(1234)는 디스에이블되거나 비활성으로 되고 고임피던스 출력을 갖게 된다. 이렇게 하여, 연산증폭기 회로(1234)의 소비 전력이 실질적으로 0으로 된다.

종래의 출력 셀(1200)은 디코더(1230)의 출력과 출력 단자(OUT) 사이에 연결된 스위치 회로(1236)를 포함한다. 스위치 회로(1236)는 인버터(1238)와 전송 게이트(TG1)를 포함한다. 제어 신호(CONT)가 고레벨이 되면, 스위치 회로(1236)는 온되고 전송 게이트(TG1)는 디코더(1230)의 출력과 출력 단자(OUT) 사이에 저임피던스 경로를 제공한다. 이렇게 하여, 제어 신호(CONT)가 비활성 레벨에 있을 때, 연산증폭기 회로(1234)는 디스에이블되고 그레이 레벨 전압(V1 내지 VM)은 직접적으로 디코더(1230)에 의해 전송 게이트(TG1)를 통해 출력 단자(OUT)로 제공된다.

따라서, 새로운 이미지 데이터(DIN)가 제공될 때마다. 제어 신호(CONT)는 저레벨이 되고 출력 단자(OUT)는 연산증폭기 회로(1234)에 의해 고속으로 그레이 레벨 전압(V1 내지 VM) 또는 그 부근으로 구동된다. 그 후, 제어 신호(CONT)는 고레벨로 천이하여 연산증폭기 회로(1234)가 디스에이블되고 소비 전력이 감소되며 출력 단자(OUT)는 디코더(1230)에 의해 그레이 레벨 전압(V1 내지 VM)으로 직접적으로 구동된다. 따라서, 종래의 출력 셀(1200)에 따르면, 실질적인 고속 동작을 유지 하면서 소비 전력이 감소된다.

종래의 소스 드라이버의 종래의 출력 셀(1200)에 따르면, 제어 버퍼 연산증폭기 회로(1234)와 스위치 회로(1236)를 공통으로 제어하기 위해 제어 신호(CONT)가 사용되며, 따라서, 각 소자의 동작/비동작 타이밍은 제어 신호(CONT)에 의해 제공된다. 그러나, 디스플레이 셀과 소스 라인을 충전 및/또는 방전하는데 필요한 시간은 디스플레이 패턴에 따라 크게 변한다. 예를 들면, 초기 전압이 각각 0.2V인 디스플레이 셀과 소스 라인을 4.8V까지 충전하는데는 긴 시간이 걸린다. 이와 대조적으로, 디스플레이 셀과 소스 라인의 초기 전압이 각각 4.8V일 때, 4.8V를 제공하는데는 시간 또는 전류가 필요하지 않다. 그러나, 디스플레이 패턴에 따라 소스 라인을 충전 및/또는 방전하는데 필요한 시간을 고려한 스위칭 제어 신호(CONT)는 실질적으로 불가능하다. 제어 신호(CONT)가 너무 일찍 비활성 레벨로 전환되면, 소스 라인과 디스플레이 셀이 충분히 충전 또는 방전되지 않았기 때문에 요구되는 그레이 레벨이 얻어지지 않는다. 한편, 제어 신호(CONT)가 너무 늦게 비활성 레벨로 전환되면, 연산증폭기 회로(1234)에 의해 과도한 전류가 소모되어 전류 소비에서의 이점이 감소된다.

또한, 종래의 출력 셀(1200)을 사용하는 종래의 소스 드라이버의 설계는 이러한 타이밍을 제공하기 위한 제어 신호(CONT)의 발생으로 인해 복잡하게 된다.

상기의 관점에서, 상기 기술된 종래의 타이밍 제어없이 고속 동작이 수행될 수 있는 소스 드라이버로서의 디스플레이 제어 회로를 제공하는 것이 바람직하다. 또한, 저소비 전력을 실현하면서 고속 동작이 달성되는 소스 드라이버로서의 디스 플레이 제어 회로를 제공하는 것이 바람직하다.

## 발명이 이루고자 하는 기술적 과제

본 실시예에 따라서, 소비 전력이 감소된 디스플레이 제어 회로가 개시된다. 디스플레이 제어 회로는 다수의 출력 셀을 포함한다. 각각의 출력 셀은 디스플레이 데이터에 따라 출력 단자를 그레이 레벨 전압으로 구동하기 위한 증폭 회로(35)를 포함한다. 증폭 회로는 출력 단자가 실질적으로 그레이 레벨 전압일 때 출력이 고임피던스인 데드 존을 포함한다. 증폭 회로는 그레이 레벨 전압 부근에서 출력 단자에 대한 구동을 제공하기 위해 포함된다. 이렇게, 증폭 회로에 의한 큰 구동과 증폭 회로에 의한 작은 구동 강도를 제공함으로써, 전류 소비는 감소된다.

본 발명의 일 양상에 따르면, 디스플레이 제어 회로는 증폭 회로와 구동 전압 보상 회로를 포함한다. 증폭 회로는 증폭 회로 입력에서 제 1의 그레이 레벨 전압을 수신하고 상기 제 1의 그레이 레벨 전압과 증폭 회로 출력의 전압 레벨이 적어도 실질적으로 동일할 때 고임피던스를 갖는 증폭 회로 출력을 제공한다. 구동 전압 보상 회로는 상기 그레이 레벨 전압에 기초하여 상기 출력 단자의 전압 레벨을 보상한다.

본 발명의 다른 양상에 따르면, 상기 증폭 회로는 n-형 절연 게이트 전계 효과 트랜지스터(IGFET)와 p-형 IGFET를 포함한다. n-형 IGFET는 고전위 전원에 결합된 드레인과, 상기 증폭 회로 입력에 결합된 게이트, 및 상기 증폭 회로 출력에 결합된 소스를 구비한다. p-형 IGFET는 저전위 전원에 결합된 드레인과, 상기 증폭 회로 입력에 결합된 게이트, 및 상기 증폭 회로 출력에 결합된 소스를 구비한다.

본 발명의 다른 양상에 따르면, 상기 증폭 회로는 제 1의 차동 입력 회로와 제 2의 차동 입력 회로를 포함한다. 상기 제 1의 차동 입력 회로는 상기 증폭 회로 입력에 결합된 제 1의 입력과 상기 증폭 회로 출력에 결합된 제 2의 입력, 및 제 1의 드라이버 회로를 온/오프하기 위한 제어를 제공하도록 결합된 제 1의 출력을 구비한다. 상기 제 2의 차동 입력 회로는 상기 증폭 회로 입력에 결합된 제 3의 입력과 상기 증폭 회로 출력에 결합된 제 4의 입력, 및 제 2의 드라이버 회로를 온/오프하기 위한 제어를 제공하도록 결합된 제 2의 출력을 구비한다.

본 발명의 다른 양상에 따르면, 상기 제 1의 출력 드라이버 회로는 상기 증폭 회로 출력의 상기 전압보다 더 높은 상기 증폭 회로 입력의 상기 전압에 응답하여 온 될 때 상기 출력 단자의 전압을 상승시킨다. 상기 제 2의 출력 드라이버 회로는 상기 증폭 회로 출력의 상기 전압보다 더 낮은 상기 증폭 회로 입력의 상기 전압에 응답하여 온 될 때 상기 출력 단자의 전압을 낮춘다.

본 발명의 다른 양상에 따르면, 디스플레이 제어 회로는 전압 발생 회로와 제 1의 선택기 회로를 포함한다. 전압 발생 회로는 다수의 기준 전압을 제공한다. 제 1의 선택기 회로는 디스플레이 데이터에 기초하여 상기 다수의 기준 전압에서 상기 제 1의 그레이 레벨 전압을 선택한다. 상기 구동 전압 보상 회로는 버퍼 회로와 제 2의 선택기 회로를 포함한다. 버퍼 회로는 상기 다수의 기준 전압을 수신하고 다수의 버퍼링된 기준 전압(buffered reference voltages)을 제공한다. 제 2의 선택기 회로는 상기 디스플레이 데이터에 기초하여 상기 다수의 버퍼링된 기준 전압 중에서 하나를 선택하고 상기 다수의 버퍼링된 기준 전압 중 상기 하나를 상기 증폭 회로 출력으로 제공한다.

본 발명의 다른 양상에 따르면, 상기 버퍼 회로는 다수의 연산증폭기 회로를 포함한다. 상기 다수의 연산증폭기 회로 각각은 전압 폴로워로서 구성되고 상기 다수의 기준 전압의 하나를 수신하고 상기 버퍼링된 기준 전압의 하나를 제공한다.

본 발명의 다른 양상에 따르면, 상기 디스플레이 제어 회로는 상이한 디스플레이 데이터에 기초하여 다수의 출력 단자를 구동한다. 상기 다수의 출력 단자 각각은 대응하는 증폭 회로, 제 1의 선택기, 및 제 2의 선택기와 관련되고 대응하는 증폭 회로 출력에 연결된다.

본 발명의 다른 양상에 따르면, 디스플레이 제어 회로는 디스플레이 데이터에 기초하여 다수의 그레이 레벨 전압에서 선택된 소정의 그레이 레벨 전압으로 다수의 출력 단자 각각을 구동한다. 디스플레이 제어 회로는 다수의 출력 회로를 포함한다. 각각의 출력 회로는 제 1의 증폭 회로와 제 2의 증폭 회로를 포함한다. 제 1의 증폭 회로는 상기 소정의 그레이 레벨 전압을 수신하도록 결합되고 상기 다수의 출력 단자 중 대응하는 하나에 연결된 제 1의 증폭 회로 출력을 구비한다. 상기 제 1의 증폭 회로는 상기 출력 단자 중 대응하는 출력 단자가 실질적으로 상기 소정의 그레이 레벨 전압인 전압 레벨을 가질 때 상기 제 1의 증폭 회로 출력이 고임피던스가 되는 데드 존을 포함한다. 제 2의 증폭 회로는 상기 소정의 그레이 레벨 전압을 수신하고 상기 다수의 출력 단자 중 대응하는 하나에 연결된 제 2의 증폭 회로 출력을 구비한다. 상기 제 2의 증폭 회로는 데드 존을 갖지 않는다.

본 발명의 다른 양상에 따르면, 상기 제 1의 증폭 회로는 상기 제 1의 증폭 회로를 활성/비활성 상태로 두기 위한 제 1의 제어 신호를 수신한다.

본 발명의 다른 양상에 따르면, 상기 제 2의 증폭 회로는 상기 제 2의 증폭 회로를 활성/비활성 상태로 두기 위한 제 2의 제어 신호를 수신한다.

본 발명의 다른 양상에 따르면, 상기 제 1의 증폭 회로는 n-형 IGFET와 p-형 IGFET를 포함한다. n-형 IGFET는 고전위 전원에 결합된 드레인과, 상기 증폭 회로 입력에 결합된 게이트, 및 상기 증폭 회로 출력에 결합된 소스를 구비한다. p-형 IGFET는 저전위 전원에 결합된 드레인과, 상기 증폭 회로 입력에 결합된 게이트, 및 상기 증폭 회로 출력에 결합된 소스를 구비한다.

본 발명의 다른 양상에 따르면, 상기 제 1의 증폭 회로는 제 1의 차동 입력 회로, 제 2의 차동 입력 회로, 및 드라이버 회로를 포함한다. 제 1의 차동 입력 회로는 상기 그레이 레벨 전압을 수신하도록 결합된 제 1의 입력과 상기 출력 단자에 결합된 제 2의 입력을 구비하며 제 1의 드라이버 제어 신호를 제공한다. 제 2의 차동 입력 회로는 상기 그레이 레벨 전압을 수신하도록 결합된 제 3의 입력과 상기 출력 단자에 결합된 제 4의 입력을 구비하며 제 2의 드라이버 제어 신호를 제공한다. 드라이버 회로는 상기 제 1 및 제 2의 드라이버 제어 신호를 수신하고 상기 제 1의 증폭 회로 출력을 제공한다.

본 발명의 다른 양상에 따르면, 디스플레이 제어 회로는 기준 전압 발생 회로를 포함한다. 기준 전압 발생 회로는 다수의 기준 전압을 제공한다. 출력 회로 각각은 상기 기준 전압을 수신하고 상기 디스플레이 데이터에 기초하여 상기 그레이 레벨 전압을 제공하도록 결합된 제 1의 선택기를 포함한다.

본 발명의 다른 양상에 따르면, 디스플레이 제어 회로는 기준 전압 발생 회로와 버퍼 회로를 포함한다. 기준 전압 발생 회로는 다수의 기준 전압을 제공한다. 버퍼 회로는 다수의 제 3의 증폭 회로를 포함하고 상기 다수의 출력 회로 각각으로 다수의 버퍼링된 기준 전압을 제공한다. 인에이블되는 상기 제 3의 증폭 회로의 수는 동작의 그레이 레벨 수 모드(gray level number mode of operation)에 의존한다.

본 발명의 다른 양상에 따르면, 디스플레이 제어 회로는 디스플레이 데이터에 기초하여 다수의 그레이 레벨 전압으로부터 선택된 소정의 그레이 레벨 전압으로 다수의 출력 단자 각각을 구동한다. 디스플레이 제어 회로는 다수의 출력 회로와 버퍼 회로를 포함한다. 버퍼 회로는 다수의 기준 전압을 수신하는 다수의 제 1의 증폭 회로를 포함하고 다수의 버퍼링된 기준 전압을 제공한다. 상기 버퍼링된 기준 전압은 본질적으로 상기 다수의 그레이 레벨 전압에 대응한다. 출력 회로 각각은 제 2의 증폭 회로를 포함한다. 제 2의 증폭 회로는

제 2의 증폭 회로 입력에서 소정의 그레이 레벨 전압을 수신하도록 결합되고 상기 다수의 출력 단자 중 대응하는 하나에 연결된 제 2의 증폭 회로 출력을 구비한다. 제 2의 증폭 회로는 상기 출력 단자 중 대응하는 출력 단자가 실질적으로 상기 소정의 그레이 레벨 전압인 전압 레벨을 가질 때 상기 제 2의 증폭 회로 출력이 고임피던스 상태로 되는 데드 존을 포함한다. 상기 다수의 제 1의 증폭 회로는 데드 존을 갖지 않으며 상기 버퍼는 상기 출력 단자 각각을 대응하는 소정의 그레이 레벨 전압으로 구동한다.

본 발명의 다른 양상에 따르면, 디스플레이 제어 회로는 기준 전압 발생 회로를 포함한다. 기준 전압 발생 회로는 다수의 기준 전압을 제공한다. 출력 회로 각각은 상기 다수의 기준 전압을 수신하며 상기 그레이 레벨 전압을 상기 디스플레이 데이터에 기초하여 제공하도록 결합된 제 1의 선택기를 포함한다.

본 발명의 다른 양상에 따르면, 상기 출력 회로 각각은 상기 다수의 버퍼링된 기준 전압을 수신하도록 결합되며 상기 디스플레이 데이터에 기초하여 상기 출력 단자에 소정의 그레이 레벨 전압을 제공하는 제 2의 선택기를 포함한다.

본 발명의 다른 양상에 따르면, 상기 제 2의 증폭 회로는 n-형 IGFET와 p-형 IGFET를 포함한다. n-형 IGFET는 고전위 전원에 결합된 드레인과, 상기 제 2의 증폭 회로 입력에 결합된 게이트, 및 상기 제 2의 증폭 회로 출력에 결합된 소스를 구비한다. p-형 IGFET는 저전위 전원에 결합된 드레인과, 상기 제 2의 증폭 회로 입력에 결합된 게이트, 및 상기 제 2의 증폭 회로 출력에 결합된 소스를 구비한다.

본 발명의 다른 양상에 따르면, 상기 제 2의 증폭 회로는 제 1의 차동 입력 회로, 제 2의 차동 입력 회로, 및 드라이버 회로를 포함한다. 제 1의 차동 입력 회로는 상기 그레이 레벨 전압을 수신하도록 결합된 제 1의 입력과 상기 출력 단자에 결합된 제 2의 입력을 구비하며, 제 1의 드라이버 제어 신호를 제공한다.

제 2의 차동 입력 회로는 상기 그레이 레벨 전압을 수신하도록 결합된 제 3의 입력과 상기 출력 단자에 결합된 제 4의 입력을 구비하며 제 2의 드라이버 제어 신호를 제공한다. 드라이버 회로는 상기 제 1 및 제 2의 드라이버 제어 신호를 수신하고 상기 제 1의 증폭 회로 출력을 제공한다.

본 발명의 다른 양상에 따르면, 상기 디스플레이 제어 회로는 다수의 단위 픽셀이 다수의 데이터 라인과 다수의 주사 라인의 각 교차점 부근에서 매트릭스 형태로 정렬되며 상기 다수의 데이터 라인이 상기 다수의 출력 단자에 의해 구동되는 디스플레이 장치를 제어한다.

## 발명의 구성 및 작용

본 발명의 여러 실시예가 다수의 도면을 참조하여 상세히 설명될 것이다.

도 1을 참조하면, 일 실시예에 따른 디스플레이 제어 회로의 개략적인 회로도가 도면 부호 100으로 도시되어 있다. 디스플레이 제어 회로(100)는 종래의 디스플레이 제어 회로(1000 및 1100)와 유사한 구성 요소를 포함한다. 이러한 구성 요소에 대해서는 동일한 도면 부호를 병기하고 그 설명은 생략한다.

디스플레이 제어 회로(100)는 γ 전원 발생 회로(1), 버퍼(2), 및 출력 셀(3-1 내지 3-N)을 포함한다. γ 전원 발생 회로(1)는 고전원(high power source; 4-1)과 저전원(low power source; 4-2) 사이에 직렬로 연결된 저항기(R1 내지 R65)를 포함한다. 저항기(R1 내지 R65) 사이의 분기점(tap points)은 기준 전압 신호(VR1 내지 VR64)를 제공한다. 기준 전압 신호(VR1 내지 VR64)는 그레이 레벨 전압에 대응한다. 버퍼(2)는 64개의 AB급 증폭 회로(21)를 포함

한다. 각각의 AB급 증폭 회로(21)는 비반전 입력 단자에서 각각의 기준 전압 신호(VR1 내지 VR64)를 수신하고 각각의 증폭된 기준 전압 신호(VA1 내지 VA64)를 출력 단자에서 제공한다. 각각의 AB급 증폭 회로(21)는 반전 입력 단자에 연결된 출력 단자를 구비한다.

각각의 출력 셀(3-1 내지 3-N)은 이미지 데이터 신호(DIN), 기준 전압 신호(VR1 내지 VR64), 증폭된 기준 전압 신호(VA1 내지 VA64), 및 데이터 래치 신호(DL)를 수신하고 이미지 신호(PS-1 내지 PS-N)를 출력으로서 제공한다. 각각의 출력 셀(3-1 내지 3-N)은 래치(31), 디지털 아날로그(D/A) 변환기(32 및 33), 및 B급 증폭 회로(35)를 포함한다. 래치(31)는 이미지 데이터 신호(DIN)와 데이터 래치 신호(DL)를 수신하고 선택 신호(SS)를 D/A 변환기(32 및 33)에 제공한다. D/A 변환기(32)는 선택 신호(SS) 및 기준 전압 신호(VR1 내지 VR64)를 수신하고 출력을 B급 증폭 회로(35)의 입력으로서 제공한다. B급 증폭 회로(35)는 이미지 신호(PS-1 내지 PS-N)를 제공하기 위해 연결된 출력을 구비한다. D/A 변환기(33)는 선택 신호(SS)와 증폭된 기준 전압 신호(VA1 내지 VR4)를 수신하고 이미지 신호(PS-1 내지 PS-N)를 제공하기 위해 연결된 출력을 구비한다.

출력이 고임피던스를 갖게 되는 데드 존(dead zone)을 갖는 버퍼를 B급 증폭 회로(35)가 형성한다는 점에서 B급 증폭 회로(35)는 AB급 증폭 회로(예를 들면 도 10의 AB급 증폭 회로 및/또는 AB급 증폭 회로(21))와 상이하다. B급 증폭 회로(35)의 데드 존은 입력 전압이 출력 전압과 본질적으로 동일할 때 존재하게 된다. 출력 전압이 입력 전압과 동일할 때에도 AB급 증폭 회로(1034)는 출력 단자(PS)를 저임피던스에서 연속적으로 구동하여 데드 존을 갖지 않는다.

AB급 증폭 회로(21)와 B급 증폭 회로(35)의 구조가 도 2 및 도 3을 참조하여 각각 설명될 것이다.

도 2를 참조하면, AB급 증폭 회로의 개략적인 회로도가 도면 부호 200으로 도시되어 있다. AB급 증폭 회로(200)는 본 발명가에 의해 일본 특개평 11-239303호 에 개시되어 있다(도 16). AB급 증폭 회로(200)는 도 1의 디스플레이 제어 회로(100)에서 AB급 증폭 회로(21)로서 사용된다.

AB급 증폭 회로(200)는 연산증폭기 입력 단자(201 및 202)에서 차동 전압을 수신하고 연산증폭기 차동 단자(203)에서 증폭된 출력 전압을 제공한다. AB급 증폭 회로(200)는 입력단(K1), 구동단(K2), 및 출력단(K3)을 포함한다. 입력단(K1)은 입력단 바이어스 입력 단자(A3 및 A4)에서 바이어스 전압을 수신하여 정전류원을 제공한다. 구동단(K2)은 구동단 바이어스 입력 단자(A5)에서 바이어스 전압을 수신하여 정전류원을 제공한다. 제어 단자(AC 및 ACB)는 AB급 증폭 회로(200)를 활성 및 비활성 사이에서 전환하기 위한 제어 단자이다. AB급 증폭 회로(200)가 활성화될 때, 제어 단자(AC)는 고레벨 신호를 수신하고 제어 단자(ACB)는 저레벨 신호를 수신한다. 대조적으로, AB급 증폭 회로(200)가 비활성화될 때, 제어 단자(AC)는 저레벨 신호를 수신하고 제어 단자(ACB)는 고레벨 신호를 수신한다.

도 2에 도시된 AB급 증폭 회로(200)의 출력 단자(203)에 소정의 중간 전압이 제공되면, 바이어스 전압은 출력단 풀-업 트랜지스터(M66e)의 게이트와 출력단 풀-다운 트랜지스터(M65e)의 게이트 둘 다에 적용된다. 이 상태에서, 출력단 풀업 트랜지스터(M66e)와 출력단 풀-다운 트랜지스터(M65e) 둘 다는 온되고 출력 단자(203)의 전압은 출력단 풀업 트랜지스터(M66e)와 출력단 풀-다운 트랜지스터(M65e)를 통해 고전원(VDD)에서 저전원(VSS)으로 관통 전류가 항상 흐를 수 있는 동안 적절히 결정된다. 특히, 출력 단자(203)가 도 10에 도시된 AB급 증폭 회로(1034)에서와 같이 저임피던스에서 고속으로 구동될 때, 출력단 풀업 트랜지스 터(M66e)와 출력단 풀-다운 트랜지스터(M65e) 둘 다를 통해 상당한 양의 전류가 흘러야 한다.

B급 증폭 회로의 동작 및 구조가 도 3을 참조하여 설명될 것이다. 도 3을 참조하면, 일 실시예에 따른 B급 증폭 회로의 개략적인 회로도가 도면 부호 300으로 도시되어 있다. B급 증폭 회로(300)는 도 1의 디스플레이 제어 회로(100)에서 B급 증폭 회로(35)로 사용된다. B급 증폭 회로(300)는 소스 폴로워로서 구성된 n-형 IGFET(insulated gate field effect transistor; 303)와 소스 폴로워로서 구성된 p-형 IGFET(304)를 포함한다. n-형 IGFET(303)는 고전압 전원(VDD)에 연결된 드레인, 출력 단자(302)에 연결된 소스, 및 입력 단자(301)에 연결된 게이트를 구비한다. p-형 IGFET(304)는 저전압 전원(VSS)에 연결된 드레인, 출력 단자(302)에 연결된 소스, 및 입력 단자(301)에 연결된 게이트를 구비한다.

n-형 IGFET(303) 및 p-형 IGFET(304)는 각각 n-형 MOSFET와 p-형 MOSFET이다.

n-형 IGFET(303)가 고전압 전원(VDD)에 연결되고 p-형 IGFET(304)가 저전압 전원(VSS)에 연결되는 점에서 B급 증폭 회로(300)는 공통의 인버터(예를 들면 상보형 IGFET로 형성된 인버터)와 상이하다.

B급 증폭 회로(300)에 있어서, 입력 단자(301)에서의 전압이 출력 단자(302)에서의 전압보다 n-형 IGFET(303)의 임계 전압만큼 더 높을 때, 소스 폴로워 회로를 형성하는 n-형 IGFET(303)는 온 된다. 이렇게 하여, 출력 단자(302)의 전압은 더 높아지고 입력 단자(301)에서의 신호와 출력 단자(302)에서의 신호 사이의 전위 차는 감소된다. 입력 단자(301)에서의 전압이 출력 단자(302)에서의 전압보다 p-형 IGFET(304)의 임계 전압의 절대값만큼 더 낮은 경우, 소스 폴로워 회로를 형성하는 p-형 IGFET(304)는 온 된다. 이렇게 하여, 출력 단자(302)의 전압은 더 낮아지고 입력

단자(301)에서의 신호와 출력 단자(302)에서의 신호 사이의 전위차는 감소된다.

한편, 입력 단자(301)의 전압이 출력 단자(302)의 전압에 n-형 IGFET(303)의 임계 전압을 더한 값과 출력 단자(302)의 전압에 p-형 IGFET(304)의 임계 전압의 절대값을 뺀 값 사이의 범위 내에 있는 경우, B급 증폭 회로(300)는 데드 존 또는 고임피던스 상태에 있게 된다. 고임피던스 또는 데드 존에 있어서, n-형 IGFET(303) 및 p-형 IGFET(304) 둘 다는 오프된다. 이렇게 하여, 출력 단자(302)는 B급 증폭 회로(300)에 의해 구동되지 않는다. 예를 들면, n-형 IGFET(303)의 임계 전압이 0.4V이고 p-형 IGFET(304)의 임계 전압이 -0.4V이며 출력 단자(302)의 전압이 2.5V인 경우, 2.1V 내지 2.9V의 입력 단자 전압 범위는 B급 증폭 회로(300)가 고임피던스 상태에 있게 되는 데드 존이 된다.

n-형 IGFET(303)와 p-형 IGFET(304) 둘 다가 인핸스먼트형 장치일 때, n-형 IGFET(303)와 p-형 IGFET(304) 둘 다가 동시에 온되는 상태는 존재하지 않는다. 따라서, 관통 전류 또는 바이어스 전류는 n-형 IGFET(303)와 p-형 IGFET(304)를 통해 고전압 전원(VDD)에서 저전압 전원(VSS)으로 흐르지 않는다.

B급 증폭 회로(300)는 본질적으로 제로인 바이어스 전류를 갖는 단일 상보형 소스 폴로워로서 개념화될 수 있다. 데드 존의 전압 범위는 전압 폴로워 회로가 임 계 전압 강하를 활용하기 때문에 n-형 IGFET(303)와 p-형 IGFET(304)의 임계 전압에 직접적으로 의존한다.

도 4를 참조하면, 일 실시예에 따른 B급 증폭 회로의 개략적인 회로도가 도면 부호 400으로 도시되어 있다. B급 증폭 회로는 도 1의 디스플레이 제어 회로(100)에서 B급 증폭 회로(35)로 사용된다. B급 증폭 회로(400)는 차동 증폭 회로(404 및 406)와 드라이버 회로(408)를 포함한다. 차동 증폭 회로(404 및 406)는 작은 바이어스 전류를 활용한다. 그러나, 차동 증폭 회로(404 및 406)를 활용함으로써, 데드 존은 정확하게 설정된 전압 범위를 갖는다. 또한, 차동 증폭 회로(404 및 406)를 활용함으로써, 데드 존은 트랜지스터의 임계 전압에 직접적으로 의존하지 않는다.

차동 증폭 회로(404)는 p-형 IGFET(M1 및 M2), n-형 IGFET(M3 및 M4) 및 전류원(CS1)을 포함한다. p-형 IGFET(M1)는 고전압 전원(VDD)에 연결된 소스, p-형 IGFET(M9)의 게이트와 n-형 IGFET(M3)의 드레인에 연결된 드레인, 및 p-형 IGFET(2)의 게이트와 드레인에 연결된 게이트를 구비한다. p-형 IGFET(M2)는 고전압 전원(VDD)에 연결된 소스, p-형 IGFET(M1)의 게이트와 n-형 IGFET(M4)의 드레인에 공통으로 연결된 게이트 및 드레인을 구비한다. n-형 IGFET(M3)는 입력 단자(401)에 연결된 게이트와 n-형 IGFET(M4)의 소스 및 전류원(CS1)의 제 1의 단자와 공통으로 연결된 소스를 구비한다. n-형 IGFET(M4)는 출력 단자(402)에 연결된 게이트를 구비한다. 전류원(CS1)은 저전압 전원(VSS)에 연결된 제 2의 단자를 구비한다. 이렇게, 차동 증폭기(404)는 전류 미러 부하(current mirror load)(p-형 IGFET(M1 및 M2))를 갖는 차동 입력쌍(n-형 IGFET(M3 및 M4))을 포함한다.

차동 증폭 회로(406)는 n-형 IGFET(M5 및 M6), p-형 IGFET(M7 및 M8) 및 전류원(CS2)을 포함한다. n-형 IGFET(M5)는 저전압 전원(VSS)에 연결된 소스, n-형 IGFET(M10)의 게이트와 p-형 IGFET(M7)의 드레인에 연결된 드레인, 및 n-형 IGFET(M6)의 게이트 및 드레인에 연결된 게이트를 구비한다. n-형 IGFET(M6)는 저전압 전원(VSS)에 연결된 소스, 및 n-형 IGFET(M5)의 게이트와 p-형 IGFET(M8)의 드레인에 공통으로 연결된 게이트 및 드레인을 구비한다. p-형 IGFET(M7)는 입력 단자(401)에 연결된 게이트와 p-형 IGFET(M8)의 소스 및 전류원(CS2)의 제 1의 단자에 공통으로 연결된 소스를 구비한다. p-형 IGFET(M8)는 출력 단자(402)에 연결된 게이트를 구비한다. 전류원(CS2)은 고전압 전원(VDD)에 연결된 제 2의 단자를 구비한다. 이렇게, 차동 증폭기(406)는 전류 미러 부하(n-형 IGFET(M5 및 M6))를 갖는 차동 입력쌍(p-형 IGFET(M7 및 M8))을 포함한다.

드라이버 회로(408)는 p-형 IGFET(M9)와 n-형 IGFET(M10)를 포함한다. p-형 IGFET(M9)는 고전압 전원(VDD)에 연결된 소스와, 차동 증폭 회로(404)의 p-형 IFGET(M1) 및 n-형 IGFET(M3)의 공통 드레인 접속에 연결된 게이트, 및 출력 단자(402)에 연결된 드레인을 구비한다. n-형 IGFET(M10)는 저전압 전원(VSS)에 연결된 소스와, 차동 증폭 회로(406)의 p-형 IFGET(M7) 및 n-형 IGFET(M5)의 공통 드레인 접속에 연결된 게이트, 및 출력 단자(402)에 연결된 드레인을 구비한다.

차동 증폭 회로(404)에 있어서, 입력 단자(401)에서의 전압이 출력 단자(402)에서의 전압과 본질적으로 동일할 때 드라이버 회로(408)의 p-형 IGFET(M9)를 확실히 오프시키기 위해서, p-형 IGFET(M1)의 채널 폭은 p-형 IGFET(M2)의 채널 폭보다 더 크게 설정되어야 한다. p-형 IGFET(M1)의 채널 폭이 p-형 IGFET(M2)의 채널 폭보다 충분히 크면, 입력 단자(401)에서의 전압이 출력 단자(402)에서의 전압과 본질적으로 동일할 때 p-형 IGFET(M1)의 드레인에서의 전압은 고전압 전원(VDD)에서 p-형 IGFET(M9)의 임계 전압의 절대값을 뺀 값보다 더 크게 된다. 이렇게, 드라이버 회로(408)의 p-형 IGFET(M9)는 오프된다. 따라서, p-형 IGFET(M1 및 M2)의 채널 폭(전류원 강도) 사이에 차이를 제공함으로써, 데드 존이 p-형 IGFET(M9)에 대해서 설정되는데, 이 데드 존 주위에서 입력 단자(401)에서의 전압이 출력 단자(402)에서의 전압과 본질적으로 동일하게 된다. 여기서, n-형 IGFET(M3 및 M4)의 크기는 본질적으로 동일하다.

이와 같이, 차동 증폭 회로(404)는 오프셋 전압을 갖는다. 따라서, 입력 단자(401)의 전압이 출력 단자(402)의 전압보

다 높을 때, p-형 IGFET(M9)는 온된다. 그러나, 입력 단자(401)에서의 전압이 출력 단자(402)에서의 전압과 같거나 더 낮은 경우, p-형 IGFET(M9)는 오프된다.

유사하게, 차동 증폭 회로(40)에 있어서, 입력 단자(401)에서의 전압이 출력 단자(402)에서의 전압과 본질적으로 동일할 때 드라이버 회로(408)의 n-형 IGFET(M10)를 확실히 오프시키기 위해서, n-형 IGFET(M5)의 채널 폭은 n-형 IGFET(M6)의 채널 폭보다 더 크게 설정되어야 한다. n-형 IGFET(M6)의 채널 폭이 n-형 IGFET(M6)의 채널 폭보다 충분히 더 크면, 입력 단자(401)에서의 전압이 출력 단자(402)에서의 전압과 본질적으로 동일할 때 n-형 IGFET(M5)의 드레인에서의 전 압은 저전압 전원(VSS)에 n-형 IGFET(M10)의 임계 전압을 더한 값보다 더 낮게 된다. 이렇게, 드라이버 회로(408)의 n-형 IGFET(M10)는 오프된다. 그러므로, n-형 IGFET(M5 및 M6)의 채널 폭(전류원 강도) 사이에 차이를 제공함으로써, n-형 IGFET(M10)에 대해서 데드 존이 설정되는데, 이 데드 존 주위에 입력 단자(401)에서의 전압이 출력 단자(402)에서의 전압과 본질적으로 동일하다. 여기서, p-형 IGFET(M7 및 M8)의 크기는 본질적으로 동일하다.

이와 같이, 차동 증폭 회로(406)는 오프셋 전압을 갖는다. 따라서, 입력 단자(401)의 전압이 출력 단자(402)의 전압보다 낮을 때, n-형 IGFET(M10)는 온 된다. 그러나, 입력 단자(401)에서의 전압이 출력 단자(402)에서의 전압과 같거나 더 높은 경우, n-형 IGFET(M10)는 오프된다.

상기 상술된 바와 같이, B급 증폭 회로(400)에 있어서, 입력 단자(401)의 전압 범위가 출력 단자(402)의 전압보다 더 높은 차동 증폭 회로(404)의 오프셋 전압과 출력 단자(402)의 전압보다 더 낮은 차동 증폭 회로(406)의 오프셋 전압 사이에 있을 때, B급 증폭 회로(400)는 데드 존에서 동작한다. 이 데드 존에서는, p-형 IGFET(M9)와 n-형 IGFET(M10) 둘 다가 오프되고 출력 단자(402)는 고임피던스 상태에 있게 된다.

예를 들면, 차동 증폭 회로(404)의 오프셋 전압이 0.2V이고 차동 증폭 회로(406)의 오프셋 전압이 -0.2V이며, 출력 단자(402)의 전압이 2V일 때, 데드 존은 입력 단자의 전압이 1.8V 내지 2.2V의 범위 내에 있을 때 발생하며 출력 단자(402)는 고임피던스 상태에 있게 된다. 출력 단자(402)가 고임피던스 상태에 있을 때, 드라이버 회로(408)는 본질적으로 0의 전류를 소비하며 차동 증폭 회로(404 및 406) 내의 바이어스 전류만이 소비된다. 이 바이어스 전류는 상대적으로 작게 설계된다.

한편, 입력 단자(401)의 전압이 데드 존의 바깥에 있을 때, p-형 IGFET(M9) 또는 n-형 IGFET(M10) 중 어느 하나는 온되고 출력 단자(402)는 입력 단자(401)와 출력 단자(402) 사이의 전위차가 감소되도록 구동된다.

고속 동작을 제공하기 위해서는, 차동 증폭 회로(404 및 406)의 오프셋 전압이 가능한한 0V에 가까운 것이 바람직하다. 그러나, 이 경우, 제조상의 불규칙 등으로 인해 오프셋 전압이 변하게 되면, 입력 단자(401)에서의 전압과 출력 단자(402)에서의 전압 사이에 전위차가 없는 경우에도 드라이버 회로(408)에 관통 전류가 발생하는 상태가 발생한다. 따라서, 약 0.2V 내지 0.5V의 오프셋 전압이 바람직하다.

다시 도 1을 참조하여, 일 실시예에 따른 디스플레이 제어 회로(100)의 동작이 설명될 것이다.

각 출력 셀(3-1 내지 3-N)에 있어서, B급 증폭 회로(35)는 D/A 변환기(32)로부터 제공된 그레이 레벨 전압에 기초하여 각 출력 단자(PS-1 내지 PS-N)를 구동한다. B급 증폭 회로(35)는 입력 전압이 출력 전압과 본질적으로 동일할 때 출력이 고임피던스가 되는 데드 존을 갖는다. 따라서, B급 증폭 회로(35)는 D/A 변환기(32)에 의해 제공된 그레이 레벨 전압 근처로 출력 단자(PS-1 내지 PS-N)를 구동하지만, 출력 단자(PS-1 내지 PS-N)를 완전한 그레이 레벨 전압으로 구동하지 는 않는다. 그러나, 버퍼 회로(2)는 AB급 증폭 회로(21)를 포함한다. AB급 증폭 회로(21)는 각 출력 셀(3-1 내지 3-N)의 D/A 변환기(33)로 증폭된 기준 전압(VA1 내지 VA64)을 제공한다. 이렇게, 버퍼(2)는 (D/A 변환기(33)를 통해) 출력 단자(PS-1 내지 PS-N)를 소정의 그레이 레벨 전압으로 구동한다. AB급 증폭 회로(21)는 전압 폴로워로서 구성된다.

디스플레이 제어 회로(100)에 있어서, 출력 단자(PS-1 내지 PS-N)를 구동하기 위해 두 형태의 증폭 회로(D/A 변환기(33)를 통한 AB급 증폭 회로(221)와 B급 증폭 회로(35))가 사용된다. 그러므로, 그레이 레벨 전압을 구동하기 위한 증폭 회로(버퍼)의 수는 종래의 디스플레이 제어 회로(1000 및 1100)와 비교하여 증가된다.

그러나, B급 증폭 회로(35)는 본질적으로 0의 관통 전류(고전압 전원에서 저전압 전원으로의 전류)를 갖는다. 따라서, 종래의 디스플레이 제어 회로(1000)에서 AB급 증폭 회로(1034)를 사용하는 것과 비교하여 전류 소비가 현저히 감소된다. 또한, B급 증폭 회로(35)는 출력 단자(PS-1 내지 PS-N)를 목표 그레이 레벨 전압 부근까지 구동한다. AB급 증폭 회로(21)는 목표 그레이 레벨 전압으로 가는 나머지 부분(작은 증가분)에 대해 출력 단자(PS-1 내지 PS-N)를 구동한다. AB급 증폭 회로(21)가 그레이 레벨 전압으로의 작은 증가분의 미세 튜닝의 구동을 제공하기 위해서만 필요하기 때문에, AB급 증폭 회로(21)의 구동 강도는 종래의 디스플레이 제어 회로(1100)의 버퍼(1102)의 AB급 증폭 회로와 비교하여 상대적으로 작게 만들어진다. 따라서, 디스플레이 제어 회로(100)의 버퍼(2)의 소비 전력은 종래의 디

스 플레이 제어 회로(1100)의 버퍼의 소비 전력보다 더 적다. 상기 상술된 바와 같이, AB급 증폭 회로와 B급 증폭 회로(35)의 소비 전력은 종래의 디스플레이 제어 회로(1000 및 1100)의 버퍼(1102)의 AB급 증폭 회로(1034)와 AB급 증폭 회로와 비교하여 크게 감소된다. 따라서, 종래의 디스플레이 제어 회로(1000 및 1100)와 비교하여 증폭 회로의 수가 증가하더라도, 디스플레이 제어 회로(100)의 소비 전력은 감소된다. 특히, 도 1의 실시예에 따르면, 출력 단자(PS-1 내지 PS-N)의 수가 증가할 때 종래 방법에 비해 전력이 더 감소된다.

B급 증폭 회로(35)가 그레이 레벨 전압에 실질적인 구동의 부분을 제공하기 때문에, AB급 증폭 회로(21)는 B급 증폭 회로(35)보다 낮은 구동 강도를 갖는다는 사실에 유념하여야 한다. 낮은 구동 강도를 갖는 B급 증폭 회로(35)를 제공함으로써, 그레이 레벨 전압이 스위칭하지 않을 때의 정전류는 감소된다.

다른 실시예가 도 5 내지 도 9를 참조로 설명될 것이다. 도 1의 실시예는 디스플레이 패널의 소스 라인(데이터 라인)이 디스플레이 제어 회로의 출력 단자에 의해 구동되는 것을 가정하여 설명되었다. 그러나, 최근, TFT 액정 디스플레이 패널은 선택기 회로를 포함한다. 선택기 회로의 입력은 디스플레이 제어 회로의 출력 단자(PS)에 연결된다. 선택기 회로는 다수의 신호 라인이 디스플레이 제어 회로의 출력 단자(PS)로부터의 신호에 따라 구동되도록 시분할 방식으로 스위칭된다.

도 5를 참조하면, 일 실시예에 따른 액정 디스플레이 장치의 개략적인 블록도가 도면 부호 500으로 도시되어 있다.

액정 디스플레이 장치(500)는 디스플레이 제어 회로(501), TFT 회로(502), 및 주사 회로(503)를 포함한다. 디스플레이 제어 회로(501)와 주사 회로(503)는 대규모 집적(LSI) 반도체 장치와 같은 반도체 장치 상에 형성되는 회로이다. TFT 회로(502)는 유리 기판 상에 형성되고 액정과 대향 전극이 그 상에 적층된다. TFT 회로(502)는 디스플레이 제어 회로(501)와 주사 회로(503)에 의해 구동되어 액정 디스플레이 장치(500)의 디스플레이를 제어한다. 이미지 신호(PS1 내지 PSN)는 디스플레이 제어 회로(501)의 출력 단자(PS-1 내지 PS-N)로부터 TFT 회로(502)로 제공된다.

TFT 회로(502)는 선택기 회로(504)를 포함한다. 이미지 신호(PS1 내지 PSN)는 디스플레이 제어 회로(501)로부터 선택기 회로(504)에 제공된다. 선택기 회로(504)의 출력은 N×M의 소스 라인(501)과 연결된다. 소스 라인(505)은 N개의 그룹으로 분할되는데, 각 그룹은 M개의 소스 라인을 갖는다. 한 라인의 이미지 신호(PSK)(K는 1 내지 N 사이의 정수)는 선택기 회로(504)를 통해 K번째 그룹의 소스 라인(505)의 M개의 소스 라인 중 하나와 연결된다. 선택기 회로(504)는 각각의 디스플레이 제어 전압이 하나의 이미지 신호(PSK)로부터 K번째 그룹의 소스 라인(505) 중 하나의 소스 라인(505)에 개별적으로 제공되도록 주사 기간동안 시분할 방식으로 스위칭을 수행한다. 이렇게, 하나의 주사 라인 기간동안 출력 단자(PS)로부터 제공된 디스플레이 데이터의 M개의 재기록 동작이 수행된다.

소스 라인(505)은 TFT 회로(502)에 매트릭스 형태로 정렬된 박막 트랜지스터(TFT; 507)의 소스(드레인) 단자와 연결된다. 주사 회로(503)로부터의 다수의 게이트 라인(506)은, 하나의 게이트 라인이 게이트 라인 방향에서 TFT(507) 의 게이트에 공통으로 연결되어, TFT(507)의 게이트와 연결된다. 도면을 간략하게 하기 위해, 하나의 TFT(507)만이 도 5에 도시되어 있다. 실제로는, TFT 트랜지스터(507)는 N×M개의 소스 라인(505)과 다수의 게이트 라인(506)의 각 교차점에 위치한다. 각각의 TFT(507)는 n-형 트랜지스터이다. 게이트 라인(506)이 고레벨이 될 때, 게이트 라인(506)에 연결된 TFT(507)는 온되고 각각의 소스(드레인)에 연결된 소스 라인(505)의 전압은 액정 소자(508)로 구성된 커패시터에 축적된다. 그 후, 게이트 라인(506)이 저레벨이 되면, 게이트 라인(506)에 연결된 TFT(507)는 오프되고 액정 소자(508)의 전압은 TFT(507)가 다시 온 될 때까지 유지된다. 각각의 액정 소자로의 광의 투과 및 반사는 각각의 액정 소자(508)에 유지된 전압에 의해 제어되어, 각 디스플레이 픽셀의 명암이 얻어지고 그 결과 액정 디스플레이 장치의 디스플레이 패턴을 결정하게 된다.

선택기 회로(504)를 포함하는 디스플레이 패널을 구동하기 위한 소스 드라이버(디스플레이 제어 회로(501))에 있어서, 주사 기간동안 여러 번 디스플레이 데이터를 변경하는 것에 의해 출력 단자(PS)를 구동할 필요가 있다. 그러므로, 고속 동작이 요구된다.

또한, 디스플레이 장치는 디스플레이용 그레이 레벨의 수가 큰 그레이 레벨 디스플레이 모드와 디스플레이용 그레이 레벨의 수가 작은 그레이 레벨 디스플레이 모드 사이에서 스위칭할 수 있다. 이 경우, 고속 동작을 수행하는 동안 저소비 전력이 실현되는 디스플레이 제어 장치가 사용되면, 그레이 레벨 디스플레이 모드에 따라, 즉, 디스플레이용 그레이 레벨의 수가 큰지 작은지에 따라, 최적의 구조가 변경된다. 이러한 디스플레이 제어 회로 및 디스플레이 장치와 관련된 실시예가 도 6을 참조로 설명될 것이다.

도 6을 참조하면, 일 실시예에 따른 디스플레이 제어 장치의 개략적인 회로도가 도면 부호 600으로 도시되어 있다. 디스플레이 제어 장치(600)는 디스플레이 제어 장치(100)와 유사한 구성 요소를 포함한다. 이러한 구성 요소에 대해서는 동일한 도면 부호를 병기하고 그 설명은 생략한다. 디스플레이 제어 회로(600)는 4개의 모드, 즉 삼원색 각각에 대해 64개의 그레이 레벨 디스플레이을 사용하는 260,000 칼라 모드, 16개의 그레이 레벨 디스플레이를 사용하는 4,096 칼라 모드, 8개의 그레이 레벨 디스플레이를 사용하는 512 칼라 모드, 및 2개의 그레이 레벨 디스플레이를 사용

하는 8 칼라 모드를 구비한다.

도 1의 디스플레이 제어 회로(100)에 있어서, 64개의 AB급 증폭 회로(21)는 64개의 그레이 레벨의 그레이 레벨 전압에 대응하는 증폭된 기준 신호(VA1 내지 VA64)를 제공하기 위해 사용된다. 그러나, 디스플레이 제어 회로(600)에 있어서, 16개 이하의 그레이 레벨의 디스플레에 모드에 대응하여 16개의 AB급 증폭 회로(602)가 마련된다. 64 그레이 레벨의 디스플레이 모드에 있어서, 16 그레이 레벨 모드용으로 제공된 기준 전압(VR1 내지 VR64)의 16 기준 전압은 16개의 AB급 증폭 회로(602)에 제공된다. AB급 증폭 회로(602)는 선택 신호(PA1 내지 PA3)에 의해 활성화/비활성화 된다. 비활성활된 경우, AB급 증폭 회로(602)는 고임피던스 상태에 있게 되고 소비 전류는 본질적으로 0이다. 16개의 AB급 증폭 회로(602) 중에서, 선택 신호(PA1)는 2-그레이 레벨 디스플레이용으로 사용되는 2개의 AB급 증폭 회로(602)에 선택 신호로서 제공된다. 선택 신호(PA2)는 8-그레이 레벨 디스플레이에서 사용되는 6개의 AB급 증폭 회로(602)에 제공되는데, 이들은 2-그레이 레벨 디스플레이용으로는 사용되지 않는다. 예를 들면, 도 2의 AB급 증폭 회로(200)가 AB급 증폭 회로(602)로서 사용될 때, 선택 신호(PA1 내지 PA3)는 단자(AC)에 제공되고 선택 신호(PA1 내지 PA3)의 논리 반전은 단자(ACB)에 제공된다.

디스플레이 제어 회로(600)의 각 출력 셀(603-1 내지 603-N)에 있어서, AB급 증폭 회로(634)와 B급 증폭 회로(635)는 D/A 변환기(32)와 출력 단자(PS-1 내지 PS-N) 사이에서 병렬로 연결된다. 또한, B급 증폭 회로(635)는 선택 신호(AS1)를 수신하고 AB급 증폭 회로(634)는 선택 신호(AS2)를 수신한다. 이렇게, 선택 신호(AS1 및 AS2)에 의해 각각 선택된 증폭 회로(635 및 634)는 활성화되고 비선택된 증폭 회로(635 및 634)는 비활성화된다. 도 2에 도시된 AB급 증폭 회로(200)는 AB급 증폭 회로(634)로서 사용된다. 이 경우, 선택 신호(AS2)는 단자(AC)에 제공되고 선택 신호(AS2)의 논리 반전은 단자(ACB)에 제공된다.

또한, B급 증폭 회로(635)에 대해서는, 선택 신호(AS1)에 응답한 비활성화를 위한 기능이, 예를 들면, 도 1에 도시된 B급 증폭 회로(35)에 부가되어 있다.

선택 신호(AS1)가 저레벨이 될 때, B급 증폭 회로(635)의 출력은 입력 신호에 의존하지 않고 고임피던스가 된다. 고임피던스 상태에서, B급 증폭 회로(635)에서의 소비 전류는 본질적으로 0이다.

도 7을 참조하면, 일 실시예에 따른 B급 증폭 회로의 개략적인 회로도가 도면 부호 700으로 도시되어 있다. B급 증폭 회로(700)는 디스플레이 제어 회로(600) 에서 B급 증폭 회로(635)로서 사용된다. B급 증폭 회로(700)는 도 4에 도시된 B급 증폭 회로(400)와 유사한 구성 요소를 포함한다. 이러한 구성 요소에 대해서는 동일한 도면 부호를 병기한다. B급 증폭 회로(700)는 차동 증폭 회로(704 및 706)와 드라이버 회로(708)를 포함한다.

정전류원(CS1) 대신 n-형 IGFET(M14)가 포함되고 n-형 IGFET(M11 내지 M13)가 포함되는 점에서 차동 증폭 회로(704)는 차동 증폭 회로(404)와 상이하다. n-형 IGFET(M14)는 n-형 IGFET(M3 및 M4)의 공통 소스에 연결된 드레인과, 저전압 전원(VSS)에 연결된 소스, 및 n-형 IGFET(M11 및 M12)의 공통 드레인 접속에 연결된 게이트를 구비한다. n-형 IGFET(M11)는 바이어스 전위(NBIAS)를 수신하도록 연결된 소스와, 선택 신호(AS1)를 수신하도록 연결된 게이트 및 n-형 IGFET(M13 및 M14)의 게이트와 n-형 IGFET(M12)의 드레인에 연결된 드레인을 구비한다. n-형 IGFET(M12)는 저전압 전원(VSS)에 연결된 소스와 반전된 선택 신호(AS1B)를 수신하도록 연결된 게이트를 구비한다. n-형 IGFET(M13)는 저전압 전원(VSS)에 연결된 소스와 n-형 IGFET(M4) 및 p-형 IGFET(M2)의 드레인과 p-형 IGFET(M1 및 M2)의 게이트 사이의 공통 접속에 연결된 드레인을 구비한다.

정전류원(CS2) 대신 p-형 IGFET(M19)가 포함되고 p-형 IGFET(M16 내지 M18)가 포함되는 점에서 차동 증폭 회로(706)는 차동 증폭 회로(406)와 상이하다. p-형 IGFET(M19)는 p-형 IGFET(M7 및 M8)의 공통 소스에 연결된 드레인과, 고전압 전원(VDD)에 연결된 소스, 및 p-형 IGFET(M16 및 M17)의 공통 드레인 접속에 연결된 게이트를 구비한다. p-형 IGFET(M16)는 바이어스 전위(PBIAS)를 수신하도록 연 결된 소스와, 반전된 선택 신호(AS1B)를 수신하도록 연결된 게이트 및 p-형 IGFET(M18 및 M19)의 게이트와 p-형 IGFET(M17)의 드레인에 연결된 드레인을 구비한다. p-형 IGFET(M17)는 고전압 전원(VDD)에 연결된 소스와 선택 신호(AS1)를 수신하도록 연결된 게이트를 구비한다. p-형 IGFET(M18)는 고전압 전원(VDD)에 연결된 소스와 p-형 IGFET(M8) 및 n-형 IGFET(M6)의 드레인과 n-형 IGFET(M5 및 M6)의 게이트 사이의 공통 접속에 연결된 드레인을 구비한다.

p-형 IGFET(M15)와 n-형 IGFET(M20)가 포함되는 점에서 드라이버 회로(708)는 드라이버 회로(408)와 상이하다. p-형 IGFET(M15)는 고전압 전원(VDD)에 연결된 소스와, p-형 IGFET(M9)의 게이트와 p-형 IGFET(M1) 및 n-형 IGFET(M3)의 공통 드레인 접속에 연결된 드레인, 및 선택 신호(AS1)를 수신하도록 연결된 게이트를 구비한다. n-형 IGFET(M20)는 저전압 전원(VSS)에 연결된 소스와, n-형 IGFET(M10)의 게이트와 n-형 IGFET(M5) 및 p-형 IGFET(M7)의 공통 드레인 접속에 연결된 드레인, 및 반전된 선택 신호(AS1B)를 수신하도록 연결된 게이트를 구비한다.

선택 신호(AS1)가 고레벨이고 반전된 선택 신호(AS1B)가 저레벨일 때 B급 증폭 회로(700)의 동작은 B급 증폭 회로(400)의 동작과 동일하다.

한편, 선택 신호(AS1)가 저레벨이고 반전된 선택 신호(AS1B)가 고레벨일 때, n-형 IGFET(M12)는 온되고, n-형 IGFET(M11)는 오프되고, p-형 IGFET(M17)는 온되며, p-형 IGFET(M16)는 오프된다. n-형 IGFET(M12)가 온되면, n-형 IGFET(M13 및 M14)의 게이트는 풀다운된다. p-형 IGFET(M17)가 온되면, p-형 IGFET(M18 및 M19)의 게이트는 풀업된다. 게이트의 저전압으로 인해, n-형 IGFET(M13 및 M14)는 오프 된다. 게이트의 고전압으로 인해, p-형 IGFET(M18 및 M19)는 오프된다. 이렇게 하여, 차동 증폭 회로(704 및 406)를 통해 바이어스 전류가 흐르지 않게 된다.

또한, 선택 신호(AS1)가 저레벨이기 때문에, p-형 IGFET(M15)는 온되고 p-형 IGFET(M9)의 게이트는 고전압 전원(VDD)으로 풀업된다. 반전 선택 신호(AS1B)가 고레벨이면, n-형 IGFET(M20)는 온되고 n-형 IGFET(M10)의 게이트는 저전압 전원(VSS)으로 풀다운된다. 결과적으로, p-형 IGFET(M9) 및 n-형 IGFET(M10)는 오프 되고 출력 단자(702)는 입력 단자(701)의 전압에 관계 없이 고임피던스에 있게 된다. 이렇게 하여, 드라이버 회로(708)의 소비 전류가 본질적으로 0이 된다.

도 6의 디스플레이 제어 회로(600)의 각 디스플레이 모드와 동작이 설명될 것이다.

먼저, 260,000 칼라 모드의 동작이 설명될 것이다.

260,000 칼라 모드에 있어서, 선택 신호(AS1, PA1, PA2, 및 PA3)는 각각 저레벨로 설정되고 선택 신호(AS2)는 고레벨로 설정된다. 각각의 출력 셀(603-1 내지 603-N)에 있어서, 선택 신호(AS1)는 저레벨로 설정되고 선택 신호(AS2)는 고레벨로 설정된다. 그러므로, AB급 증폭 회로(634)는 활성화되고 B급 증폭 회로(635)는 비활성화된다. 또한, AB급 증폭 회로(602)에 제공되는 선택 신호(PA1 내지 PA3)는 각각 저레벨로 설정된다. 이렇게, 16개의 모든 γ 전원 증폭 회로(AB급 증폭 회로(602))는 비활성화된다. 따라서, AB급 증폭 회로(602)의 출력은 고임피던스 상태로 설정된다. 고임피던스 상태에 있어서, 누설 전류만이 각각의 AB급 증폭 회로(602)를 통해 흐르고, 소비 전류는 실질적으로 0이다. AB급 증폭 회로(602)의 출력이 고임피던스 상태에 있기 때문에, D/A 변환기(33)는 선택 신호(SS)의 값에 관계없이 고임피던스 출력을 또한 제공한다. 래치(31)는 6-비트 이미지 데이터 신호(PD)를 래치한다. 6-비트 이미지 데이터 신호(PD)는 D/A 변환기(32)에 의해 디코딩되어 γ 전원 발생 회로(1)에 의해 제공된 기준 전압 신호(VR1 내지 VR64)의 64-그레이 레벨 전압에서 하나의 그레이 레벨 전압을 선택한다. 이렇게 하여, D/A 변환기(32)는 그레이 레벨 전압을 B급 증폭 회로(635)를 제공한다.

이 때, 디스플레이 제어 회로(600)는 실질적으로 출력 단자가 AB급 증폭 회로에 의해 직접적으로 구동되는 종래의 디스플레이 제어 회로(1000)와 등가인 회로로서 동작한다. 또한, 이 때, 디스플레이 제어 회로(600)의 소비 전류는 본질적으로 종래의 디스플레이 제어 회로(1000)와 동일하다.

다음에, 4,096 칼라 모드의 동작이 설명될 것이다.

4.096 칼라 모드에 있어서, 선택 신호(AS1)는 고레벨로 설정되고 선택 신호(AS2)는 저레벨로 설정된다. 각각의 출력 셀(603-1 내지 603-N)에 있어서, 고레벨을 갖는 선택 신호(AS1)와 저레벨을 갖는 선택 신호(AS2)가 증폭 회로(635 및 634)에 각각 인가되면, B급 증폭 회로(635)는 활성화되고 AB급 증폭 회로(634)는 비활성화된다. 그러므로, 비활성화된 AB급 증폭 회로(634)의 출력은 고임피던스가 된다. 또한, 4,096 칼라 모드에 있어서, 선택 신호(PA1 내지 PA3)는 각각 고레벨로 설정된다. 그러므로, 16개의 모든 AB급 증폭 회로(602)는 활성화된다. 4,096 칼라 모드에 있어서, 래치(31)에 의해 래치된 6비트 이미지 데이터 신호(PD) 중에서, 상위 4비트는 D/A 변환기(32 및 33)에 의해 디코딩된다. 이렇게 하여, γ 전원(1)으 로부터 직접적으로 제공되며 AB급 증폭 회로(602)로부터 제공된 16-그레이 레벨 전압에서 하나의 그레이 레벨 전압이 선택되어 출력 단자(PS-1 내지 PS-N)에 하나의 그레이 레벨 전압을 제공한다. 4,096 칼라 모드에 있어서, 모든 AB급 증폭 회로(634)는 비활성화되고 따라서 본질적으로 0의 전류를 소비한다. 이 대신, B급 증폭 회로(635)는 활성화된다. 그러므로, 소비 전력은 260,000 칼라 모드에서의 소비 전력보다 더 낮다.

512 칼라 모드의 동작이 설명될 것이다.

선택 신호(PA1 및 PA2)가 고레벨로 설정되고 선택 신호(PA3)가 저레벨로 설정되는 점에서 512 칼라 모드는 4,096 칼라 모드와 상이하다. 16개의 AB급 증폭 회로(102) 중에서, 8-그레이 레벨 디스플레이용 전압에 대응하는 증폭된 기준 신호를 제공하는 8개의 AB급 증폭 회로(602)만이 활성화된다. 한편, 나머지 8개의 AB급 증폭 회로(602)는 비활성화되어 그들 출력은 고임피던스 상태에 있게 되고 전류 소비는 실질적으로 0이 된다. 512 칼라 모드에 있어서, 래치(31)에 의해 래치된 6-비트 이미지 데이터 신호(PD) 중에서, 상위 3비트는 D/A 변환기(32 및 33)에 의해 디코딩된다. 이렇게 하여, γ 전원(1)으로부터 직접적으로 제공되며 AB급 증폭 회로(602)로부터 제공된 8-그레이 레벨 전압에서 하나의 그레이 레벨 전압이 선택되어 출력 단자(PS-1 내지 PS-N)에 하나의 그레이 레벨 전압을 제공한다. 512 칼라 모드에 있어서, 모든 AB급 증폭 회로(634)는 비활성화되고 따라서 본질적으로 0의 전류를 소비한다. 이 대신, B급 증폭 회로(635)는 활성화된다. 512칼라 모드에서 16개의 AB급 증폭 회로(602) 중에서 8개만이 활성화되기 때문에, 4,096 칼라 모드 와 비교하여 소비 전력은 더 감소된다.

최종적으로, 8 칼라 모드의 동작이 설명될 것이다.

선택 신호(PA1)가 고레벨로 설정되고 선택 신호(PA2 및 PA3)가 저레벨로 설정되는 점에서 8 칼라 모드는 512 칼라 모드와 상이하다. 16개의 AB급 증폭 회로(602) 중에서 두 개만이 활성화된다. 나머지 14개의 AB급 증폭 회로(602)는 비활성화되어 그들 출력은 고임피던스 상태에 있게 되고 전류 소비는 본질적으로 0이 된다. 8 칼라 모드에 있어서, 래치(31)에 의해 래치된 6-비트 이미지 데이터 신호(PD) 중에서, 상위 1비트는 D/A 변환기(32 및 33)에 의해 디코딩된다. 이렇게 하여, γ 전원(1)으로부터 직접적으로 제공되며 AB급 증폭 회로(602)로부터 제공된 2-그레이 레벨 전압에서 하나의 그레이 레벨 전압이 선택되어 출력 단자(PS-1 내지 PS-N)에 하나의 그레이 레벨 전압을 제공한다. 8 칼라 모드에 있어서, 모든 AB급 증폭 회로(634)는 비활성화되고 따라서 본질적으로 0의 전류를 소비한다. 이 대신, B급 증폭 회로(635)는 활성화된다. 8 칼라 모드에서 16 개의 AB급 증폭 회로(602) 중 2개만이 활성화되기 때문에, 512 칼라 모드와 비교하여 소비 전력은 더 감소된다.

B급 증폭 회로(635)가 그레이 레벨 전압에 실질적인 구동부를 제공하기 때문에, AB급 증폭 회로(634)는 B급 증폭 회로(635)보다 낮은 구동 강도를 갖는다는 점을 유념해야 한다.

상기 상술된 바와 같이, 출력 셀(603-1 내지 603-N)의 출력 단자(PS-1 내지 PS-N)를 직접적으로 구동하기 위해 B급 증폭 회로(635)가 사용될 때, 최종단의 소 비 전력은 AB급 증폭 회로가 사용되는 경우와 비교하여 감소된다. 최종단의 증폭 회로는 각각의 출력 단자(PS-1 내지 PS-N)를 위해 제공된다. 그러므로, 출력 단자의 수가 증가할수록 이러한 효과는 증가한다. B급 증폭 회로가 사용될 때, B급 증폭 회로에 의해 목표 전압 근처로 출력 단자가 구동된 후 출력 단자를 목표 전압으로 구동하기 위한 보상을 제공하기 위해서, 전압 폴로워로서 연결된 AB급 증폭 회로는 A/D 변환기 등의 이전의 단에서 필요하게 됨을 유념해야 한다. 또한, 출력 단자가 목표 전압 근처에서 구동될 때, B급 증폭 회로는 고임피던스를 제공한다. AB급 증폭 회로의 수는 디스플레이용 그레이 레벨의 수와 일치한다. 이렇게 하여, A/D 변환기 이전 단의 AB급 증폭 회로의 소비 전력은 디스플레이용 그레이 레벨의 수가 증가할수록 증가된다.

한편, AB급 증폭 회로가 최종단의 증폭 회로로서 사용될 때, B급 증폭 회로가 최종단에 사용되는 경우와 비교하여 최종단의 소비 전력은 더 크게 된다. 그러나, AB급 증폭 회로가 사용될 때, 입력 전압과 출력 전압이 실질적으로 서로 동일한 경우에도, AB급 증폭 회로의 출력은 고임피던스가 되지 않는다. 그러므로, 보상 회로는 불필요하게 된다.

다시 말하면, 출력 단자의 수가 디스플레이용 그레이 레벨의 수보다 더 많을 때, 출력 단자는 B급 증폭 회로와 보상 회로에 의해 구동되어 출력 단자가 AB급 증폭 회로에 의해 직접적으로 구동되는 경우와 비교하여 소비 전력은 감소된다. 그러나, 디스플레이용 그레이 레벨의 수가 크고 출력 단자의 수가 작으면, 출력 단자가 AB급 증폭 회로에 의해 직접적으로 구동되는 경우에서의 소비 전력은 B급 증폭 회 로가 사용되는 경우와 비교하여 감소된다. 디스플레이 제어 회로(600)에 있어서, 본 발명가의 발견에 따르면, 디스플레이용 그레이 레벨의 수가 클 때, 출력 단자는 AB급 증폭 회로에 의해 구동된다. 디스플레이용 그레이 레벨의 수가 작으면, 출력 단자는 B급 증폭 회로와 보상 회로(AB급 증폭 회로(602)에 의해 형성된 버퍼)에 의해 구동된다. 그러므로, 소스 드라이버인 디스플레이 제어 회로(600)의 고속 동작과 저소비 전력이 달성된다. 특히, 내부에 선택기 회로를 포함하는 디스플레이 패널이 구동될 때, 출력 단자의 수는 크게 되지 않고 고속 동작이 필요하게 된다. 그러므로, 이러한 효과는 커지게 된다.

도 8을 참조하면, 일 실시예에 따른 도 6의 디스플레이 제어 회로(600)의 시뮬레이션 파형도가 개시되어 있다. 도 8로부터, D/A 변환기를 통해 AB급 증폭 회로에 의해 출력 단자(PS)가 충방전되는 경우와 비교하여 B급 증폭 회로를 사용함으로써 출력 단자(PS)의 고속 상승 및 고속 하강이 달성됨을 알 수 있다.

도 9를 참조하면, 일 실시예에 따른 디스플레이 제어 회로와 종래의 디스플레이 제어 회로에 대한 전류 소비의 시험적인 계산의 결과를 도시하는 그래프가 도시되어 있다. 도 9의 그래프는 260,000 칼라 모드, 4,096 칼라 모드, 512 칼라 모드, 및 8 칼라 모드에 대한 디스플레이 제어 회로(600)(본 발명), 종래의 디스플레이 제어 회로(1000)(종래예1), 및 종래의 디스플레이 제어 회로(1100)(종래예2)의 소비 전류를 도시한다. 도 9의 전류 소비의 계산에 있어서, 출력 단자의 수(N)는 24이고 분할 수(M)는 22인 것으로 가정하였다.

상기 상술된 바와 같이, 260,000 칼라 모드의 경우에 있어서, 디스플레이 제 어 회로(600)의 전류 소비는 AB급 증폭 회로에 의해 출력 단자가 직접적으로 구동되는 종래예1과 실질적으로 동일하다. 다음에, 512 칼라 모드와 4,096 칼라 모드의 경우에 있어서, 종래예1 또는 종래예2와 비교하여 디스플레이 제어 회로(600)에서 적은 소비 전력이 달성된다. 이 이유는 출력 단의 소비 전력이 감소되도록 출력 단자가 B급 증폭 회로에 의해 목표 전압 근처로 구동되기 때문이다.

디스플레이 제어 회로(600)에 있어서, TFT 액정 디스플레이 장치의 디스플레이를 제어하는데 바람직한 디스플레이 제어의 예가 설명된다. 디스플레이 장치는 TFT 액정 디스플레이 장치 이외의 디스플레이 장치인데, 예를 들면, 능동 매트릭스 구동 유기 EL 디스플레이 장치 등이다. 유기 EL 디스플레이 장치에 있어서, 밝기(brightness)는 소자로 흐르는 전류에 따라 변한다. 그러므로, 데이터 라인(도 5에 도시된 TFT 액정 디스플레이 장치(500)의 소스 라인(505)

에 대응)에 제공되는 전압을 전류로 변환하기 위한 회로 등이 포함된다. 이러한 데이터 라인에 제공되는 전압에 기초하여 유기 EL 디스플레이 소자의 밝기를 제어하기 위한 회로는 공지되어 있으며, 예를 들면, 일본 특허 공개 2001-083924호의 도 7에 개시되어 있다. 따라서, 그 설명은 생략한다.

또한, 도 5에 있어서는, 트랜지스터가 각각의 단위 픽셀에 포함된 능동 매트릭스형 디스플레이 장치가 설명되었다. 그러나, 데이터 라인에 제공되는 전압에 따라 디스플레이가 제어되는 디스플레이 장치가 사용되기만 하면, 본 발명은 능동 매트릭스형에 제한되지 않고, 다른 디스플레이 장치가 사용될 수도 있다.

또한, 디스플레이 제어 회로와 능동 매트릭스 회로를 일체로 동시에 형성하 고 유리 기판 등의 위에 박막 트랜지스터를 형성함으로써 본 발명의 디스플레이 장치가 얻어질 수 있다.

## 발명의 효과

상기 상술된 바와 같이, 상기 실시예에 따르면, 입력의 전압과 출력의 전압이 적어도 실질적으로 동일할 때 출력이 고임피던스가 되는 증폭 회로가 이미지 데이터에 따라 출력될 그레이 레벨 전압을 발생하는 회로와 출력 단자 사이에 마련된다. 또한, 출력될 그레이 레벨 전압에 기초하여 출력 단자의 전압 레벨을 보상하기 위한 구동 전압 보상 회로가 마련된다. 그러므로, 타이밍 제어 없이 고속 동작이 수행되며 저소비 전력이 실현되는 소스 드라이버로서의 디스플레이 제어 회로가 제공될 수 있다.

또한, 다수의 데이터 라인과 다수의 주사 라인의 각 교차점의 근처에 매트릭스 형태로 정렬된 다수의 단위 픽셀에 의한 디스플레이는 데이터 라인과 주사 라인에 인가되는 전압에 기초하여 제어된다. 데이터 라인이 디스플레이 제어 회로에 의해 제어될 때, 디스플레이 장치의 저소비 전력이 달성된다.

상기 상술된 실시예는 예증적인 것이며 본 발명은 상기 실시예에 제한되지 않는다. 구체적인 구조는 상기 상술된 실시예에 제한되어서는 안된다.

본원에서 여러 특정 실시예가 상세히 설명되었지만, 본 발명의 취지와 영역을 벗어나지 않는 범위 내에서 본 발명에 대해서 여러가지 변형, 대체, 및 수정이 가해질 수 있다. 따라서, 본 발명은 첨부된 특허청구범위에 의해서만 한정되는 것으로 이해되어져야 한다.

## (57) 청구의 범위

### 청구항 1.

증폭 회로 입력에서 제 1의 그레이 레벨 전압을 수신하도록 결합되며 상기 제 1의 그레이 레벨 전압과 증폭 회로 출력의 전압 레벨이 적어도 실질적으로 동일할 때 고임피던스를 갖는 증폭 회로 출력을 제공하는 증폭 회로; 및

상기 그레이 레벨 전압에 기초하여 상기 출력 단자의 전압 레벨을 보상하기 위한 구동 전압 보상 회로를 포함하는 것을 특징으로 하는 디스플레이 제어 회로.

### 청구항 2.

제 1항에 있어서,

상기 증폭 회로는,

고전위 전원에 결합된 드레인과, 상기 증폭 회로 입력에 결합된 게이트, 및 상기 증폭 회로 출력에 결합된 소스를 구비하는 n-형 절연 게이트 전계 효과 트랜지스터(IGFET); 및

저전위 전원에 결합된 드레인과, 상기 증폭 회로 입력에 결합된 게이트, 및 상기 증폭 회로 출력에 결합된 소스를 구비하는 p-형 IGFET를 포함하는 것을 특징으로 하는 디스플레이 제어 회로.

### 청구항 3.

제 1항에 있어서,

상기 증폭 회로는,

상기 증폭 회로 입력에 결합된 제 1의 입력과 상기 증폭 회로 출력에 결합된 제 2의 입력, 및 제 1의 드라이버 회로를 온/오프하기 위한 제어를 제공하도록 결합된 제 1의 출력을 구비하는 제 1의 차동 입력 회로; 및

상기 증폭 회로 입력에 결합된 제 3의 입력과 상기 증폭 회로 출력에 결합된 제 4의 입력, 및 제 2의 드라이버 회로를 온/오프하기 위한 제어를 제공하도록 결합된 제 2의 출력을 구비하는 제 2의 차동 입력 회로를 포함하는 것을 특징으로 하는 디스플레이 제어 회로.

**청구항 4.**
제 3항에 있어서,

상기 제 1의 출력 드라이버 회로는 상기 증폭 회로 출력의 상기 전압보다 더 높은 상기 증폭 회로 입력의 상기 전압에 응답하여 온 될 때 상기 출력 단자의 전압을 상승시키며;

상기 제 2의 출력 드라이버 회로는 상기 증폭 회로 출력의 상기 전압보다 더 낮은 상기 증폭 회로 입력의 상기 전압에 응답하여 온 될 때 상기 출력 단자의 전압을 낮추는 것을 특징으로 하는 디스플레이 제어 회로.

**청구항 5.**
제 1항에 있어서,

다수의 기준 전압을 제공하는 전압 발생 회로; 및

디스플레이 데이터에 기초하여 상기 다수의 기준 전압에서 상기 제 1의 그레이 레벨 전압을 선택하기 위한 제 1의 선택기 회로를 더 포함하고,

상기 구동 전압 보상 회로는,

상기 다수의 기준 전압을 수신하도록 결합되며 다수의 버퍼링된 기준 전압(buffered reference voltages)을 제공하는 버퍼 회로; 및

상기 디스플레이 데이터에 기초하여 상기 다수의 버퍼링된 기준 전압 중에서 하나를 선택하고 상기 다수의 버퍼링된 기준 전압 중 상기 하나를 상기 증폭 회로 출력으로 제공하기 위한 제 2의 선택기 회로를 포함하는 것을 특징으로 하는 디스플레이 제어 회로.

**청구항 6.**
제 5항에 있어서,

상기 버퍼 회로는 다수의 연산증폭기 회로를 포함하고, 상기 다수의 연산증폭기 회로 각각은 전압 폴로워로서 구성되고 상기 다수의 기준 전압의 하나를 수신하고 상기 버퍼링된 기준 전압의 하나를 제공하도록 결합되는 것을 특징으로 하는 디스플레이 제어 회로.

**청구항 7.**
제 1항에 있어서,

상기 디스플레이 제어 회로는 상이한 디스플레이 데이터에 기초하여 다수의 출력 단자를 구동하고;

상기 다수의 출력 단자 각각은 대응하는 증폭 회로, 제 1의 선택기, 및 제 2의 선택기와 관련되고 대응하는 증폭 회로 출력에 연결되는 것을 특징으로 하는 디스플레이 제어 회로.

**청구항 8.**
디스플레이 데이터에 기초하여 다수의 그레이 레벨 전압에서 선택된 소정의 그레이 레벨 전압으로 다수의 출력 단자 각각을 구동하기 위한 디스플레이 제어 회로에 있어서,

다수의 출력 회로를 포함하고,

각각의 출력 회로는,

제 1의 증폭 회로 입력에서 상기 소정의 그레이 레벨 전압을 수신하도록 결합되고 상기 다수의 출력 단자 중 대응하는

하나에 연결된 제 1의 증폭 회로 출력을 구비하고 상기 출력 단자 중 대응하는 출력 단자가 실질적으로 상기 소정의 그레이 레벨 전압인 전압 레벨을 가질 때 상기 제 1의 증폭 회로 출력이 고임피던스가 되는 데드 존을 갖는 제 1의 증폭 회로; 및

상기 소정의 그레이 레벨 전압을 수신하도록 결합되며 상기 다수의 출력 단자 중 대응하는 하나에 연결된 제 2의 증폭 회로 출력을 구비하며 데드 존을 갖지 않는 제 2의 증폭 회로를 포함하는 것을 특징으로 하는 디스플레이 제어 회로.

## 청구항 9.

제 8항에 있어서,

상기 제 1의 증폭 회로는 상기 제 1의 증폭 회로를 활성/비활성 상태로 두기 위한 제 1의 제어 신호를 수신하도록 결합되는 것을 특징으로 하는 디스플레이 제어 회로.

## 청구항 10.

제 8항에 있어서,

상기 제 2의 증폭 회로는 상기 제 2의 증폭 회로를 활성/비활성 상태로 두기 위한 제 2의 제어 신호를 수신하도록 결합되는 것을 특징으로 하는 디스플레이 제어 회로.

## 청구항 11.

제 8항에 있어서,

상기 제 1의 증폭 회로는,

고전위 전원에 결합된 드레인과, 상기 제 1의 증폭 회로 입력에 결합된 게이트, 및 상기 제 1의 증폭 회로 출력에 결합된 소스를 구비하는 n-형 절연 게이트 전계 효과 트랜지스터(IGFET); 및

저전위 전원에 결합된 드레인과, 상기 제 1의 증폭 회로 입력에 결합된 게이트, 및 상기 제 1의 증폭 회로 출력에 결합된 소스를 구비하는 p-형 IGFET를 포함하는 것을 특징으로 하는 디스플레이 제어 회로.

## 청구항 12.

제 8항에 있어서,

상기 제 1의 증폭 회로는,

상기 소정의 그레이 레벨 전압을 수신하도록 결합된 제 1의 입력과 상기 출력 단자에 결합된 제 2의 입력을 구비하며 제 1의 드라이버 제어 신호를 제공하는 제 1의 차동 입력 회로와;

상기 소정의 그레이 레벨 전압을 수신하도록 결합된 제 3의 입력과 상기 출력 단자에 결합된 제 4의 입력을 구비하며 제 2의 드라이버 제어 신호를 제공하는 제 2의 차동 입력 회로; 및

상기 제 1 및 제 2의 드라이버 제어 신호를 수신하도록 결합되고 상기 제 1의 증폭 회로 출력을 제공하는 드라이버 회로를 포함하는 것을 특징으로 하는 디스플레이 제어 회로.

## 청구항 13.

제 8항에 있어서,

다수의 기준 전압을 제공하는 기준 전압 발생 회로를 더 포함하고,

상기 출력 회로 각각은 상기 기준 전압을 수신하고 상기 디스플레이 데이터에 기초하여 상기 소정의 그레이 레벨 전압을 제공하도록 결합된 제 1의 선택기를 포함하는 것을 특징으로 하는 디스플레이 제어 회로.

## 청구항 14.

제 8항에 있어서,

다수의 기준 전압을 제공하는 기준 전압 발생 회로; 및

다수의 제 3의 증폭 회로를 포함하고 상기 다수의 출력 회로 각각으로 다수의 버퍼링된 기준 전압을 제공하는 버퍼 회로를 더 포함하고,

인에이블되는 상기 제 3의 증폭 회로의 수는 동작의 그레이 레벨 수 모드(gray level number mode of operation)에 의존하는 것을 특징으로 하는 디스플레이 제어 회로.

**청구항 15.**
디스플레이 데이터에 기초하여 다수의 그레이 레벨 전압으로부터 선택된 소 정의 그레이 레벨 전압으로 다수의 출력 단자 각각을 구동하기 위한 디스플레이 제어 회로에 있어서,

다수의 기준 전압을 수신하는 다수의 제 1의 증폭 회로를 포함하고 상기 다수의 그레이 레벨 전압에 대응하는 다수의 버퍼링된 기준 전압을 제공하는 버퍼; 및

다수의 출력 회로를 포함하고,

상기 출력 회로 각각은,

제 2의 증폭 회로 입력에서 소정의 그레이 레벨 전압을 수신하도록 결합되고 상기 다수의 출력 단자 중 대응하는 하나에 연결된 제 2의 증폭 회로 출력을 구비하고 상기 출력 단자 중 대응하는 출력 단자가 실질적으로 상기 소정의 그레이 레벨 전압인 전압 레벨을 가질 때 상기 제 2의 증폭 회로 출력이 고임피던스 상태로 들어가는 데드 존을 갖는 제 2의 증폭 회로를 포함하고,

상기 다수의 제 1의 증폭 회로는 데드 존을 갖지 않으며 상기 버퍼는 상기 출력 단자 각각을 대응하는 소정의 그레이 레벨 전압으로 구동하는 것을 특징으로 하는 디스플레이 제어 장치.

**청구항 16.**
제 15항에 있어서,

다수의 기준 전압을 제공하는 기준 전압 발생기를 더 포함하고,

상기 출력 회로 각각은 상기 다수의 기준 전압을 수신하도록 결합되며 상기 소정의 그레이 레벨 전압을 상기 디스플레이 데이터에 기초하여 상기 제 2의 증폭 회로에 제공하는 제 1의 선택기를 포함하는 것을 특징으로 하는 디스플레이 제어 장치.

**청구항 17.**
제 16항에 있어서,

상기 출력 회로 각각은 상기 다수의 버퍼링된 기준 전압을 수신하도록 결합되며 상기 디스플레이 데이터에 기초하여 상기 출력 단자에 소정의 그레이 레벨 전압을 제공하는 제 2의 선택기를 더 포함하는 것을 특징으로 하는 디스플레이 제어 장치.

**청구항 18.**
제 15항에 있어서,

상기 제 2의 증폭 회로는,

고전위 전원에 결합된 드레인과, 상기 제 2의 증폭 회로 입력에 결합된 게이트, 및 상기 제 2의 증폭 회로 출력에 결합된 소스를 구비하는 n-형 절연 게이트 전계 효과 트랜지스터(IGFET); 및

저전위 전원에 결합된 드레인과, 상기 제 2의 증폭 회로 입력에 결합된 게이트, 및 상기 제 2의 증폭 회로 출력에 결합된 소스를 구비하는 p-형 IGFET를 포함하는 것을 특징으로 하는 디스플레이 제어 회로.

**청구항 19.**
제 15항에 있어서,

상기 제 2의 증폭 회로는,

상기 그레이 레벨 전압을 수신하도록 결합된 제 1의 입력과 상기 출력 단자에 결합된 제 2의 입력을 구비하며 제 1의 드라이버 제어 신호를 제공하는 제 1의 차동 입력 회로와;

상기 그레이 레벨 전압을 수신하도록 결합된 제 3의 입력과 상기 출력 단자에 결합된 제 4의 입력을 구비하며 제 2의 드라이버 제어 신호를 제공하는 제 2의 차동 입력 회로; 및

상기 제 1 및 제 2의 드라이버 제어 신호를 수신하도록 결합되고 상기 제 2의 증폭 회로 출력을 제공하는 드라이버 회로를 포함하는 것을 특징으로 하는 디스플레이 제어 회로.

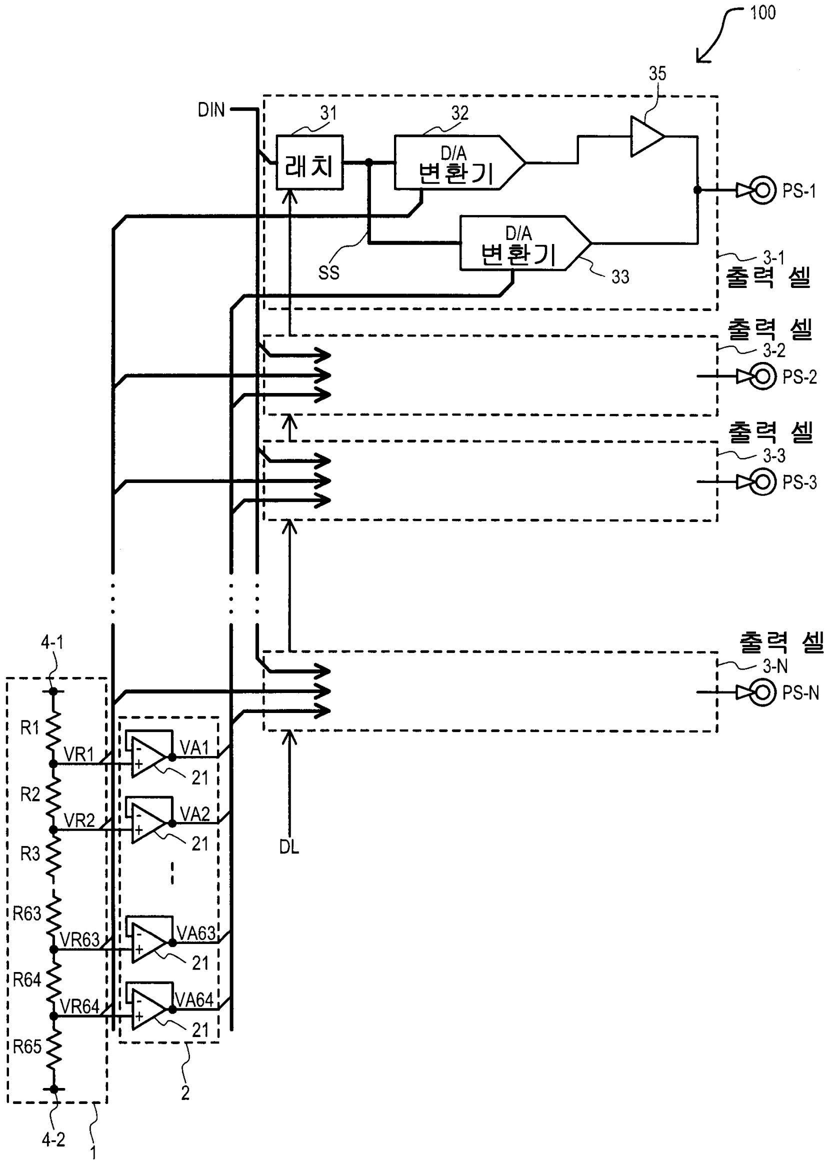
## 청구항 20.

제 15항에 있어서,

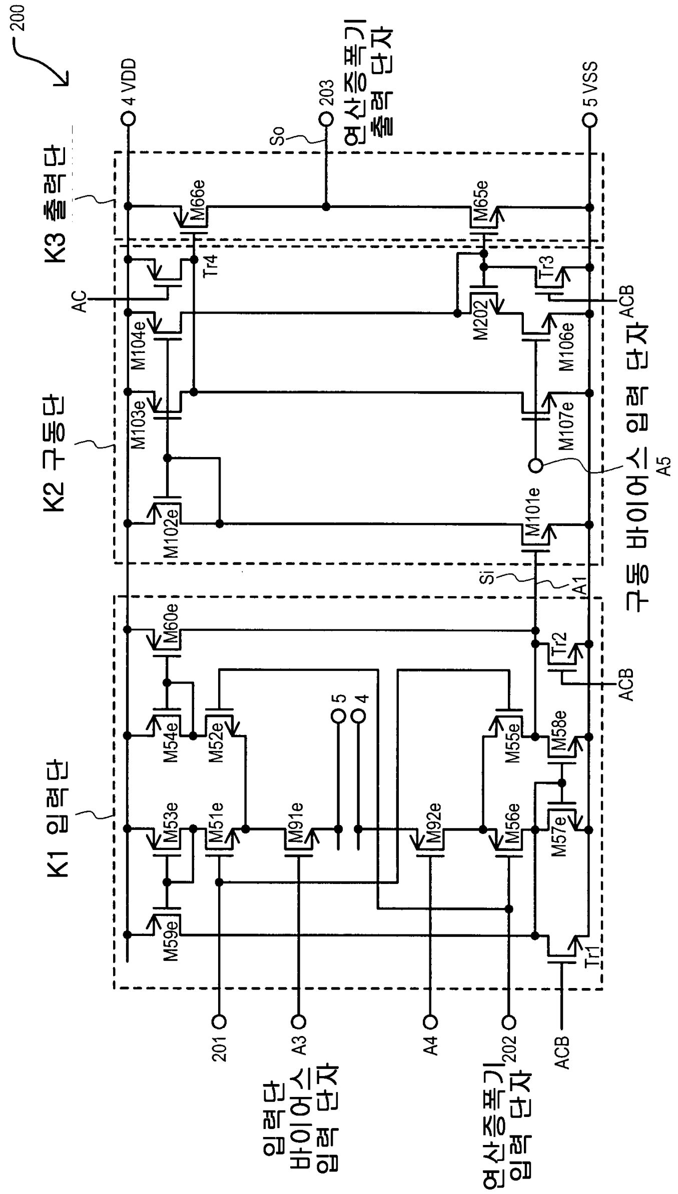
상기 디스플레이 제어 회로는 다수의 단위 픽셀이 다수의 데이터 라인과 다수의 주사 라인의 각 교차점 부근에서 매트릭스 형태로 정렬되며 상기 다수의 데이터 라인이 상기 다수의 출력 단자에 의해 구동되는 디스플레이 장치를 제어하는 것을 특징으로 하는 디스플레이 제어 회로.

## 도면

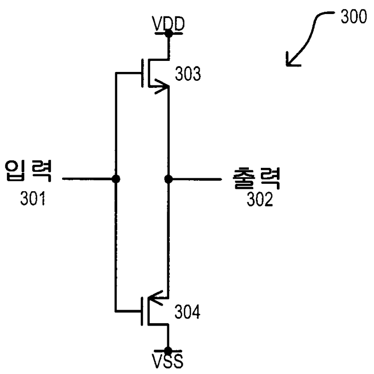
도면1


100
35
DIN
31
32
래치
D/A
변환기
D/A
변환기
SS
33
PS-1
3-1
출력 셀
출력 셀
3-2
PS-2
출력 셀
3-3
PS-3
출력 셀
3-N
PS-N
4-1
R1
VR1
VA1
21
R2
VR2
VA2
21
R3
DL
R63
VR63
VA63
21
R64
VR64
VA64
21
R65
2
4-2
1

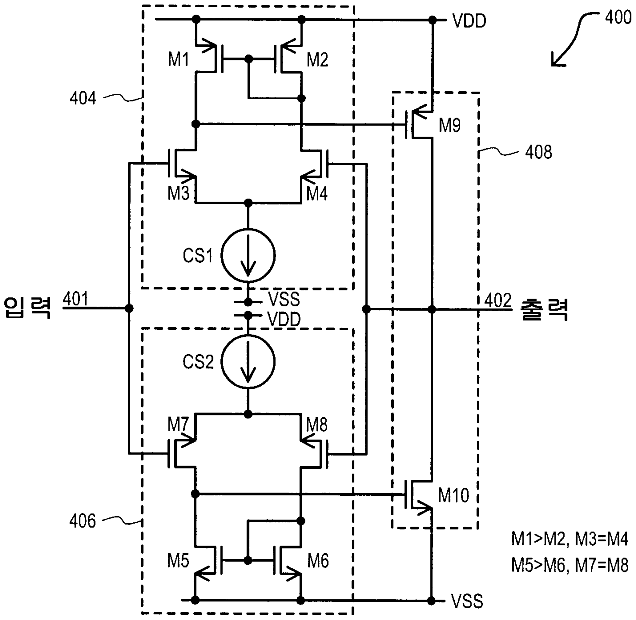
도면2


200
K3 출력단
K2 구동단
K1 입력단
4 VDD
So
203
연산증폭기 출력 단자
5 VSS
M66e
M65e
Tr4
Tr3
AC
ACB
M104e
M202
M106e
M103e
M107e
구동 바이어스 입력 단자
A5
M102e
M101e
Si
A1
M60e
Tr2
ACB
M54e
M52e
5
4
M55e
M58e
M53e
M51e
M91e
M92e
M56e
M57e
M59e
Tr1
201
A3
A4
202
ACB
입력단 바이어스 입력 단자
연산증폭기 입력 단자

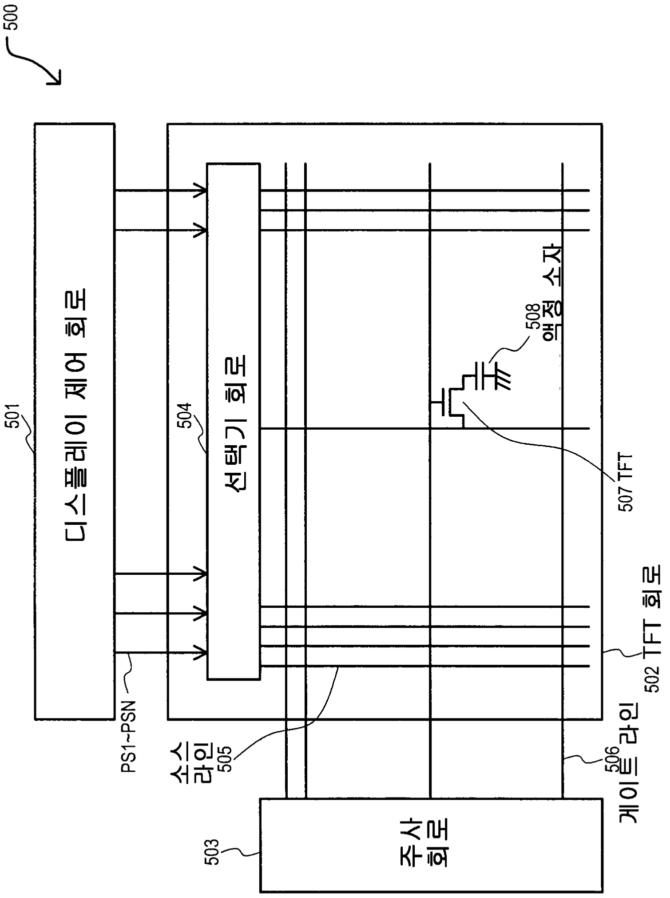
도면3


VDD
300
303
입력
301
출력
302
304
VSS

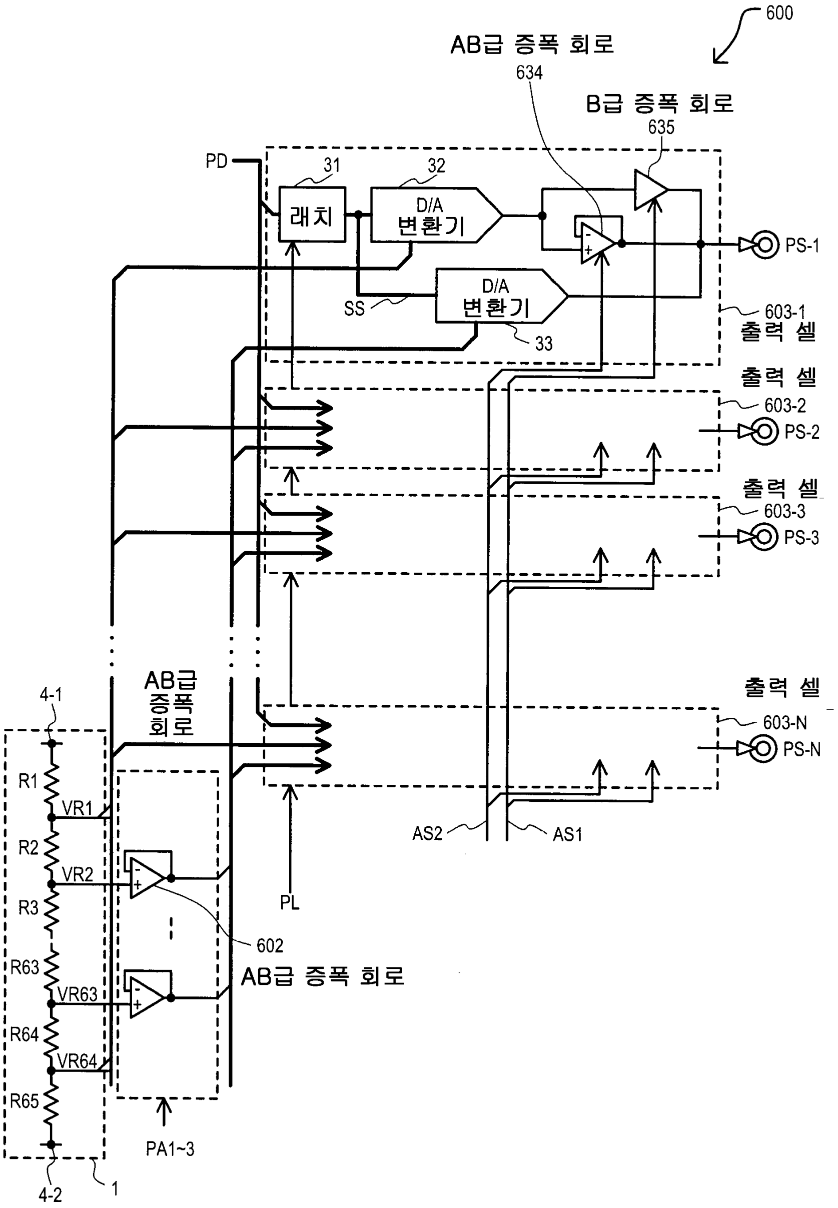
도면4


VDD
400
M1
M2
404
M9
408
M3
M4
CS1
입력
401
VSS
VDD
402
출력
CS2
M7
M8
M10
406
M5
M6
M1>M2, M3=M4
M5>M6, M7=M8
VSS

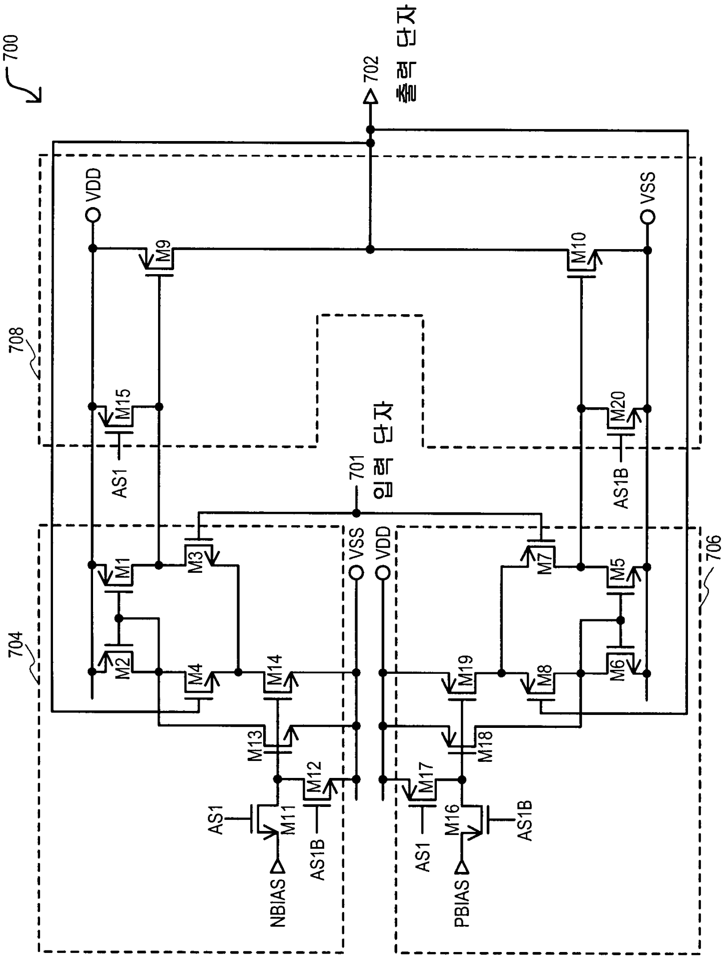
도면5


500
디스플레이 제어 회로
501
선택기 회로
504
508
액정 소자
507 TFT
502 TFT 회로
PS1~PSN
소스 라인
505
506
게이트 라인
503
주사 회로

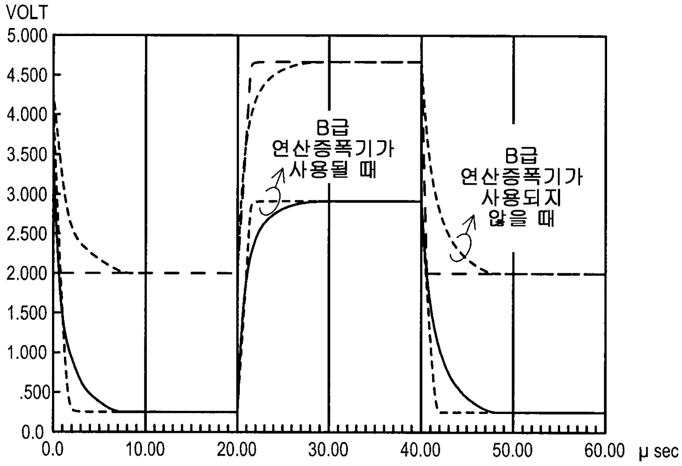
도면6


600
AB급 증폭 회로
634
B급 증폭 회로
635
PD
31
32
래치
D/A
변환기
PS-1
SS
D/A
변환기
33
603-1
출력 셀
출력 셀
603-2
PS-2
출력 셀
603-3
PS-3
출력 셀
603-N
PS-N
4-1
AB급
증폭
회로
R1
VR1
R2
VR2
R3
R63
VR63
R64
VR64
R65
602
AB급 증폭 회로
PL
AS2
AS1
PA1~3
4-2
1

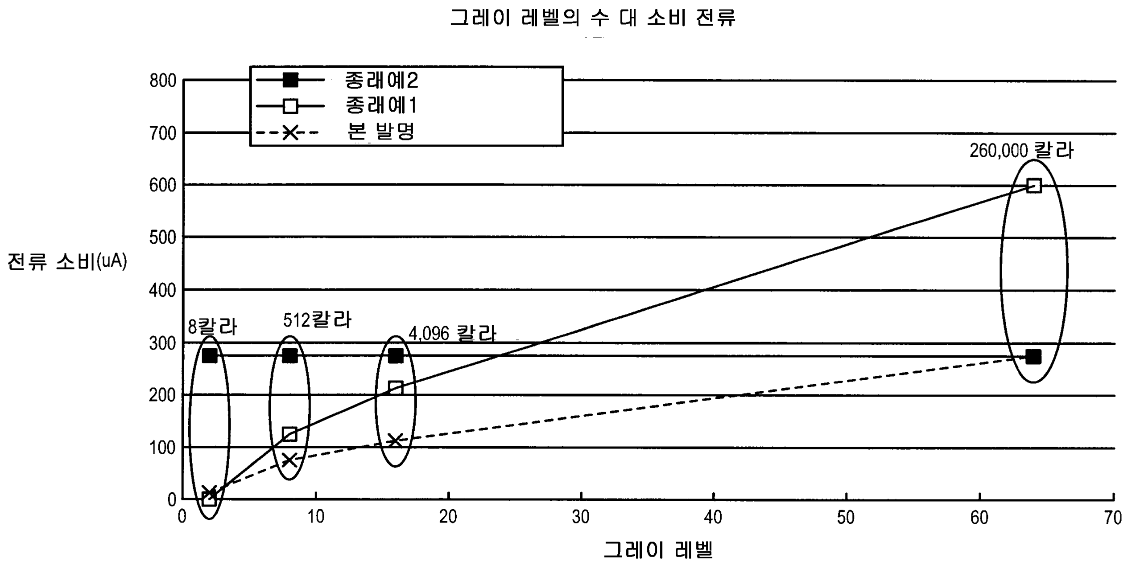
도면7


700
702
출력 단자
708
VDD
VSS
M9
M10
M15
M20
AS1
AS1B
701
입력 단자
704
706
M1
M2
M3
M4
M5
M6
M7
M8
M11
M12
M13
M14
M16
M17
M18
M19
VSS
VDD
AS1
AS1B
NBIAS
AS1
AS1B
PBIAS

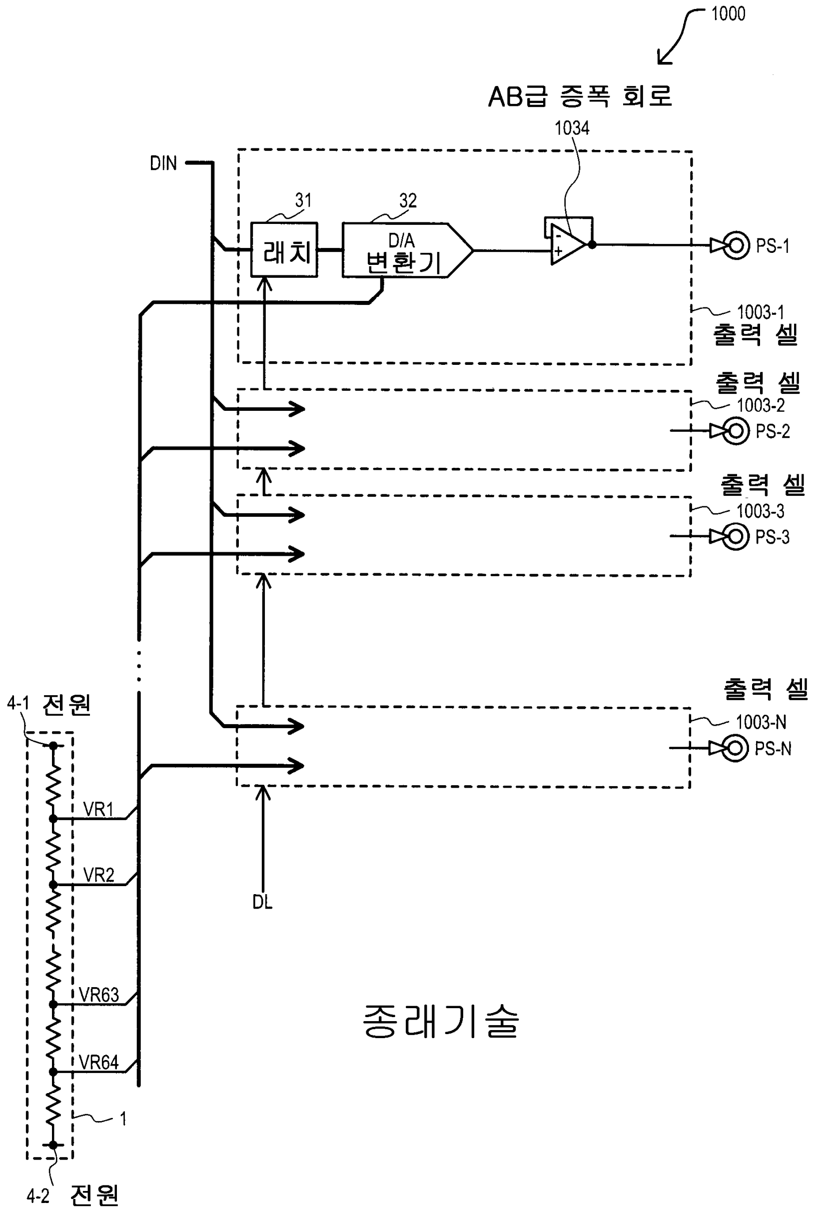
도면8


VOLT
5.000
4.500
4.000
3.500
3.000
2.500
2.000
1.500
1.000
.500
0.0
0.0
10.00
20.00
30.00
40.00
50.00
60.00
μ sec
B급 연산증폭기가 사용될 때
B급 연산증폭기가 사용되지 않을 때

## 도면9

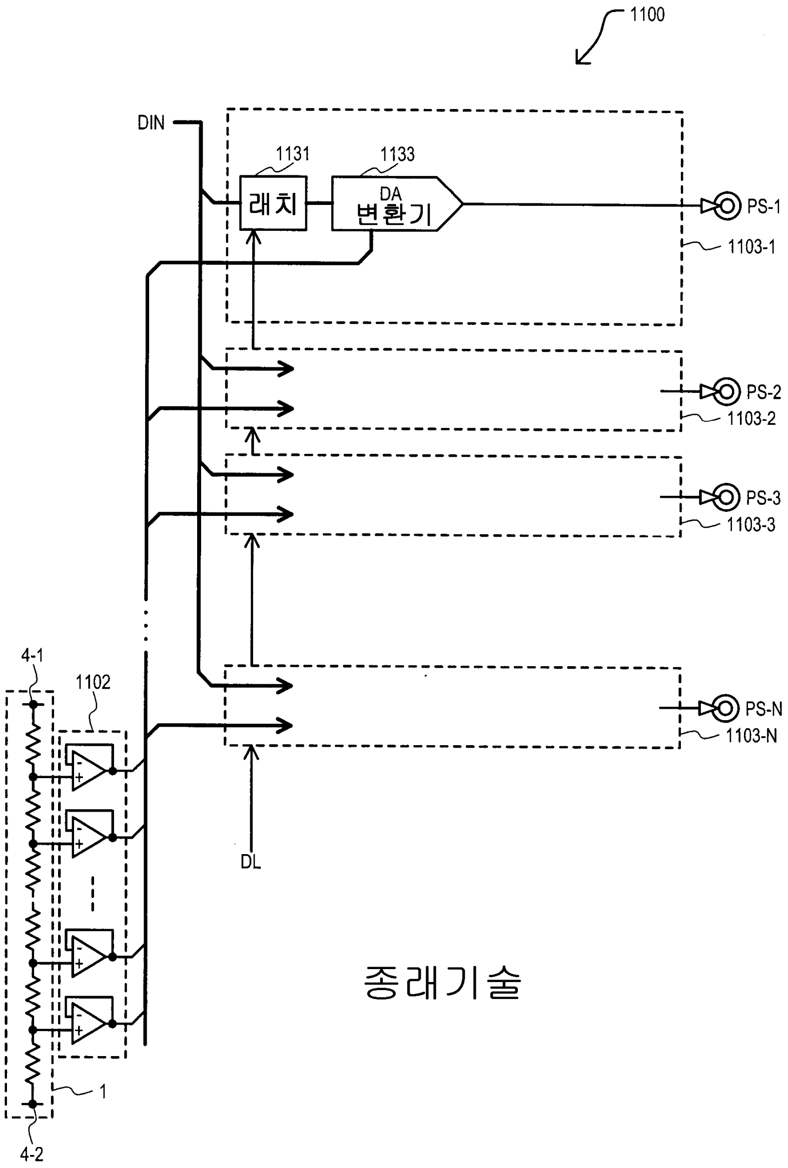

그레이 레벨의 수 대 소비 전류
종래예2
종래예1
본 발명
전류 소비(uA)
800
700
600
500
400
300
200
100
0
8칼라
512칼라
4,096 칼라
260,000 칼라
0
10
20
30
40
50
60
70
그레이 레벨

도면10


1000
AB급 증폭 회로
1034
DIN
31
32
래치
D/A 변환기
-
+
PS-1
1003-1
출력 셀
출력 셀
1003-2
PS-2
출력 셀
1003-3
PS-3
출력 셀
1003-N
PS-N
4-1 전원
VR1
VR2
VR63
VR64
1
4-2 전원
DL

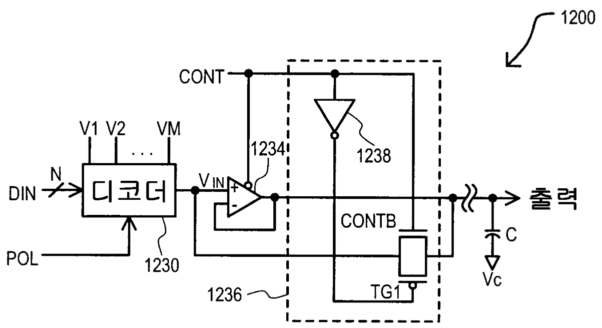
종래기술

도면11



종래기술

도면12



종래기술

| | | | |
|---|---|---|---|
| 专利名称(译) | 显示控制电路和显示装置 | | |
| 公开(公告)号 | KR1020030041787A | 公开(公告)日 | 2003-05-27 |
| 申请号 | KR1020020071522 | 申请日 | 2002-11-18 |
| [标]申请(专利权)人(译) | 瑞萨电子株式会社 | | |
| 申请(专利权)人(译) | 瑞萨电子株式会社 | | |
| [标]发明人 | KATO FUMIHIKO<br>카토후미히코 | | |
| 发明人 | 카토후미히코 | | |
| IPC分类号 | G02F1/133 G09G3/20 G09G3/30 G09G3/32 G09G3/36 | | |
| CPC分类号 | G09G3/3275 G09G3/3688 G09G3/3696 G09G2310/027 G09G2310/0291 G09G2330/021 | | |
| 代理人(译) | 用最甜 | | |
| 优先权 | 2001353282 2001-11-19 JP | | |
| 其他公开文献 | KR100569471B1 | | |
| 外部链接 | Espacenet | | |

## 摘要(译)

公开了一种具有降低的功耗的显示控制电路（100）。显示控制电路100包括多个输出单元3-1至3-N。每个输出单元包括放大电路35，用于根据显示数据DIN将输出端子驱动到灰度级电压。放大电路35包括死区，当输出端基本上处于灰度电压时，该死区的输出是高阻抗。包括放大电路21以在灰度级电压附近为输出端子PS提供驱动。因此，通过放大电路35提供大的驱动和放大电路21的小驱动强度，降低了电流消耗。 1 指数方面 显示控制电路，显示控制装置