



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월09일
(11) 등록번호 10-1418115
(24) 등록일자 2014년07월03일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01) H02M 1/14 (2006.01)
(21) 출원번호 10-2007-0064901
(22) 출원일자 2007년06월29일
심사청구일자 2012년06월12일
(65) 공개번호 10-2008-0002661
(43) 공개일자 2008년01월04일
(30) 우선권주장
1020060060200 2006년06월30일 대한민국(KR)
(56) 선행기술조사문헌
JP2002185301 A
JP평성11251897 A
JP평성03195126 A
JP평성08122749 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이부열
서울특별시 서초구 방배로 278, 동부센트레빌아파트 102-2102 (방배동)
(74) 대리인
서교준

전체 청구항 수 : 총 11 항

심사관 : 추장희

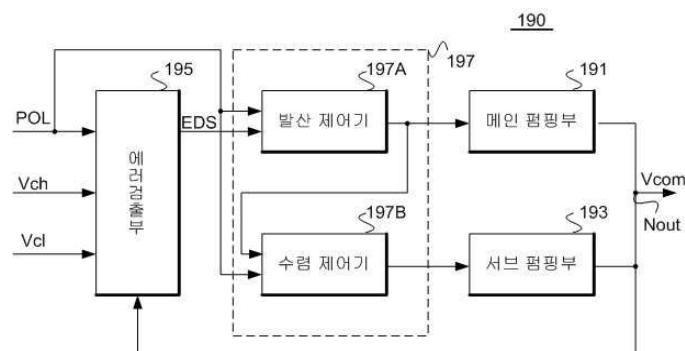
(54) 발명의 명칭 공통 전압 발생 회로 및 그를 이용한 액정표시장치

(57) 요약

적어도 2 이상의 레벨들 사이의 전이 기간이 짧으면서도 전이 레벨을 안정되게 유지하는 기준 전압을 발생하는 기준 전압 발생 회로가 개시된다.

기준 전압 발생 회로는, 출력 노드 상의 공통 전압을 빠르게 상승시키는 고속 포지티브 또는 빠르게 하강시키는 고속 네가티브 펌핑을 선택적으로 수행하는 메인 펌핑부와, 상기 출력 노드 상의 공통 전압을 느리게 상승시키는 저속 포지티브 또는 느리게 하강시키는 저속 네가티브 펌핑을 선택적으로 수행하는 서브 펌핑부와, 극성반전신호의 논리값에 따라 공통전압을 고전위 기준전압 또는 저전위 기준전압과 비교하여 에러검출 신호를 발생시키는 에러 검출부와, 상기 극성반전신호의 논리값에 따라 상기 메인 펌핑부의 고속 포지티브 펌핑 및 서브 펌핑부의 저속 네가티브 펌핑 또는 상기 메인 펌핑부의 고속 네가티브 펌핑 및 서브 펌핑부의 저속 포지티브 펌핑이 수행되게 하고, 상기 에러검출 신호의 논리값에 따라 상기 메인 펌핑부의 펌핑과 상기 서브 펌핑부의 펌핑을 전환되게 하는 펌핑 제어부를 구비한다.

대표도 - 도2



특허청구의 범위

청구항 1

출력 노드 상의 공통 전압을 빠르게 상승시키는 고속 포지티브 또는 빠르게 하강시키는 고속 네가티브 펌핑을 선택적으로 수행하는 메인 펌핑부;

상기 출력 노드 상의 공통 전압을 느리게 상승시키는 저속 포지티브 또는 느리게 하강시키는 저속 네가티브 펌핑을 선택적으로 수행하는 서브 펌핑부;

극성반전신호의 논리값에 따라 공통전압을 고전위 기준전압 또는 저전위 기준전압과 비교하여 에러검출 신호를 발생시키는 에러 검출부; 및

상기 극성반전신호의 논리값에 따라 상기 메인 펌핑부의 고속 포지티브 펌핑 및 서브 펌핑부의 저속 네가티브 펌핑 또는 상기 메인 펌핑부의 고속 네가티브 펌핑 및 서브 펌핑부의 저속 포지티브 펌핑이 수행되게 하고, 상기 에러검출 신호의 논리값에 따라 상기 메인 펌핑부의 펌핑과 상기 서브 펌핑부의 펌핑을 절환되게 하는 펌핑 제어부;를 구비하는 것을 특징으로 하는 공통 전압 발생 회로.

청구항 2

제 1 항에 있어서,

상기 펌핑 제어부는 극성반전신호가 하이 논리이면 에러검출 신호의 논리값에 따라 메인 펌핑부의 고속 네가티브 펌핑과 서브 펌핑부의 저속 포지티브 펌핑이 선택적으로 수행하도록 제어하는 공통 전압 발생회로.

청구항 3

제 2 항에 있어서,

상기 펌핑 제어부는 극성반전신호가 하이 논리이고 에러검출 신호가 하이 논리이면 상기 메인 펌핑부가 고속 네가티브 펌핑을 수행하게 하고, 극성반전신호가 하이 논리이고 에러검출 신호가 로우 논리이면 상기 서브 펌핑부가 저속 포지티브 펌핑을 수행하게 하는 것을 특징으로 하는 공통 전압 발생회로.

청구항 4

제 1 항에 있어서,

상기 펌핑 제어부는 극성반전신호가 하이 논리이고 에러검출 신호가 하이 논리이면 상기 메인 펌핑부가 고속 네가티브 펌핑을 수행하게 하고, 극성반전신호가 하이 논리이고 에러검출 신호가 로우 논리이면 상기 서브 펌핑부가 저속 포지티브 펌핑을 수행하게 하는 것을 특징으로 하는 공통 전압 발생회로.

청구항 5

제 4 항에 있어서,

상기 펌핑 제어부는 극성반전신호가 로우 논리이고 에러검출 신호가 하이 논리이면 상기 서브 펌핑부가 저속 네가티브 펌핑을 수행하게 하고, 극성반전신호가 로우 논리이고 에러검출 신호가 로우 논리이면 상기 메인 펌핑부가 고속 포지티브 펌핑을 수행하게 하는 것을 특징으로 하는 공통 전압 발생회로.

청구항 6

제 1 항에 있어서,

상기 펌핑 제어부는 극성반전신호가 로우 논리이고 에러검출 신호가 하이 논리이면 상기 서브 펌핑부가 저속 네가티브 펌핑을 수행하게 하고, 극성반전신호가 로우 논리이고 에러검출 신호가 로우 논리이면 상기 메인 펌핑부가 고속 포지티브 펌핑을 수행하게 하는 것을 특징으로 하는 공통 전압 발생회로.

청구항 7

제 1 항에 있어서,

상기 에러 검출부는 극성반전신호가 하이 논리이면 공통전압을 저전위 기준전압과 비교하고, 극성반전신호가 로

우 논리이면 공통전압을 고전위 기준전압과 비교하는 것을 특징으로 하는 공통 전압 발생회로.

청구항 8

제 7 항에 있어서,

상기 에러 검출부는 극성반전신호가 하이 논리이면 공통전압을 저전위 기준전압과 비교하고, 극성반전신호가 로우 논리이면 공통전압을 고전위 기준전압과 비교하는 것을 특징으로 하는 공통 전압 발생회로.

청구항 9

제 1 항에 있어서,

상기 메인 펌핑부는 고속 포지티브 제어 신호에 의해 상기 출력 노드상의 전압을 빠르게 충전되게 하는 제1 트랜지스터 및 상기 고속 네가티브 제어 신호에 의해 상기 출력 노드상의 전압을 빠르게 방전되게 하는 제2 트랜지스터를 구비하고,

상기 서브 펌핑부는 저속 포지티브 제어 신호에 의해 상기 출력 노드상의 전압을 느리게 충전되게 하는 제3 트랜지스터 및 상기 저속 네가티브 제어신호에 의해 상기 출력 노드 상의 전압을 느리게 방전되게 하는 제4 트랜지스터를 구비하는 것을 특징으로 하는 공통 전압 발생회로.

청구항 10

제 9 항에 있어서,

상기 제1 및 제2 트랜지스터들은 제3 및 제4 트랜지스터들에 비해 큰 채널 폭을 가지는 것을 특징으로 하는 공통 전압 발생회로.

청구항 11

액정패널;

상기 액정패널 상의 데이터 라인들 및 게이트 라인들을 구동하는 데이터 드라이버 및 게이트 드라이버;

상기 데이터 및 게이트 드라이버의 구동 타이밍을 제어하는 타이밍 컨트롤러; 및

상기 타이밍 컨트롤러로부터 극성제어신호에 응답하는 공통 전압 발생회로를 포함하고,

상기 공통 전압 발생회로는

출력 노드 상의 공통 전압을 빠르게 상승시키는 고속 포지티브 펌핑 또는 빠르게 하강시키는 고속 네가티브 펌핑을 수행하는 메인 펌핑부;

상기 출력 노드 상의 공통 전압을 느리게 상승시키는 저속 포지티브 펌핑 또는 느리게 하강시키는 저속 네가티브 펌핑을 수행하는 서브 펌핑부;

극성반전신호의 논리값에 따라 상기 공통전압을 고전위 기준전압 또는 저전위 기준전압과 비교하여 에러검출 신호를 발생시키는 에러 검출부; 및

상기 극성반전신호의 논리값에 따라 상기 메인 펌핑부의 고속 포지티브 펌핑 및 서브 펌핑부의 저속 네가티브 펌핑 또는 상기 메인 펌핑부의 고속 네가티브 펌핑 및 서브 펌핑부의 저속 포지티브 펌핑이 수행되게 하고, 상기 에러검출신호의 논리값에 따라 상기 메인 펌핑부의 펌핑과 상기 서브 펌핑부의 펌핑을 절환되게 하는 펌핑 제어부;를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0013] 본 발명은 적어도 2 이상의 레벨들을 번갈아 안정되게 유지하는 스윙 타입의 공통 전압을 발생하는 공통 전압 발생 회로에 관한 것이다. 또한, 본 발명은 상기의 공통 전압 발생 회로를 이용한 액정 표시 장치에 관한 것이다.
- [0014] 통상의 신호 처리 및 제어 시스템에서는, 원하는 성분의 신호를 검출하기 위하여 공통 전압 신호를 이용한다. 또한, 신호 처리 및 제어 시스템은 필요에 따라 신호 모드 또는 제어 상태를 주기적으로 변경시킨다. 이러한 경우, 공통 전압 신호도 적어도 2 이상의 전압 레벨을 번갈아 가지게 된다.
- [0015] 실제로, 평판 표시 장치의 하나인 액정 표시 장치는 서로 다른 두 개의 전압 레벨을 번갈아 가지는 일명 "공통 전압"이라 하는 기준 전압 신호를 이용한다. 이렇게 두 레벨 사이에서 스윙하는 공통 전압은 액정 셀에 번갈아 공급되는 정극성 및 부극성의 화소 데이터 전압들의 기준 레벨을 다르게 지정한다. 다시 말하여, 스윙 형태의 공통 전압은 정 극성 및 부 극성의 화소 데이터 전압들이 일정한 전압 레벨 영역을 공유하게 한다. 상기의 스윙 타입의 공통 전압에 의하여, 액정 표시 장치는 양질의 화상을 표시하면서도 소비 전력을 크게 줄이고 있다. 이러한 스윙 타입의 공통 전압을 발생하기 위하여, 상기 액정 표시 장치는 대용량의 트랜지스터(즉, 채널 폭이 넓은 트랜지스터)를 포함하는 공통 전압 발생 회로를 사용한다.
- [0016] 그러나, 상기 공통 전압 발생 회로에 포함된 대용량의 트랜지스터는 공통 전압의 레벨 전이 기간을 짧게 할 수는 있으나 전이된 레벨을 안정되게 유지할 수 없었다. 다시 말하여, 액정 표시 장치의 공통 전압 발생 회로에서는, 공통 전압이 전이된 레벨 부근에서 진동하게 하는 발진 현상이 나타난다. 이러한 발진 현상은 화소 데이터 전압에 잡음 성분이 추가되게 하여, 액정 표시 장치에 의하여 표시되는 화상의 품질을 떨어뜨린다.

발명이 이루고자 하는 기술적 과제

[0017] 따라서, 본 발명은 적어도 2 이상의 레벨들 사이의 전이 기간이 짧으면서도 전이 레벨을 안정되게 유지하는 스윙 타입의 기준 전압을 발생하기에 적합한 공통 전압 발생 회로 및 그를 이용한 액정 표시 장치를 제공함에 있다.

발명의 구성 및 작용

[0018] 상기 목적을 달성하기 위한 본 발명의 일면의 실시 예에 따른 공통 전압 발생회로는 출력 노드 상의 공통 전압을 빠르게 상승시키는 고속 포지티브 또는 빠르게 하강시키는 고속 네가티브 펌핑을 선택적으로 수행하는 메인 펌핑부와, 상기 출력 노드 상의 공통 전압을 느리게 상승시키는 저속 포지티브 또는 느리게 하강시키는 저속 네가티브 펌핑을 선택적으로 수행하는 서브 펌핑부와, 극성반전신호의 논리값에 따라 공통전압을 고전위 기준전압 또는 저전위 기준전압과 비교하여 에러검출 신호를 발생시키는 에러 검출부와, 상기 극성반전신호의 논리값에 따라 상기 메인 펌핑부의 고속 포지티브 펌핑 및 서브 펌핑부의 저속 네가티브 펌핑 또는 상기 메인 펌핑부의 고속 네가티브 펌핑 및 서브 펌핑부의 저속 포지티브 펌핑이 수행되게 하고, 상기 에러검출 신호의 논리값에 따라 상기 메인 펌핑부의 펌핑과 상기 서브 펌핑부의 펌핑을 전환되게 하는 펌핑 제어부를 구비한다.

[0019] 삭제

[0020] 삭제

[0021] 상기한 바와 같은 본 발명의 목적 외에 본 발명의 다른 목적들, 다른 이점들 및 다른 특징들은 첨부한 도면과 결부된 바람직한 실시 예의 상세한 설명을 통하여 명백하게 드러나게 될 것이다.

[0022] 이하, 본 발명의 실시 예들이 첨부된 도면을 결부되어 상세하게 설명될 것이다.

[0023] 도 1은 본 발명의 실시 예에 따른 액정 표시 장치를 설명하는 블록도이다. 도 1을 참조하면, 본 발명의 실시 예에 따른 액정 표시 장치는, 영상을 표시하는 액정 패널(100); 상기 액정 패널(100) 상의 m개의 데이터 라인들(DL1~DLm)을 구동하기 위한 데이터 드라이버(150); 상기 액정 패널(100) 상의 n개의 게이트 라인들(GL1~GLn)을 구동하기 위한 게이트 드라이버(170); 상기 데이터 및 게이트 드라이버(150,170)의 구동 타이밍을 제어하는 타이밍 컨트롤러(130)를 포함한다.

[0024] 상기 액정 패널(100)은, n개의 게이트 라인들(GL1~GLn)과 m개의 데이터 라인들(DL1 내지 DLm)에 의하여 구분된 영역들에 각각 형성된 화소들을 구비한다. 이들 화소들 각각은, 대응하는 게이트 라인(GL)과 대응하는 데이터 라인(DL)간의 교차부에 형성된 박막 트랜지스터(TFT); 및 그 박막 트랜지스터(TFT)와 공통 전압(Vcom) 전극 사이에 접속된 액정 셀(CLc)을 구비한다. 상기 박막 트랜지스터(TFT)는 대응하는 게이트 라인(GL) 상의 게이트 신호에 응답하여 대응하는 데이터 라인(DL)으로부터 대응하는 액정 셀(CLc)에 공급될 화소 데이터 전압을 전환한다. 상기 액정 셀(CLc)은 액정 층을 사이에 두고 대면하는 공통전극과 박막 트랜지스터(TFT)에 접속된 화소 전극으로 구성된다. 이러한 액정 셀(CLc)은, 대응하는 박막 트랜지스터(TFT)를 경유하여 공급되는 화소 데이터 전압을 충전한다. 또한, 액정 셀(CLc)에 충전된 전압은 대응하는 박막 트랜지스터(TFT)가 턴-온 될 때마다 갱신되게 된다. 이에 더하여, 액정 패널(100) 상의 화소들 각각은 박막 트랜지스터(TFT)와 이전 게이트 라인 사이에 접속된 스토리지 캐패시터(Cst)를 구비한다. 이 스토리지 캐패시터(Cst)는 액정 셀(CLc)에 충전된 전압의 자연적인 감소를 최소화 한다.

[0025] 상기 게이트 드라이버(170)는, 타이밍 컨트롤러(130)로부터의 게이트 제어 신호들에 응답하여, n개의 게이트 라인들(GL1~GLn)에 n개의 게이트 신호들을 대응하게 공급한다. 이들 n개의 게이트 신호들은 n개의 게이트 라인들(GL1~GLn)이 순차적으로 1 수평 동기 신호의 기간씩 인에이블(Enable) 되게 한다.

[0026] 상기 데이터 드라이버(150)는, 상기 타이밍 컨트롤러(130)로부터의 데이터 제어 신호들에 응답하여, 상기 게이트 라인들(GL1~GLn) 중 어느 하나가 인에이블 될 때마다 m개의 화소 데이터 전압들을 발생하여 액정 패널(100) 상의 m개의 데이터 라인들(DL1~DLm)에 각각 공급한다. 이를 위하여, 데이터 드라이버(150)는 상기 타이밍 컨트롤러(130)로부터 화소 데이터를 1라인 분씩 입력하고, 감마 전압 세트를 이용하여 입력된 1라인 분의 화소 데이

터를 아날로그 형태의 화소 데이터 전압들로 변환한다. 이 데이터 드라이버(150)에서 출력되는 화소 데이터 전압들은 부극성 및 정극성을 프레임 주기마다 번갈아 가지게 된다. 다른 형태로, 화소 데이터 전압들은 부극성 및 정극성을 라인 주기(즉, 수평 동기 신호의 주기)마다 번갈아 가질 수도 있다. 이들 부극성 및 정극성의 화소 데이터 전압의 발생은 극성 반전 신호(POL)의 논리 값에 의해 결정된다.

[0027] 상기 타이밍 컨트롤러(130)는, 도시하지 않은 외부의 시스템(예를 들면, 컴퓨터 시스템의 그래픽 모듈 또는 텔레비전 수신 시스템의 영상 복조 모듈)으로부터의 데이터 클럭(DCLK), 수평동기신호(Hsync), 수직동기신호(Vsync) 및 데이터 인에이블(Data Enable) 신호(DE)를 이용하여 게이트 제어 신호들, 데이터 제어 신호들 및 극성 반전 신호(POL)를 생성한다. 게이트 제어 신호들은 상기 게이트 드라이버(170)에 공급되고, 데이터 제어 신호들 및 극성 반전 신호(POL)는 데이터 드라이버(150)에 공급된다. 또한, 타이밍 컨트롤러(170)는 외부의 시스템으로의 화소 데이터를 프레임 분석 입력하고 프레임 분의 화소 데이터를 1라인 분석 재정렬시킨다. 타이밍 컨트롤러(130)에 의하여 재정렬된 프레임 분의 화소 데이터는 1라인 분석 순차적으로 상기 데이터 드라이버(150)에 공급된다.

[0028] 도 1의 액정 표시 장치는 상기 타이밍 컨트롤러(130)으로부터의 상기 극성 제어 신호(POL)에 응답하는 공통 전압 발생 회로(190)를 추가로 구비한다. 이 공통 전압 발생 회로(190)은 상기 극성 반전 신호(POL)와 동기되게 두 개의 레벨들 사이에서 스윙하는 공통 전압(Vcom)을 상기 액정 패널(100) 상의 공통 전극에 공급한다. 이 공통 전압(Vcom)은 일정한 레벨 범위 내에서의 빠른 발산 특성과 그 범위 밖에서의 느린 수렴 특성을 가진다. 이러한 빠른 발산 특성 및 느린 수렴 특성은 공통 전압의 레벨 전이 기간을 단축시킴과 아울러 발진 현상의 발생을 최소화 한다. 다시 말하여, 공통 전압(Vcom)은, 빠른 발산 특성 및 느린 수렴 특성에 의하여, 짧은 레벨 전이 기간(즉, 짧은 에지 구간)과 안정된 레벨 유지 구간을 가지게 된다.

[0029] 이러한 빠른 발산 특성 및 느린 수렴 특성의 공통 전압(Vcom)에 의하여, 액정 패널(100) 상의 액정 셀(CLC)에 번갈아 공급되는 부극성 및 정극성의 화소 데이터 전압에서는 잡음이 발생되지 않게 된다. 이 결과, 본 발명에 따른 액정 표시 장치에서는 플리커 및 아티팩트와 같은 잡음이 없는 양질의 화상이 표시될 수 있다.

[0030] 도 2는 도 1에 도시된 공통 전압 발생 회로(190)을 상세하게 설명하는 블록도이다. 도 2의 공통 전압 발생 회로(190)은, 출력 노드(Nout)에 공통적으로 접속된 메인 및 서브 펌핑부(191,193); 및 도 1의 타이밍 컨트롤러(130)로부터의 극성 제어 신호(POL)에 공통적으로 응답하는 에러 검출부(195) 및 펌핑 제어부(197)를 구비한다.

[0031] 메인 펌핑부(191)은 출력 노드(Nout) 상의 전하량이 급속하게 증가 또는 감소되게 하는 포지티브 펌핑 또는 네가티브 펌핑을 수행한다. 메인 펌핑부(191)가 포지티브 펌핑할 경우, 출력 노드(Nout) 상의 공통 전압(Vcom)은 빠르게 상승한다. 반면, 메인 펌핑부(191)가 네가티브 펌핑을 하면, 출력 노드(Nout) 상의 공통 전압(Vcom)은 빠르게 하강한다.

[0032] 한편, 서브 펌핑부(193)은 출력 노드(Nout) 상의 전하량이 느리게 증가 또는 감소되게 하는 포지티브 펌핑 또는 네가티브 펌핑을 수행한다. 서브 펌핑부(193)가 포지티브 펌핑할 경우, 출력 노드(Nout) 상의 공통 전압(Vcom)은 느리게 높아진다. 반면, 서브 펌핑부(193)가 네가티브 펌핑을 하면, 출력 노드(Nout) 상의 공통 전압(Vcom)은 느리게 낮아진다.

[0033] 상기 에러 검출부(195)는 상기 극성 반전 신호(POL)의 논리 값에 따라 출력 노드(Nout) 상의 공통 전압(Vcom)을 고전위 기준 전압(Vch) 또는 저전위 기준 전압(Vcl)과 비교한다. 예를 들어, 상기 극성 반전 신호(POL)가 하이 논리를 가지면, 에러 검출부(195)는 공통 전압(Vcom)을 저전위 기준 전압(Vcl)과 비교한다. 반대로, 상기 극성 반전 신호(POL)가 로우 논리이면, 에러 검출부(195)는 공통 전압(Vcom)을 고전위 기준 전압(Vch)과 비교한다. 에러 검출부(195)은, 공통 전압(Vcom)이 기준 전압(즉, 고전위 또는 저전위 기준 전압(Vch 또는 Vcl)) 보다 높으면 특정 논리(예를 들면, 하이 논리)의 에러 검출 신호(EDS)를 발생하는 반면, 공통 전압(Vcom)이 기준 전압(즉, 고전위 또는 저전위 기준 전압(Vch 또는 Vcl)) 보다 낮으면 기저 논리(예를 들면, 로우 논리)의 에러 검출 신호(EDS)를 발생한다.

[0034] 상기 펌핑 제어부(197)는 상기 극성 반전 신호(POL)의 논리 값(즉, 논리 상태)에 따라 메인 펌핑부(191)의 포지티브 펌핑 및 서브 펌핑부(193)의 네가티브 펌핑이 수행되게 하거나 또는 메인 펌핑부(191)의 네가티브 펌핑 및 서브 펌핑부(193)의 포지티브 펌핑이 수행되게 한다. 또한, 펌핑 제어부(197)는 에러 검출부(195)로부터의 에러 검출 신호(EDS)의 논리 값(즉, 논리 상태)에 따라 메인 펌핑부(191)의 펌핑(포지티브 또는 네가티브 펌핑)과 서브 펌핑부(193)의 펌핑(즉, 네가티브 또는 포지티브 펌핑)이 절환되게 한다.

[0035] 예를 들어, 극성 반전 신호(POL)이 하이 논리를 가지면, 펌핑 제어부(197)는 에러 검출 신호(EDS)의 논리

값(즉, 논리 상태)에 따라 메인 펌핑부(191)의 네가티브 펌핑과 서브 펌핑부(193)의 포지티브 펌핑이 선택적으로 수행되게 한다. 에러 검출 신호(EDS)가 특정 논리(즉, 하이 논리)이면(즉, 공통 전압(Vcom)이 저전위 기준 전압(Vc1)보다 높으면), 펌핑 제어부(197)는 메인 펌핑부(191)이 급속 네가티브 펌핑을 수행하게 한다. 반대로, 에러 검출 신호(EDS)가 기저 논리(즉, 로우 논리)이면(즉, 공통 전압(Vcom)이 저전위 기준 전압(Vc1)보다 낮으면), 펌핑 제어부(197)는 서브 펌핑부(193)이 저속 포지티브 펌핑을 수행하게 한다. 이와는 달리, 극성 반전 신호(POL)이 로우 논리를 가지면, 펌핑 제어부(197)는 에러 검출 신호(EDS)의 논리 값(즉, 논리 상태)에 따라 메인 펌핑부(191)의 포지티브 펌핑과 서브 펌핑부(193)의 네가티브 펌핑이 선택적으로 수행되게 한다. 에러 검출 신호(EDS)가 특정 논리(즉, 하이 논리)이면(즉, 공통 전압(Vcom)이 고전위 기준 전압(Vch)보다 높으면), 펌핑 제어부(197)는 서브 펌핑부(193)이 저속 네가티브 펌핑을 수행하게 한다. 반대로, 에러 검출 신호(EDS)가 기저 논리(즉, 로우 논리)이면(즉, 공통 전압(Vcom)이 고전위 기준 전압(Vch)보다 낮으면), 펌핑 제어부(197)는 메인 펌핑부(191)이 급속 포지티브 펌핑을 수행하게 한다.

[0036] 이렇게 4가지의 펌핑 모드를 제어하기 위하여, 펌핑 제어부(197)는 상기 극성 반전 신호(POL)에 공통적으로 응답하는 발산 제어기(197A) 및 수렴 제어기(197B)를 구비한다. 발산 제어기(197A)는 극성 반전 신호(POL)의 논리 값에 따라 메인 펌핑부(191)가 급속 포지티브 또는 네가티브 펌핑을 수행하게 한다. 또한, 에러 검출부(195)로부터의 에러 검출 신호(EDS)의 논리 값에 따라, 발산 제어기(197A)는 메인 펌핑부(191)의 급속 펌핑(즉, 포지티브 또는 네가티브 펌핑)이 간헐적으로 수행되게 한다. 예를 들어, 극성 반전 신호(POL)가 하이 논리이면, 발산 제어기(197A)는, 메인 펌핑부(191)가 급속 네가티브 펌핑을 수행하게 하되 에러 검출 신호(EDS)가 특정 논리(즉, 하이 논리)일 때(즉, 공통 전압(Vcom)이 저전위 기준 전압(Vc1)보다 높은 때)에만 진행되게 한다. 메인 펌핑부(191)의 급속 네가티브 펌핑에 의하여, 출력 노드(Nout) 상의 공통 전압(Vcom)은 저전위 기준 전압(Vc1) 쪽으로 빠르게 하강한다. 이에 따라, 공통 전압(Vcom)에서의 고전위 기준 전압(Vch)으로부터 저전위 기준 전압(Vc1)으로의 하강 기간이 단축된다. 반대로, 극성 반전 신호(POL)가 로우 논리이면, 발산 제어기(197A)는, 메인 펌핑부(191)가 급속 포지티브 펌핑을 수행하게 하되 에러 검출 신호(EDS)가 기저 논리(즉, 로우 논리)일 때(즉, 공통 전압(Vcom)이 고전위 기준 전압(Vch)보다 낮은 때)에만 진행되게 한다. 메인 펌핑부(191)의 급속 포지티브 펌핑은 출력 노드(Nout) 상의 공통 전압(Vcom)이 고전위 기준 전압(Vch) 쪽으로 빠르게 상승하게 한다. 이에 따라, 공통 전압(Vcom)에서의 저전위 기준 전압(Vc1)으로부터 고전위 기준 전압(Vch)으로의 상승 기간이 단축된다.

[0037] 비슷하게, 수렴 제어기(197B)도 극성 반전 신호(POL)의 논리 값에 따라 서브 펌핑부(193)가 저속 포지티브 또는 네가티브 펌핑을 수행하게 한다. 또한, 발산 제어기(197A)의 출력신호에 따라, 수렴 제어기(197B)는 서브 펌핑부(193)의 저속 펌핑(즉, 포지티브 또는 네가티브 펌핑)이 상기 메인 펌핑부(191)의 펌핑과 상호보완되는 형태로 수행되게 한다. 예를 들어, 극성 반전 신호(POL)가 하이 논리이면, 수렴 제어기(197A)는, 서브 펌핑부(193)가 저속 포지티브 펌핑을 수행하게 하되 메인 펌핑부(191)의 급속 네가티브 펌핑이 중단된 때(즉, 공통 전압(Vcom)이 저전위 기준 전압(Vc1)보다 낮은 때)에만 진행되게 한다. 이 서브 펌핑부(193)의 저속 포지티브 펌핑은 출력 노드(Nout) 상의 공통 전압(Vcom)이 저전위 기준 전압(Vc1)보다 낮은 전압에서 저전위 기준 전압(Vc1) 쪽으로 느리게 상승하게 한다. 이에 따라, 공통 전압(Vcom)이 저전위 기준 전압(Vc1)을 안정되게 유지함과 아울러 발진 현상이 일어나지 않게 한다. 반대로, 극성 반전 신호(POL)가 로우 논리이면, 수렴 제어기(197B)는, 서브 펌핑부(193)가 저속 네가티브 펌핑을 수행하게 하되 메인 펌핑부(191)의 급속 포지티브 펌핑이 중단된 때(즉, 공통 전압(Vcom)이 고전위 기준 전압(Vch)보다 높은 때)에만 진행되게 한다. 이 서브 펌핑부(193)의 저속 네가티브 펌핑은 출력 노드(Nout) 상의 공통 전압(Vcom)이 고전위 기준 전압(Vch)보다 높은 전압에서 고전위 기준 전압(Vch) 쪽으로 느리게 떨어지게 한다. 이에 따라, 공통 전압(Vcom)이 고전위 기준 전압(Vch)을 안정되게 유지함과 아울러 발진 현상이 일어나지 않게 한다.

[0038] 이와 같이, 본 발명의 기준 전압 발생 회로의 실시 예에 해당하는 도 2의 공통 전압 발생 회로에서는, 저전위 기준 전압(Vc1)과 고전위 기준 전압(Vch)간의 레벨 범위에서는 고속 포지티브 또는 네가티브 펌핑이 수행되어 빠른 전압 발산이 진행된다. 저전위 기준 전압(Vc1)과 고전위 기준 전압(Vch) 사이의 레벨 범위를 벗어난 공통 전압에 응답하여서는 저속 포지티브 또는 네가티브 펌핑이 수행되어 저속 전압 수렴이 진행된다. 따라서, 본 발명의 실시 예에 따른 공통 전압 발생 회로에서는 발진현상이 일어나지 않는다. 이 결과, 공통 전압은 두 개의 레벨간의 전이 기간이 짧으면서도 전이된 레벨을 안정되게 유지할 수 있다.

[0039] 도 3은 도 2의 공통 전압 발생 회로를 상세하게 설명하는 상세 회로도이다. 도 3을 참조하면, 상기 메인 펌핑부(191)는, 공급 전압 라인(Vdd) 및 출력 노드(Nout) 사이에 접속된 제1 트랜지스터(ML1); 및 기저 전압 라인(GND) 사이에 접속된 제2 트랜지스터(ML2)를 구비한다. 제1 트랜지스터(ML1)는, 고속 포지티브 제어 신호(HP

S)가 로우 상태일 때 턴-온(Turn-on)되어 공급 전원 라인(Vdd)로부터의 공급 전압을 출력 노드(Nout)에 공급하여 출력 노드(Nout) 상의 공통 전압(Vcom)이 빠르게 높아지게 한다. 다시 말하여, 제1 트랜지스터(ML1)는 고속 포지티브 펌핑을 수행한다. 이를 위하여, 제1 트랜지스터(ML1)로는 채널 폭이 큰 P타입의 MOS 트랜지스터가 사용되나, 상기 고속 포지티브 제어 신호(HPS)가 하이 상태로 인에이블 되는 경우에는 채널 폭이 큰 N타입의 MOS 트랜지스터가 사용될 수도 있다. 한편, 제2 트랜지스터(ML2)는, 고속 네가티브 제어 신호(HNS)가 하이 상태일 때 턴-온(Turn-on)되어 출력 노드(Nout) 상의 공통 전압(Vcom)을 기저 전압 라인(GND) 쪽으로 빠르게 방전시킨다. 다시 말하여, 제2 트랜지스터(ML2)는 고속 네가티브 펌핑을 수행한다. 이를 위하여, 제2 트랜지스터(ML1)로는 채널 폭이 큰 N타입의 MOS 트랜지스터가 사용되나, 상기 고속 네가티브 제어 신호(HNS)가 로우 상태로 인에이블 되는 경우에는 채널 폭이 큰 P타입의 MOS 트랜지스터가 사용될 수도 있다.

[0040] 비슷하게, 상기 서브 펌핑부(193)도, 공급 전압 라인(Vdd) 및 출력 노드(Nout) 사이에 접속된 제3 트랜지스터(MS1); 및 출력 노드(Nout) 및 기저 전압 라인(GND) 사이에 접속된 제4 트랜지스터(MS2)를 구비한다. 제3 트랜지스터(MS1)는, 저속 포지티브 제어 신호(LPS)가 로우 상태일 때, 턴-온(Turn-on)되어 공급 전원 라인(Vdd)로부터의 공급 전압을 출력 노드(Nout)에 공급하여 출력 노드(Nout) 상의 공통 전압(Vcom)이 느리게 높아지게 한다. 다시 말하여, 제3 트랜지스터(MS1)는 저속 포지티브 펌핑을 수행한다. 이를 위하여, 제3 트랜지스터(MS1)로는 채널 폭이 작은 P타입의 MOS 트랜지스터가 사용되나, 상기 저속 포지티브 제어 신호(LPS)가 하이 상태로 인에이블 되는 경우에는 채널 폭이 작은 N타입의 MOS 트랜지스터가 사용될 수도 있다. 한편, 제4 트랜지스터(MS2)는, 저속 네가티브 제어 신호(LNS)가 하이 상태일 때, 턴-온(Turn-on)되어 출력 노드(Nout) 상의 공통 전압(Vcom)을 기저 전압 라인(GND) 쪽으로 느리게 방전시킨다. 다시 말하여, 제4 트랜지스터(MS2)는 저속 네가티브 펌핑을 수행한다. 이를 위하여, 제4 트랜지스터(MS1)로는 채널 폭이 작은 N타입의 MOS 트랜지스터가 사용되나, 상기 저속 네가티브 제어 신호(LNS)가 로우 상태로 인에이블 되는 경우에는 채널 폭이 작은 P타입의 MOS 트랜지스터가 사용될 수도 있다.

[0041] 상기 에러 검출부(195)는 제어용 스위치(SW1)로부터 기준 전압을 입력하는 비교기(200)를 구비한다. 제어용 스위치(SW1)는 도 1의 타이밍 컨트롤러(130)로부터의 극성 반전 신호(POL)의 논리 값에 따라 저전위 또는 고전위 기준 전압(Vc1, Vch)를 비교기(200)에 공급한다. 예를 들어, 극성 반전 신호(POL)가 하이 논리이면, 제어용 스위치(SW1)는 저전위 기준 전압(Vc1)을 비교기(200)의 반전 단자에 공급한다. 반대로, 극성 반전 신호(POL)가 로우 논리이면, 제어용 스위치(SW1)는 고전위 기준 전압(Vch)를 비교기의 반전 단자에 공급한다. 비교기(200)는 출력 노드(Nout)로부터의 공통 전압(Vcom)을 제어용 스위치(SW1)으로부터의 저전위 또는 고전위 기준 전압(Vc1 또는 Vch)과 비교하여 하이 또는 로우 논리를 가지는 에러 검출 신호(EDS)를 발생한다. 에러 검출 신호(EDS)는, 공통 전압(Vcom)이 저전위 또는 고전위 기준 전압(Vc1 또는 Vch)보다 높으면 하이 논리를 가지는 반면에 공통 전압(Vcom)이 저전위 또는 고전위 기준 전압(Vc1 또는 Vch)보다 낮으면 로우 논리를 가진다.

[0042] 발산 제어기(197A)는 상기 극성 반전 신호(POL) 및 상기 비교기(200)로부터의 에러 검출 신호(EDS)를 공통적으로 입력하는 OR 게이트(201) 및 AND 게이트(202)를 구비한다. OR 게이트(201)는 극성 반전 신호(POL) 및 에러 검출 신호(EDS) 모두가 로우 논리를 가지는 경우(즉, 극성 반전 신호(POL)에 의하여 선택된 고전위 기준 전압(Vch)보다 공통 전압(Vcom)이 낮은 경우)에만 로우 상태로 인에이블 되는 고속 포지티브 제어 신호(HPS)를 발생한다. OR 게이트(201)에서 발생된 고속 포지티브 제어 신호(HPS)는 메인 펌핑부(191)의 제1 트랜지스터(ML1)의 게이트 단자에 공급되어 제1 트랜지스터(ML1)로 하여금 고속 포지티브 전압 펌핑을 수행하게 한다. 그러면 출력 노드(Nout) 상의 공통 전압(Vcom)은 저전위 기준 전압(Vc1) 쪽에서 고전위 기준 전압(Vch) 쪽으로 빠르게 접근하게 된다. 이렇게 OR 연산을 하는 OR 게이트(201)는 제1 트랜지스터(ML1)가 하이 논리에 의해 구동되는 경우에는 NOR 게이트로 대체될 수도 있다. AND 게이트(202)는 극성 반전 신호(POL) 및 에러 검출 신호(EDS) 모두가 하이 논리를 가지는 경우(즉, 극성 반전 신호(POL)에 의하여 선택된 저전위 기준 전압(Vc1)보다 공통 전압(Vcom)이 높은 경우)에만 하이 상태로 인에이블 되는 고속 네가티브 제어 신호(HNS)를 발생한다. AND 게이트(202)에서 발생된 고속 네가티브 제어 신호(HNS)는 메인 펌핑부(191)의 제2 트랜지스터(ML2)의 게이트 단자에 공급되어 제2 트랜지스터(ML2)로 하여금 고속 네가티브 전압 펌핑을 수행하게 한다. 이 때, 출력 노드(Nout) 상의 공통 전압(Vcom)은 고전위 기준 전압(Vch) 쪽에서 저전위 기준 전압(Vc1) 쪽으로 빠르게 접근하게 된다. 이 AND 연산을 하는 AND 게이트(202)는 제2 트랜지스터(ML2)가 로우 논리에 의해 구동되는 경우에는 OR 게이트로 대체될 수도 있다.

[0043] 수렴 제어기(197B)는 상기 극성 반전 신호(POL)를 공통적으로 입력하는 ENOR 게이트(203) 및 EOR 게이트(204)를 구비한다. ENOR 게이트(203)은 극성 반전 신호(POL)와 수렴 제어기(197B)의 AND 게이트(202)로부터의 고속 네가티브 제어 신호(HNS)를 ENOR 연산한다. ENOR 게이트(203)은 극성 반전 신호(POL) 및 고속 네가티브 제어 신

호(HNS)가 서로 다른 논리를 가지는 경우(즉, 극성 반전 신호(POL)에 의하여 선택된 저전위 기준 전압(Vc1)보다 공통 전압(Vcom)이 낮은 경우)에만 로우 상태로 인에이블 되는 저속 포지티브 제어 신호(LPS)를 발생한다. ENOR 게이트(203)에서 발생된 저속 포지티브 제어 신호(LPS)는 서브 펌핑부(193)의 제3 트랜지스터(MS1)의 게이트 단자에 공급되어 제3 트랜지스터(MS1)로 하여금 저속 포지티브 전압 펌핑을 수행하게 한다. 그러면, 출력 노드(Nout) 상의 공통 전압(Vcom)은 저전위 기준 전압(Vch)보다 낮은 전압에서 저전위 기준 전압(Vch) 쪽으로 느리게 접근하게 된다. 이렇게 ENOR 연산을 하는 ENOR 게이트(203)는 제3 트랜지스터(MS1)가 하이 논리에 의해 구동되는 경우에는 EOR 게이트로 대체될 수도 있다. EOR 게이트(204)은 극성 반전 신호(POL)과 발산 제어기(197A)의 OR 게이트(201)로부터의 고속 포지티브 제어 신호(HPS)를 EOR 연산한다. EOR 게이트(204)은 극성 반전 신호(POL) 및 고속 포지티브 제어 신호(HPS)가 같은 논리를 가지는 경우(즉, 극성 반전 신호(POL)에 의하여 선택된 고전위 기준 전압(Vch)보다 공통 전압(Vcom)이 높은 경우)에만 하이 상태로 인에이블 되는 저속 네가티브 제어 신호(LNS)를 발생한다. EOR 게이트(203)에서 발생된 저속 네가티브 제어 신호(LNS)는 서브 펌핑부(193)의 제4 트랜지스터(MS2)의 게이트 단자에 공급되어 제4 트랜지스터(MS2)로 하여금 저속 네가티브 전압 펌핑을 수행하게 한다. 이 때, 출력 노드(Nout) 상의 공통 전압(Vcom)은 고전위 기준 전압(Vch)보다 높은 전압에서 고전위 기준 전압(Vch) 쪽으로 느리게 접근하게 된다. 이렇게 EOR 연산을 하는 EOR 게이트(204)는 제4 트랜지스터(MS2)가 로우 논리에 의해 구동되는 경우에는 ENOR 게이트로 대체될 수도 있다.

[0044] 본 발명의 기준 전압 발생 회로의 실시 예인 공통 전압 발생 회로를 구성하는 도 3의 구성요소들 각각의 출력 신호는 도 4에 도시된 로직 테이블을 통하여서도 명백하게 드러난다. 도 4의 로직 테이블에 기재된 각 신호 별 로직 변화는 본 발명에 속하는 통상의 지식을 가진 자라면 누구나 쉽게 이해할 수 있을 것이다. 따라서, 도 4의 로직 테이블에 대한 설명은 생략될 것이다.

발명의 효과

[0045] 이와 같이, 본 발명에 따른 기준 전압 발생 회로에서는, 저전위 기준 전압과 고전위 기준 전압간의 레벨 범위에서는 고속 포지티브 또는 네가티브 펌핑이 수행되어 빠른 전압 발산이 진행된다. 저전위 기준 전압과 고전위 기준 전압 사이의 레벨 범위를 벗어난 공통 전압에 응답하여서는 저속 포지티브 또는 네가티브 펌핑이 수행되어 저속 전압 수렴이 진행된다. 따라서, 본 발명에 따른 기준 전압 발생 회로에서는 발진현상이 일어나지 않는다. 이 결과, 스윙 타입의 기준 전압 신호는 두 개의 레벨간의 전이 기간이 짧으면서도 전이된 레벨을 안정되게 유지할 수 있다.

[0046] 이러한 빠른 발산 특성 및 느린 수렴 특성을 가지는 스윙 타입의 기준 전압 신호를 공통 전압(Vcom)으로서 사용하는 본 발명에 따른 액정 표시 장치에서는, 액정 패널 상의 액정 셀에 번갈아 공급되는 부극성 및 정극성의 화소 데이터 전압에서는 잡음이 발생되지 않게 된다. 이 결과, 본 발명에 따른 액정 표시 장치에서는 플리커 및 아티팩트와 같은 잡음이 없는 양질의 화상이 표시될 수 있다.

[0047] 이상과 같이, 본 발명의 실시 예가 도 1 내지 도 4과 결부되어 설명되었으나, 이는 예시적인 것들에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술적 사상 및 범위를 벗어나지 않으면서도 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 예를 들면, 도 2 및 도 3에서의 극성 반전 신호를 적어도 2비트 이상의 레벨 선택 신호로 대체하고, 그 레벨 선택 신호의 논리 값에 따라 서로 다른 적어도 3개의 기준 레벨들이 공통 전압과 선택적으로 비교되게 할 수 있다. 이 경우, 발산 및 수렴 제어기는 레벨 선택 신호의 논리 값과 여러 검출 신호에 따라 고속 포지티브 및 네가티브 펌핑과 저속 포지티브 및 네가티브 펌핑이 선택적으로 수행되게 한다. 이전에 선택된 기준 레벨과 현재 선택된 기준 레벨의 사이에서는 빠른 발산 특성을 그들 사이를 벗어나 범위에서는 느린 수렴 특성을 가지는 스윙 타입의 공통 전압(즉, 기준 전압)이 출력 노드에서 발생될 수 있다. 따라서, 본 발명의 기술적인 범위 및 특징들은 실시 예의 설명에 국한될 수는 없고 첨부된 특허청구의 범위에 기재된 사항에 의하여 설정되어야 할 것이다.

도면의 간단한 설명

[0001] 본 발명의 상세한 설명에서 사용되는 도면의 보다 충분한 이해를 돕기 위하여, 각 도면의 간단한 설명이 제공된다.

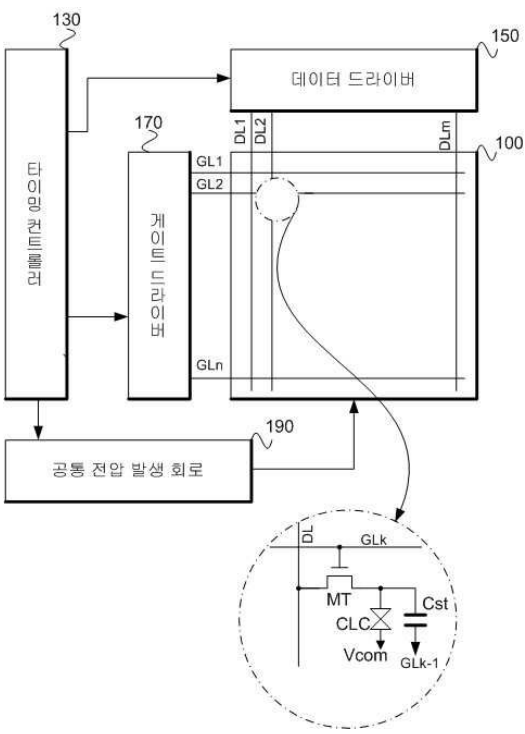
[0002] 도 1은 본 발명의 실시 예에 따른 액정 표시 장치를 개략적으로 설명하는 블록도이다.

[0003] 도 2는 도 1의 공통 전압 발생 회로를 설명하는 상세 블록도이다.

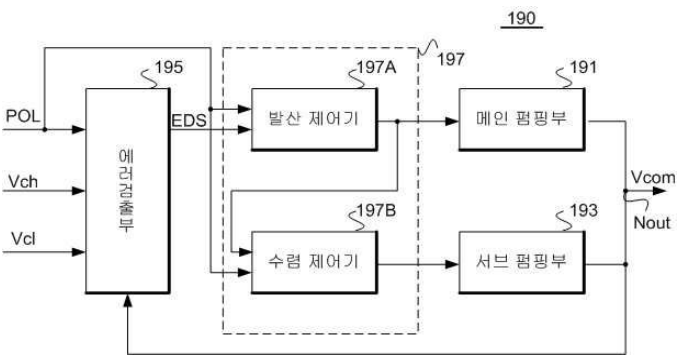
- [0004] 도 3은 도 2의 공통 전압 발생 회로를 상세하게 설명하는 상세 회로도이다.
- [0005] 도 4는 도 3의 공통 전압 발생 회로의 동작 관계를 설명하는 로직 테이블이다.
- [0006] **《도면의 주요부분에 대한 부호의 설명》**
- [0007] 100 : 액정 패널, 130 : 타이밍 컨트롤러
- [0008] 150 : 데이터 드라이버 170 : 게이트 드라이버
- [0009] 190 : 공통 전압 발생 회로 191 : 메인 펌핑부
- [0010] 193 : 서브 펌핑부 195 : 에러 검출부
- [0011] 197 : 펌핑 제어부 197A : 발산 제어기
- [0012] 197B : 수렴 제어기

도면

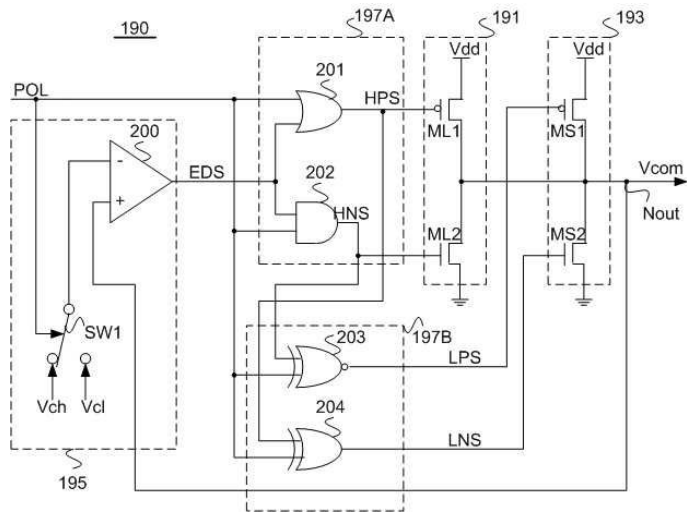
도면1



도면2



도면3



도면4

POL	EDS		HPS	HNS	LPS	LNS	Turn-on
L	Vch > Vcom	L	L	L	H	L	ML1
L	Vch < Vcom	H	H	L	H	H	MS2
H	Vcl > Vcom	L	H	L	L	L	MS1
H	Vcl < Vcom	H	H	H	H	L	ML2

专利名称(译)	标题：共电压产生电路和使用该电路的液晶显示器		
公开(公告)号	KR101418115B1	公开(公告)日	2014-07-09
申请号	KR1020070064901	申请日	2007-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE BU YEOL		
发明人	LEE, BU YEOL		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H02M1/14		
CPC分类号	G09G3/3655 G09G3/3614 G09G2320/0247		
优先权	1020060060200 2006-06-30 KR		
其他公开文献	KR1020080002661A		
外部链接	Espacenet		

摘要(译)

用于LCD装置的参考电压产生电路包括主泵浦部分，子泵浦部分，输入部分，周期性地输入电平指定信号，交替地指定第一参考电平和第二参考电平，以及控制部分，交替地比较响应于电平指定信号，具有第一和第二参考电平的输出电压，其中控制部分输出第一逻辑电平，主泵浦部分选择性地降低快速负泵浦中的输出电压，并且子泵浦部分选择性地提高输出电压。输出电压较慢的正泵浦。

